(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 27/115

(45) 공고일자 2000년10월16일
(11) 등록번호 10-0269078
(24) 등록일자 2000년07월19일

(21) 출원번호 10-1992-0011347
(22) 출원일자 1992년06월27일
(65) 공개번호 특1993-0001441
(43) 공개일자 1993년01월16일

(30) 우선권주장 722812 1991년06월28일 미국(US)
(73) 특허권자 텍사스 인스트루먼츠 인코포레이티드 윌리엄 비. 켐플러
미국 텍사스주 75265 달라스 노스센트럴 익스프레스웨이 13500
(72) 발명자 마이클씨.스메일링
미합중국77459텍사스주미조리시티오이스터크릭드라이브8115
(74) 대리인 주성민

심사관 : 임동우

(54) 고및저전압반도체디바이스의동시제조방법과이를내장한집적회로및시스템

요약

전기적으로 소거가능하고 전기적으로 프로그램가능한 판독 전용 메모리 셀(676)은 제1 도전형의 반도체층(152) 표면에 형성되어 반도체층(152) 표면에 형성된 상기 제1 도전형과 반대인 제2 도전형의 터널 다이오드 도프 영역(688)을 포함한다.

제2 도전형의 제1의 농후하게 도프된 영역(688) 및 제2 도전형의 제2의 농후하게 도프된 영역(702)는 감지 트랜지스터 채널영역(696)에 의해 격설된 반도체층(152)의 표면에 형성된다. 제1의 농후하게 도프된 영역(688)과 제2의 농후하게 도프된 영역(702) 중의 최소한 한 영역이 터널 다이오드 영역(688)로부터 격설된다. 박막 터널 절연체(732)는 반도체층(152)상에서 터널 다이오드 도프영역(688) 상에 형성되고, 게이트 절연체(218)은 반도체층 표면상에서 감지 트랜지스터 채널 영역(696) 상에 형성된다. 도전성 플로팅 게이트(708)은 터널 절연층(732) 및 게이트 절연층(218) 상에 형성된 각 부분(734, 738)을 포함하고 수평 마진을 포함한다. 도전성 제어 게이트(706)은 플로팅 게0이트(708) 상에 절연적으로 배치되어 용량성으로 결합된다. 제어 게이트(706)의 수평 마진은 모든 점에서 플로팅 게이트(708)의 대응 수평 마진에 중첩된다.

대표도

도1

명세서

[발명의 명칭]

고 및 저전압 반도체 디바이스의 동시 제조 방법과 이를 내장한 집적 회로 및 시스템

[도면의 간단한 설명]

제1도는 자동차 점화 제어, 계기 게이지 조작 및 다른 기능을 수행하기 위해 본 명세서에 기술된 공정에 따라 제조된 다수의 마이크로콘트롤러를 포함하는 자동차를 도시한 도면.

제2도는 마이크로콘트롤러와 여러가지 게이지 및 다른 주변 구동부품과의 접속 상태를 도시한 간략화된 전기 회로도.

제3도는 본 명세서에 기술된 공정에 따라 제조된 마이크로콘트롤러의 물리적인 칩 설계도.

제3a도는 시스템 아키텍쳐를 나타내는 제3도에 도시된 칩의 전기적인 개략 블럭도.

제4도는 제3도에 도시된 마이크로콘트롤러에 사용된 EEPROM 메모리 매트릭스를 개략적으로 도시한 기능 블럭도.

제5도는 제6a도 내지 제6g도에 전체적으로 도시된 마이크로콘트롤러 칩 제조 공정과 관련된 하이 레벨의 공정 흐름도.

제6a도 내지 제6g도는 디바이스상에서의 집적 공정의 효과를 설명할 목적으로 서로 밀접하게 관련된 몇몇 상이한 반도체 디바이스의 동시 제조 과정에서 연속적인 단계별로 마이크로콘트롤러칩의 상이한 부분을 개략적으로 도시한 확대 단면도.

제6g-1도는 제6a도 내지 제6h도에 도시된 수직 DMOS 트랜지스터를 개략적으로 도시한 상세 단면도.

제6h-1도는 제6h-1도의 선 g-1-g-1을 따라 절취하여 도시한 도면인 제6g-1도에 도시된 수직 DMOS 트랜지

스터의 평면도.

제7a도 내지 제7b도 및 제7d도 내지 제7g도는 본 명세서에 기술된 집적 공정을 사용하여 저전압 백 게이트 p 채널 전계 효과 트랜지스터의 제조시의 단계를 개략적으로 도시한 확대 단면도.

제7h도는 제7h도의 선 7g-7g를 따라 절취하여 도시한 도면인 제7g도에 도시된 트랜지스터를 개략적으로 도시한 평면도.

제8b도 내지 제8h도는 본 명세서에 기술된 집적 공정에 따른 저전압 백 게이트 n 채널 전계 효과 트랜지스터의 제조시의 연속 단계를 개략적으로 도시한 확대 단면도.

제8h도 내지 제8h도의 선 8g-8g를 따라 절취하여 도시한 도면인 제8g도에 도시된 트랜지스터를 개략적으로 도시한 평면도.

제9a도 내지 제9b도 및 제9d도 내지 제9g도는 본 명세서에 기술된 집적 공정에 따른 고전압 백 게이트 p 채널 전계 효과 트랜지스터의 제조시의 연속 단계를 개략적으로 도시한 확대 단면도.

제9h도는 제9h도의 선 9g-9g를 따라 절취하여 도시한 도면인 제9g도에 도시된 트랜지스터를 개략적으로 도시한 평면도.

제10b도 내지 제10g도는 본 명세서에 기술된 집적 공정에 따른 고전압 백 게이트 n 채널 전계 효과 트랜지스터의 제조시의 연속 단계를 개략적으로 도시한 확대 단면도.

제10h도는 제10h도의 선 10g-10g를 따라 절취하여 도시한 도면인 109g도에 도시된 트랜지스터를 개략적으로 도시한 평면도.

제11a도 내지 제11g도는 본 명세서에 기술된 집적 공정에 따른 수평 확산 MOS (LDMOS) n 채널 트랜지스터의 제조시의 연속 단계를 개략적으로 도시한 확대 단면도.

제11h도는 제11h도의 선 11g-11g를 따라 절취하여 도시한 도면인 제11g도에 도시된 LDMOS 트랜지스터를 개략적으로 도시한 평면도.

제12a도 내지 제12b도, 제12d도 및 제12f도 내지 제12g도는 본 명세서에 기술된 집적 공정에 따른 수직 npn 바이폴라 트랜지스터의 제조시의 연속 단계를 개략적으로 도시한 확대 단면도.

제12h도는 제12h도의 선 12g-12g를 따라 절취하여 도시한 도면인 제12g도에 도시된 수직 npn 바이폴라 트랜지스터를 개략적으로 도시한 평면도.

제13a도 및 제13c도 내지 제13g도는 게이트 산화물 스트레스가 감소된 백 게이트 연장 드레인 n 채널 전계 효과 트랜지스터의 제조시의 연속 단계를 개략적으로 도시한 확대 단면도.

제13h도는 제13h도의 선 13g-13g를 따라 절취하여 도시한 도면인 제13g도에 도시된 트랜지스터를 개략적으로 도시한 평면도.

제14g도는 본 명세서에 기술된 집적 공정에 따라 제조된 게이트 산화물 스트레스가 감소된 백 게이트 n 채널 연장 드레인 전계 효과 트랜지스터를 개략적으로 도시한 확대 단면도.

제14h도는 제14h도의 선 14g-14g를 따라 절취하여 도시한 도면인 제14g도에 도시된 전계 효과 트랜지스터를 개략적으로 도시한 평면도.

제15g도는 본 명세서에 기술된 집적 공정에 따라 제조된 게이트 산화물 스트레스가 감소된 백 게이트 연장 드레인 p 채널 전계 효과 트랜지스터를 개략적으로 도시한 확대 단면도.

제15h도는 단면이 제15h도의 선 15g-15g를 따라 절취하여 도시한 도면인 제15g도에 도시된 전계 효과 트랜지스터를 개략적으로 도시한 평면도.

제16g도는 본 명세서에 기술된 집적 공정에 따라 제조된 백 게이트 수직 n 채널 전계 효과 트랜지스터를 개략적으로 도시한 확대 단면도.

제16h도는 제16h도의 선 16g-16g를 따라 절취하여 도시한 단면도인 제16g도에 도시된 수직 전계 효과 트랜지스터를 개략적으로 도시한 평면도.

제17도는 "적층 에칭" 공정에 따라 제조된 이중 레벨 폴리 EEPROM 셀을 개략적으로 도시한 전기 회로도.

제18도는 "비적층 에칭" 공정에 따라 제조된 이중 레벨 폴리 EEPROM 셀을 개략적으로 도시한 전기 회로도.

제19도는 "적층 에칭" 공정에 따라 제조한 제17도의 전기 회로도에 대응하는 이중 레벨 EEPROM 셀의 확대 개략 평면도.

제19g도는 "적층 에칭" 이중 레벨 폴리 EEPROM 셀의 제조시에 발생가능한 결함을 도시하는 제19도의 선 19g-19g를 따라 절취하여 도시한 부분 단면 입면도.

제20도는 "비적층 에칭" 공정에 따라 제조한 제18도에 도시된 전기 회로도에 대응하는 이중 레벨 폴리 EEPROM 셀의 확대 개략 평면도.

제20g도는 제20도에 도시된 "비적층 에칭" 셀을 개략적으로 도시한 확대 단면도.

제20g도는 제20도의 선 20g-20g를 따라 절취하여 도시한 도면.

제20h도는 제18도 및 제20g도와 유사한 비적층 메모리 셀 어레이의 일부분을 도시한 평면도.

제21a도 내지 제21b도, 제21d도 및 제21f도 내지 제21g도는 본 명세서에 기술된 집적 공정에 따른 매입 콜렉터 수직 npn 바이폴라 트랜지스터의 제조시의 연속 단계를 개략적으로 도시한 확대 단면도.

제21h도는 제21h도의 선 21g-21g를 따라 절취하여 도시한 도면인 제21g도에 도시된 매입 콜렉터 수직 npn 트랜지스터를 개략적으로 도시한 평면도.

제22도는 매입층의 접속에 트렌치를 사용하는 것을 도시하는 본 명세서에 기술된 집적 공정에 따라 제조된 수직 DMOS 트랜지스터의 확대 개략 단면도.

제23도는 분리 목적으로 사용된 폴리실리콘 전계 트렌치를 개략적으로 도시한 확대 단면도.

제24도는 디바이스 분리 목적으로 사용된 다른 폴리실리콘 전계 트렌치를 개략적으로 도시한 확대 단면도.

제25a도 내지 제25g도는 초기에 소오스/드레인 처리한 탱크 분리 전계 효과 트랜지스터와 수평 및 수직 DMOS 전력용 트랜지스터의 제조시의 연속 단계를 개략적으로 도시한 확대 단면도.

* 도면의 주요부분에 대한 부호의 설명

10 : 자동차 22 : 칩

40 : 펄스 수신기 62 : 직렬 통신 인터페이스

72 : PLL 발진기 회로 74 : 모듈별 타이머 회로

78 : 스위치 인터페이스 회로

143 : 파울러 노드하임 터널링 EEPROM 셀

152 : 반도체층 218 : 게이트 절연체

676 : 메모리 셀 688 : 제1의 농후하게 도프된 영역

696 : 감지 트랜지스터 채널 영역 702 : 제2의 농후하게 도프된 영역

706 : 도전성 제어 게이트 708 : 플로팅 게이트

732 : 터널 절연층

[발명의 상세한 설명]

본 발명은 집적 회로 공정 및 이에 의해 생성된 집적 회로에 관한 것으로, 특히 고 및 저전압 반도체 디바이스의 동시 제조 방법과 이를 내장한 집적 회로 및 시스템에 관한 것이다.

본 발명의 범위를 제한하지 않고, 본 발명의 배경이 예로서, 자동차 전기 시스템과 관련하여 기술된다.

여기에서, 집적 회로 칩상에 제조되어질 고전력용 전자 부품은 저전력용 논리 부품용 IC 칩으로부터 분리된다. 통상적으로, 고전력용 트랜지스터는 5 볼트 절연 게이트 전계 트랜지스터와 같이, 저전력용 논리 디바이스로 쉽게 집적되지 않는 상이한 공정 조건을 갖는다. 반면에, 소정의 전압 조정기 및 전력용 디바이스로 인해 전력용 트랜지스터는 60 볼트 정도로 높은 과도 현상을 견딜 수 있는 보통 12 볼트의 종래 자동차 전기 시스템에 직접 접할 수 있게 된다. 반면에, 이러한 디바이스의 주입, 분리 및 도프 특성은 소형화, 공정-불안정 디바이스의 공동 조정을 어렵게 만든다. 그러나, 자동차 시스템 마이크로콘트롤러는, 전압 조정 및 다른 고전력 응용을 위한 하나의 칩, 및 논리 기능 등을 수행하기 위한 또 하나의 칩을 갖는 것보다는 모놀리식 즉, 하나의 반도체 칩의 표면 상에 제조될 필요가 있다.

반도체 칩 제조시에 일어나는 또 다른 문제점은 소위 "적층" 공정을 사용하여 제조된 전기적으로 소거가능하고 전기적으로 프로그램가능한 판독 전용 메모리(EEPROM) 셀과 관계된다. 이 공정에 따르면, EEPROM 셀의 플로팅 게이트를 형성하기 위해서 제1 레벨의 폴리실리콘 도체가 피착되어 도프되지만, 제1 에칭부에만 부분적으로 국한된다. 산화물/질화물/산화물 샌드위치형과 같이, 제1 레벨의 폴리층 상에 절연체를 형성한 후에 제2 레벨의 폴리층이 셀 상에 피착된다. 그 다음에, 제1 및 제2 레벨의 폴리층은 적합한 EEPROM 셀의 제어 게이트 및 플로팅 게이트의 수평 마진을 만드는 단일 "적층" 내에서 후면 에칭된다.

이러한 형태의 셀에 있어서의 한가지 문제점은 폴리 2층이 제어 게이트 즉, 행 선택 게이트 트랜지스터를 형성하는데 사용될 때, 발생된다. 이 경우에, 셀은 폴리층을 종종 과대 에칭함으로써, 셀을 손상시키는 행 선택 트랜지스터 게이트의 어느 한 측면 상에 트렌치를 생성한다. 더욱이, 소위 "적층" 이중 레벨 폴리 EEPROM 셀은 강전계로 인해 상대적으로 노출된 플로팅 게이트 수평 마진 상에서 브레이크다운 현상이 발생하는 경향이 있다. 이러한 "적층"셀의 상대적으로 낮은 신뢰도 때문에, 예를 들어 자동차 시스템과 같은 고잡음 또는 긴장된 분위기 내에서 구체화된 메모리는 단일 비트 메모리에서보다 3중 또는 다른 다중 비트 선출(voting) 메모리 내에 정렬된다.

케이. 와이. 장(K. Y. Chang) 등에 의해 "Advanced High Voltage CMOS Process for Custom Logic Circuits with Embedded EEPROM", IEEE 1988 Custom I. C. Conf., 25.5.1에 기술된 바와 같이, 비적층 셀을 조립했다. 그러나, 이 셀은 비트별로 프로그램가능하지 않고 소오스/드레인 주입 이후에 피착된 제2 레벨 폴리층을 포함한다. 다른 디바이스를 포함하는 집적 회로 칩 상에 사용된 바와 같은 이러한 셀은 제1 레벨 폴리층이 행 트렌지터에 필요하기 때문에, 제조업자로 하여금 항상 고전압 트랜지스터를 사

용하도록 한다. 전형적인 "적층"셀 공정은 두미트루 시오아카(Dumitru Cioaca) 등의 "A Million-Cycle CMOS 256K EEPROM", IEEE J of Solid State Circuits, V22, N5, 페이지 684, 1987에 기술되어 있다. 이 셀은 (Q 셀이 셀당 2개의 비트를 포함하는) 용장성 및 터널 다이오드용 옥시니트라이드(oxynitride)를 사용함으로써 높은 신뢰도를 얻을 수 있다. 셀은 고밀도를 위해 적층 패턴을 사용하지만, 비트별로 프로그램 가능하지는 않다.

따라서, 단일 비트 메모리를 가능케하는 비적층 공정에 의해 제조된 비트별로 프로그램가능한 고 신뢰도의 셀을 조립하는 것이 바람직하고, 단일 칩 상의 2개의 저전압 및 고전압 반도체 디바이스를 생성하는 집적 제조 공정을 설계하는 것이 요구되어진다.

본 발명에 따르면, 제1 도전형의 반도체층 표면에 형성된 전기적으로 소거가능하고 전기적으로 프로그램가능한 판독 전용 메모리 셀을 포함한다. 이 셀은 반도체층의 표면에 형성된 제1 도전형과 반대인 제2 도전형의 터널 다이오드 도프 영역을 포함한다. 제2 도전형의 제1의 농후하게 도프된 영역은 표면 내에 형성된다. 또한, 제1 도전형의 감지 트랜지스터 채널 영역이 제1의 농후하게 도프된 영역을 제2의 농후하게 도프된 영역으로부터 격설시킴으로써, 제2 도전형의 제2의 농후하게 도프된 영역은 표면내에 형성된다. 제1 및 제2의 농후하게 도프된 영역들 중 최소한 하나는 터널 다이오드 영역으로부터 격설된다.

박막 터널 절연체는 터널 다이오드 도프 영역 상의 표면 상에 형성되고, 게이트 절연체는 감지 트랜지스터 채널 영역 상의 표면상에 형성된다. 도전성 플로팅 게이트는 터널 절연층 및 게이트 절연층 상에 형성된 부분을 포함하고 수평 마진을 포함한다. 도전성 제어 게이트는 용량적으로 결합되도록 플로팅 게이트 위에 절연적으로 배치된다. 제어 게이트의 수평 마진은 모든 점에서 플로팅 게이트의 수평 마진에 대응하여 중첩된다.

본 발명에 따른 "비적층"의 전기적으로 소거가능하고 전기적으로 프로그램가능한 판독 전용 메모리 셀은 "적층" 셀 EEPROM 버전에 대해 매우 향상된 신뢰성을 갖는다. 비적층 셀의 기입/소거 내구성이 3중 비트 적층 셀보다 양호하기 때문에, 다이 가격에서 15 내지 25% 절약된 가격으로 자동차 마이크로콘트롤러 집적 회로 칩 등을 위한 단일 비트 메모리 모듈에 사용될 수 있다. 부가적인 절약 및 처리는 적층 패터닝 단계, 및 적층 셀의 제조와 보통 관련된 3가지 플라즈마 에칭을 제거함으로써 가능하다. 또한, "적층" 셀내의 플로팅 게이트/제어 게이트 적층에 인접한 반도체층의 표면내의 트렌치는 감소되거나 제거된다. 이러한 트렌치는 보통 플로팅 게이트/제어 게이트 적층을 정하는 적층 에칭 중에 과대한 에칭의 결과이기 때문에, "비적층" 셀의 제조 중에 적층 에칭을 수행하기 위해서는 트렌치를 제거할 필요가 있다.

이하, 첨부된 도면을 참조하여 본 발명을 상세하게 설명하겠다.

먼저, 제1도를 참조하면, 자동차(10)의 사시도가 도시되어 있는데, 이 자동차는 본 명세서에서 기술된 집적 공정에 따라 제조된 1개 이상의 마이크로콘트롤러를 사용할 수 있다. 마이크로콘트롤러는 예를 들어, 공기 흐름의 상대적인 양, 및 공기 조절 시스템이 사용되어야 하는 지의 여부를 조절하기 위해서 난방, 통풍 및 공기조절(HVAC) 시스템(12)에 사용될 수 있다. 또한, 마이크로콘트롤러가 자동차의 계기(14)에 사용될 수 있기 때문에 아날로그 게이지, VF 디스플레이, 액정 디스플레이 및 헤드 업 디스플레이를 조작할 수 있다. 마이크로콘트롤러는 예를 들어, 미끄럼 방지 브레이킹 시스템, 제한 슬립 차동 트랙션, 차동 동력 스티어링 및 연료 펌프 및 헤드 라이트를 포함하는 램프 등을 제어하기 위해 섀시(16)에 사용될 수 있다. 구동 트레인(18)에 있어서, 마이크로콘트롤러는 점화, 연료 주입, 전동 장치, 및 변속기의 변속 패턴 뿐만 아니라 크루즈 컴퓨터를 제어하는데 사용될 수 있다. 마이크로콘트롤러는 동력 시트, 윈도우 및 도어록, 보안 시스템, 및 에어백과 같은 안정 장치 및 시트 벨트 감지기 및 이러한 모든 것들을 동작시키기 위한 다중 와이어링을 포함하는 대중화된 자동차 옵션의 조작을 제어하는데 또한 사용될 수 있다.

제2도를 참조하면, 아날로그 게이지 및 액정 주행 거리 디스플레이(26)의 세트(24)를 구동시키기 위한 계기 드라이버에 사용된 마이크로콘트롤러 칩(22)가 개략적으로 도시되어 있다.

12 볼트의 자동차 배터리(28)은 칩(22) 상에 배치된 전압 조정기 및 전원 장치(29)에 접속된다. 칩 상에 전압 조정기를 배치하는 것은 특정 종류의 고전압 전용 트랜지스터가 자동차 전기 시스템내에서 60 볼트 정도로 승압되는 과도 현상을 견딜 수 있는 칩 상에 존재할 수 있게 한다. 따라서, 이러한 전력용 트랜지스터는 저전압 논리 트랜지스터와는 상이한 공정 요구 조건을 갖는다. 통상적으로, 이러한 전력용 트랜지스터의 상이한 공정 요구 조건은 분리 집적 회로내에 그들의 위치를 필요로 한다. 그러나, 본 명세서에 기술된 집적 공정으로 인해 칩(22) 상의 예를 들어, 전압 조정기(29)내에 포함된 전력용 트랜지스터, 및 다른 고전압 또는 고전력용 부품이 칩(22) 상의 나머지 디바이스와 함께 단일 공정으로 제조된다. 전압 조정기(29)는 칩(22) 상의 나머지 디바이스에 여러가지 전압(18 볼트, 5 볼트 및 0 볼트)를 공급한다.

여러가지 센서(30, 32, 34 및 36)은 데이타를 제공하여 여러가지 디스플레이를 갱신시킨다. 센서(30 내지 34)는 아날로그/디지탈 변환기 블럭(38)에 접속된다. 예를 들면, 센서(30 내지 34)는 오일 압력, 개솔린 레벨, 엔진 온도 및 교류 발전기 전압과 관련된 아날로그 신호를 전송한다. 3개의 센서(30 내지 34)만이 이에 해당되고, 몇몇 다른 센서는 칩(22)에 접속되어 엔진 속도 등과 같은 엔진의 여러가지 기능을 감지한다.

센서(36)은 바퀴의 회전을 계수하여 칩(22) 상에 배치된 펄스 수신기(40)에 이 회전 수를 펄스화시킨다. 또한, 칩(22)는 오도미터 및 트립미터 액정 디스플레이(26)을 구동시키기 위한 LCD 드라이버 회로(42)를 구체화시킨다. 내부적으로 또는 외부적으로 유도된 소프트웨어 에러에 응답하는 개시 상태에 현재 실행중인 프로그램을 자동으로 리셋팅시키는 "감시" 타이머를 포함하는 여러가지 타이머(44)가 칩(22) 상에 포함된다. 또한, 타이머 블럭(44)는 클럭 발생기(제3도 및 제3a도를 참조)를 포함하여 동기 신호를 칩(22)의 나머지 디바이스에 공급한다.

또한, 마이크로콘트롤러 칩(22)는 프로그램 명령어를 수행하기 위한 16비트 CPU(46), 이러한 명령어를 기억시키기 위한 프로그램 메모리(48), 랜덤 액세스 메모리(50) 및 전기적으로 소거가능하고 프로그램가

능한 판독 전용 메모리(52)를 양호하게 포함한다. CPU(46)은 콘트롤러를 포함한다. CPU(46)에 의해 수행된 명령어의 결과가 RAM(50)내에 기억될 수 있다. EEPROM 블럭(52)는 예를 들어, CPU(46) 상에서 실행된 프로그램용의 프로그램 메모리, 데이타 기억장치, 또는 칩(22)의 연산 또는 사용자에 의해 공급된 자동차(10)의 운전에 관련된 상수에 사용될 수 있다.

마이크로콘트롤러 칩(22)의 다른 주 블럭은 아날로그 계기 블럭(24)를 구동시키는데 사용된 게이지 드라이버 블럭(54)이다. 게이지 드라이버 블럭(54)는 출력 전력용 트랜지스터를 필요로 하는 다수의 아날로그 선형 파워 모듈을 포함한다. 또한, 게이지 드라이버 블럭(54)는 MSD, LSD 및 M-브리지 회로를 포함한다.

제2도에는 마이크로콘트롤러 칩(22)의 하이 레벨의 기능 블럭도가 도시되어 있다. 제3도에는 마이크로콘트롤러 칩(22)의 실제 물리적인 레이아웃이 도시되어 있다. 제3도는 예시적인 레이아웃의 평면도이다. 마이크로콘트롤러(22)는 외부 접속을 위한 60개의 핀(56)을 포함한다. 칩(22)는 2개의 핀(56)상의 자동차용의 표준 12볼트 전원 장치를 수용하도록 되어 있다. 12 볼트 전원 장치는 1차 전압 조정기(58) 및 2차 전압 조정기(60)에 접속된다. 1차 및 2차 전압 조정기(58과 60)은 제2도의 전압 조정기 블럭(29)로 표시된다. 전압 조정기(58과 60)은 칩(22) 상에 필요한 모든 전압(V_{pp}, V_{dd} 및 V_{ss})를 발생시킨다. 또한, 제3도에 도시된 CPU(46)은 제2도에 도시된 바와 같은 프로그램 메모리(48)을 포함한다. CPU(46)은 적절한 버스 및 통신 라인(제3a도 참조)에 의해 마이크로콘트롤러 칩(22)의 나머지 디바이스와 상호접속된다. 랜덤 액세스 메모리(RAM) 어레이(50) 및 전기적으로 소거가능하고 프로그램가능한 판독 전용 메모리(EEPROM) 어레이(52)는 칩의 하부의 각 블럭들을 점유한다. 또한, 스페이스가 외부 디바이스의 직렬 접속을 위한 직렬 통신 인터페이스(62), 아날로그/디지탈 변환기(38) 및 펄스 수신기(40)에 제공된다.

칩(22)의 상부 우측 부분은 제2도의 블럭(54)로 표시된 몇몇 게이지 드라이버 회로에 의해 점유된다. 이 드라이버 회로들은 135° 아날로그 게이지 드라이버(64) 및 2개의 360° 게이지 드라이버 회로(66과 68)이다. 게이지 드라이버 회로(64 내지 68)의 각각은 아날로그/디지탈 인터페이스 회로(38) 및 펄스 수신기(40)(제2도 참조)으로부터 센서 신호의 수신에 응답하여 CPU(46)에 의해 제어된 아날로그 선형 파워 모듈이다. 제3도에 있어서, 제2도의 타이머 블럭(44)는 클럭 발생기 회로(70), PLL 발진기 회로(72), 및 CPU(46)위에 배치된 모듈러 타이머 회로(74)로 세분된다. 모듈러 타이머(74)는 2개의 타이머로 구성되어 있다.

또한, 칩(22)는 디지탈 출력 회로 블럭(76)을 포함한다. 디지탈 출력 회로 블럭(76)은 디지탈 신호의 병렬 출력을 다른 마이크로콘트롤러 칩(22)와 같은 다른 디바이스 또는 (버스 연장 디바이스로서) 오프-보드 메모리 칩 또는 다른 외부 디바이스에 제공한다. 다른 유사한 디지탈 출력 포트(76)도 쉽게 포함될 수 있다. 최종적으로, 칩(22)는 4개의 스위치 인터페이스 회로(78)을 포함함으로써 고객이 여러가지 모드의 동작을 선택할 수 있다.

여러가지 저전압 트랜지스터, 캐패시터 및 다른 논리 디바이스 외에도, 칩(22)는 고전력용 트랜지스터를 필요로 하는 몇몇 회로 블럭을 포함한다. 이러한 회로 블럭들은 아날로그/디지탈 변환기(38), 펄스 수신기(40), 1차 및 2차 전압 조정기(58 및 60), 및 게이지 드라이버(64, 66 및 68)을 포함한다. 본 명세서에서 기술된 집적 회로 제조 공정으로 인해 이러한 전원 회로 칩(22) 상에 존재하는 나머지 논리 디바이스로서 동일한 기판 상에 구체화된다.

제3a도를 참조하면, 칩(22)의 아키텍쳐 블럭도가 개략적으로 도시되어 있다. 내부 버스(894)는 CPU(46), EEPROM 메모리(52) 및 RAM(50) 사이에 데이타 및 어드레스 라인을 제공한다. 주변장치 버스(896)은 콘트롤러를 포함하는 CPU(46)을 제1 및 제2 타이머(74), 아날로그/디지탈 변환기(38), 직렬 통신 인터페이스(62), 게이지 드라이버(64, 66 및 68), 디지탈 출력 인터페이스(76) 및 스위치 인터페이스(78)에 접속시킨다. 1차 및 2차 전압 조정기(58 및 60)은 이러한 블럭들의 출력 화살표로 표시된 개별 라인을 통해 칩의 다른 부품에 여러가지 선정된 전압의 전력을 공급한다. 마찬가지로, 출력 발생기(70)과 PLL 분리기(72)가 각각의 독립된 라인을 통해 칩(22)의 나머지 부품에 신호를 공급한다.

제4도는 칩(22) 상에 존재하는 EEPROM 메모리(52)의 아키텍쳐를 개략적으로 도시한 블럭도이다. 집적 회로 마이크로콘트롤러 칩(22) 상의 모듈과 마찬가지로, EEPROM 어레이가 독립된 집적 회로로서 존재할 수 있고 본 명세서에서 기술된 새로운 셀을 구체화시킬 수 있다.

어레이(500)은 n행 및 m열을 포함하는데, 예를 들어 n x m 비트의 어레이이다. 본 명세서에서 기술된 마이크로콘트롤러(22)의 적절한 크기의 어레이는 워드당 8 비트인 256 워드를 포함할 수 있는데, 전체적으로는 2048 비트이다. 이러한 것들은 예를 들어, 32행×64열 또는 64행×32열의 어레이로 구성될 수 있다.

본 명세서에 기술된 단일 레벨 폴리 EEPROM 셀을 사용하기 위해서, 어레이(500)은 4개의 라인 즉, 감지 라인, 행 라인, 열 라인 및 가장 접지 라인을 각 셀에 제공할 필요가 있다. 행 디코더 및 레벨 시프터(502)는 다음과 같이 행 라인과 짝을 이룬 다수의 감지 라인을 제공한다. 감지 0과 행 0, 감지 1과 행 1... 감지 n과 행 n, 열 디코더, 레벨 시프터 및 감지 증폭기부(504)는 다수의 열 라인 즉, 열 0, 열 1, 열 2, 열 3,... 열 m을 제공한다. 각 쌍의 열 라인은 그들 사이의 가상 접지(V_G) 라인을 공유한다.

블럭(506)은 EEPROM 어레이(500)으로 액세스하는 시간을 제어하기 위한 회로, 및 어레이(500) 및 블럭(502와 504)에 적절한 전압의 제어 신호를 제공하기 위한 충전 펌프(charge pumps)를 포함한다. 제어 및 충전 펌프 블럭(506)은 입·출력 인터페이스 블럭(508)에 접속되는데, 이것은 인터페이스를 칩의 나머지 부분에 제공하거나, 또는 제조될 EEPROM 메모리(52)가 다른 기능으로 집적되지 않을 경우에는 다른 칩에 제공된다. 입·출력 인터페이스 칩(508)은 어드레스 버스(512)를 통해 행 디코더(502) 및 열 디코더(504)에 접속된다. 데이타 버스(512)는 입·출력 인터페이스(508)과 열 디코더 블럭(504)를 접속시킨다. 이 경로(512)를 통해 데이타는 어레이(500)으로부터 기입 또는 판독된다.

집적 공정

칩(22)는 전력 및 비전력용 디바이스가 최소 공정 단계 및 최소 수의 마스크로 동일 칩 상에 제조될 수 있는 새로운 집적 공정에 따라 제조된다. 공정 흐름은 소량의 열 순환을 각각의 완성된 디바이스에 제공하도록 정렬된다. 즉, 후에 생성된 다른 디바이스 구조를 손상시키지 않도록 고온 공정 단계는 가능한 한 공정의 초기로 이동된다.

제5도는 마이크로콘트롤러 칩(22)를 제조하는데 사용된 공정 제조 단계를 개략적으로 도시한 도면이다. 제5도에 도시된 플로우 챠트와 관련된 공정을 대략적으로 설명한 후에, 좀 더 상세한 공정 처리는 제6a도 내지 제6g도와 관련하여 다음에 설명하겠다.

공정이 p형 실리콘 기판 및 에피택셜층내의 디바이스를 제조하는 것과 관련하여 설명될지라도, 이 공정은 n형 반도체 물질 및 다른 반도체에도 응용된다. 제1 주 공정 단계(100)은 p형 실리콘 층내에 형성된 (n^+)형 매입층을 선택적으로 생성한다. (n^+)형 매입층은 2개의 (p^-)형 에피택셜층 사이, 즉 (p^+)형 기판위로 연장되는 하부에 배치된다. (n^+)형 매입층은 예를 들어, 전압 조정기 블록(58과 60), 펄스 수신기/드라이버(40), 아날로그/디지털 변환기 블록(38) 및 게이지 드라이버 블록(64, 66 및 68)(제3도 참조)에 사용된 수직 이중 확산 금속 산화물 반도체(VDMOS) n 채널 전력용 트랜지스터에 필요하다. 또한, 매입(n^+)층은 후에 기술되는 바와 같이, 수직 npn 바이폴라 트랜지스터의 콜렉터로서 사용된다. 수평 분리(n^+) 매입층은 각 VDMOS 트랜지스터용으로 사용될 수 있고, 또는 이러한 하나의 층은 병렬로 접속되도록 의도될 경우에 이러한 몇몇 트랜지스터용으로 사용될 수 있다.

(n^+) 매입층의 생성후에, 단계(102)에서는 고전압 전력용 트랜지스터용 (n^-) 탱크를 제조한다. 이러한 탱크는 전력용 트랜지스터들이 제조되는 대규모 확산 영역이다. 본 발명의 한가지 기술적 장점은 전력 트랜지스터용 고전압 탱크를 생성하는데 사용된 동일한 주입이 n 채널의 18 볼트 EEPROM 게이팅 트랜지스터와 같은 다른 디바이스용 탱크를 생성하는데 사용된다는 것이다.

단계(104)에서는, 최소한 1개의 개별적인 깊은 (n^+) 주입은 각(n^+) 매입층을 수직 트랜지스터 표면 접촉부에 접속시키기 위해서 사용된다. 단계(106)에서는, 저전압 디바이스(n^-) 탱크는 종래의 저전압(V_{dd}≤5 볼트) 논리 전계 효과 트랜지스터 뿐만 아니라 수직 및 수평 DMOS n 채널 전력용 트랜지스터, 드레인 연장 n 채널 전력용 트랜지스터 및 드레인 연장 p 채널 전력용 트랜지스터를 밀봉시키기 위해 생성된다. 또한, 저전압 n 탱크는 쇼트키 다이오드를 밀봉시키는데 사용된다. 본 명세서에 기술된 고전압 및 저전압 탱크는 이를 생성하는데 사용된 도펀트 농도가 다르고, 따라서 상이한 시간에 칩내에 주입된다. 고전압 탱크는 높은 pn 접합 다이오드 브레이크다운을 보전하기 위해서 낮은 도펀트 농도를 포함하지만, 주입 깊이는 더 깊다. 저전압 탱크는 주입 깊이가 얕을수록 더 높은 도펀트 농도를 포함한다.

단계(107)에서, 다수의 고전압 p 탱크는 에피택셜층내에 생성된다. 고전압 p 탱크는 18 볼트 EEPROM 게이팅 트랜지스터, 및 EEPROM 어레이내의 파울러 노드하임(Fowler-Nordheim) 터널링 EEPRM 셀용의 탱크로서 사용되고, 드레인 연장 p 채널 트랜지스터용 채널 영역으로서 사용되며, 플로팅 게이트 애벌랜치 주입의 전기적으로 프로그램가능한 판독 전용 메모리(FAMOS EPROM) 셀용의 탱크로 사용된다. 단계(108)에서는 예를 들어, 저전압 n 채널 전계 효과 논리 트랜지스터용 밀봉물, 연장 드레인 p 채널 전계 효과 트랜지스터용 연장 드레인, 및 n 채널 LDMOS 및 VDMOS 트랜지스터용 채널 영역으로서 저전압 p 탱크를 제조한다.

단계(109)에서, 예를 들어 수평 및 수직 DMOS n 채널 전력용 트랜지스터용 백 게이트를 형성하기 위해 깊은 (p^+) 주입이 수행된다.

단계(110)에서, 능동 소자 영역을 둘러싼 모트(moat) 또는 분리 산화물 영역이 마스크로 정해진다. 서로 디바이스를 분리시키는 채널 저지 주입은 단계(112)에서 실행된다. 마찬가지로 단계(112)에서, 사전에 정해진 분리 산화물 영역은 반도체 에피택셜층의 표면 상에서 국부적으로 성장된다.

단계(114)에서는, 예를 들어 플로팅 게이트 애벌랜치 주입 "금속" 산화물 반도체(FAMOS) EPROM 셀, 및/또는 이중 레벨의 폴리 EEPROM 셀용의 제1 레벨의 다결정 실리콘(폴리 1) 도체를 형성한다.

다음에, 단계(116)에서 고전압 및 고전력용 트랜지스터의 제어 게이트용 게이트 산화물이 형성되고, 임계 전압(Vt) 조정 주입은 이러한 트랜지스터를 위해 실행된다. 단계(118)에서, 유사한 저전압(Vt) 조정 주입은 고전압 게이트 산화물층을 통해 실행된다. 저전압 트랜지스터에 있어서, 비교적 두꺼운 고전압 게이트 산화물은 제거되고 박막 게이트 산화물은 단계(118)에서 형성된다.

단계(120)에서는 EEPROM 셀의 일부분을 제조하고, 파울러 노드하임 터널 다이오드 주입, 및 이 주입 동안에 박막 터널 산화물의 형성이 이루어진다. 단계(122)에서, 제2 레벨 폴리실리콘(폴리 2)층이 피착, 도프, 패터닝 및 에칭되어 저전압 및 고전압 전계 효과 트랜지스터용 게이트와 단일 레벨의 폴리 EEPROM 셀의 경계를 정하고 FAMOS n 채널 EEPROM 셀용의 제어 게이트 및 이중 레벨의 폴리 EEPROM 셀을 부분적으로 또는 전체적으로 경계를 정한다. 단계(124)에서, 특정한 이중 레벨의 폴리 게이트 적층이 패터닝 및 에칭으로 인해 FAMOS n 채널 EEPROM 셀 제어 게이트의 경계를 완전히 정하고, 한 실시예로서 적층 에칭 EEPROM 셀의 경계를 정한다.

단계(126)에서, 소정의 소오스/드레인 주입 및 확산이 일어난다. 폴리 트랜지스터 및 메모리 셀 게이트는 수평 연부에 인접하여 형성된 측벽 산화물, 및 다른 노출된 폴리실리콘 표면상의 캡(cap) 산화물을 포함한다. 주 (n^+) 소오스/드레인 주입 이전에 저밀도 확산(LDD) n 형 주입은 n 채널 전계 효과 트랜지스터의 표면 소오스/드레인 영역내에서 즉시 이루어진다. LDD 및 (n^+) 주입이 어닐링된 다음에, (p^+) 소오스/드레인 패터닝 및 주입이 이루어진다. n형 소오스 드레인 주입 단계는 p 채널 트랜지스터용 백 게이

트를 형성하는데 사용되고, (p^+) 소오스/드레인 주입 단계는 n 채널 트랜지스터용 백 게이트를 형성하는데 사용된다.

단계(128)에서, 제조된 디바이스의 반도체 부분의 형성은 근본적으로 완료되고 나머지 부분은 쇼트키 다이오드 디바이스를 제외하고는 외부와 도전성을 상화접속된다. 중간 레벨의 산화물은 단계 (128)에서 피착되고, 접촉 오리피스를 생성하기 위해 패터닝 및 에칭된다. 단계(130)에서, 제1 레벨의 금속이 피착, 패터닝 및 에칭된다. 백금 실리콘(PtSi) 쇼트키 다이오드 전용의 백금을 포함하지만, 일반적으로 이 다이오드 상부에 스퍼터링된 티타늄 텅스텐 합금 및 알루미늄 구리 합금을 포함한다. 단계(132)에서, 제2 레벨의 절연체는 제1 금속층 위에 피착되고 이 제1 금속층에 비아가 형성된다. 제2 금속층은 단계(134)에서 자체적으로 피착 패터닝 및 에칭된다. 단계(136)에서는 보호성 오보코팅이 부가되고, 단계(138)에서는 칩 상에서 여러가지 포스트-크린룸(post-clean room) 공정이 수행된다.

이제, 제6a도 내지 제6g도를 참조하여 집적 공정 흐름도가 상세하게 설명되는데, 이 도면은 공정내에서 여러가지 연속 단계로 칩(22)의 여러 영역(제3도)을 개략적으로 도시한 단면도이다. 이러한 집적 공정 흐름중에 형성된 여러가지 디바이스가 서로 인접하여 있는 것이 제6a도 내지 제6g도에 도시되어 있을지라도, 완성된 반도체 칩(22)의 경우에는 그다지 필요하지 않다. 이 디바이스는 독자의 편의를 위해 서로 밀접하게 관련되어 도시된다. 독자는 특정 디바이스가 실제 반도체 칩(22) 상에 넓은 영역에 의해 분리될 수 있다는 것을 알 수 있다. 그러나, 밀접하게 관련된 여러 디바이스를 관찰해 보면, 공정에 따라 제조된 각 디바이스에 각 공정 단계를 동시에 적용한다는 것을 알 수 있다.

본 명세서에 기술된 집적 공정은 모듈별로 행해지는데, 즉 상술된 디바이스 전부가 한 특정 집적 회로 칩마다 조립될 필요는 없다. 특정한 이 디바이스들이 필요하지 않을 경우에, 제5도에 도시된 소정의 공정 단계는 생략된다. 예를 들면, 집적 회로가 EEPROM 셀을 필요로 하지 않으면, 터널 다이오드 단계(120)은 생략된다. 제조될 특별한 칩이 매입 드레인 영역 또는 콜렉터를 포함하는 전력용 트랜지스터를 필요로 하지 않으면, (n^+) 매입층 단계(100) 및 깊은 (n^+) 단계(104)가 생략된다. 이 공정이 FAMOS EEPROM 셀을 필요로 하지 않으면, FAMOS 플로팅 게이트 단계(114) 및 EEPROM 적층 단계(124)는 생략된다. 집적 공정에 특정 공정을 추가함으로써 후술되는 바와 같이, 도시된 셀을 변형시킬 수 있다. 본 발명의 주요한 기술적 장점은 다수의 명백하게 상이한 디바이스 각각에 응용될 수 있는 단일 세트의 공정 파라메터를 제공한다. 이러한 각 디바이스에 대한 설계규정은 라이브러리에 기억될 수 있다. 따라서, 집적 회로 설계자는, 집적 공정이 조립시에 이용가능하고, 선택된 디바이스가 이 공정과 모순되지 않도록 보장하기 위해서 라이브러리로부터 상이한 디바이스를 선택할 수 있다. 이런 식의 고려는 칩에 새로운 설계를 할 때에 설계 시간을 절약할 수 있다.

제6a도는 공정의 초기 단계를 개략적으로도시한 단면도이다. 양호하게, 초기 물질은 예를 들어, 비저항이 약 0.015이고 결정면이 [100]인p형 실리콘 기판(150)이다. (p^-)에피택셜층(152)는 실리콘 기판(150)의 상부에 성장된다.

본 발명의 공정은 각각의 디바이스 영역내에 각각 형성된 11개의 상이한 디바이스의 제조에 따라 제6a도 내지 제6g도에 도시되어 있다. 이하, 저전압 P 채널 전계 효과 트랜지스터(139), 저전압 논리 n 채널 전계 효과 트랜지스터(140)[디바이스(139 및 140)은 약 5 볼트 이하의 전압에서 설계됨], EEPROM 어레이용 p 채널 분리 또는 게이팅 전계 효과 트랜지스터(141), EEPROM 어레이용 n 채널 분리 또는 게이팅 전계 효과 트랜지스터(142), 전기적으로 프로그램가능한 ROM 파울러 노드하임 터널링 셀(143), 드레인 연장 n 채널 전계 효과 트랜지스터(144), 드레인 연장 p 채널 전계 효과 트랜지스터(145), 수평 확산 소오스/드레인 MOS(LDMOS) n 채널 전계 효과 트랜지스터(146), 수직 확산 소오스/드레인 MOS(VDMOS) n 채널 전계 효과 트랜지스터(147), 쇼트키 다이오드(148) 및 플로팅 게이트 애벌랜치 MOS(FAMOS) EEPROM 셀(149)의 제조에 대해 상세하게 설명하겠다. 이들 디바이스가 형성될 각각의 디바이스 영역 및 디바이스 자체는 전체 도면에 걸쳐 동일한 번호로 표시된다. 디바이스(141 내지147 및 149)는 저전압 논리 트랜지스터(139 및 140)보다 훨씬 큰 전압 및/또는 전류 밀도에 종속되도록 설계된다.

칩(22) 상에 제조될 제1 주요 디바이스 구조는 (n^+) 매입층 (154)이다. 이 공정 단계는 제5도의 (n^+) 매입층 제조 단계(100)에 대응한다. 산화물층(도시되지 않음)은 (p^-) 에피택셜층(152)의 표면상에 피착되고, (n^+) 매입층 주입이 발생하는 영역을 정하기 위해 패턴되어 에칭된다. 예를 들어, 주입은 약 4×10^{15} ions/㎠의 도우즈와 약 40KeV에서 안티몬과 같은 n형 도펀트로 행해질 수 있다. 주입된 도펀트는 비활성 대기하에 후속 고온도 단계에서 확산된다. 매입층(154)가 형성된 후, 반도체 기판의 다른 (p^-) 에피택셜부(156)이 매입층(154) 상부 및 칩의 나머지 표면상에 성장된다. 이러한 최종 에피택셜 피착은 약 11 미크론의 깊이로 행해진다.

일단 (n^+) 매입층(154)가 형성되어 매입되면, 양호한 공정에서의 다음 단계는 여러가지 디바이스용 고전압 n 탱크를 형성하는 것이다. "고전압"이라는 용어는 이들 탱크에 형성된 디바이스가 공급받게 될 전압을 의미하는데, 12 볼트 및 18 볼트와 같은 고전압 및 60 볼트까지 이르는 과도 현상은 디바이스가 각각 형성되는, 크고 깊지만 도펀트 농도가 낮은 탱크를 필요로 한다. 고전압 (n^-) 탱크의 생성은 제5도의 하이 레벨 단계(102)에 대응한다.

산화물층(164) 및 질화물층(166)이 성장된다. 질화물층(166)은 고전압 n 탱크 주입이 발생하는 영역을 정하기 위해 패턴된 다음 에칭된다. 그 다음, (n^-) 탱크 주입은 양호하게 약 2.5×10^{12} ions/㎠의 도우즈와 약 80 KeV의 에너지에서 행해진다. 이것은 고전압 (n^-) 탱크 영역(168, 169, 170 및 171)을 생성한다. 탱크(168 및 169) 부분은 각각 p 채널 트랜지스터(141 및 145)용 채널 영역을 형성할 수 있다. 탱크(170 및 171)은 각각 PMOS 트랜지스터(146 및 147)용 드레인부를 형성할 수 있다.

(n^+) 매입층(154)는 수직 DMOS 전계 효과 트랜지스터(147)의 드레인 또는 소오스로서 작용한다. 매입층(154)를 칩(22) 상의 다른 디바이스들과 접속시키기 위해 매입층(154)와의 도전성 접속이 이루어져야 한다. 이러한 실현된 방법은 깊은 (n^+) 주입부(172)를 관통하는 것이고, 제5도의 단계(104)에 대응한다. 이러한 접속을 수행하는 별도의 방법은 후술된 도전성 트렌치 접속부를 관통하는 것이다. 제6a도 내지 제6g도에 도시된 실시예에 있어서, 깊은 (n^+) 패턴은 포토레지스트에 의해 칩 표면상에서 정해지고, 소정의 나머지 부분의 질화물층(166)은 플라즈마(도시되지 않음)에 의해 에칭된다. 그 다음, 깊은 (n^+) 주입은 약 1.0×10^{16} ions/㎠와 약 80 KeV에서 인을 사용하여 수행된다. 그 다음, 고전압 n 탱크 영역(168-171) 및 깊은 (n^+) 영역(172)는 수 시간동안 비활성 대기하에 약 1200℃에서 열적 단계에 의해 유도된다.

다음에 n형 탱크 주입은 저전압 디바이스에서 수행된다. 이것은 제5도의 하이 레벨 단계(106)에 대응한다. 질화물층(166)은 패터닝되어 에칭되고, 질화물 에칭을 정하기 위해 사용된 포토레지스트층(도시되지 않음) 및 질화물층(166)은 저전압(n^-) 탱크(175, 176 및 177)의 주입을 위해 마스크로서 사용된다. n 탱크(175)는 저전압 p 채널 전계 효과 논리 트랜지스터(139)용 밀봉 탱크로서 사용될 수 있다. n 탱크(176)은 드레인 연장 n 채널 전원 트랜지스터(144)의 드레인부로서 사용될 수 있다. n 탱크(177)은 쇼트키 다이오드 (148)의 밀봉 탱크로서 사용될 수 있다. 본 명세서에 기술된 공정의 기술적 장점중 한가지 장점은 드레인 연장 n 채널 전계 효과 트랜지스터(144)의 드레인(176)이 n 탱크(175 및 177)과 동시에 발생된다는 것이다. 이것은 요구된 마스크의 수를 감소시킴으로써 공정을 간략화하고 불필요한 주입, 에칭, 열 및 크린업 단계에 의한 칩(22)의 손상을 완화시킨다.

도시된 단면도에 주어진 유사한 주입 경계부는 모든 열 단계가 완료된 후에 얻어진 경계부라는 것을 인지하여야 한다. 공정의 이러한 초기 단계에서, 경계부는 그렇게 깊거나 넓지 않지만, 경계부는 다른 열 단계가 반도체 칩(22) 상에서 실행될 때와 같이 도시된 경계부와 유사하다.

저전압 n형 주입 단계(106)(제5도) 후에, 패드 산화물(178)은 미리 에칭된 영역내에 성장된다. 그 다음, 질화물 마스크(166)은 후속 공정 단계의 준비로 고온 인산 에칭시에 스트립된다.

제6b도를 참조하면, 양호한 공정의 다른 단계가 도시되어 있다. 상기 공정의 다음에 즉시 발생하는 단계는 제5도의 고전압 p 탱크 형성 단계(107)에 대응한다. EEPROM 셀(143)용 분리 탱크, 드레인 연장 n 채널 전원 전계 효과 트랜지스터(144) 및 FAMOS EEPROM 셀(149)용 탱크로서 각각 사용되는 고전압 p 탱크는 포토레지스트층(도시되지 않음)을 사용하여 패턴된다. 다음에 (p^-) 주입은 약 1.4×10^{12} ions/㎠의 도우즈와 약 40 KeV의 에너지에서 붕소로 수행된다. 이것은 고전압 p 탱크 영역(180, 182, 184 및 186)을 발생시킨다. 고전압 p 탱크(180)의 주입은 도시된 바와 같이 고전압 p 탱크(180)과 저전압 n 탱크(176) 사이의 p/n 다이오드 경계를 변화시킨다.

제5도의 단계(108)에 이르러서, 저전압 p 탱크가 포토레지스트층(188)과 함께 패턴된 다음, p 형 주입이 양호하게 약 2.5×10^{12} ions/㎠의 도우즈와 약 40KeV의 에너지에서 붕소로 수행된다. 이 주입은 저전압 n 채널 전계 효과 트랜지스터(140)용 저전압 p 탱크(190), 연장 드레인 p 채널 트랜지스터(145)의 드레인으로서의 영역(192), 수평 DMOS n 채널 트랜지스터(146)의 채널 영역으로서의 영역(194) 및 수직 DMOS n 채널 전력용 트랜지스터(147)의 채널 영역으로서의 영역(196)을 발생시킨다. 그 다음에, 포토레지스트층(188)은 스트립된다.

제6c도를 참조하면, 제5도의 깊은 (p^+) 영역 제조 단계(109)에 대응하는 제조 단계가 도시되어 있다. 포토레지스트층(198)은 수평 DMOS n 채널 트랜지스터(146) 및 수직 DMOS n 채널 트랜지스터(147)용 백 게이트의 제조시에 사용된 깊은 (p^+) 주입부의 주입용 마스크로서 패턴된다. 주입은 양호하게 약 1×10^{12} ions/㎠의 도우즈와 약 40KeV의 에너지에서 붕소로 행해진다. 고전압 p 탱크, 저전압 p 탱크 및 깊은 (p^+) 주입 단계후에, 열 탱크 유도 단계가 약 500분 동안 비활성 대기하에 약 1100℃에서 수행된다. 깊은 (p^+) 주입 단계는 수평 DMOS n 채널 트랜지스터(146) 내에 깊은 (p^+) 백 게이트 영역(200)을, 그리고 수직 DMOS n 채널 트랜지스터(147)의 중앙에 깊은 (p^+) 백 게이트 영역(202)를 형성한다. 그 다음, 포토레지스트층(198)은 스트립된다. (p^-) 탱크(194 및 196)은 실제 마진 만큼 각각 고전압 n 탱크(170) 및 고전압 n 탱크(171)의 수평 마진에서 떨어져 격설되도록 위치 설정된다. 또한 p 탱크(196)은 깊은 (n^+) 확산 영역(172)로부터 현저하게 격설되는데, 이것은 양호한 실시예에서 고리모양 또는 띠 형태를 취한다. 깊은 (p^+) 주입부(200 및 202)는 양호하게 각각의 (p^-) 탱크(194 및 196) 내부의 중앙에 배치되어, 각각의 (p^-) 탱크(194 및 196)의 수평 마진으로부터 내부로 격설된다.

이제, 공정 단계는 제5도의 공정도에 도시된 바와 같은 모트 단계(110)으로 들어간다. 이 부분의 공정은 제6d도에 부분적으로 도시되어 있다. 모트 패드 산화물층(도시되지 않음)은 반응물로서 과산화수소를 사용하여 약 400Å의 깊이로칩(22)의 표면을 가로질러 형성된다. 그 후, 질화물층[층(204)는 제6d도에서 질화물 및 패드 산화물을 모두 나타냄]은 암모니아와 디클로로실란의 결합과 같이, 실리콘 질화물 피착 시스템을 사용하여 800℃에서 열 단계시에 약 1400Å의 깊이로 형성된다. 합성 질화물/산화물 모트층(204)는 패턴된 다음, 도시된 바와 같이 모트 마스크(204)를 남겨둔 채 플라즈마 에칭된다. 모트 질화물/산화물층(204)은 후속 주입 및 국부화 산화(LOCOS) 단계로부터의 보호물로서 n 및 p 탱크의 중앙 영역상에 배치된다.

다음에 제5도의 채널 저지 단계가 수행된다. 칩(22)상에 제조될 이들 디바이스가 (n^-) 탱크내에 형성되는 경우, 채널 저지 도펀트는 모트층(204)에 의해 노출된 상태인 영역내에 주입되지 않는 것이 바람직하다.

그러므로, 포토레지스트층(206)은 채널 저지 영역의 다수의 수평 연부를 정하기 위해 패턴된다. 예를 들어, 채널 저지 주입은 약 3×10^{13} ions/㎠의 도우즈와 약 30 KeV의 에너지에서 붕소와 같은 p 형 도펀트로 실행될 수 있다. 이것은 제6d도에 플러스("+"; 208)로 표시된 채널 저지 영역을 형성할 수 있다. 채널 저지 영역(208)은 간결성을 위해 후속 단면도(제6e도 내지 제6g도)에서 생략된다. 채널 저지 주입은 도전형의 (p^-) 에피택셜층(152)를 주입된 채널 저지 영역(208)에서 p형으로 확대시키는 작용을 한다. 이것은 디바이스들 사이에 기생 트랜지스터가 형성되지 못하도록 한다. 포토레지스트층(206)은 후속적으로 분쇄되어 칩(22)의 표면으로부터 제거된다.

제6e도를 참조하면, 제5도에 도시된 바와 같이 하이 레벨 채널 저지 단계(112)하의 다른 단계가 도시되어 있다. 다음에 국부화 산화(LOCOS)가 약 9시간 내지 10시간동안 약 900℃에서 과산화수소와 같은 산화 분위기하에서 약 7600Å의 두께(제6a도 내지 제6g도에 도시된 두께는 크기대로 도시되지 않음)로 발생한다. 산화는 제6d도에 도시된 바와 같이 질화물/산화물 마스크(204)에 의해 노출된 상태인 이들 영역에서 발생된다. 이것은 제6e도에 도시된 바와 같이 분리 산화물 영역(210)을 형성한다. 마스크층(204)의 산화물 부분은 2분동안 불화수소산 침액으로 제거되고, 층(204)의 질화물 부분은 약 185℃에서 약 185분 동안 고온 인산 용액으로 제거된다.

크린업 단계 후, 더미 산화물층(도시되지 않음)은 손상된 물질을 제거하기 위해 노출된 실리콘 표면상에 성장된다. 이 더미 산화물층은 후속적으로 불화수소산 습식 에칭으로 스트립된다.

계속해서 제6e도를 참조하면, 다음 공정 단계가 도시되어 있다. 이러한 단계는 제5도에 도시된 "터널 다이오드" 단계(133) 및 "FAMOS 플로팅 게이트" 단계(114)에 대응한다. EPROM 플로팅 게이트 산화물층(212)는 플로팅 게이트 애벌랜치 MOS(FAMOS) EPROM셀(149)에서 성장된다. 이 산화물층(212)는 산소 분위기하에 약 900℃에서 약 350Å의 깊이로 성장된다. 포토레지스트층(222)는 칩(22)의 표면 상에 피착되고 터널 다이오드용 주입 면적을 정하기 위해 패턴된다. 다음에, 인 주입이 산화물층(218)을 통해 수행되어 (n^-) 터널 영역(224)를 생성하도록 주입될 면적 상에 존재한다. 터널 영역(224) 상에 존재하는 산화물층(212)의 일부분은 반도체 표면의 후면에 에칭된다. 그 다음에 포토레지스트층(222)는 스트립된다. 다음에, 터널 산화물층(226)은 약 850℃에서 산소 분위기하에 약 90Å의 두께로 노출된 표면 상에 후면 성장된다(제6f도 참조).

그 다음, 다결정 실리콘(폴리 1)의 제1 층(214)는 예를 들어, 약 625℃에서 기체 실리콘 캐리어와 같은 실란을 사용하여 약 2000Å의 깊이로 칩 표면상에 피착된다. 폴리 1층(214)는 약 20분동안 약 900℃에서 칩(22)를 질소-산소-$POCl_3$ 분위기에 둠으로써 도전성을 갖게하기 위해 인으로 도프된다. 폴리 1 층(214)는 제6e도에 도시된 바와 같이 FAMOS 플로팅 게이트(214) 및 게이트 산화물(212)를 생성하기 위해 글레이즈를 제거하여 패턴된 다음 에칭된다.

게이트 산화물층(212)를 형성하여 폴리 1 층(214)를 피착하는 단계 동안, 폴리 1층은 칩(22)의 다른, 비어레이 부분(도시되지 않음) 상에 피착된다. 폴리 1층(214)의 피착, 패터닝 및 에칭 이후에, 중간 레벨 산화물층은 산소 분위기하에 약 950℃에서 약 110Å의 깊이로 폴리 1층(214)의 노출된 표면상에 성장된다. 이것은 암모니아 및 디클로로실란의 분위기 하에 약 800℃에서 약 250Å의 깊이로 성장된 중간 레벨 질화물층 이후에 행해진다. 결합된 질화물/산화물 샌드위치층은 제6e도에세 셀(149)용 단일층(216)으로 도시되어 있다.

질화물/산화물 절연체층(216)을 형성하는 단계 후, 포토레지스트층(도시되지 않음)은 모든 FAMOS n 채널 EEPROM 셀(149)용 층(216)을 피복하는데 사용된다. 그러나, 질화물층(216)의 비어레이 부분은 노출된 상태로 남는다. 질화물층(216)의 비어레이 부분은 에칭된 다음 제거된다.

잠깐 제5도를 다시 참조하면, 다음 하이 레벨 공정 단계는 고전압 디바이스 V_t 조정 단계(116)이다. 이 단계중에, 포토레지스트층 (도시되지 않음)은 칩상에 피착되어 고전압 n 탱크(158, 160, 162 및 164)를 노출시키기 위해 패턴된다. 이 탱크들은 p 채널의 임계 전압을 약 1 볼트 만큼 변경하기에 충분한 농도와 에너지에서 붕소가 주입된다. 그 다음, 포토레지스트층(도시되지 않음)은 스트립된다. 제2 임계 전압 조정 주입은 고전압 p 탱크 구조(182, 184, 180 및 186)을 사용하여 이들 디바이스에 수행된다. 포토레지스트층 (도시되지 않음)은 칩(22)상에 피착되어 여러 층을 피복하는 동안 이들 영역을 선택적으로 노출시키기 위해 패턴된다. 그 다음, n 채널 V_t 조정 주입은 임계 전압을 0.85 볼트 만큼 변경하기 위해 붕소를 사용하여 실행된다.

고전압 V_t 조정 주입 후, 고전압 게이트 산화물층(218)은 산소 분위기하에 약 900℃에서 325 내지 500Å의 깊이로 실리콘의 노출 부분 상에 성장된다.

다음 고차 공정 단계(118)(제5도)은 저전압 V_t 조정 주입에서 실현된다. 계속해서 제6e도를 참조하면, 포토레지스트층(도시되지 않음)은 칩(22)의 표면상에 피착되어 저전압 탱크(175, 190, 182, 176, 192, 194 및 196)을 노출시키기 위해 패턴된다. 그 다음, 붕소의 주입은 또한 저전압 탱크 영역상에 존재하는 고전압 게이트 산화물층(218)을 통해 행해진다. 이러한 주입 단계가 발생한 후, 동일하게 패턴된 레지스트층을 사용하여, 게이트 산화물층(218)은 상술된 저전압 n 및 p 탱크 표면으로부터 에칭된다. 게이트 산화물층(218)은 이 에칭 단계 후에 고전압 탱크(168, 182, 184, 180, 169, 170, 171 및 186)상에 남겨진다.

다음에, 구 포토레지스트층은 스트립되고 저전압 게이트 산화물층(220)은 에칭 제거 고전압 게이트 산화물층(218) 대신에 전계 효과 트랜지스터(139 및 140)의 저전압 탱크상에 성장된다. 저전압 게이트 산화물층(220)은 산소 분위기를 갖는 열 단계하에서 약 200Å의 깊이로 성장된다.

제5도의 다음 하이 레벨 공정 단계(122)는 다수의 도전성 레벨 폴리 2 게이트의 피착, 도프 및 한정에 관한 것이다. 제6f도를 참조하면, 제조 공정의 다음 단계가 도시되어 있다. 다결정 실리콘(폴리 2)의

제2 층은 약 4500Å의 깊이로 피착된다. 예를 들어, 이것은 약 625℃에서 피착제로서 실란을 사용하여 실행될 수 있다. 그 다음, 폴리 2 층은 약 900℃에서 질소와 산소가 존재하는 열 단계시에 예를 들어, $POCl_3$ 상태에서 도전성을 갖게하기 위해 인으로 도프된다. 그 다음, 폴리 2층은 글레이즈가 제거된다. 포토레지스트층(도시되지 않음)은 표면을 가로질러 피착되어 패턴된다. 그 다음, 제2 폴리층은 후속하는 폴리 2 게이트들, 즉 저전압 p 채널 트랜지스터 게이트(228), 저전압 n 채널 트랜지스터 게이트(230), p 채널 EEPROM 트랜지스터 게이트(232), n 채널 EEPROM 트랜지스터 게이트(234), n 채널 EEPROM 제어 게이트(236), EEPROM 플로팅 게이트(238), 드레인 연장 n 채널 트랜지스터(240), 드레인 연장 p 채널 트랜지스터 게이트(242), 고리모양 또는 띠형 수평 DMOS n 채널 트랜지스터 게이트(244), 고리모양 또는 띠형 수직 DMOS n 채널 트랜지스터 게이트(246) 및 FAMOS n 채널 제어 게이트(248)(이 최종 게이트는 이때 부분적으로만 정해짐)을 정하기 위해 에칭된다.

제6g도를 참조하면, 집적 제조 공정의 나머지 주요 단계가 도시되어 있다. 제5도를 다시 참조하면, 제6g도에 도시된 다음 단계는 E⊏PROM 적층 에칭 단계(124), 소오스/드레인 제조 단계(126) 및 접촉 단계(128)이다. 포토레지스트층(도시되지 않음)은 칩(22)의 표면상에 피착되어 EPROM 영역(149)내의 제2 폴리층(248)의 쓸모없는 부분을 노출시키기 위해 패턴된다. 패턴된 포토레지스트는 EPROM 플로팅 게이트 산화물(212), EPROM 플로팅 게이트(214), 질화물/산화물 샌드위치층(216) 및 제2 폴리 제어 게이트(248)을 포함하는 적층을 정한다. 동일한 포토레지스트 마스크를 사용하여, 이들 모든 층은 제6g도에 도시된 바와 같이 "적층"(212, 214, 216 및 248)까지 계속적으로 에칭되어 생성된다. 그다음, 패턴된 포토레지스트층은 제거된다.

후속하는 적층 에칭에 있어서, 2000Å 두께의 산화물층(도시되지 않음)은 칩(22)상에 피착되어 측벽 산화물 영역(250)을 형성하기 위해 비등방성으로 후면 에칭된다. 수직 릴리프를 갖는 면의 형태에서 산화물의 초기 두께는 일반적으로 산화물층의 두께보다 깊기 때문에, 영역(250)은 후면 에칭된 그 위에 남는다. 후면 에칭후, 300Å의 캡 산화물층은 노출면의 게이트(228, 230, 232, 234, 236, 238, 240, 242, 244, 246 및 248)을 절연시키기 위해 산소 분위기하에서 열 단계시에 성장된다.

다음에, 포토레지스트층(도시되지 않음)은 칩(22)의 표면상에 피착되어 디바이스 영역(140, 142 및 143)을 노출하기 위해 패턴된다.

또한, 디바이스 영역(144, 145, 146 및 147)의 선택된 부분은 노출된 상태로 유지된다. EPROM 디바이스 영역(149)도 노출된 상태로 유지된다. 그 다음, 저밀도 확산(LDD) 주입은 약 4.0×10^{14} ions/㎠의 도우즈와 약 80 KeV의 에너지에서 인과 같은 이동성 n형 도펀트로 실행된다. 이것은 소오스/드레인 영역(254, 256, 258, 260, 262, 및 264), 드레인 연장 n 채널 트랜지스터(144)용 소오스 영역(266), 트랜지스터(144)의 드레인용 접촉 영역(268), 수평 DMOS n 채널 트랜지스터(146)용 드레인 접촉 영역(272) 및 고리모양 소오스/드레인 영역(274), 수직 DMOS 트랜지스터(147)용의 깊은 (n^+) 접촉 영역(276) 및 고리모양 소오스/드레인 영역(278), 쇼트키 다이오드(148)용 접촉 영역(278), 및 FAMOS EPROM셀(194)용 소오스/드레인 영역(280 및 282)를 형성한다.

제2 (n^+) 소오스/드레인 주입은 이들 (n^+)를 형성하는 동일한 영역내의 LDD 주입에 후속하고, 약 5×10^{15} ions/㎠의 도우즈와 약 120 KeV의 주입 에너지에서 비로소 실행된다. 그 후, 이들 2개의 주입부는 도시된 주입 경계부를 얻기 위해 질소 분위기하에서 약 900℃에서 어닐링된다. 특히, (n^+) 영역(274 및 278) 내의 인 도펀트 부분은 LDMOS 트랜지스터(146) 및 VDMOS 트랜지스터(147)용의 각각의 게이트 산화물(218) 아래에서 부분적으로 확산된다.

(n^+) 소오스/드레인 패턴 포토레지스트층(도시되지 않음)은 스트립되고, 다수의 (p^+) 소오스/드레인 영역을 정하기 위해 패턴된 포토레지스트층(도시되지 않음)으로 대체된다. (p^+) 소오스/드레인 주입은 약 2×10^{15} ions/㎠의 도우즈와 약 25 KeV의 에너지에서 붕소로 실행된다. 이 주입 단계는 각각 저전압 및 EEPROM 게이팅 p 채널 전계 효과 트랜지스터(139 및 141)용의 (p^+) 소오스/드레인 영역(284, 286, 288 및 290), 드레인 연장 p 채널 트랜지스터(145)용의 소오스 (292) 및 드레인 접촉 영역(294), 및 수평 DMOS 트랜지스터(146) 및 수직 DMOS 트랜지스터(147) 용의 중앙 백 게이트 접촉 영역(296 및 298)을 형성한다.

상기 단계는 제5도의 소오스/드레인 제조 단계(126)에 대응한다. 다음에 공정은 "접촉부" 단계(128)로 계속된다. 크린업 단계후, 붕인산 실리콘 유리(BPSG)가 피착되어 조밀해진다. 포토레지스트층(도시되지 않음)은 패턴되어 각각의 디바이스(139 내지 149)용 접촉부(도시되지 않음)에서 에칭된다. BPSG(300)은 쇼트키 다이오드 디바이스 영역(148)에 관련하여 도시된다. 패턴된 포토레지스트는 쇼트키 다이오드의 오리피스(302)를 포함하는 접촉 오리피스의 연속 습식 및 플라즈마 에칭시 마스크로서 사용된다.

다른 크린업 단계후, 백금은 쇼트키 다이오드 오리피스(320)에만 피착되고 백금 규화물층(304)를 생성하기 위해 소결된다. 반응하지 않은 백금은 제거된다. 그 다음, 오리피스(302) 및 다른 접촉 오리피스(도시되지 않음)에서 티타늄 텅스텐 합금과 같은 내화 금속은 약 3300Å의 깊이로 스퍼터된다. 이것은 제1 레벨 금속화로 완성하기 위해 다른 약 6000Å의 알루미늄 구리 합금으로 계속된다. 그 다음, 제1 금속층(금속 1)이 패턴되고 에칭되어 소결된다. 금속 1 접촉부는 제6G도에 참조 번호(306)으로 표시되고, 유사한 금속 접촉부는 각각의 디바이스(139-149)의 디바이스 단자에 형성된다. 소정의 이들 접촉부는 제6g도에 도시된 단면내에 형성되지 않고 다른 접촉부는 명확성을 위해 생략된다.

나머지 공정 단계는 본 분야에 숙련된 기술자들이라면 용이하게 인지할 수 있으므로 제6g도에 도시하지 않았다. 중간 레벨 절연체층은 제1 레벨 금속화층상에 피착되고 있는 비아는 패턴되어 절연체층내로 에칭된다. 티타늄 텅스텐 합금 및 알루미늄 구리 합금을 스퍼터함으로써 후속적으로 형성된 제2 금속층은 패턴된 다음 에칭된다. 질화물/산화물층은 칩(22)의 표면상에 피착된다. 이 질화물/산화물층은 보호 오

버코팅을 형성하는데, 이것은 칩(22)의 리드 패턴(56)을 노출시키기 위해 패턴되어 에칭된다(제3도 참조). 포스트 크린룸 단계는 제5도의 단계(138)에 후속된다.

제6g-1도는 수직 DMOS 트랜지스터(147)을 상세하게 도시한 단면도이다. 상술된 바와 같이, 소오스/드레인 영역(278)은 비소와 같은 농후한 n형 도펀트의 (n^+) 주입 뿐만 아니라 인의 LDD(저밀도 확산) 주입을 받아들이는 곳이다. 저전압 p 탱크(196)은 붕소와 같은 도펀트로 형성된다.

종래 기술에 따르면, p 탱크(196) 및 소오스/드레인 영역(278)에 상당하는 구조는 측벽 산화물 영역(250)에 의해 보강된 폴리 게이트(246)의 내부 수평 마진으로 자기 정합됨으로써 주입되었다. 인이 매우 빠른 이동성 도펀트이기 때문에, 소오스/드레인 영역(278)은 금속 채널 길이(l_1 및 l_2)를 감소시키거나 제거하는 붕소 한정 (p^-) 채널 영역(196)보다 더 빠른 비율로 게이트(276) 아래에서 수평으로 확산되는 경향이 있다. 이러한 문제점을 방지하기 위해, 소오스/드레인 영역(278)의 도펀트 농도는 적정량보다 상당히 적게 또는 약 10^{18} ions/㎤로 형성되었다.

집적 공정이 폴리 게이트(246)의 응용전에 저전압 p 탱크(196)을 형성하기 때문에, 소오스/드레인 영역(278) 내의 도펀트 농도는 최소한 10^{20} ions/㎤ 정도 증가될 수 있다. (n^+) 영역(278)이 폴리 게이트(246)으로 자기 정합되기 때문에, 채널 길이 (l_1, l_2)는 저전압 p 탱크(196)으로의 폴리의 정합에 의해 결정된다. LDMOS 트랜지스터(146)의 구조 및 장점은 유사하다.

제6h-1도는 LDMOS 트랜지스터(146)의 평면도이다. 모트 산화물 경계(210)은 활성 디바이스 영역 주위의 장방형(액자형) 테두리를 형성한다. 고전압 n 탱크의 경계는 모트 산화물(210)의 내부에 장방형 윤곽선(170) 세트로 도시된다. 수직 DMOS 구조(147)의 경우, 깊은 확산 영역이 필요로 되고 이것의 내부 한계는 참조 번호(172b)로 가상선으로 도시된다. 또한 이것은 깊은 확산 접촉 영역(276)의 근사경계이다. 제6h-1도에는 (n^+) 탱크(170) 내부에 배치된 LDMOS 또는 VDMOS 구조의 단일 "스트라이프"가 도시되어 있다. 외부 둥근선(244a)는 폴리 게이트(244)의 외부 한계를 표시한다. LDMOS 경우에 있어서, 다음 내부선은 수평 외부 (n^+) 소오스/드레인 영역(272)의 내부 경계를 표시하고, 이것은 모트 산화물(210)의 내부 경계(272a로 도시됨)에서 참조 번호(272b)에서의 폴리 게이트(244) 하부의 한 지점으로 연장한다. VDMOS 경우에 있어서, 이 외부 소오스/드레인 영역의 내부 경계는 참조 번호(172b)로 도시된 깊은 확산 영역의 내부 경계로 유지된다.

내부로 진행하면서 마주치는 다음 한계는 금속 1 도체 마진이다. 내부 고리모양 (n^+) 소오스/드레인 영역의 외부 경계는 참조 번호(274a)에서 마주친다. 저전압 p 탱크(194)의 외부 경계는 외부 소오스/드레인 영역(272b)의 내부 경계와 동일할 수 있다. 다음 경계 내부는 고리모양 폴리 게이트(244)의 내부 수평 마진(244b)이다. 깊은 (p^+) 확산 표면 접촉 영역(296)의 외부 수평 마진은 다음에 나타난다. 방사상으로 내부로의 경계는 깊은 (p^+) 백 게이트(200)의 외부 한계이다. 내부로 진행하면서 마주치는 최종 한계는 (n^+) 소오스/드레인 영역(274)의 내부 경계(274b)이다.

LDMOS 트랜지스터(146)의 평면도의 일부분만 도시되어 있다. 하지만, 전형적인 경우에 있어서, 폴리(244a)의 외부 마진에 의해 한계가 정해지면, 트랜지스터(146)의 직경은 약 32 미크론이고 트랜지스터(146)의 길이는 500 내지 1010 미크론이다. 또한, 소정의 이러한 "스트라이프"는 동일한 n 탱크(170) 내부에 배치되어 평행하게 접속될 수 있다. 이와 마찬가지로, 이들 동일한 평행 "스트라이프"는 수직 DMOS 트랜지스터 구조의 경우에 동일한 고리 모양의 깊은 (n^+) 확산 영역(122) 및 동일한 (n^+) 매입층(154)(제6g도 참조)를 공유할 수 있다.

디바이스(139-149)가 각각의 제조 공정 단계 동안 집적 공정을 나타내는 예로 사용되었지만, 또 다른 디바이스들도 동일한 공정 흐름을 사용하여 구성될 수 있다. 후속하는 제7도 내지 제14도는 모두 유사한 방식으로 배열된다. 예를 들어, 제7a도 내지 제7h도에는 모두 백 게이트의 접속이 추가된, 제6a도 내지 제6g도에 도시된 트랜지스터(139)와 유사한 저전압 P 채널 전계 효과 트랜지스터(303)이 도시되어 있다. 이들 중 제7a도 내지 제7g도는 각각 제6a도 내지 제6g도에 대응하는 개략 단면도이다. 제7h도는 트랜지스터(303)의 개략 평면도이다. 이 패턴은 다른 디바이스에 대한 나머지 도면(제8도 내지 제14도)에 도시된 바와 같이 반복된다. 제7도 내지 제14도를 통해서, 제6a도 내지 제6g도에 대응하는 구조에는 가능한 한 동일한 부호를 표시한다.

특히, 제7a도를 참조하면, 참조 번호(303)으로 나타내고, 백 게이트 접속을 갖는 저전압 p 채널 트랜지스터는 제6a도 내지 제6g도에 도시한 디바이스와 동일한 공정 흐름 중에 제조될 수 있다. 저전압 n 탱크(304)는 탱크(175)(제6a도)와 동시에 주입된다. 포토레지스트층(166)은 패턴되어 저전압 n 탱크(304)용 마스크로서 사용된다. 제7b도에 있어서, n 탱크(304) 및 피복 산화물(178)은 안정한 상태를 유지한다. 제6c도에 도시한 단계에서와 같이 디바이스 영역(303)에서는 특이한 점이 발생되지 않으므로, 제7c도는 생략된다. 제7d도에 있어서, n 탱크(304) 및 산화물층(178)은 질화물/산화물 층(204)와 패턴된 채널 저지 한정 포토레지스트층(206)의 조합에 의해 마스크 오프된다. 다음에 p 형 채널 저지 영역(208)은 이 도면내에서 "+" 기호로 도시한 바와 같이 주입된다.

제7e도에 있어서, 포토레지스트층(206)을 스트립한 후, 국부화 산화물(LOCOS) 공정은 질화물/산화물(204)(제7d도)에 의해 피복되지 않은 상태인 영역들 내에 분리 산화물 영역(210)을 생성하기 위해 사용된다. 고전압 게이트 산화물(도시되지 않음)이 에칭되고 저전압 V_t 조정 수입이 수행된 후, 게이트 산화물층(220)은 탱크(304)의 표면 상에 성장된다. 제7e도는 터널 다이오드(244)(제6e도)가 주입된 때에 디바이스(303)의 상태를 도시한 것인데, 디바이스(303)의 전체는 포토레지스트층(222)에 의해마스크 오프된다.

폴리 2 게이트(306)은 제7f도에 도시한 바와 같이 피착, 도프, 패터닝 및 에칭된다. 제7g도에 있어서, 게이트(306)은 측벽 산화물 영역(250) 및 캡 산화물(252)에 의해 절연된다. 제6g도에서 설명된 LDD 주입은 (n^-) 주입 영역(308)을 생성한다. 트랜지스터 영역(303)의 잔여 부분은 이 주입 단계에서 포토레지스트에 의해 마스크된다. 이것은 단계(126)(제5도)중에 발생되는 (n^+) 소오스/드레인 비소 주입과 동시에 발생되는 (n^+) 주입 다음에 행해진다. 이것은 (n^+) 영역(350)을 생성한다. 영역(308 및 310)은 n 탱크(304)와의 백 게이트 접속으로서 작용한다. 제6g도와 관련하여 설명된 (p^+) 소오스/드레인 주입 중에, 소오스/드레인 영역(312 및 314)는 트랜지스터(319)(제6g도)의 영역(284 및 286)과 유사한 방식으로 생성된다.

이제 제7h도를 참조하면, 완성된 디바이스(303)의 평면도가 개략적으로 도시되었다. 저전압 n 탱크(304)는 능동 디바이스 영역을 밀봉하는 장방형 실선으로 나타낸다. 소오스/드레인 주입부는 참조 번호(312 및 314)로 나타낸 점선 밀봉부에 의해 도시되었다. 백 게이트 접속 영역(308)은 점선 테두리에 의해 밀봉된 것으로 도시되었다. 영역(308)의 상부, 저부 및 좌측 테두리들, 영역(312)의 상부 및 저부 테두리들 및 영역(314)의 상부, 저부 및 우측 테두리들은 모트 산화물층(210)의 측방향 연부들에 의해 정해진다. 주입부(312 및 314)는 측벽 산화물(250)에 의해 증가된 바와 같이 LOCOS 산화물(210)의 연부들 및 제2 레벨 폴리 게이트(306)의 마진들에 자기 정합된다(제7g도 참조). 제2 레벨 폴리 게이트(306)은 접촉부(318)이 제1 레벨 금속으로 제조된 패드(316)으로 연장된다. 제1 레벨 금속은 또한 백 게이트(308), 소오스/드레인 영역(312) 및 트랜지스터(303)의 소오스/드레인 영역(314)와의 접촉부(320)을 형성하기 위해 사용된다.

제8b도 내지 제8h도는 백 게이트 접속을 갖는 저전압 n 채널 전계 효과 트랜지스터(322)의 제조시 연속적인 단계들을 도시한 것이다. 제6a도에서 도시한 공정 단계에서, 백 게이트 트랜지스터(322)가 개시되는 디바이스 영역내에서와 무관하기 때문에 제8a도는 생략되었다. 제8b도는 p 탱크(190)이 제6b도에서 형성되는 것과 동시에 저전압 p 탱크(324)의 주입을 도시한 것이다. p 탱크(324)는 패턴된 포토레지스트층(188)에 의해 정해진다. 제8c도에 있어서, 디바이스 영역(322)는 포토레지스트층(198)에 의해 마스크 오프된다. 제8d도에 있어서, 질화물/산화물층(204)는 채널 저지부(208)의 주입에 대한 마스크로서 사용되는데, 이후의 도면에서는 도시되지 않는다. 제8e도에서, 분리 산화물 영역(210)은 질화물/산화물층(204)(제8d도)에 의해 마스크되지 않은 영역내에서 성장된다. 고전압 게이트 산화물(218)(제8a도에는 도시되지 않음)은 탱크(324)의 표면 상에 성장된다. 탱크(324)는 고전압 V_t 조정 주입으로부터 마스크 오프되지만, 저전압 V_t 조정 주입을 수용하기 위해 패턴된다. 그 다음, 크린업 단계 후, 게이트 산화물층(220)은 성장된다. 도시한 바와 같이, 디바이스 영역(322)는 EEPROM 터널 다이오드 주입 단계 중에 포토레지스트층(222)에 의해 마스크 오프된다.

제8f도에 있어서, 다결정 실리콘 게이트(326)은 피착, 도프, 패터닝 및 에칭된다. 이 게이트(326)은 제8g도에 부가된 측벽 산화물 영역(250)뿐만 아니라 캡 산화물(252)를 갖는다. 게이트/측벽 산화물 구조물(326, 250)은 한 쌍의 n 주입부 즉, 인으로 소오스/드레인 영역(328) 및 소오스/드레인 영역(329)를 형성하는 저밀도 (n^-) 주입, 및 비로소 영역(330 및 331)을 형성하는 고밀도 주입을 부분적으로 자기 정합하기 위해 사용된다. 제조 공정 끝부분에서, 영역(328 및 329)는 게이트(326) 하부로 연장되도록 확산되고, 비소 한정 영역(330 및 331)은 이곳에 배치된다. 최종적으로, 영역(332)는 백 게이트 접속을 (p^-) 탱크(324)에 생성하기 위해 붕소에 의한 (p^+) 소오스/드레인 주입 단계 중에 패턴되어 주입된다.

제8h도는 저전압 n 채널 트랜지스터(322)의 개략적 평면도이다. p 탱크 경계는 참조 번호(324)로 나타내었다. 소오스/드레인 영역(328 및 329)는 분리 LOCOS 산화물(210)에 의해 [영역(328)에서] 2개의 측면들 또는 [영역(324)에서] 3개의 측면들 상에 정해진다. 주입부(328, 329, 330 및 331)[후자의 2개의 영역(330 및 331)에 대해서는 도면을 명확히 도시하기 위해 제8h도에서 생략되었으므로 제8g도 참조]은 게이트(326)에 자기 정합되고, (제8h도에는 도시되지 않은) 측벽 산화물 영역(250)을 동반한다. 백 게이트 확산부(332)는 LOCOS 산화물(210)에서 좌측 측면 상에 자기 정합된다. 이것의 우측면은 포토레지스트를 사용하여 정해진다. 폴리 2 게이트(326)은 패드(334)로 연장되고, 접촉부(336)은 제1 금속층(도시 안됨)으로부터 이곳과 접촉된다. 제1 금속층의 도체들은 또한 대응하는 접촉부(338)을 통해 백 게이트 접속부(332)및 소오스/드레인 영역(328 및 329)와의 접속을 형성한다.

이제, 제9a도 내지 제9h도를 참조하여, 18 볼트 백 게이트 NMOS 전계 효과 트랜지스터(340)에 응용할 때 본 발명의 제조 공정을 설명하겠다. 트랜지스터(340)은 고전압 NMOS 트랜지스터(141)과 유사하며, 이들 모두는 소거 전압 또는 프로그램 전압의 게이팅에 관련하여 EEPROM 어레이에 사용될 수 있다. 주요 후속에서 제6a도에 대응하는 제9a도는 고전압 n 탱크(168, 169, 170 및 171)이 형성되는 것과 동시에 형성된 고전압 n 탱크(342)의 형태를 도시한 것이다. 디바이스 영역(340)의 주변 부분들은 제6a도내의 저전압 n 탱크들의 형성중에 질화물층(166)에 의해 마스크되고, 탱크(342)는 포토레지스트층(도시 안됨)에 의해 마스크된다. 제9b도에 의해 부분적으로 도시한 바와 같이, 제6b도 및 제6c도에 의해 도시된 단계들 중에 디바이스 영역(340) 상에 형성되는 공정 단계들이 존재하지 않는다. 그러므로 제9c도는 생략된다.

제9d도를 참조하면, 탱크(342)는 질화물/산화물층(204)에 의해 부분적으로 마스크되고, 이 마스크는 패턴된 포토레지스트층(206)에 의해 완성된다. 이 포토레지스트층(206)은 "+" 기호에 의해 참조 번호(208)로 나타낸 채널 저지 영역들의 주입시에 사용된다. 명확하게 하기 위해 채널 저지 영역(208)은 후속하는 다른 도면들에서는 생략된다. 제9e도에 있어서, 분리 또는 모트 산화물 영역(210)은 질화물/산화물층(204)(제9d도 참조)에의해 노출되어진 반도체층의 표면부분에서 선택적으로 성장된다. 탱크(342)는 고전압 V_t 조정주입을 수용하기 위해 노출된다. 그 후, 고전압 게이트 산화물층(218)은 약 500Å의 깊이로성장된다.

제9f도에 있어서, 제2 다결정 실리콘층은 도전성 게이트(344)를 발생시키기 위해 피착, 도프, 패터닝 및

에칭된다. 제9g도에 있어서, 측벽 산화물 영역(250)은 캡 산화물층(252)와 같이 추가된다. 캡 산화물(252)의 형성 후, 탱크 접속 영역(346)은 (n^-) 저밀도 확산 주입 단계 중에 인의 주입에 의해 형성된다. 이것은 도펀트로서 인으로 수행된다. 동일한 마스크는 (n^+) 영역(348)을 형성하는 비소 주입에 사용된다. 소오스/드레인 영역(350 및 352)는 (p^+) 소오스/드레인 주입 단계 중에 형성되고, 게이트(344)에 자기 정합된다.

제9h도에는 디바이스(340)의 개략적 평면도가 도시되었다. 디바이스(340)의 개략적 도면이 제7h도 및 제8h도내에 도시한 도면과 유사하게 보일지라도, 이 트랜지스터(340)이 채널 양단간의 18 볼트의 V_{dd} 를 조정하기 위한 것이라는 사실로 인해 영역 차이가 있다. n 탱크 경계(342)는 제7h도 및 제8h도에 도시된 탱크 경계보다 크고 깊다. 모트 산화물(210)의 돌출부는 보다 넓고 게이트(344)도 넓다. 게이트(344)는 적절한 접촉부(356)에 의해 제1 금속 도체에 접속된 패드(354)로 연장된다. 이전과 같이, 5소오스/드레인 영역(350)은 상부 및 저부 측면 상의 분리 LOCOS 산화물층(210), 좌측면 상의 포토레지스트, 및 플로팅 게이트(344)와 이것을 동반하는 좌측면상의 측벽 산화물(250)(제9g도)에 의해 정해진다. 소오스/드레인 영역(352)는 3개의 측면들 상의 분리 산화물(210)의 연부 및 좌측면상의 측벽-산화물 게이트(344)에 의해 자기 정합된다. 백 게이트 접속 영역(346)은 산화물(210) 및 좌측면 상에 패턴된 포토레지스트에 의해 3개의 측면들 상에 정해진다. 적절한 접촉부(358)은 각각의 금속 1개의 도체(도시되지 않음)와 영역(346, 350 및 352) 사이에 형성된다.

그 다음, 제10b도 내지 제10h도를 참조하면, 백 게이트 18 볼트 NMOS 전계 효과 트랜지스터(360)의 제조시 연속적인 단계들이 도시되었다. 전계 효과 트랜지스터(360)은 제6a도 내지 제6g도에 도시한 n 채널 FET(142)와 유사하다. 이 18 볼트 트랜지스터는 셀들(143)(제6g도 참조)으로 구성될 수 있는 바와 같은 EEPROM 어레이에 대한 고전압의 게이팅에 유용하다.

이 후속내에는 제6a도가 나타내는 시간에 디바이스 영역(360)내에 탱크가 아직 형성되지 않았기 때문에 제10a도는 존재하지 않는다. 제10b도에 있어서, 고전압 p 탱크(362)가 형성된다. 산화물층(164) 및 포토레지스트층(188)은 칩(22) 상의 다른 곳에 저전압 p 탱크들의 주입을 수행할 때에 탱크(362)를 마스크 오프한다. 제10c도에 있어서, 고전압 p 탱크(362)는 깊은 (p^+) 백 게이트 영역(202)가 수직 DMOS 트랜지스터(147)(제6c도 참조)에 주입될 수 있도록 산화물층(178) 및 다른 포토레지스트층(198)에 의해 마스크 오프된다. 제10d도에 있어서, 패턴되고 에칭된 질화물/산화물층(204)는 "+" 기호에 의해 제10d도에 나타냈지만 후속 도면에는 어느곳에도 도시하지 않는 (p^+) 채널 저지 영역(208)의 한계를 정하기 위해 단독으로 사용된다. 제10e도에서, 분리 산화물 영역(210)은 질화물/산화물층(204)(제10d도 참조)에 의해 피복되지 않은 에피택셜층 표면의 영역들 상에 성장된다. 질화물/산화물층(204)를 스트립핑한 후, 고전압 V_t 조정 주입은 탱크(362) 상에 수행된 다음 이어서 500Å의 고전압 게이트 산화물층(128)이 성장된다. 이후에, 인가된 포토레지스트층(222)는 터널 다이오드 주입 영역(224)를 제외한 전체 칩 표면을 마스크 오프한다(제6e도 참조).

제10f도에서, 제2 레벨 폴리층은 도전성 게이트(364)를 발생시키기 위해 피착, 도프, 패터닝 및 에칭된다. 제10g도에 있어서, 측벽 산화물 영역(250) 및 캡 산화물층(252)는 게이트(364)에 추가된다. 그 다음, 비교적 희박한 농도의 인은 어닐링 후속 응용시, 게이트 산화물(364) 후부에 수평으로 확산하는 (n^-) 영역(366 및 368)을 형성하기 위해 주입된다. 비소 주입은 (n^-) 주입(366 및 368)에 사용된 것과 동일한 마스크를 사용하여 (n^+) 영역(370 및 372)를 생성하기 위해 사용된다. 최종적으로, (p^+) 소오스들 및 드레인의 주입 중에, p 탱크 접촉 영역(374)는 포토레지스트를 사용하여 부분적으로 정해지고 분리 산화물(210)의 연부에 부분적으로 자기 정합된 바와 같이 주입된다.

제10h도에 개략적으로 도시한 평면도에 있어서, p 탱크(362)의 측방향 한계는 장방형 실선에 의해 도시된다. 필드 산화물(210)은 보다 낮은 전압 디바이스들보다 비교적 넓은 테두리를 제공한다. 유사하게, 폴리 게이트(364)는 큰 전압을 조정하고 소오스/드레인 영역들(366 및 368) 사이의 펀치 스루(punch-through)를 방지하는데 충분한 채널 넓이를 정하기 위해 보다 넓다. 소오스/드레인 영역(368)은 모트 산화물(210)에 의해 3개의 측면 상에 정해지고, 게이트(364)에 의해 나머지 측면 상에 정해진다. 소오스/드레인 영역(366)은 모트 산화물(210)에 의해 상부 및 저부 측면 상에 정해지고, 게이트(364)에 의해 우측면 및 패턴된 포토레지스트에 의해 좌측면 상에 정해진다. 백 게이트 접속 영역(374)는 분리 산화물(210)에 의해 3개의 측면들 상에 정해지고, 패턴된 포토레지스트에 의해 두 측면 상에 정해진다. 적합한 접촉부(380)은 백 게이트 접속 영역(374), 소오스/드레인 영역(366) 및 소오스/드레인 영역(368)로부터 대응하는 금속 1개의 라인(도시되지 않음)으로 접촉된다.

그 다음, 제11a도 내지 제11g도를 참조하면, 수평 확산 소오스/드레인 n 채널 "금속" 산화물 반도체(LDMOS) 전계 효과 트랜지스터(382)의 제조시 연속적인 단계는 이 단계들이 본 명세서에 설명된 공정으로 집적된 바와 같이 도시되었다. 수평 DMOS 트랜지스터(382)는 제6a도내의 고전압 n 탱크(170)과 동시에 형성되는 고전압 n 탱크(384)를 우선 제공한다. n 탱크(384)는 산화물층(178)에 의해 마스크되고, 디바이스 영역의 주변 부분들은 저전압 n 탱크들이 주입되는 동안 질화물층(166)에 의해 덮여진다(제6a도 참조). 포토레지스트(도시되지 않음)는 이 때에 중앙 탱크 영역(384)를 피복한다. 제11b도로 진행되면, 포토레지스트층(188)은 패턴되고 저전압 p 탱크(386)은 다른 저전압 p 탱크(190-196)(제6b도 참조)이 주입될 때 주입된다. 그 다음, 포토레지스트층(188)은 스트립되고, 깊은 (p^+) 확산(388)은 포토레지스트(198)의 패턴된 층에 의해 정해지고, 제11c도에 도시한 바와 같이 주입된다. 제11d도에 있어서, 포토레지스트층(206)에 관련하는 질화물 및 산화물층(204)는 채널 저지부(208)에 대한 마스크를 제공하기 위해 사용된다. 그 다음, 포토레지스트층(206)은 스트립되고 국부화 산화물(210)은 패턴되어 에칭된 질화물/산화물 마스크(204)에 의해 피복되지 않은 디바이스 영역(382)의 영역들 내에서 성장된다(제11d도 및 제11e도 참조). 질화물/산화물층(204) 및 산화물층(164)는 그 다음 제거된다. 그 다음, 고전압 V_t

조정 주입은 탱크(384)내로 주입된다. 고전압 게이트 산화물층(128)은 약 500Å의 깊이로 성장된다. 포토레지스트층(도시 안됨)은 저전압 V_t 조정부가 주입될 때 및 저전압 게이트 산화물(220)(제6e도)이 주입될 때 디바이스(382)를 마스크 오프하도록 사용된다. 포토레지스트층(222)는 터널 다이오드(224)를 정하기 위해 패턴되고 이것이 발생될 때 디바이스 영역(382) 위에 방해되지 않고 남아있다.

터널 다이오드 주입 단계 후, 제11f도에 의해 도시된 공정에 도달한다. 제11f도는 폴리 2층이 게이트 산화물층(218)의 표면 상에 게이트(390)을 생성하기 위해 어떻게 피착, 도프, 패터닝 및 에칭되는지를 도시한 것이다. 제11g도에 있어서, 측벽 산화물 영역(250)은 이 영역의 수평 마진들 상에 형성되고, 캡 산화물(252)는 폴리실리콘 게이트(390)의 노출된 상부 상에 성장된다. 포토레지스트층(도시되지 않음)은 게이트(390) 또는 LOCOS 산화물 영역(210)의 연부들에 의해 정해지지 않은 소오스/드레인 주입 영역(392 및 394)들의 연부들을 정하기 위해 사용된다. 인을 사용하여 희박하게 도프된 확산은 (n^-) 영역(392 및 394)를 생성하기 위해 주입된다. 이들은 후속 어닐링 중에 원래의 주입 한계들로부터 도시한 바와 같이 수평 및 하향으로 확산된다. 후속의 비소 주입은 동일한 소오스/드레인 마스크를 사용하여 영역(396 및 398)을 생성하기 위해 사용된다.

p 형 소오스/드레인 주입 단계 중에, 포토레지스트층(도시되지 않음)은 주입된 (p^+) 백 게이트 접속 영역(400)의 1개의 연부를 정하기 위해 패턴된다.

LDMOS의 개략 평면도는 제11h도에 도시된다. n 탱크(384)의 주입 한계는 장방형 실선으로 도시되었다. p 탱크(386) 주입 마스크 한계는 점선으로 도시되었다. 이 주입 마스크(386)은 능동 디바이스 영역에 대한 모트를 제공하는 LOCOS 산화물(210)의 연부 하부로 연장한다. 깊은 (p^+) 확산 영역(388)은 p 탱크(386)에 대한 주입 영역의 좌측 부분을 점유한다. 소오스/드레인 영역(392)는 측벽 산화물 영역(250)(제11h도에 도시되지 않음)에 이어진 바와 같이, 포토레지스트(도시되지 않음)의 패턴된 층에 의해 좌측면 상에 정해지고, 모트 산화물(210)에 의해 상부 및 저부 측면들 상에 정해지며, 폴리 2 게이트(390)에 의해 우측면 상에 정해진다. 소오스/드레인 영역(394)는 모트 산화물(210)에 의해 3개의 측면들 상에 정해지고, 포토레지스트의 패턴된 층에 의해 좌측면 상에 정해진다. 폴리 게이트(390)은 패드(402)로 연장되고, 접촉부(404)는 제1 금속(도시되지 않음)으로부터 패드(402)로 접촉을 형성한다. 적절한 접촉부(406)은 영역(400, 392 및 394)로부터 각각의 제1 레벨 라인들(도시되지 않음)로 접속을 형성한다.

그 다음, 제12a도 내지 제12g도를 참조하면, 연속적인 크게 확대된 단면도들은 본 명세서에서 기술된 집적된 공정 중에 제조되는 수직 npn 바이폴라 트랜지스터(408)의 제조 단계들을 도시한 것이다. 제12a도에 있어서, (n^-) 탱크(410)은 다른 고전압 n 탱크(제6a도 참조)와 동시에 제조된다. 제12a도에 의해 도시된 공정을 개시할 때, 산화물층(164) 및 포토레지스트층(도시되지 않음)은 n 탱크 영역(410)을 마스킹한다. 질화물층(166)은 탱크(410)을 주입할 수 있도록 패턴되어 에칭된다. 질화물층(166)은 저전압 n 탱크 주입 단계(제6a도 참조)의 경우에 이 지점에서 패턴되고 에칭되는데, 포토레지스트층(도시 안됨)은 이때에 디바이스(408)을 마스크 오프한다. 제12b도를 참조하면, 포토레지스트층(188)은 저전압 p탱크(190, 192, 194 및 196)의 주입과 동시에 수행되는 (p^-) 탱크(412)의 주입시에 피착되어 패턴된다. 고전압 n 탱크(410)은 npn 트랜지스터(408)의 콜렉터를 형성하고, p 탱크(412)는 베이스를 형성한다.

이 후속 다음은 제12d도로 이어지는데, 제6c도가 나타내는 집적된 제조 공정 중에 이 디바이스(408)과 상호 관련성이 없기 때문에, 제12c도는 존재하지 않는다. 질화물/산화물층(204) 및 포토레지스트(206)은 채널 저지 주입이 주입되어 제11d도에서는 "+" 기호들에 의해 나타냈지만 후속하는 도면의 후속내의 다른 곳에 나타내지 않은 바와 같은 채널 저지부(208)을 형성하도록 n 탱크(410)을 마스크 오프하기 위해 사용된다. 트랜지스터(408)에 영향을 미치는 다음 제조 단계는 제6f도에 의해 도시된 바와 같이 행해지고 제12f도에 도시하였다. 이때, 국부 산화물은 질화물/산화물 마스크(204)에 의해 노출되어진 탱크(410 및 412)의 표면들 상에 LOCOS 산화물 영역들(210)을 형성하기 위해 사용된다. 산화물 영역(210)은 베이스, 에미터 및 콜렉터 접촉 영역의 자기 정합시 제12g도에 도시되었다. 칩(22) 상의 다른 곳에 발생하는 LDD (n^+) 소오스/드레인 주입 중에, 콜렉터 접촉 영역(414) 및 에미터(416)은 인을 사용하여 주입된다. 이것은 (n^+) 영역들(418 및 420)을 생성하기 위해 비소의 주입 후에 즉시 이어진다. 다음에, 칩(22)에서 발생하는 p형 소오스/드레인 주입 스테이지 중에, 영역(422)는 붕소를 사용하여 주입된다.

수직 npn 바이폴라 트랜지스터(408)의 개략 평면도는 제12h도에 도시하였다. 고전압 n 탱크 마스크 한계는 굵은 장방형 선(410)에 의해 도시되었고, p 탱크(412)의 대응하는 한계는 점선으로 도시되었다. 콜렉터 접촉 영역(414), 에미터(416) 및 베이스 접촉 영역(422)는 LOCOS 산화물(210)의 측방향 연부들에 의해 정해진다. 적절한 접촉부(424)는 각각의 금속 1개의 도체들(도시되지 않음)에 접속되기 위해 콜렉터 접촉 영역(414), 에미터(416) 및 베이스(422)와의 접속을 형성한다.

제13a도 및 제13c도 내지 제13g도는 본 발명의 집적 공정에 따라 제조된 고전압 p 채널 전계 효과 트랜지스터를 크게 확대 도시한 개략 단면도이다. 참조 번호(426)으로 나타낸 이 트랜지스터는 후술하는 바와 같이, 감소된 게이트 산화물 스트레스를 갖는다. 제6b도에 의해 도시된 바와 같은 제조 공정 대응 단계들 중에 칩(22)의 영역 발생에 무관하기 때문에 제13b도는 존재하지 않는다.

제13a도에 도시한 바와 같이, 저전압 n 탱크(428)은 제6a도에 도시한 바와 같이 동시에 동일한 도펀트로 디바이스 영역(426) 내에 형성된다. 제13c도에 의해 도시된 단계에 도달할 때 쯤에, 고전압 p 탱크(430)은 n 탱크를 밀봉하도록 디바이스 영역(426) 내로 주입된다. p 탱크(430)이 형성되어진 (p^-) 에피택셜층(252)와 동일한 도전형으로 형성되기 때문에, 층(150) 내의 깊은 p 탱크(403)의 경계는 중간 정도이고, 점선으로 도시하였다. 또한 이것은 집적 공정내에서 제조된 모든 탱크들에서와 같이, 도펀트 농도가 에피택셜층의 표면으로부터 멀어질 때 감소하기 때문인 경우이다. p 탱크(430)의 깊이는 n 탱크(428)의 깊이보다 약간 깊다.

제13c도는 각각의 산화물층(164 및 178) 및 포토레지스트층(198)로 피복된 n 탱크(428) 및 p 탱크(430)을 도시한 것이다. 포토레지스트층(198)은 칩(22)의 다른 곳에 깊은 (p^+) 확산을 정하기 위해 패턴된다.

제13d도를 참조하면, 포토레지스트(206)의 패턴된 층(206)에 관련하여 패턴되고 에칭된 질화물/산화물층(204)는 제13d도에서 "+" 기호들로 나타냈지만, 이 후속 도면중의 어느 다른 곳에도 도시하지 않은 p 채널 저지 영역(208)의 주입부를 정하기 위해 사용된다. 그 다음 포토레지스트층(206)은 스트립되고, LOCOS 산화물 영역(210 및 432)(제13e도)는 질화물/산화물층(204)에 의해 노출되어진 디바이스 영역(246)의 영역들 상에서 성장된다. 영역(432)는 영역의 좌측 단부쪽이지만 영역내에 양호하게 배치되고 질화물/산화물층(204) 및 산화물층(166 및 178)은 제거된다. 고전압 게이트 산화물층(218)은 국부 산화물 영역(210 및 432)에 의해 피복되지 않은 탱크(428 및 430)의 영역들 상에 약 500Å의 깊이로 성장한다. 고전압 n 탱크 V_t 조정 주입은 고전압 게이트 산화물층(218)의 피착 다음에 수행된다.

그 다음, 제13f도를 참조하면, 폴리 2층은 도전성 게이트(434)를 남겨놓기 위해 피착, 도프, 패터닝 및 에칭된다. 게이트(434)는 부분적으로 모트 산화물 영역(432) 상에 배치되고 부분적으로 산화물 영역(432)의 좌측의 게이트 산화물(218) 상에 배치된다.

제13g도에 있어서, 측벽 산화물 영역(250)은 게이트(434)의 측면들 상에 형성되고, 및 캡 산화물(252)는 게이트(434)의 상부 표면 상에 형성된다. 그 다음 저 밀도(n^-) 주입은 패턴되고, 인이 주입되며, 소오스/드레인 영역(436 및 438)을 생성하기 위해 최종적으로 확산된다. 영역(440 및 442)는 동일한 패턴 포토레지스트 마스크를 사용하여 비소 주입에 의해 생성된다. P형 소오스/드레인 주입은 (P^+) 백 게이트 접속 영역(444)를 생성하기 위해 포토레지스트(도시되지 않음)의 패턴된 층으로 사용된다.

제13h도는 감소된 게이트 산화물 스트레스 p채널 전계 효과 트랜지스터(426)의 개략 평면도이다. 백 게이트 접속 영역(444)의 상부, 저부 및 좌측면들은 모트 산화물(210)의 측방향 연부와 자기 정합된다. 백 게이트 접속 영역(444)의 우측면은 패턴된 포토레지스트층(도시되지 않음)에 의해 정해지고, 패턴된 포토레지스트의 다른 층은 소오스/드레인 영역(436)의 좌측 연부를 정하기 위해 사용된다. 소오스/드레인 영역(436)의 상부 및 저부 연부들은 모트 산화물(210)의 각각의 연부들과 자기 정합되고, 우측 연부는 게이트(434)의 부근 측면 상의 측벽 산화물(250)(제13g도 참조)과 자기 정합된다. 소오스/드레인 영역(438)은 모트 산화물 영역(210 및 432)의 측방향 연부들에 의해 완전하게 자기 정합된다.

제13g도 및 제13h도를 참조하면, LOCOS 산화물 영역(432)는 게이트 산화물 브레이크 다운이 갖는 문제점을 방지하기 위해 도전성 게이트(434)의 드레인 단부 하부에 배치된다. 큰 전압은 대부분의 정상인 박막 산화물들을 파괴하기에 충분한 크기로 게이트(434)에서 (n^+) 드레인 영역(442)로 나타난다. 산화물 영역(432)의 포함은 이러한 문제점을 제거한다.

그 다음, 제14g도 및 제14h도를 참조하면, 감소된 게이트 절연체 스트레스를 갖고있는 고전압 전력용 전계 효과 트랜지스터가 도시되었다. 제6g도 내지 제6g도에 대응하는 공정 단계들은 제13a도 및 제13c도 내지 제13g도내에 수행된 단계들을 고려하여 간단히 하기 위해 생략되었다.

제14g도에 있어서, 거의 완성된 전계 효과 트랜지스터(452)의 확대 도시된 단면도가 도시되었다. 트랜지스터(426)(제13g도 참조)과 같이 저전압 n 탱크(454)가 주입된 후, 고전압 n 탱크(456)이 주입된다. 국부화 산화물(210)은 능동 디바이스 영역(452)의 모트를 정한다.

고전압 게이트 산화물(218) 및 V_t 조정 주입의 성장 후, 참조 번호(458)로 표시된 게이트를 형성하게 될 폴리 2 층은 피착된다.

그러나, 게이트(458)의 블랭킷 도프 대신에, 게이트의 일부분(462)는 패턴된 포토레지스트와 같은 마스크로 덮여지므로, 게이트(458)의 일부분(462)는 어떠한 인 도펀트도 수용하지 못한다. 게이트(458)의 나머지 부분(460)은 $POCl_3$ 도프 단계 중에 인을 수용한다. 게이트(458)은 에칭 단계내에서 정해진다.

게이트(458)을 형성하기 위한 다른 방법은 $POCl_3$ 폴리 도프 단계 중에 완전히 이것을 마스크 오프하기 위한 것이고, 대신에 (n^+) 소오스/드레인 주입 단계 중에 게이트(458)을 도프한다. 이 별도의 실시예하에, (n^+) 소오스/드레인 마스크는 폴리 게이트(458)의 부분(462)를 피복하기 위해 연장되고, 인 및 비소 도펀트들에 노출된 부분(460)을 남겨둔다. 진성 즉, 도프되지 않은 부분(462)는 절연체로서 작용한다.

게이트(458)의 생성 중에 또는 후에, (N^+) 소오스/드레인 영역(464 및 466)은 에피택셜층(152)내로 주입된다. 이 단계를 정하기 위해 사용된 마스크는 소오스 영역(464)의 최종 좌측 단부의 위치를 제어한다. 드레인 영역(466)은 모트 산화물(210) 및 측벽 산화물(250)의 연부들에 자기 정합되거나 드레인 영역(466)은 패턴된 포토레지스트의 적절한 층에 의해 게이트(458)과 격설된다. 제14g도는 게이트(458)로부터 격설된 바와 같은 소오스/드레인 주입(466)을 도시한 것이고, 제14h도내에 도시한 평면도에는 게이트(458)에 자기 정합된 주입부(466)이 도시되었다.

주입부(464 및 466) 은 인들로 주입이 수행되는데, 원자들은 후속 열적 단계들하에서 초기 위치들로부터 실질적인 양에 의해 수평으로 확산된다. 인 주입부(464 및 466)은 비소 주입부(468 및 470) 이후에 수행되어 대응하는 (n^+) 영역들을 발생시킨다. 비소 이온들은 인 이온들 만큼 이동도를 전혀 갖지 않으므로 (n^+) 소오스 및 드레인 영역내로 경사진다.

후속 마스크는 백 게이트 접속으로서 p 탱크(456)을 접속하도록 사용된 (p^+) 영역(472)를 정하기 위해 사용된다.

제14h도는 디바이스(452)의 평면도이고, 제14g도는 제14h도의 선 14g-14g를 따라 절취하여 도시한 도면

이다. 모트 산화물(210)은 백 게이트 접속 영역(472)의 상부, 저부 및 좌측면들, 소오스 영역(464)의 상부 및 저부 측면들, 및 드레인 영역(466)의 상부, 저부 및 우측면들을 정하기 위해 사용된다. 제13g도 및 제13h도에 도시한 대응 디바이스와는 다르게 게이트(458) 하부에는 두꺼운 산화물이 존재하지 않는다. 게이트(458)의 도프된 영역(460)은 제1 금속으로부터 적절한 접촉부(476)을 통해 접촉되는 패드(474)로 연장된다. 접촉부(478)은 트랜지스터(452)의 단자를 디바이스의 외부점에 접속시킨다.

다시 제14g도를 참조하면, 진성 폴리 게이트 영역(462)가 절연체로서 작용하기 때문에, 전위는 게이트/드레인 전위가 변화할 때와 같이 변화한다. 게이트 산화물층(128)의 영역(480)은 정상적으로 도프된 게이트 트랜지스터내의 게이트 산화물을 파괴하는 고전계를 갖을 수 있다. 그러나, 도프되지 않은 게이트 부분(462)가 드레인(466)에 용량성으로 결합되고 도프된 게이트 부분(460)과의 고저항 접촉을 갖기 때문에, 부분(480)에서 경험한 바 있는 전압은 산화물 브레이크다운 전압보다 낮을 수 있다. 필드 산화물 영역(433)(제13g도 참조)의 위치에 도프되지 않은 게이트 부분(462)의 배치는 트랜지스터(452)에 의해 사용된 영역이 보다 적게되므로, 칩(22)의 영역당 전력 효율을 증가시킨다. 또한, 박막 산화물(218)이 게이트(458)의 전체의 하부에 형성되기 때문에, 트랜지스터(452)의 이득 또한 상호 콘덕턴스는 보다 크다. 트랜지스터(452)는 전압 조정기(58)내의 트랜지스터로서 자동차 마이크로콘트롤러 또는 자동차 전력 공급기에서 경험한 바 있는 60 볼트 과도 전압을 견딜 수 있는 12 볼트 배터리 전압에 직접 노출된 다른 마이크로콘트롤러 부품에 특히 유용하다.

이제, 제15g도 및 제15h도를 참조하면, 참조번호(600)으로 표시된 다른 절연된 전계 효과 트랜지스터가 도시되었는데, 트랜지스터(600)은 제13g도 및 제13c도 내지 제13h도에 도시한 것과 유사하다. 트랜지스터(600)은 전계 효과 트랜지스터(462)의 p 채널 형태이다. 제6a도 내지 제6f도에 대응하는 단면도는 제13a도 및 제13c도 내지 제13f도와 거의 유사하므로 생략된다. 제6g도에 대응하는 제15g도 및 제15h도에 도시한 확대된 개략 단면도는 동일 셀의 평면도이고, 제15g도는 제15h도의 선 15g-15g을 따라 절취한 것이다. 제13c도 내지 제13h도에 도시한 셀(426)과 유사하게, 전계 효과 트랜지스터(600)은 이 셀(600)의 게이트 절연체(218)이 이 전압에 종속될 때 감소된 스트레스를 경험한 바와 같은 자동차 전기 시스템내에 공통적으로 경험한 6 볼트 과도 전압에 대한 증가된 공차를 갖는다.

고전압 n 탱크가 주입되는 중에, 고전압 n 탱크(602)는 디바이스 영역(600)내에 주입된다. 이것은 중앙으로부터 다소 벗어난 상태로 고전압 n 탱크(602)의 영역을 점유하기 위해 저전압 p 탱크(604)의 주입에 의해 후속적으로 행해진다. 고전압 n 탱크(602)는 고 전압 V_t 조정 주입이 칩(22) 상의 다른 고전압 n 탱크들에서 발생되는 것과 동시에 고전압 V_t 조정 주입(도시되지 않음)에 종속된다.

적절한 채널 저지 영역(도시되지 않음)은 n 탱크(602)의 주변에 주입된다. 질화물/산화물 마스크(204)(예를 들어, 제13d도 참조)는 탱크(602 및 604)내의 중심 영역이 노출되도록 패턴되고 에칭된다. 국부 산화 단계가 후속적으로 발생할 때(제6e도, 제13e도 참조), 비교적 두꺼운 중심 산화물 영역(606)은 모트 산화물(210)이 성장될 때 성장되어, (p^-) 탱크(604) 경계의 우측에 양호하게 배치된다.

고전압 게이트 산화물층(218)은 탱크(602 및 604)의 나머지 노출된 실리콘 표면들 상에서 성장된다. 그 다음, 도전성 폴리 2 게이트(608)은 도시한 바와 같이 도전성 게이트 구조물(608)을 남기기 위해 피착, 도프, 패터닝 및 에칭된다. 도전성 게이트(608)은 산화물 아일런드(606)의 수평 마진(609)를 교차하여 상부면(611) 상에서 상당한 거리로 연장된다. 도전성 게이트(608)의 다른 실질적인 부분은 p 탱크(604)의 최좌측 수평 마진을 횡단하고 탱크(602)를 횡단하여 연장된다.

측벽 산화물(250) 및 캡 산화물(252)는 집적된 공정 중에 제공된 다른 디바이스들의 경우에 상술한 바와 같이 추가된다. (n^+) 소오스/드레인 영역들의 주입 중에, 포토레지스트층(도시되지 않음)은 인을 사용하여 양호하게 주입된 저 밀도(n^-) 확산(612)의 우측 주입 한계를 정하기 위해 사용된다. 이로 인해, 비소의 (n^+) 주입이 이어진다. 영역(610 및 612)는 (n^-) 탱크(602)와의 백 게이트 접속을 구성한다. (p^+) 소오스/드레인 주입 단계에 있어서, 포토레지스트(도시되지 않음)는 소오스 영역(614)의 최좌측 수평 마진을 정하기 위해 사용된다. 소오스 영역(614)의 나머지 수평 연부들 및 드레인 영역(616)은 [측벽 산화물(250)에 의해 증가된 바와 같이] 도전성 게이트(608)의 최좌측 수평 마진과 자기 정합하거나 산화물 아일랜드(606) 및 모트 산화물(210)의 대응하는 수평 마진들에 의해 자기 정합된다.

제15h도는 전계 효과 트랜지스터(600)의 개략 평면도이다. 도전성 게이트(618)은 (선 15g-15g를 따라 도시된 부분내의 아일런드로서 도시한 바와 같이) 산화물의 상부 표면 또는 스트립(606) 상에서 상향으로 연장된다. (n^+) 백 게이트 접속(612)의 상부, 저부 및 좌측면들은 모트 산화물(210)에 의해 정해진다. 우측 마진은 패턴된 포토레지스트층(도시 안됨)에 의해 정해진다. (p^+) 소오스 영역(614)의 상부 및 저부 마진들은 모트 산화물(210)에 의해 정해지고, 좌측 마진은 포토레지스트층(도시되지 않음)의 패턴된 (p^+) 소오스/드레인 확산층에 의해 정해지며, 최우측 경계는 도전성 게이트(618)의 좌측 마진에 자기 정합된다. (p^+) 드레인 영역(616)은 모트 산화물(210) 및 연장부(606)에 대한 모든 마진들 상에 자기 정합된다. 도전성 게이트(618)은 패드(608)로 n 탱크(602)의 한계를 지나 연장되고, 적절한 접촉부(620)은 금속 1(도시되지 않음)에서 게이트(608)로 접속을 형성한다. 또한 접촉부(622)는 여러가지 금속 1 도체들에서 주입된 영역(612, 614 및 616)으로 접속을 형성한다.

중앙 산화물 스트립 및 제어 게이트들의 비도프된 부분들이 드레인 연장 전계 효과 트랜지스터와 관련하여 도시하였을지라도, 게이트 산화물 스트레스를 감소시키기 위한 기술들은 통상적으로 고전압에 종속되는 임의의 전계 효과 트랜지스터에 사용될 수 있다.

제16g도 및 제16h도는 본 명세서에서 기술된 집적 공정에 따라 제조된 n 채널 수직 DMOS 트랜지스터의 확대된 개략 단면도 및 평면도이다. 제16g도 내지 제16f도는 상술된 다른 디바이스들에서 유사한 제조 단계들과 거의 유사하기 때문에 생략된다. 제16g도는 제6g도에 대응하고 또한 제16h도의 선 16g-16g를

따라 절취하여 도시된 것이다.

(n^+) 매입 소오스/드레인 영역(625)는 제6g도에 도시한 바와 같은 (n^+) 매입층(154)의 형성과 동시에 형성된다. 제2 (p^-) 에피택셜층(156)은 (n^+) 매입층(625)의 상부 상에 형성된다. (n^-) 고전압 n 탱크(626)은 이 디바이스(624)에서 에피택셜층(156)의 표면내로 주입된다. 그 다음, 깊은 (n^+) 확산 영역(628)은 디바이스 (624)의 외부 지점들에 (n^+) 매입층(625)를 접속하기 위한 것이다.

고전압 (p^-) 탱크 영역(630)은 패턴된 포토레지스트(도시되지 않음)에 정해지고 (p^-) 탱크(626)에 의해 밀봉되도록 에피택셜층(156) 내로 주입된다. (n^-) 탱크(630)은 (n^-) 탱크(626)의 표면의 좌측 부분을 점유한다. 그 다음, 깊은 (p^+) 확산 영역(632)는 (p^-) 탱크(630)을 통해 완전히 연장되기 위해 (n^-) 탱크(630)내에 주입된다. 그러므로, 형성된 깊은 (p^+)영역(632)는 (p^-) 탱크(630)에 의해 형성된 채널 영역의 콘덕턴스를 제어하기 위한 백 게이트로 작용한다.

국부 산화물(210)은 후속적으로 주입된 여러가지 소오스/드레인 영역에 대한 모트를 정하고 인접한 디바이스들로부터 트랜지스터(624)를 분리시키기 위해 디바이스(624)의 주변 상에 성장된다. 게이트 산화물(218)은 트랜지스터(624) 상의 입사를 고전압 스트레스들을 취하기 위해 약 500Å의 깊이로 성장된다. 고전압 V_t 조정 주입 후, 칩(22) 상의 대부분의 다른 베이스들의 경우에 제어 게이트에 사용된 폴리 2 층은 n 탱크(630)의 우측 수평 마진 위로 연장되는 제어 게이트(634)를 남기기 위해 피착, 도프, 패터닝 및 에칭된다. 제어 게이트(634)의 실질적인 부분들은 (n^-) 탱크(626) 및 (p^-) 탱크(630) 위에 배치된다.

측벽 산화물 영역(250) 및 캡 산화물(252)의 획득 후, 제어 게이트(634)는 소오스 영역(636)을 생성하기 위해 양호하게는 인으로 저밀도 주입부(636)을 부분적으로 자기 정합하는데 사용된다. 동시에, (n^-) 접촉 영역(638)은 깊은 (n^+) 영역(628)을 접촉하도록 형성된다.

이것은 (n^-) 영역(636 및 638)의 비자기 정합된 연부들을 정하기 위해 사용된 동일한 패턴된 마스크를 사용하는 비소 주입 이후에 즉시 행해진다. 제2 (n^+) 주입은 비소에 의해 수행되어 영역(640 및 642)를 생성한다. 저밀도 확산 영역(636)을 형성하기 위해 사용된 인은 도시한 바와 같은 경계들을 달성하기 위해 외부로 확산된다. 영역(638)을 정하는데 사용된 인은 유사하게 주입되지만, 이 경우에는 깊은 (n^+) 접촉 영역이 보다 도전성이 되게 하기 위한 도펀트의 부수적인 부분이다. 영역(638 및 642)의 최우측 연부들은 모트 산화물(210)의 측방향 마진에 자기 정합된다.

(n^+) 소오스/드레인 주입에 후속하여, (p^+) 주입은 포토레지스트를 사용하여 패턴되어 모트 산화물(210)의 좌측 내부 마진으로 부분적으로 자기 정합되도록 주입된다. 이것은 백 게이트 접촉 영역(644)를 제공한다.

제16h도는 트랜지스터(624)의 개략 평면도이고, 제16g도는 실제로 제16h도의 선 16g-16g를 따라 절취하여 도시한 도면이다. n 탱크 확산부(626)은 밀봉된 장방향 실선으로 도시되어 있다. (n^+) 매입층(625)의 좌측 및 우측 한계는 점선 및 줄선으로 도시되어 있다. 매입층(625)의 상부 및 하부 한계는 실제로 고전압 n 탱크(626)의 대응 한계와 동일해지도록 선택될 수 있다. (p^-) 탱크(630)의 수평 한계는 완전히 (n^-) 고전압 탱크(626) 내부에 있고, 제16h도에 점선으로 표시되어 있다. 깊은 (n^+) 확산 영역(628)은 폴리 2 게이트(634)의 우측에 긴 장방형으로 도 시되어 있다. 또한, 깊은 (n^+) 확산 영역(628)의 좌측 마진은 (n^+) 접촉 영역(638)의 좌측 마진도 되므로, 후자의 영역은 제16h도에 도시하지 않았다. 깊은 (p^+) 영역(632)는 (p^+) 접촉 영역(644)의 것과 유사한 주입 한계를 갖는다. 그러나, 상술된 바와 같이, 깊은 (p^+) 영역(632)는 모트 산화물(210)의 수평 연부와 접촉 영역(644)의 상부, 하부 및 최좌측 연부가 자기 정합되도록 주입된다. 소오스/드레인 영역(636)은 모트 산화물(210)의 연부와 소오스/드레인 영역(636)의 상부 및 하부 연부가 마찬가지로 자기 정합되고, 측벽 산화물(250)(제16g도 참조)에 의해 보강된 도전성 게이트(634)의 연부와 소오스/드레인 영역(636)의 우측 연부가 자기 정합된다. 깊은 (n^+) 접촉 영역(638 및 642)는 모트 산화물(210)의 적정 수평 마진과 접촉 영역(638 및 642)의 상부, 하부 및 우측 연부가 자기 정합된다.

트랜지스터(624)를 형성하는데 사용된 제조 후속은 (n^+) 소오스/드레인 영역(640)내의 비소의 농후한 도프 농도를 고려한 것이다. 종래 기술에서는 동일한 (p^-) 탱크(630)의 주입을 자기 정합하기 위해 도전성 게이트(634)가 사용되었지만, 영역(636)을 구성하는 인이 실리콘 에피택셜층내의 농후한 원자보다 빠르게 확산하기 때문에, 디바이스는 여기에 사용된 (n^+) 도펀트 농도로 얻기가 힘들다. 그러므로, 종래 디바이스의 (n^+) 영역(640)은 필수적으로 보다 적은 도펀트를 가져야 하고, 따라서, 도전성이 낮아지고 디바이스의 저항이 증가하므로 점유된 칩 영역당 트랜지스터의 효율이 감소한다.

도전성 게이트(634)는 패드(646)으로 연장되고, 적정 접촉부(648)은 패드(646)에서 금속 1 도체(도시되지 않음)까지 형성된다. 또한, 접촉부(650)은 적정 금속 1 도체(도시되지 않음)에서 (p^+) 백 게이트 접촉 영역(644), 소오스/드레인 영역(636) 및 깊은 (n^+) 접촉 영역(638)까지 형성된다.

비적층 EEPROM 셀

또한, 이중 레벨 폴리 EEPROM 셀이 열기에 설명된 직접 공정에서 제조될 수 있다. 이들 셀은 FAMOS EPROM 셀(149)에서처럼 제2 레벨의 폴리실리콘 존재시에 변경시킴으로써, 제6g도의 EEPROM 셀(143)의 방식으로 제조된다. 제어 게이트 폴리층이 플로팅 게이트 폴리층상에 배치되는 경우, "적층"에칭은 폴리 1 및 폴리 2층의 수평 연부 및 삽입 질화물/산화물 절연층을 모두 동시에 에칭하기 위해 종래와 같이 수행되었다. 그러나, 종래의 "적층" EEPROM 셀과 관련하여 소정의 제조상 문제점이 발생된다. 그러므로, 이 명세서는 마이크로콘트롤러 등이 상술된 집적 공정으로 제조될 때 매우 높은 신뢰도를 갖는 "비적층" 셀의 제조 설명을 포함할 수 있다.

제17도는 "적층" EEPROM 셀(652)를 개략적으로 도시한 회로도이다. 열 전압원(654)로부터, 농후하게 도프된 주입 라인(656)은 행 트랜지스터(658)의 제1 단자에 접속된다. 행 트랜지스터의 게이트(660)은 도전성 폴리 행 라인(662)에 의해 형성된다. 제2의 농후하게 도프된 도전성 주입 라인(664)는 행 트랜지스터(658)의 제2 단자 영역으로부터 감지 트랜지스터(666)의 전류 경로 단자까지 진행한다. 감지 트랜지스터(666)의 채널은 제1 레벨 폴리 플로팅 게이트(668) 및 제2 레벨 폴리 감지 라인(670)의 상태에 따라 부분적으로 제어된다. 농후하게 도프된 주입 영역(672)는 감지 증폭기(666)의 제2 전류 경로 단자를 가상 접지에 접속시킨다.

또한, 농후하게 도프된 주입 영역(664)는 터널 다이오드(674) 부분을 형성한다. 박막 터널링 윈도우(제17도에 도시되지 않음)는 농후하게 도프된 확산 영역(664)를 플로팅 게이트(668)로부터 분리시킨다. 감지 도체(670)은 제어 게이트로서 작용하고, 18볼트 정도의 적정 프로그래밍 전압을 전달하고 플로팅 게이트(668)을 프로그램하도록 동작할 수 있다.

제18도는 "비적층" EEPROM셀(676)을 개략적으로 도시한 회로도이다. 열 전압 접속(678)로부터, 농후하게 도프된 주입 영역(680)은 행 트랜지스터(682)의 제1 전류 경로 단자까지 진행한다. 행 트랜지스터의 게이트(684)는 폴리실리콘 행 라인(686)에 의해 형성된다. 제2의 농후하게 도프된 주입 영역(688)은 행 트랜지스터(682)의 제2 전류 경로 단자를 트랜지스터(690)의 제1 전류 경로 단자에 접속시킨다. 또한 농후하게 도프된 확산 영역(688)은 터널 다이오드(692) 부분을 형성한다. 트랜지스터 (690, 696 및 700)은 단일 감지 트랜지스터 채널 영역 부분이 상이한데, 트랜지스터(690 및 700)의 콘덕턴스는 제2 레벨 폴리 감지라인(706)에 의해 제어되고, 고유한 감지 트랜지스터(696)의 콘덕턴스는 제1 레벨 폴리 플로팅 게이트(708)에 의해 제어된다.

최종의 농후하게 도프된 주입 영역(702)는 제4 트랜지스터(700)의 제2 소오스/드레인 영역을 가장 접지원(704)에 접속시킨다.

또한, 제1 레벨 폴리 플로팅 게이트(708)은 터널 다이오드(692)내의 박막 터널링 윈도우(도시되지 않음; 제20도 참조) 상에 배치된다. 제2 레벨 폴리 감지 라인 또는 제어 게이트(706)은 터널 다이오드(692)내의 제1 폴리 도체(708) 상에 배치된다. 제어 또는 감지 라인(706) 상에 적정 프로그래밍 전압이 인가되면, 제1 레벨 폴리 도체(708)은 농후하게 도프된 주입 영역(688)로부터 박막 터널링 윈도우를 통과한 전자의 파울러 노드하임 터널링에 의해 프로그램될 수 있다.

제19도는 "적층" 셀을 개략적으로 도시한 평면도이다. 제19도 및 제20도에 있어서, 금속 1 구조는 굵은 가상 윤곽선으로 도시되고, 폴리 2 도체는 사선 음영으로 도시되며, 폴리 1도체의 수평 마진을 굵은 은선으로 도시되고(여기에서, 폴리 2 도체의 수평 마진과 일치하지 않음), 농후하게 도프된 에피택셜 영역의 경계는 가는 은선으로 도시되며, 파울러 노드하임 터널링 윈도우의 마진은 굵은 사선 장방형으로 도시된다. 굵은 가상 윤곽선으로 도시된 금속 1 도체(710)은 제19도에서 수직으로 진행하고, 적정 접촉부(654)를 통해 농후하게 도프된 영역(656)으로 접속이 이루어진다. 양호하게, EEPROM 셀(652)는 p 형 물질로 형성되고, 이 경우에 농후하게 도프된 영역(656, 664 및 672)는 (n^+)형이다. 행 트랜지스터(658)은 제1 소오스/드레인 영역으로서의 영역(656) 및 제2 소오스/드레인 영역으로서의 영역(664)로부터 형성된다. 행 도체(652)의 마진에 근접한 소오스/드레인 영역(656 및 664)의 수평 연부는 반도체층 내로의 이들의 주입으로 자기 정합된다. 500Å의 게이트 산화물(도시되지 않음)은 트랜지스터(658 및 672)의 폴리 도체를 이들 하부에 형성된 채널로부터 분리시키는데 사용된다.

상부에 배치된 폴리 도체에 의해 정해지지 않는 농후하게 도프된 영역(656, 664 및 672)는 모트 산화물(210)에 의해 정해진 수평 마진을 갖는다. (n^+) 영역(664)는 영역의 수평 마진내에서 영역의 표면상에 박막 터널 산화물 윈도우(712)를 포함한다. 약 90Å의 터널 산화물은 플로팅 게이트(668)을 농후하게 도프된 영역(664)로부터 분리시키기 위해 터널 윈도우(712) 내부에 성장된다.

플로팅 게이트 도체 및 감지 도체(670)은 대부분 적층 에칭동안 생상된 동일한 수평 마진을 갖는다. 이것의 예외는 플로팅 게이트 도체(768)의 우측 수평 마진(714) 및 좌측 수평 마진(716)이다. 이들은 적층 에칭 이전의 에칭시에 정해진다. 그렇지 않으면, 플로팅 게이트(668) 및 제어 게이트(670)의 수평 마진은 정확하게 일치한다. 플로팅 게이트(668) 및 제어 게이트(670)은 파울러 노드하임 터널링 윈도우(674) 상의 핑거(718)로 연장된다. 제어 게이트(670) 및 플로팅 게이트(668)은 감지 트랜지스터(666) 상으로 연장된다. (n^+) 영역(664 및 672)는 감지 트랜지스터(656)용 소오스/드레인 영역을 형성한다. 농후하게 도프된 영역(672)는 적정 접촉부(720)을 통해, 제19도에서 수직으로 진행하는 열 전압 도체와 같은 금속 1 가상 접지 도체(722)에 접촉된다. (p^+) 필드 플레이트 영역(724)는 접촉부(726)을 통해, 수직으로 진행하는 도체(710 및 722)와 같은 필드 플레이트 도체(728)에 접속된다.

제20도는 비적층 셀(676)을 확대해서 도시한 평면도이다. 금속 1열 도체(730)은 제20도에서 수직으로 진행하고, 접촉부(678)을 통해 양호하게 (n^+) 형으로 농후하게 도프된 영역(680)에 접속된다. 농후하게 도프된 영역(688 및 680)은 행 트랜지스터(682)의 대향 소오스/드레인 영역을 형성하고, 350-500Å의 산화물과 같은 게이트 절연층에 의해 반도체 표면으로부터 분리되며, 행 트랜지스터(682)의 콘덕턴스는 제20

도에서 수평으로 진행하는 제2 레벨 폴리 행 도체(686)에 의해 제어된다. 농후하게 도프된 영역(688)의 수평 마진 내부에는 터널 산화물(226)이 상술된 집적 공정(제6g도 참조)으로 성장될 때에 터널 산화물의 약 90Å의 깊이로 성장되는 파울러 노드하임 터널링 윈도우(732)가 있다. 농후하게 도프된 영역(688 및 702)는 감지 트랜지스터(696)용 대향 소오스/드레인 영역을 형성한다. 평면도에서, 제어 게이트 또는 감지 라인(706)은 완전히 플로팅 게이트(708) 상에 배치되지만, 적층 셀(652)와 달리 플로팅 게이트(708)의 수평 마진과 전혀 공유되지 않는다. 플로팅 게이트(708)의 핑거(734)는 파울러 노드하임 터널링 윈도우(732)상으로 연장된다. 핑거(734)는 플로팅 게이트(708)의 본체(736)에 접속되는데, 이것은 상술된 실시예에서 감지 증폭기(696)의 콘덕턴스를 제어하기 위해 핑거(738)의 좌측으로 다시 한번 연장된다. 핑거(734 및 738)은 터널 다이오드 영역(92)가 트랜지스터(696)의 채널 영역으로부터 구별될 수 있도록 사실상 서로 격설된다.

제어 게이트/감지 라인(706)은 플로팅 게이트(708)식으로 핑거 모양이 될 필요가 없기 때문에, 이것의 수평 마진은 대응 핑거를 전혀 형성하지 않는다. 제어 게이트(706)은 플로팅 게이트(708)이 농후하게 도프된 영역(688 또는 702) 상에 배치되는 각각의 곳에서 플로팅 게이트(708)을 중첩시킨다. 파울러 노드하임 터널링 윈도우(732)의 대부분은 제어 게이트(706)에 의해 피복된다. 제어 게이트(706)에 의한 핑거(738)의 중첩은 감지 트랜지스터(696)의 양측에 트랜지스터(690 및 700)을 형성시킨다.

농후하게 도프된 영역(702)는 접촉부(704)를 통해 가상 접지 도체(740)에 접촉된다. (p^+) 필드 플레이트 영역(742)는 접촉부(744)를 통해, 도체(740 및 730)과 함께 제20도에서 수직으로 정합된 금속/필드 플레이트 도체(746)에 접속된다. 행 및 감지 도체(686 및 706)은 제20도에서 일반적으로 수평으로 배치된다.

제20g도를 참조하면, 제20도의 선 20g-20g를 절취하여 도시한 개략 단면도가 도시되어 있다. 주요 집적 공정에서 제6g도에 대응하는 제20g도는 부수적으로 BPSG 및 금속 1층이 추가되었다. 대응하는 도면(제20a도 내지 제20f도)는 이에 상술된 집적 공정 단계와 중복되므로 생략되었다.

비적층 EEPROM 셀(676)에 적용한 집적 공정의 하이라이트는 다음과 같다. 고전압 (p^-) 탱크(748)은 소오스/드레인 및 셀(676)의 주입된 다이오드 영역을 포함하기 위해 주입된다. 다른 디바이스용의 다른 탱크 및 깊은 확산이 집적 공정으로 형성된 후, 모트 패드 산화물 및 모트 패드 질화물[도시되지 않음, 제6d도의 층(204)를 참조]은 피착되고 패턴되어 에칭된다. 포토레지스트층(도시되지 않음)은 셀(676)의 주변에서 발생하는 채널 저지 주입부(도시되지 않음)를 정하기 위해 피착되어 패턴된다. 채널 저지 포토레지스트층이 스트립된 후, LOCOS 산화물(210)은 질화물/산화물층(204)(도시되지 않음)에 의해 마스크되지 않은 위치의 에피택셜층(152)의 표면 상에 성장된다.

그 다음, 더미 산화물(도시되지 않음)은 터널 산화물 윈도우(732)가 되는 영역을 둘러싼 영역에서 최소한 p 탱크(748) 내부에 성장된다. 터널 다이오드 주입은 더미 산화물(도시되지 않음)을 통해, 예를 들어 약 5.0×10^{14} ions/㎠의 도우즈와 약 100 KeV의 주입 에너지에서 인으로 실행된다. 이 주입 후, 다이오드 영역(750)이 형성된다. 다이오드 영역(750)은 농후하게 도프된 영역(688)과 연속된다. 그 다음, 더미 산화물(도시되지 않음)은 바로 에칭된다. 노출된 반도체 에피택층의 표면상에, 감지 트랜지스터 게애트 절연층은 예를 들어, 350Å의 깊이로 성장된다. 그 다음, 이러한 감지 게이트 산화물은 영역(732)내에서 바로 스트립되고, 박막 터널 산화물은 약 90Å의 깊이로 영역(732) 내부에 성장된다.

그 다음, 제1 레벨 폴리층, 예를 들어 제6e도에 도시된 FAMOS EEPROM(149)의 피착 동안, 제1 레벨 폴리는 셀 영역(676) 내부에 피착된다. 이러한 제1 레벨 폴리층은 터널 산화물 윈도우(732) 상의 연장되는 핑거(738)을 포함하는 플로팅 게이트(708)을 형성하기 위해 패턴되어 에칭된다. 그 다음, 레벨간 질화물 및 산화물층(752)는 플로팅 게이트(708)의 노출된 표면 상에 형성된다. 고전압 게이트 산화물은 행 트랜지스터(658)용으로 성장된다. 고전압 게이트 산화물(218)은 약 500Å의 깊이로 성장된다. 그 다음 셀(676)은 핑거(734)에 의해 마스크되지 않은 p 탱크(748)의 부분으로 주입되는 고전압 p 탱크 임계 전압 조정 주입이 준비된다.

제2 레벨 폴리층은 행 도체(686) 및 제어 게이트(706)을 정하기 위해 피착되고 도프되며 패턴된 다음 에칭된다. 그러나, 셀(676)은 예를 들어, 제6f도에 참조번호(149)로 도시된 FAMOS EPROM 셀(동일한 칩이 존재하는 경우)에 발생할 수 있는 소정의 적층 에칭으로부터 마스크 오프된다.

측벽 산화물(250) 및 캡 산화물(252)는 제2 레벨 폴리 게이트(686 및 706)의 표면을 노출시키기 위해 추가된다. 그 후, 인 및 비소 주입이 (n^+) 소오스/드레인 주입 단계 동안 (n^+) 소오스/드레인 영역(680 및 688)을 형성하는데 사용된다. 다음에, 평활한 붕인산규산염 유리(BPSG) 층(754)는 칩(22)의 표면 상에 피착될 수 있다. 접촉부(678)은 BPSG층(754)를 통해 소오스/드레인 영역(680)과 동시에 형성된다. 알루미늄 구리 합금에 의해 후속된 티타늄 텅스텐 합금은 칩(22)의 표면으로 스퍼터된다. 이 금속 1층은 특히 열 도체(730)을 형성하기 위해 패턴된 다음 에칭된다.

제19g도는 제19도의 선 19g-19g를 절취하여 도시한 단면도로서, "적층" EEPROM 셀 공정으로 발생할 수 있는 문제점이 도시되어 있다. 2개의 폴리실리콘층의 적층 에칭은 2개의 층을 통해 에칭해야 한다. 그러나, 적층 에칭이 층(662)와 같은 단일 폴리실리콘층에 적용되면, 바람직하지못한 트렌치(756 및 758)이 에칭된 폴리실리콘 도체(662)의 양측에 형성될 수 있다. 이러한 트렌치로 인하여 "적층" EEPROM 셀의 고장 비율이 높아진다. 상술된 실시예에 있어서, 소오스/드레인 영역(656)은 트렌치(756)에 의해 대부분 소멸되고, 열 도체(710)은 (p^-) 탱크(760)에 바로 접촉된다. 트렌치(758)은 행 트랜지스터(658)을 효과적으로 분리시키기 위해 소오스/드레인 영역(664)를 절단한다. 그러므로, 셀(652)는 프로그램하기 위해서나 독출하기 위해서 결코 선택되지 않는다.

"비적층" EEPROM 셀(676)용 기록, 소거 및 판독의 바이어스 상태는 다음 표에 도시된다.

t-1

전형적인 응용에 있어서, V_{PP} 는 약 18 볼트, V_{SS}는 0볼트, V_{DD}는 5 볼트, V_{REF}는 2 내지 2.5 볼트이다.

필드 플레이트(724)(제19도) 및 필드 플레이트(742)(제20도)는 고전압 분리에 사용된다.

제20도를 참조하면, 제어 게이트(706)으로 도시된 폴리 2층이 폴리 1 플로팅 게이트(708)과 중첩되기 때문에, 중첩에 대한 설계 규정은 폴리 1 연부가 결코 노출되지 않는다는 것을 보증해야 한다. 제20도에 도시된 비적층 셀은 대략 적층 셀(652)(제19도)와 칩(22) 상의 동일한 영역을 점유한다.

제19g도를 다시 참조하면, 트렌치(756 및 758)은 제2 폴리 에칭으로 인한 것이다. 트렌치(756 및 758)의 깊이는 직접 제어되지 않고, 도프 및 비도프 실리콘의 에칭 선택성, 폴리 1 층(662)의 과에칭 비율, 소정의 특정 웨이퍼상의 에칭 균일성 및 실험용 에칭 시스템을 "로드"시키는 경향을 갖는 에칭된 물질의 밀도에 따라 변한다. 이들 트렌치의 깊이가 직접 제어되지 않기 때문에, 제품 신뢰도에미친 이들의 영향은 한정되지 않는다. 금속 또는 보호성 오보코팅이 열 접촉부(654)에서 균열되는 가능성은 유사한 셀 레이아웃을 사용한 메모리 제품의 불량에 의해 입증되었다. 이러한 제품은 열 접촉부의 금속 개구부를 검사할 수 없다. 제20도 및 제20g도에 도시된 비적층 셀은 폴리 2 제어 게이트가 열 산화물 캡(252)만을 갖는 플로팅 게이트(708)을 피복하기 보다 오히려 모든 측면 상의 폴리 1 플로팅 게이트(708)을 피복하는 적층 셀보다 추가적인 장점을 갖는다. 이것은 플로팅 게이트(708)의 프로그램 보유를 증가시킨다. 또한, 하부 플로팅 게이트(708)의 제어 게이트(706)에 의한 보호는 플로팅 게이트(708)이 캡 산화물(252)를 형성하는 캡 산화 이전에 칩(22)에 제공된 HF 침액(dip)으로부터 보호되는 제조 신뢰도를 증가시킨다.

제20h도는 제20g도에 도시된 셀과 유사한 "비적층 에칭" 메모리 셀의 어레이를 작은 단면으로 도시한 평면도이다. 제20h도의 어레이 구성에 있어서, 셀(676)은 각 열을 따라(제20h도에서 수직 방향으로)정렬되어 각 셀(676)이 열 내의 인접 셀과 닮은 꼴이다. 이 구성에 있어서, 1개의 농후하게 도프된 소오스/드레인 영역(680) 및 관련 접촉부(678)은 셀(676)의 인접 쌍의 행 트랜지스터(682)에 공유된다. 단일 금속 라인(730)은 열을 따라 접촉부(678)을 열 제어 회로(도시되지 않음)에 결합시킨다. 어레이 내의 각 행을 따라(제20h도의 수평 방향으로) 행 트랜지스터(682)의 게이트(686)은 단일 연장된 폴리실리콘 행 라인(686)에 의해 제공되고, 또한 관련된 행 제어 회로(도시되지 않음)에 결합된다. 각 열을 따라 인접한 셀의 각 쌍의 감지 트랜지스터(696)은 농후하게 도프된 소오스/드레인 영역(702) 및 관련 접촉부(704)를 공유한다. 수직 접지를 따라(제20h도의 "열" 또는 수직 방향으로) 접촉부(704)는 금속 라인(740)에 의해 관련 수직 접지 회로(도시되지 않음)에 결합된다. 감지 라인(706)은 각 열을 따라 확장되어 행을 형성하는 각 셀(676)에 제어 게이트(706)을 제공한다. 각 감지 라인은 관련 감지 제어 회로(도시되지 않음)에 결합된다. 최종적으로, 셀의 각 열을 따라 각각의 필드 플레이트 영역(742)에 대한 접촉부(744)는 연장된 도체(746)에 의해 함께 결합된다. 다음에, 도체(746)은 접지된다.

제21a도, 제21b도, 제21d도 및 제21f-g도는 상술된 집적 공정에 따라 제조될 수 있는 수직 npn 트랜지스터를 확대하여 도시한 단면도이다. 공정 제조 단계 및 최종 구조는 제12a-b도, 제12d도 및 제12f-h도에 도시된 수평 npn 트랜지스터의 것과 유사하다.

수직 DMOS 트랜지스터(147)의 예에서 처럼, (n^+) 매입층의 형성시에, (n^+) 매입층(772)는 (p^+) 에피택셜층(152)의 상부에 성장된다. (n^+) 매입층(772)의 형성 후, 단결정 반도체 물질은 (p^+) 에피택셜층(156)에 의해 완성된다.

다음에, 고전압 n 탱크(774)는 질화물/산화물 마스크(166)에 의해 정해지는 것처럼 에피택셜층(152)내로 주입된다. 고전압 n 탱크(774)는 (n^+) 매입층(772) 이외의 나머지 구조를 포함할 수 있다. 후속적으로, 깊은 (n^+) 확산(776)은 (n^+) 매입층(772)를 디바이스(770)의 외부 포인트에 도전성을 접속시켜 형성된다.

제21b도를 참조하면, 패턴된 포토레지스트층(188)은 고전압 p 탱크(778)을 정하는데 사용된다. (p^+) 탱크(778)은 깊은 (n^+) 확산(776)으로부터 격설되도록 n 탱크(774) 내부에 형성된다.

제6c도에 대응하는 공정 단계는 디바이스(770)과 전혀 관계가 없다. 주요 집적 공정 후속에서 제6d도에 상응하는 제21d도에서, 질화물 산화물층(204)는 국부화 산화물이 필요없는 에피택셜층(156)의 영역을 정하기 위해 형성되고 패턴되어 에칭된다. 포토레지스트층(206)은 (p^+) 채널 저지 영역(208)의 주입에 마스크를 제공하기 위해 패턴된다. 채널 저지 주입 후, 포토레지스트층(206)은 스트립되고, 칩(22)는 국부화 또는 모트 산화물 영역(210)(제21f도)을 형성하기 위해 긴 열적 단계로 들어간다.

나머지 중요한 제조 단계가 제21g도에 도시되어 있다. 모트 산화물(210)은 n형 저밀도 확산 영역(784 및 786)의 주입을 완전히 자기 정합하는데 사용된다. 동일한 포토레지스트 마스크는 (n^+) 영역(780 및 782)를 주입하는데 사용된다. 영역(780 및 784)는 (n^+) 매입 콜렉터(772)용의 깊은 확산 접촉 영역을 형성한다. 영역(782 및 786)은 함께 이 수직 npn 디바이스용 에미터를 구성한다. 최종적으로, 모트 산화물(210)은 베이스(788)로 접속하는 (p^+) 베이스 접촉 영역(788)의 주입을 완전히 자기 정합하는데 사용된다.

제21h도는 수직 npn 트랜지스터(770)의 평면도이다. 고전압 n 탱크, 및 매입층(772)의 수평 한계는 밀봉 장방형 실선으로 도시된다. 이러한 경계 내부에 줄선으로 도시된 깊은 (n^+) 접속 확산 영역(776) 및 고전압 (p^-) 탱크(778)이 있다. 모트 산화물(210)의 수평 마진은 매입 콜렉터 접촉 영역(780), 에미터(782)

및 베이스 접촉 영역(788)의 주입을 자기 정합하는데 사용된다. 적정 접촉부(790)은 각각의 영역(780, 782 및 788)에 형성된다.

제12a-b도, 제12d도 및 제12f-h도에 도시된 수평 npn 트랜지스터 뿐만 아니라 제21a-b도, 제21d도 및 제21f-h도에 따라 상술된 수직 npn 트랜지스터(770)에 있어서, 고전압 p 탱크는 희박한 도펀트 농도, 좁은 베이스 영역, 높은 h_{FE}를 얻기 위해 저전압 p 탱크 대신에 사용된다.

제22도는 제6g-1도 및 제6h-1도에 도시된 수직 DMOS 트랜지스터(147)의 선택적인 실시예인 수직 DMOS 트랜지스터(800)의 단면도이다. 제22도는 제6g도에 도시된 공정 단계에 대응하고 이전의 공정 단계는 이미 상술된 공정 단계와 중복되므로 생략한다.

VDMOS 트랜지스터(800)은 실제로 대부분의 공정 흐름에서 트랜지스터(144)와 동일한 방식으로 제조된다. (n^+) 매입층(154)는 에피택셜층(152) 상에 형성되고, 제2 (p^-) 에피택셜층(156)은 이것의 상부에 형성된다. 고전압 n 탱크(171)은 디바이스를 포함하기 위해 에피택셜층(156)내로 주입된다. 채널 저지부(도시되지 않음)는 디바이스(800)의 주변에서 주입되는데, 모트 산화물(210)을 생성하는 에피택셜 표면의 선택적인 산화에 의해 후속된다.

다음에 500Å의 고전압 산화물(218)은 표면상에 성장되는데, V_t 조정 주입 및 고리 모양 폴리 2 게이트(246)의 피착, 도프, 패터닝 및 에칭에 후속된다.

이 때, 칩 표면에서의 일반 공정 흐름과 다른 공정에서는 트렌치(802)가 에칭될 영역만을 남겨둔 채 마스킹된다. 비등방성 플라즈마 에칭은 고전압 n 탱크(171)을 통해 (n^+) 매입층(154)내로 트렌치(802)를 에칭하는데 사용된다. 먼저 트렌치(802)가 파여지고, 열 산화물(804)는 트렌치(802)의 측면(및 하부) 상에 성장된다. 칩은 다시 패턴되고, 비등방성 에칭은 산화물을 트렌치(802)의 하부로부터 제거한다. 트렌치(802)는 한개의 긴 고리 모양 트렌치를 형성하기 위해 결합될 수 있다.

구 포토레지스트층은 스트립되고, 새로운 포토레지스트층은 표면상에 형성되어 제3 폴리층의 피착 동안 패턴된다. 제3 폴리층은 트렌치(802)를 채우는 (n^+) 폴리실리콘 플러그(806)을 생성하기 위해 패턴되어 에칭된다. 폴리 플러그(806)의 접촉 연장부는 금속 1 접촉부(도시되지 않음)용 접촉점을 제공하기 위해 에칭후에 남는다.

선택적으로, 트렌치(802)는 고전압 게이트 산화물(218)의 형성후에, 폴리층(246)의 피착 전에 에칭될 수 있다. 폴리 플러그(806) 및 폴리 2 도전성 게이트(246)은 도시된 바와 같이 피착되고 패턴된 다음 에칭될 수 있다. 플러그(806)을 형성하는데 사용된 폴리실리콘이 미리 도프되므로, 트렌치(802)를 채우는데 사용된 동일한 폴리가 폴리 2층에 사용되면, 폴리 물질은 원래의 위치에 도프되지 않고 미리 도프될 수 있다.

제22도에 도시된 트렌치(802)는 매입층(154)에 깊은(n^+) 접속 방법상의 기술적 장점을 제공한다. 이것은 깊은 (n^+) 영역(제6g-1도 참조)이 수직으로 뿐만 아니라 수평으로 확산하기 때문이다. 고전압 응용시에 필요한 박막 에피택셜층(156)은 교대로 깊은 (n^+) 확산부에 대해 큰 공간이 생기게 한다. 그러나, 트렌치 접속 방법을 사용하면, 트랜지스터(800)의 설계 방식은 깊은 (n^+) 확산부에 대한 큰 공간의 존재에 무관하게 설계될 수 있으므로, 공간은 안전하다.

제23도 및 제24도는 칩(22) 상의 트렌치를 분리시키기 위한 선택적인 사용 방법을 도시한 것이다. 제23도는 트렌치의 확대 단면도인데, 트렌치(810)은 (p^+) 기판(150)과 일치할 때까지 에피택셜층(152)를 관통하게 에칭된다. 트렌치(810)은 고전압 (n^+) 탱크(812)와 이에 인접한 고전압 (n^+) 탱크(814)사이에 배치된다. 트렌치(810)이 에칭된 후, 열 산화물(816)은 이것의 벽과 저부가 성장되고, 트렌치(810)은 (n^+) 폴리층(818)로 채워진다. 트렌치(810)은 모트 산화물 대신에 사용되거나 이를 부가하여 사용될 수 있는 (n^+) 탱크(812와 814) 사이에 분리 구조들을 제공한다.

제24도는 트렌치의 또 다른 선택적인 실시예가 도시되어 있는데, 트렌치(820)은 제1의 고전압 (n^-) 탱크(822)와 제2의 고전압 탱크(824)사이에서 에칭된다. 열 산화물(826)은 트렌치(820)의 측면상에서 성장되지만, 트렌치의 저부(828)은 비등방성으로 에칭되어 떨어져 나간다. 이때, 트렌치는 상기와 같이 (n^+) 폴리층(830)으로 채워진다. 그러나, 저부가 (p^+) 실리콘 기판(150)에 대해 좌측이 노출되기 때문에, 외부 확산 (n^+) 영역(832)는 (n^+) 폴리층(830)에 의해 공급된 도펀트로 형성될 수 있다. 이것은 부수적인 분리부를 제공한다.

제25a도 내지 제25g도를 다시 참조하면, 디바이스가 본 명세서에 기재된 집적 회로 처리 공정에 따라 제조될 수 있는 것이 도시되어 있다. 이 디바이스들은 분리된 저전압 n 채널 전계 효과 트랜지스터(834), EEPROM 어레이의 게이팅용으로 분리된 n 채널 전계 효과 트랜지스터(836), 다른 수평 DMOS 트랜지스터(836) 및 다른 수직 DMOS 트랜지스터(840)을 포함한다. 제25a도를 다시 참조하면, 트랜지스터(834)용 고전압 n 탱크(842) 및 EEPROM 트랜지스터(836)용 고전압 n 탱크(844)는 반도체 에피택셜층(152)내에 주입된다. 이러한 고전압 n 탱크의 설비는 이들의 그룹, 즉 트랜지스터(140 및 142) (제6a도 내지 제6g도)에 비해서 트랜지스터(834 및 836)의 기본적인 변형 설비이다. 고전압 n 탱크(846)에는 수평 DMOS 트랜지스터(838)이 주입되고, 고전압 n 탱크(848)에는 수직 DMOS 트랜지스터(840)이 주입된다. 고전압 n 탱크(842,168 844,846 및 848) 및 n^+ 매입층(841)의 주입 이전에, 매입층(841)은 에피택셜층(152)의 상부에 형성되고, (p^-) 에피택셜층(156)이 (n^+) 매입층(841)의 상부에 형성된 다음에 고전

압 n 탱크(848)은 실리콘으로 형성된다.

상기한 제조 단계에 종용하여, 깊은 (n^+) 영역(850)은 고전압 n 탱크(848)내에 주입되는데, 도펀트 농도와 주입 에너지는 (n^+) 매입층(841)에 도달하기에 충분하므로, 에피택셜층(156)에서 (n^+) 매입층(841)까지의 도전성 접속부를 제공한다.

제25b도를 참조하면, 디바이스(834, 836, 838 및 840)용 저전압 및 고전압 p 탱크의 주입 단계가 도시되어 있다. 포토레지스트층(도시되지 않음)은 고전압 p 탱크가 주입되는 영역을 제외하고 칩(22)의 전체를 마스크 오프한다. 주입은 고전압 p 탱크(852)를 설정하기 위해 발생한다. 이때, 패턴된 포토레지스트층은 스트립되어 새로운 포토레지스트층(188)이 에피택셜층(152)의 표면 상에 피착되고 저전압 p 탱크를 정하기 위해서 패턴된다. 저전압 n채널 트랜지스터(834)용 저전압 p 탱크(854), LDMOS 트랜지스터(838)용 고전압 n 탱크(846)의 중간에 집중된 저전압 p 탱크(856), 및 고전압 n 탱크(848)의 중간에 집중되고 수직 DMOS 트랜지스터(840)용의 깊은 (n^+) 확산부(850)으로 부터 격설된 저전압 p 탱크(858)을 설정하기 위해서는, 붕소가 약 1×10^{14} ions/㎠ 필요하고 주입 에너지가 약 40 KeV 필요하다.

제25b-1도에는 디바이스(834, 836, 838 및 840)을 제조하기 위한 제6b도와 제6c도 사이의 중간 제조 단계가 도시되어 있다. 저전압 p 탱크(854-858)의 주입 후에, 포토레지스트의 제2층(860)은 칩(22)의 표면 상에 피착되어 도시된 바와 같이 패턴된다. (n^+) 주입은 비로소 양호하게 수행되는데, 도우즈는 5×10^{15} ions/㎠ 이고 주입 에너지는 약 120 KeV이다. 이러한 주입 단계는 저전압 p 탱크(856)의 수평 마진내에 고리모양으로 도프된 (n^+) 영역(862) 및 저전압 p 탱크(858)에 의해 봉입된 소형이면서 고리모양으로 도프된 영역(864)를 형성한다.

제25c도를 참조하면, 디바이스의 제조 단계가 제6c도에 도시된 것과 대응하게 도시되어 있다. 포토레지스트층(198)은 칩 상에 피착된 다음 깊은 (p^+) 확산을 위해 패턴된다. 이것은 약 1×10^{12} ions/㎠ 의 붕소 및 약 40 KeV의 주입 에너지로 수행될 수 있다. 이 주입 단계는 깊은 (p^+) 영역(866 및 868)을 형성한다.

제25d도에 있어서, 질화물/산화물 마스크(204)는 기존의 산화물층(178) 상에 형성되고 모트 산화물 마스크를 형성하도록 패턴 및 에칭된다. 이러한 마스크(204)는 제25d도에 "+" 기호로만 도시된 (p^+) 채널 저지 영역(208)의 주입용 마스크를 형성하기 위해 패턴된 포토레지스트층(206)으로 증대된다. 이 때, 포토레지스트층(206)이 스트립된 다음에, 칩은 분리 산화물 영역(210)(제25f도)을 성장시키기 위해 장기간의 열적 단계를 필요로 한다. 분리 산화물 영역(210)의 성장 후에, 마스크(204)가 제거된다. 고전압 게이트 산화물(218)은 탱크(168, 852, 846 및 848)의 표면 상에 성장된다. 이 때, 고전압 NV_T 주입이 고전압 n 탱크(168) 내에서 붕소로 수행된다. 그 다음, 고전압 V_T 인접 주입은 저전압 p 탱크(85ㄴ)내에서 다음의 p형 채널 영역을 위해 수행된다. 그 다음, 저전압 VT 인접 주입은 저전압 p 탱크(842) 및 p 탱크(856 및 858)을 포함하는 저전압 n 및 p 탱크내에서 수행된다.

이러한 디바이스 제조에 적용되는 집적 공정의 다른 단계가 제25f도에 도시되어 있다. 터널 다이오드의 패턴 및 주입이 파울러 노드하임 터널링 윈도우(도시되지 않음)의 성장뿐만 아니라, 도시되지 않은 디바이스에 대해서도 수행된다. 이 때, 다결정성 실리콘의 제2층(도시되지 않음; 제1층이 FAMOS EEPROM 셀에 관련하여 피착, 패턴 및 에칭되지만 도시하지는 않았다)은 (n^+) 폴리 게이트(870, 232, 872), LDMOS 트랜지스터(838)용 고리모양 폴리 게이트(874), 및 VDMOS 트랜지스터(840)용 고리모양 게이트(876)을 형성하기 위해 피착, 도프, 패턴 및 에칭된다.

디바이스(834, 836, 838 및 840)의 제조에 적용되는 집적 공정의 다른 단계가 제25g도에 도시되어 있다. 측벽 산화물 구조물(250)은 여러 개의 폴리 게이트(870, 232, 872, 874 및 876)에 추가된다. 이것은 폴리실리콘 게이트(232 및 870-876)의 노출 표면 상에 캡 산화물(252)의 형성에 종용한다.

포토레지스트층(도시되지 않음)은 다수의 n 형 소오스/드레인 주입부를 정하는데 사용된다. 이러한 것의 대부분은 대응하는 측벽 산화물 또는 모트 산화물 구조물로 자기 정합되지만 LDMOS 트랜지스터(838) 및 VDMOS 트랜지스터(840)에 대한 (n^+) 소오스/드레인 주입은 자기 정합되지 않는다. 먼저, 저밀도 확산 소오스/드레인 주입, 즉 LDD 주입이 저전압 n 채널 전계 효과 트랜지스터(834)용 소오스/드레인 영역(878 및 880), 트랜지스터(141)용 영역(288 및 290), 고전압 EEPROM 게이팅 n 채널 트랜지스터(836)용 영역(882 및 884), LDMOS 트랜지스터(838)용 고리모양 소오스/드레인 영역(886), LDMOS 트랜지스터(838)용 고전압 n 탱크(846)의 주변 근처의 고리모양 소오스/드레인 영역(888), (n^+) 깊은 확산 고리모양 영역(850)에 배치되는 소오스/드레인 접촉 영역(890), 및 VDMOS 트랜지스터(840)용 고리모양 내부 소오스/드레인 영역(892) 내에 인으로 행해진다. 이러한 LDD 주입은 동일하게 패턴된 포토레지스트층(도시되지 않음)을 사용하여 비소 주입이 즉시 행해진다.

포토레지스트(도시하지 않음)의 다른 층은 (p^+) 소오스/드레인 주입으로 패턴된다. 깊은 (p^+) 접촉 영역(894)의 주입은 LDMOS 트랜지스터(838)에 대해, 깊은 (p^+) 영역(866)의 수평면의 마진과 거의 일치하게 수행된다. 또한, (p^+) 소오스/드레인 주입 단계는 VDMOS 트랜지스터(840)용의 중앙의 깊은 (p^+) 접촉 영역(896)을 생성한다. 제1 중간 레벨 절연체, 제1 레벨 금속, 제2 중간 레벨 절연체 및 제2 레벨 금속의 피착 단계를 포함하는 최종 처리 공정 단계는 본 분야에 널리 공지된 처리 방법으로 수행된다.

에피택셜층(152)가 양호한 실시예에서 (p^-) 인 경우, n 채널 트랜지스터의 백 게이트는 공통적이다. (n^-) 탱크(842 및 844)는 분리용으로 여분 pn 접합부를 제공하여 네가티브 전압이 에피택셜층(152)에 사용될

수 있다. 더욱이, 밀봉 탱크(842 및 844)는 과도 전압으로부터의 부수적인 보호 작용을 제공한다. 이것은 자동차 마이크로콘트롤러 및 60 볼트 과도 전압이 인가되는 다른 칩에 특히 유용한 분리 트랜지스터(834 및 836)을 형성한다.

(n^+) 영역(862 및 864)의 초기 주입이 CMOS 논리 및 EEPROM 및 EEPROM 셀과 같은 공정시에 정렬 둔감성 DMOS 채널 길이를 제공한다. 즉, (p^-) 탱크(856 및 858)에 의해 발생된 채널 길이는 고리모양 게이트(874 및 876) 부분과 무관하다.

요약하면, 단일 칩 상에 저전력 및 고전력용 반도체 디바이스를 제조하는 집적 공정이 기술되었다. 또한, 적층 셀과 비교하여 매우 향상된 신뢰성 및 내구성을 갖는 비적층 EEPROM 셀이 도시되고 기술되었다.

본 발명과 이의 장점을 상세하게 기술하였지만, 첨부된 특허 청구의 범위에 정해진 본 발명의 요지 및 범위 내에서 본 발명을 여러가지로 변경, 대체 및 변화시킬수있다.

(57) 청구의 범위

청구항 1

제1 도전형의 반도체층(152)의 표면에 형성된 비적층(non-stack) EEPROM 셀(676)에 있어서,

상기 표면에 형성된 상기 제1 도전형과 반대인 제2 도전형의 터널 다이오드 도프 영역(750);

상기 표면 내에 형성된 상기 제2 도전형의 제2 고농도 도프 영역(688);

상기 표면 내에 형성된 상기 제2 도전형의 제2 고농도 도프 영역(680) - 상기 제1 도전형의 감지 트랜지스터 채널 영역에 의해 상기 제1 고농도 도프 영역(688)과 상기 제2 고농도 도프 영역(680)이 격리되고, 상기 제1 고농도 도프 영역(688)과 상기 제2 고농도 도프 영역(680) 중 적어도 하나는 상기 터널 다이오드 영역과 격리되어 있음-;

상기 터널 다이오드 도프 영역(750) 위의 상기 표면 상에 형성된 박막 터널 절연층(732)과, 감지 트랜지스터 채널 영역 위의 상기 표면 상에 형성된 게이트 절연층(218);

상기 터널 절연층(732) 및 상기 게이트 절연층(218) 상에 형성된 부분들(734, 738) 및 수평 마진(lateral margins)을 갖는 도전성 플로팅 게이트(736); 및

상기 도전성 플로팅 게이트(736)와 절연 분리되어 있는 도전성 제어 게이트(706)를 포함하며,

상기 제어 게이트(706)는 상기 플로팅 게이트(736) 위에 그것과 용량성으로 결합되도록 배치되고, 상기 제어 게이트(706)의 수평 마진은 상기 플로팅 게이트(736)의 대응하는 수평 마진과 모든 부분에서 중첩하는

것을 특징으로 하는 비적층 EEPROM 셀.

청구항 2

제1항에 있어서, 상기 플로팅 게이트(736)는 포크 형태로서, 주 본체(body)에 서로 격리되어 접속된 제1 및 제2 핑거(734, 738)를 포함하며, 상기 제1 핑거는 상기 터널 절연층(732) 상에 형성되고 상기 제2 핑거는 상기 게이트 절연층(218) 상에 형성된 것을 특징으로 하는 비적층 EEPROM 셀.

청구항 3

제2항에 있어서, 상기 제어 게이트(706)와의 증가된 용량성 결합 면적을 제공하기 위해 상기 주 본체는 상기 제1 및 제2 핑거(734, 738)보다 표면적이 큰 것을 특징으로 하는 비적층 EEPROM 셀.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서, 상기 제어 게이트(706)는 상기 플로팅 게이트(736)의 상기 수평 마진과 모든 부분에서 컨포멀하게(conformally) 중첩하는 수평 마진을 갖는 도전성 폴리실리콘층을 포함하는 것을 특징으로 하는 비적층 EEPROM 셀.

청구항 5

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 플로팅 게이트(736)가 상기 터널 절연층(732)을 통해 터널링하는 전자들로 충전되도록 상기 제어 게이트(706)에 상기 프로그래밍 전압을 인가하기 위해 상기 제어 게이트(706)에 전기적으로 결합된 회로; 및

상기 전자들에 의해 상기 플로팅 게이트(736) 상에 유도된 전하를 검출함으로써 상기 비적층 EEPROM 셀을 판독하기 위해 상기 플로팅 게이트(736)에 전기적으로 결합된 회로

를 더 포함하는 것을 특징으로 하는 비적층 EEPROM 셀.

청구항 6

제1 도전형의 반도체층의 표면에 열 및 이 열에 비스듬히 배치된 행으로 형성된 , 제1항에 청구된 비적층 EEPROM 셀(676)의 어레이에 있어서,

상기 각 열을 형성하는 상기 셀(676)의 각 쌍에 대해서, 상기 제1 도전형과 반대인 제2 도전형의 상기 표면에 형성된 제1 선택 트랜지스터 소오스/드레인 영역(680);

상기 각 열을 형성하는 상기 셀(676)의 각 쌍에 대해서, 상기 제2 도전형의 상기 표면에 형성된 제1 감지 트랜지스터 소오스/드레인 영역(688);

상기 각 쌍을 형성하는 각 셀(676)에 대해서, 상기 제2 도전형의 상기 표면에 형성되고 선택 트랜지스터 채널에 의해 상기 제1 선택 트랜지스터 소오스/드레인 영역(680)과 격리된 제2 선택 트랜지스터 소오스/드레인 영역(688);

상기 각 쌍을 형성하는 각 셀(676)에 대해서, 상기 제2 도전형의 상기 표면에 형성되고 감지 트랜지스터 채널에 의해 상기 제1 감지 트랜지스터 소오스/드레인 영역(688)과 격리된 제2 감지 트랜지스터 소오스/드레인 영역(702);

각 셀(676)에 대해서, 상기 제2 도전형의 상기 표면에 형성된 터널 다이오드 영역(750);

각 셀(676)에 대해서, 상기 터널 다이오드 영역(750)의 최소한 일부분에 인접하여 배치된 박막 절연체 터널링 윈도우(732);

각 열에 대해서, 상기 행을 형성하는 상기 각 셀의 상기 선택 트랜지스터 채널을 절연되게 피복하는 게이트 도체(684);

각 셀(676)에 대해서, 상부 표면과 하부 표면을 갖는 플로팅 게이트(736) -상기 상부 표면과 하부 표면은 측벽에 의해 상기 플로팅 게이트(736)의 주변을 따라 서로 격리되고, 상기 플로팅 게이트(736)의 제1 부분의 상기 하부 표면은 상기 박막 절연체 터널링 윈도우(732)에 인접하여 배치되고, 상기 플로팅 게이트(736)의 제2 부분의 하부 표면은 상기 감지 트랜지스터 채널 영역에 인접하여 절연되게 배치됨-; 및

각 행에 대해서, 상부 표면 및 하부 표면을 갖는 연장된 제어 게이트(706) -상기 상부 표면과 하부 표면은 측멱에 의해 상기 제어 게이트(706)의 주변을 따라 서로 격리되고, 상기 제어 게이트(706)의 상기 하부 표면의 제1 부분들은 상기 행을 형성하는 상기 플로팅 게이트(736)의 상기 상부 표면에 인접하여 절연되게 배치되고, 상기 제어 게이트(706)의 상기 하부 표면의 제2 부분들은 상기 행을 형성하는 상기 플로팅 게이트(736)의 상기 측벽들에 인접하여 절연되게 배치되며, 상기 제어 게이트(706)의 상기 측벽들은 상기 반도체층의 상기 표면 부분에 인접하여 절연되게 배치됨-

를 포함하는 것을 특징으로 하는 비적층 EEPROM 셀의 어레이.

청구항 7

제6항에 있어서, 복수개의 제1 도전성 제어 라인(706)을 더 포함하며, 상기 제1 도전성 제어 라인(706)은 상기 열을 형성하는 상기 제1 감지 트랜지스터 소오스/드레인 영역들(702, 688) 각각을 전기적으로 결합시키기 위해 상기 각 열과 관련되는 것을 특징으로 하는 비적층 EEPROM 셀의 어레이.

청구항 8

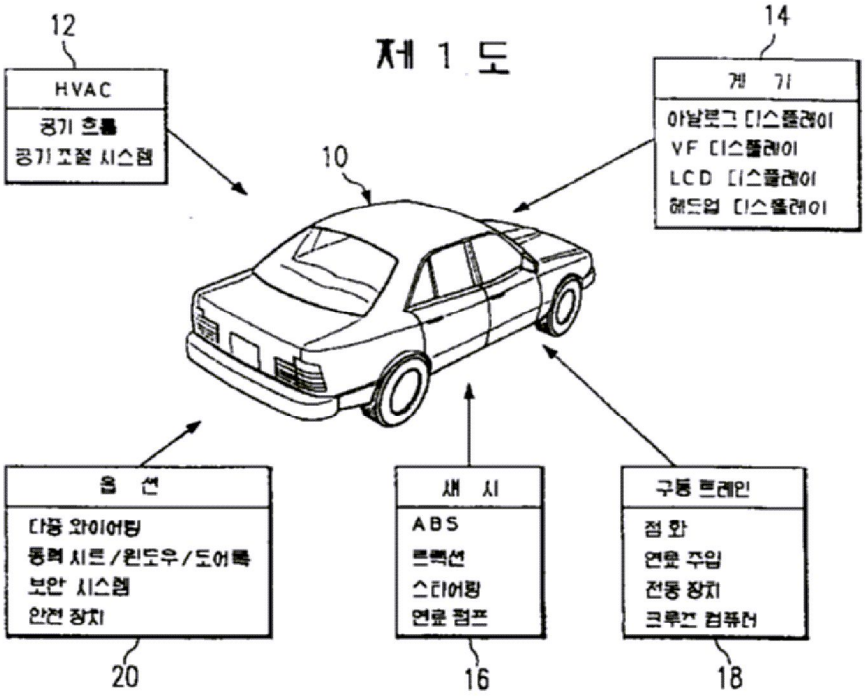
제7항에 있어서, 복수개의 제2 도전성 제어 라인(686)을 더 포함하며, 상기 제2 도전성 제어 라인(686)은 상기 열을 형성하는 상기 제1 선택 트랜지스터 소오스/드레인 영역들(680, 688) 각각을 전기적으로 결합시키기 위해 상기 각 열과 관련되는 것을 특징으로 하는 비적층 EEPROM 셀의 어레이.

청구항 9

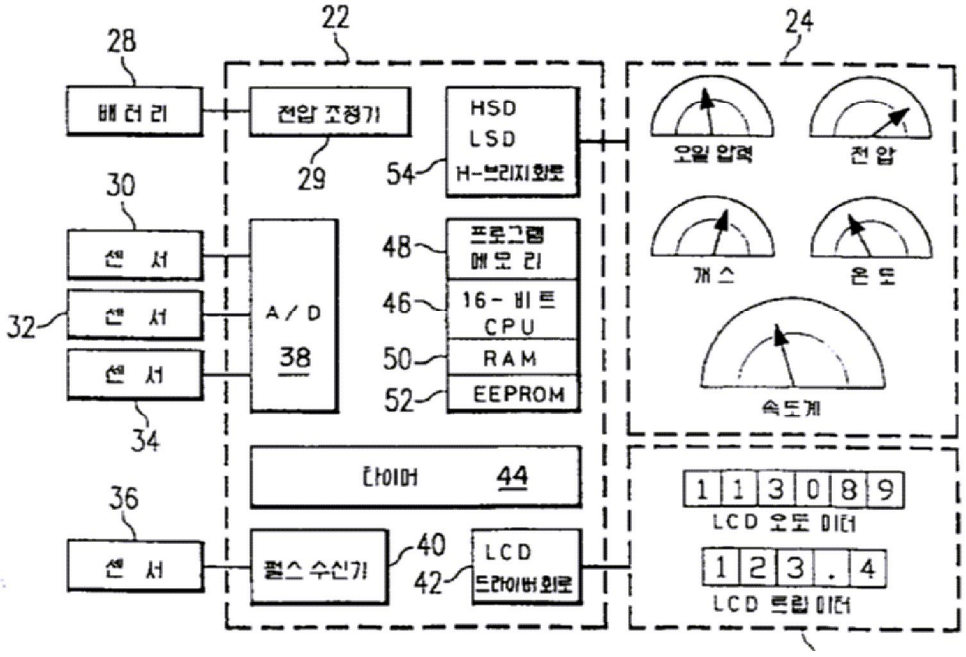
제6항 내지 제8항에 있어서, 상기 제어 게이트(706)는 상기 행 내의 상기 셀들의 상기 감지 트랜지스터 채널들의 각 부분에 인접하여 절연되게 배치되는 것을 특징으로 하는 비적층 EEPROM 셀의 어레이.

도면

도면1


제 1 도
12
HVAC
공기 흐름
공기조절 시스템
14
계 기
아날로그 디스플레이
VF 디스플레이
LCD 디스플레이
헤드업 디스플레이
10
옵 션
다중 와이어링
동력 시트/윈도우/도어록
보안 시스템
안전 장치
20
섀 시
ABS
트랙션
스티어링
연료 펌프
16
구동 트레인
점 화
연료 주입
전동 장치
크루즈 컴퓨터
18

도면2


22
24
28
배 터 리
전압 조정기
29
HSD
LSD
H-브리지회로
54
30
센 서
32
센 서
센 서
34
A/D
38
48
프로그램
메 모 리
46
16-비 트
CPU
50
RAM
52
EEPROM
타이머 44
36
센 서
펄스 수신기
40
42
LCD
드라이버회로
오일 압력
전 압
개 스
온 도
속도계
1 1 3 0 8 9
LCD 오도 미터
1 2 3 . 4
LCD 트립 미터