



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년02월13일
(11) 등록번호 10-1232851
(24) 등록일자 2013년02월06일

(51) 국제특허분류(Int. Cl.)

H01L 29/82 (2006.01)

(21) 출원번호 10-2011-0144335

(22) 출원일자 2011년12월28일

심사청구일자 2011년12월28일

(56) 선행기술조사문헌

JP2003031773 A

JP2004158750 A

KR100506064 B1

KR100934314 B1

(73) 특허권자

고려대학교 산학협력단

서울 성북구 안암동5가 1

(72) 발명자

이궁원

충남 연기군 조치원읍 침산리 257-16 1동 402호

홍진기

서울 마포구 용강동 380 래미안용강아파트 104동 1301호

(뒷면에 계속)

(74) 대리인

특허법인주원

전체 청구항 수 : 총 6 항

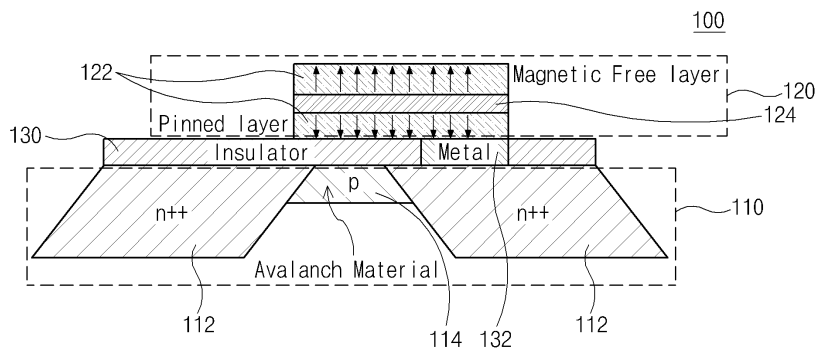
심사관 : 설관식

(54) 발명의 명칭 자계 효과 트랜지스터

(57) 요약

자계 효과 트랜지스터가 개시된다. 자계 효과 트랜지스터는 전류 제어부, 및 자계 인가부를 포함한다. 전류 제어부는 복수의 전극, 및 복수의 전극 사이에 위치하며 외부에서 인가되는 자계에 상기 전극 사이에 흐르는 전류량을 변화시키는 전류 소통 물질 영역을 포함하고, 자계 인가부는 외부 입력에 따라 변화하는 미리 설정된 물질의 자화 상태에서 발생하는 자계를 전류 소통 물질 영역에 인가한다. 자계를 이용하여 전류를 제어함으로써 충전 시간이 필요 없어 고속 동작이 가능하며, 외부 입력에 따라 물질의 자화 상태를 변경시켜 자계를 공급하므로 외부 전원의 공급 없이도 연산 결과를 저장할 수 있게 된다.

대표도 - 도1



(72) 발명자

김태엽

서울 마포구 염리동 세양청마루아파트 101동 1303호

주성중

서울 관악구 신림3동 630-7 한성연립 가동 102호

이진서

경기 안산시 단원구 고잔동 호수공원대림아파트 127동 901호

정구열

서울 성북구 석관1동 122-17 101호

김동석

대구 수성구 지산동 지산보성 106동 502호

한선일

전남 순천시 해룡면 상삼리 614-2

특허청구의 범위

청구항 1

복수의 전극, 및 상기 복수의 전극 사이에 위치하며 외부에서 인가되는 자계에 따라 상기 전극 사이에 흐르는 전류량을 변화시키는 전류 소통 물질 영역을 포함하는 전류 제어부; 및

외부 입력에 따라 변화하는 미리 설정된 물질의 자화 상태에서 발생하는 자계를 상기 전류 소통 물질 영역에 인가하는 자계 인가부를 포함하는 것을 특징으로 하는 자계 효과 트랜지스터.

청구항 2

제 1항에 있어서,

상기 자계 인가부는

강자성체층 사이에 위치하는 비자성층을 포함하는 것을 특징으로 하는 자계 효과 트랜지스터.

청구항 3

제 2항에 있어서,

상기 강자성체층은 수직자기이방성 물질로 이루어진 것을 특징으로 하는 자계 효과 트랜지스터.

청구항 4

제 3항에 있어서,

상기 외부 입력은 상기 강자성체 사이의 전류 인가 입력인 것을 특징으로 하는 자계 효과 트랜지스터.

청구항 5

제 4항에 있어서,

상기 전류 인가 입력은 상기 자계 인가부와 상기 전극 사이에 인가되는 것을 특징으로 하는 자계 효과 트랜지스터.

청구항 6

제 5항에 있어서,

상기 전류 소통 물질 영역과 상기 자계 인가부 사이에 절연층을 더 포함하는 것을 특징으로 하는 자계 효과 트랜지스터.

명 세 서

기술 분야

[0001] 본 발명은 반도체 소자에 관한 것으로서, 더욱 상세하게는 게이트 입력을 이용하여 소스-드레인 사이의 전류를 조절하는 트랜지스터 소자에 관한 것이다.

배경 기술

[0002] 종래의 전계 효과 트랜지스터(FET)는 게이트에 전기장이 인가되는 동안에만, 즉 전원이 연결되어 있는 동안에만 드레인으로 전류가 흐르게 되어 있어, 트랜지스터 자체로서 latched switching이 불가능하다. 또한, Drain을 다룬 트랜지스터의 게이트에 인가해도 앞 트랜지스터의 결과(Drain 전류)가 후속 트랜지스터에 저장되지 않는다.

[0003] 또한, 종래의 전계 효과 트랜지스터(FET)는 게이트에 일정 전압이 충전될 때까지 전하를 충전하여야 하는데, 충전에 걸리는 시간(gate charging time)이 필요하여 충분히 시간을 주어야하는 어려움이 있다. 즉 고속 동작의 한계에 이르게 된다.

- [0004] 또한, 연산 결과를 저장하려는 경우에는, 전계 효과 트랜지스터(FET) 5개를 사용하는 SRAM과 같이 외부에서 전원이 연결되어 있는 동안에만 연산 결과가 보존되므로, 계산 결과를 주메모리(DRAM 또는 SRAM)로 옮겨 놓아야 했다.
- [0005] 연산결과를 옮기는 데이터라인을 버스(BUS)라고 부르는데, 이 버스를 통해 데이터(연산 결과)를 보내고 다시 받아오는데 오랜 시간이 소요되며, 이것이 CPU 이외에 메모리가 필요하게 되는 이유이다.

발명의 내용

해결하려는 과제

- [0006] 본 발명은 상술한 종래의 문제점을 해결하기 위해 안출된 것으로서, 충전 시간이 필요 없어 고속 동작이 가능하며, 외부 전원의 공급 없이도 연산 결과를 저장할 수 있는 latched switching 트랜지스터 소자를 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0007] 상기 목적을 달성하기 위해, 본 발명에 따른 자계 효과 트랜지스터는 전류 제어부, 및 자계 인가부를 포함한다.
- [0008] 전류 제어부는 복수의 전극, 및 복수의 전극 사이에 위치하며 외부에서 인가되는 자계에 따라 상기 전극 사이에 흐르는 전류량을 변화시키는 전류 소통 물질 영역을 포함하고, 자계 인가부는 외부 입력에 따라 변화하는 미리 설정된 물질의 자화 상태에서 발생하는 자계를 전류 소통 물질 영역에 인가한다.
- [0009] 자계를 이용하여 전류를 제어함으로써 충전 시간이 필요 없어 고속 동작이 가능하며, 외부 입력에 따라 물질의 자화 상태를 변경시켜 자계를 공급하므로 외부 전원의 공급 없이도 연산 결과를 저장할 수 있게 된다.
- [0010] 이때, 자계 인가부는 강자성체층 사이에 위치하는 비자성층을 포함할 수 있다. 이러한 구성은 연산 결과의 저장을 위해 자기 터널 접합(Magnetic Tunnel Junction)의 구조를 이용할 수 있도록 한다.
- [0011] 또한, 이때의 강자성체층은 수직 자기 이방성 물질로 이루어질 수 있다. 이와 같이, 자기 터널 접합 구조에 있어서 강자성체를 수직 이방성 물질로 구성함으로써 자계 효과 트랜지스터를 더욱 고집적화할 수 있게 된다.
- [0012] 또한, 외부 입력은 강자성체 사이의 전류 인가 입력일 수 있다. 이러한 구성에 의하면, 스핀 트랜스퍼 토크(Spin Transfer Torque) 현상을 이용함으로써, 자계 효과 트랜지스터를 더욱 고집적화할 수 있게 된다.
- [0013] 또한, 전류 인가 입력은 자계 인가부와 전극 사이에 인가될 수 있다. 이러한 구성은 전류 제어부의 전극을 자계 인가부가 공통으로 사용할 수 있도록 함으로써 자계 트랜지스터를 더욱 소형화할 수 있게 된다.
- [0014] 또한, 전류 소통 물질 영역과 자계 인가부 사이에 절연층을 더 포함할 수 있다. 이러한 구성은 자계 발생부의 자계가 아닌 자계 발생을 위한 전류가 직접 출력 전류에 영향을 미치는 것을 방지할 수 있도록 해 준다.

발명의 효과

- [0015] 본 발명에 의하면, 자계를 이용하여 전류를 제어함으로써 충전 시간이 필요 없어 고속 동작이 가능하며, 외부 입력에 따라 물질의 자화 상태를 변경시켜 자계를 공급하므로 외부 전원의 공급 없이도 연산 결과를 저장할 수 있게 된다.
- [0016] 또한, 연산 결과의 저장을 위해 자기 터널 접합(Magnetic Tunnel Junction)의 구조를 이용할 수 있게 된다.
- [0017] 또한, 자기 터널 접합 구조에 있어서 강자성체를 수직 이방성 물질로 구성함으로써 자계 효과 트랜지스터를 더욱 고집적화할 수 있게 된다.
- [0018] 또한, 스핀 트랜스퍼 토크(Spin Transfer Torque) 현상을 이용함으로써, 자계 효과 트랜지스터를 더욱 고집적화할 수 있게 된다.
- [0019] 또한, 전류 제어부의 전극을 자계 인가부가 공통으로 사용할 수 있도록 함으로써 자계 트랜지스터를 더욱 소형화할 수 있게 된다.
- [0020] 또한, 전류 소통 물질 영역과 자계 인가부 사이에 절연층을 포함하여, 자계 발생부의 자계가 아닌 자계 발생을 위한 전류가 직접 출력 전류에 영향을 미치는 것을 방지할 수 있게 된다.

도면의 간단한 설명

- [0021] 도 1은 본 발명에 따른 자계 트랜지스터의 일 실시예의 개략적인 구조를 도시한 도면.
- 도 2는 도 1의 구조에서 펄스전류를 게이트에 흘려 112의 drain으로 흘러가게 하여 magnetic free layer의 자화를 반전시키고, 이에 따라 하부 아발란치 물질에 인가 자기장이 커지게 하여 아발란치(avalanche)가 발생 또는 아발란치 효과를 끄는 동작을 보여주는 도면.
- 도 3은 본 발명에 따라 개발된 반도체 n⁺/intrinsic/n⁺ 타입 소자 자기장 아발란치(avalanche) 효과를 이용한 자계 효과 트랜지스터의 개략적인 모습으로 도 2의 전류 제어부 도면.
- 도 4는 본 발명에 따라 개발된 도 3의 소자에서 자기장의 인가에 따라 Switching 현상을 확인할 수 있는 자성 스위치 현상을 도시한 그래프.
- 도 5는 도 2의 자계 인가부의 원리를 설명하기 위한 개략적인 도면(자성층의 구조는 자성물질에 따라 단층, 복층, exchange bias가 있는 복수의 자성층 등으로 활용가능하다)

발명을 실시하기 위한 구체적인 내용

- [0022] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명한다.
- [0023] 도 1은 본 발명에 따른 자계 트랜지스터의 일 실시예의 개략적인 구조를 도시한 도면이다.
- [0024] 도 1에서, 자계 효과 트랜지스터(100)는 전류 제어부(110), 자계 인가부(120), 및 절연층(130)을 포함하고 있다.
- [0025] 전류 제어부(110)는 다시 복수의 전극(112), 및 전류 소통 물질 영역(114)을 포함하는데, 전류 소통 물질 영역(114)은 복수의 전극(112) 사이에 위치하며 외부에서 인가되는 자계에 따라 전극 사이에 흐르는 전류량이 변화한다.
- [0026] 자계 인가부(120)는 게이트를 따라 인가되는 외부 펄스 전류의 방향에 따라 변화하는 미리 설정된 수직 자계를 발생하는 전류 소통 물질로 만들어진 영역이다.
- [0027] 이와 같이, 자계를 이용하여 전류를 제어함으로써 충전 시간이 필요 없어 고속 동작이 가능하며, 외부 전류 입력 방향에 따라 물질의 자화 상태를 변경시켜 자계를 공급하므로 외부 전원의 공급이 끊겨도 연산 결과를 게이트의 자계, 자기저항 및 source와 drain 사이의 저항으로 저장할 수 있게 된다.
- [0028] 자계 인가부(120)는 강자성체층(122) 사이에 위치하는 비자성층(124)을 포함할 수 있다. 이러한 구성은 연산 결과의 저장을 위해 자기 터널 접합(Magnetic Tunnel Junction)의 구조를 이용할 수 있도록 한다.
- [0029] 또한, 이때의 강자성체층(122)은 수직 자기 이방성 물질로 이루어질 수 있다. 이와 같이, 자기 터널 접합 구조에 있어서 강자성체를 수직 이방성 물질로 구성함으로써 자계 인가부(120)를 더욱 고집적화할 수 있게 된다.
- [0030] 또한, 외부 입력은 강자성체(122) 사이의 전류 인가 입력일 수 있다. 이러한 구성에 의하면, 스핀 트랜스퍼 토크(Spin Transfer Torque) 효과를 이용함으로써, 자계 인가부(120)를 더욱 고집적화할 수 있게 된다.
- [0031] 스핀 트랜스퍼 토크(Spin Transfer Torque; STT) 효과는 자화를 반전시킬 만큼의 각운동량을 전달할 수 있는 전류밀도를 가진 전류를 인가했을 때, 인가하는 전류의 방향에 따라 두 자성층을 평행하게도, 반평행하게도 만들 수 있는 원리를 말한다.
- [0032] 1996년 높은 전류밀도로 스핀이 정렬된 전류를 자성금속층에 밀어 넣으면 전달된 스핀의 각운동량에 따라 자화가 반전될 수 있다는 원리가 제안되었는데, 이 원리를 스핀 트랜스퍼 토크(Spin Transfer Torque) 효과라 부르며 FM/M/M 구조 또는 FM/MgO/FM 구조의 다층박막층을 나노미터 크기의 원통(pillar) 구조로 만들어 제작된 소자에서 이 원리가 실현됨이 확인된 바 있다.
- [0033] 또한, 전류 인가 입력은 자계 인가부(120)와 전극(112) 사이에 인가될 수 있다. 이러한 구성은 전류 제어부(110)의 전극(112)을 자계 인가부(120)가 공통으로 사용할 수 있도록 함으로써 자계 트랜지스터(100)를 더욱 소형화할 수 있게 된다.
- [0034] 또한, 전류 소통 물질 영역(114)과 자계 인가부(120) 사이에 절연층(130)을 더 포함할 수 있다. 이러한 구성은 자계 발생부(120)의 자계가 아닌 자계 발생을 위한 전류가 직접 출력 전류에 영향을 미치는 것을 방지할 수 있

도록 해 준다.

- [0035] 도 1에서는 전류 제어부(110)와 자계 인가부(120) 전체를 절연층(130)으로 차단하고, 절연층(130) 일부 영역에 금속 접촉부(132)를 형성하여 전극(112)과 자계 인가부(120)를 전기적으로 연결시키도록 구현되어 있다.
- [0036] 상기 실시예를 보다 구체적으로 설명하면 다음과 같다.
- [0037] 도 2는 도 1의 구조에서 펄스전류를 게이트에 흘려 112의 drain으로 흘러가게 하여 magnetic free layer의 자화를 반전시키고, 이에 따라 하부 아발란치 물질에 인가 자기장이 커지게 하여 아발란치(avalanche)가 발생 또는 아발란치 효과를 끄는 동작을 보여주는 도면이다.
- [0038] 도 2에서, 두 개의 자성층(122)이 자기장을 인가하고 있다. 또한, 양단의 n++ 전극(112)에서 아발란치를 일으킬 부근의 전압으로 바이어스가 인가되어 있다. 스위칭에 필요한 게이트의 자기장을 얻기 위해 스핀 토크 트랜스퍼 현상을 이용하여 자유층(free layer)의 자화방향을 바꾸어준다.
- [0039] 본 발명에서는 자성 스위칭 현상을 이용하는데, 자성 스위칭 현상은 자기장의 인가에 따라 전류의 흐름이 수천 배 이상 변화하는 현상이다.
- [0040] 도 3은 도 2의 전류 제어부의 원리를 설명하기 위한 개략적인 도면이고, 도 4는 도 3의 구조에서 확인할 수 있는 자성 스위치 현상을 도시한 그래프이다.
- [0041] 도 3에서 전극 사이에 좁은 폭의 구조를 가지는 소자(Narrow-Band gap semiconductor avalanche device)에 바이어스 전압을 인가하는 상태가 도시되어 있으며, 도 4에서 자계에 의해 소자의 전도 상태가 급격히 변하는 것을 확인할 수 있다.
- [0042] 옴의 법칙 ($V=IR$)은 물질 연구의 기본 법칙으로 인정받아왔다. 모든 전자 회로, 전자기기에서 옴의 법칙이 적용되고 있다. 그러나 인가한 전기장이 어느 수위를 넘어서면 급격한 전류의 흐름이 발생하고, 이 범위에서는 옴의 법칙을 넘어서면서 평균장 이론이 더 이상 적용되지 않고 Mott-Gurney law가 적용된다.
- [0043] 이 비선형 특성의 원인은, 높은 인가전압에 따라 반도체 내에 전하가 쌓이게 되고, 이 전하에 따른 내부 비선형 전기장 분포에 기인하는 것으로 알려져 있다.
- [0044] 중앙연산장치(CPU)에서 계산된 결과는 메모리 (DRAM)에 저장되는 것이 현재 컴퓨터 및 모바일 기기의 일반적 형태이다. 그 이유는 CPU의 연산 결과가 휘발성이기에 그 결과를 어디엔가 담아두어야 하기 때문이다.
- [0045] 만일 CPU의 계산 결과를 비휘발성으로 구현하는 경우, 이를 메모리로 옮기는 과정이 불필요하여 컴퓨터의 대부분 시간을 잡아먹는 BUS delay time (CPU와 메모리의 정보교환장치)을 절약할 수 있게 된다.
- [0046] 이를 위해, 본 발명에서는 자석의 자기장을 이용하여 FET가 구동되는 소자를 제작한다. 자석의 자화는 1ns 이하의 시간에서 자화반전을 일으키는 스핀토크 현상을 이용하며, 자석은 수직자기를 이용한다. 이 경우 GHz 이상의 스위칭 속도를 갖으며 비휘발성인 FET의 구현이 가능해진다.
- [0047] 종래의 전기장을 이용하는 FET는 항상 게이트에 전압을 인가한 상태에서 on(또는 off) 상태가 유지된다. 그러나 본 발명에서 제시하는 자기장을 이용하는 FET(MFET)는 펄스 형태의 전류를 보내어 자화 상태를 조절하고, 자화 상태의 방향에 따라 전류를 단속하기 때문에 게이트에 항상 전압이 걸릴 필요가 없다.
- [0048] 또한, 종래의 스핀을 이용해 제안된 어떤 소자보다도 시그널의 비율이 크기 때문에 (수천배에 해당) 바로 기존의 전기장 기반 FET를 대체할 수 있는 스위칭 소자이다.
- [0049] 도 5는 도 2의 자계 인가부의 원리를 설명하기 위한 개략적인 도면이다.
- [0050] 펄스 전류로 자석의 방향을 바꾸는 것은 스핀 트랜스퍼 토크(Spin Transfer Torque) 현상을 이용한다. 펄스 전류는 게이트 상부에서 내려와 오른쪽 한단의 n++ 전극으로 흘러나간다.
- [0051] 흐르는 전류의 방향에 따라 상부 자유층(free layer)의 자화 방향이 반전되고, 아래 고정층(pinned layer)과 합쳐진 총 자기장의 크기는 두 층이 평행일 때 큰 자기장, 반평행일 때 작은 자기장이 된다.
- [0052] 큰 자기장일 때 자기장 스위칭이 일어나 전류가 흐르며, 작은 자기장일 때 스위칭이 일어나지 않아 전류가 흐르지 않는다.
- [0053] 스위칭 소자에 인가되는 자기장은 소자의 상단부에 위치한 두 층의 수직 자기 이방성 층에서 제공되도록 설계한다. 즉 두 개의 수직 이방성 층이 반평행하면 작은 누설자기장이 나와 전류가 흐르고, 평행하면 큰 누설

자기장이 나와 전류가 흐르지 않게 된다.

[0054] 수직 자기 이방성 층의 자화 조절은 스핀 토크 자화 반전 현상을 이용한다. 즉 드레인과 전기적으로 연결되는 자성금속(FM)/Cu/FM 층을 쌓아 FET 게이트의 자화 방향에 따라 누설 자기장의 크기를 작고(200 Oe) 크게(500 Oe) 만들어 줄 수 있는 소자를 올려놓으면 종래의 전기장으로 게이트를 조절하던 기존 FET 대신 자기장으로 게이트를 스위칭할 수 있는 소자를 만들 수 있게 된다.

[0055] 이 소자의 가장 큰 특징은 인가 자기장의 크기에 따라 반도체에 흐르는 전류가 단속되는 현상을 이용한다는 것으로, 수직 자기의 평행과 반평행 상태가 누설 자기장의 형태로 메모리를 보유하고 있다는 것이다.

[0056] 또한, 단속되는 전류의 on/off 비율은 1000배 이상을 손쉽게 얻을 수 있고, 나노 사이즈에서 게이팅이 가능하며, 수직 자기층의 자화반전이 nsec 단위로 이루어지기에 고속 게이팅도 가능해진다.

[0057] 20세기 인류의 컴퓨터, 통신, 전자기기의 발달 등 과학기술적 도약은 인가 전기장의 크기에 따라 전류의 흐름이 열리고 닫히는 전기장 FET(Field Effect Transistor)를 근간으로 제작된 논리 스위칭 소자에서 시작되었다.

[0058] 그러나 논리 연산소자 (CPU)와 이 연산결과를 저장하는 공간 (RAM)이 분리되어 있어, 연산 속도의 한계, 메모리의 비휘발성 문제 등의 근본적 한계를 가지고 있다.

[0059] 본 발명에서는 메모리와 스위칭 기능을 동시에 갖는 새로운 패러다임(paradigm)의 소자인 자계 효과 트랜지스터(Magnetic field effect transistor; MFET)의 원리를 제시하고, 이를 구현하여 새로운 논리 스위칭의 영역을 제시한다.

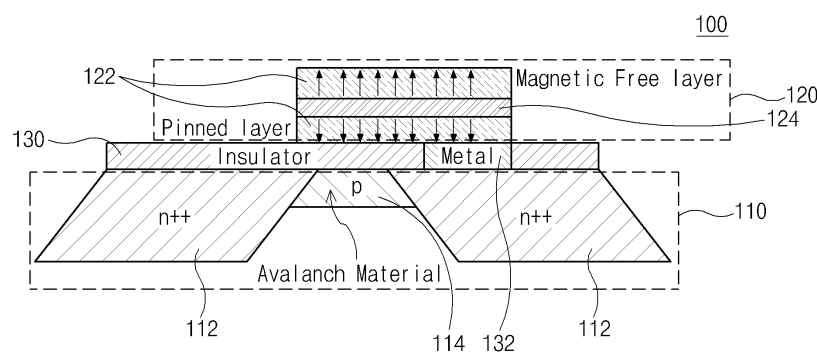
[0060] 본 발명이 비록 일부 바람직한 실시예에 의해 설명되었지만, 본 발명의 범위는 이에 의해 제한되어서는 아니 되고, 특허청구범위에 의해 뒷받침되는 상기 실시예의 변형이나 개량에도 미쳐야 할 것이다.

부호의 설명

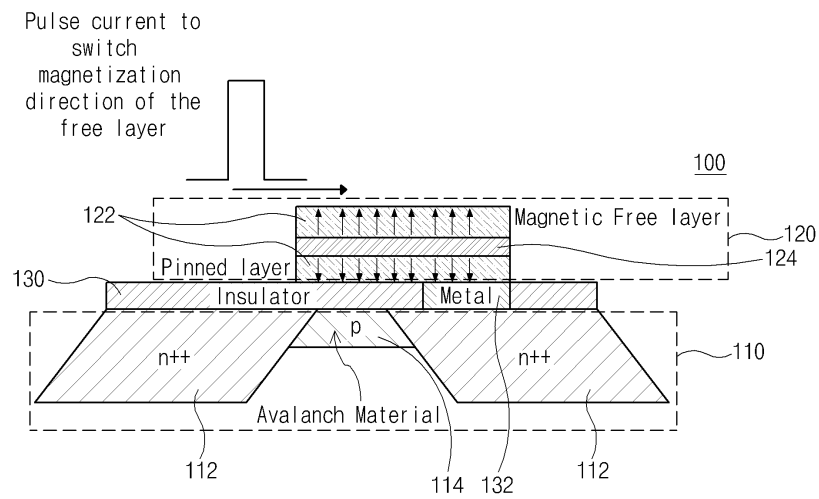
[0061] 100: 자계 효과 트랜지스터
110: 전류 제어부
112: 전극
114: 전류 소통 물질 영역
120: 자계 인가부
122: 강자성체층
124: 비자성체층
130: 절연층
132: 금속 접속부

도면

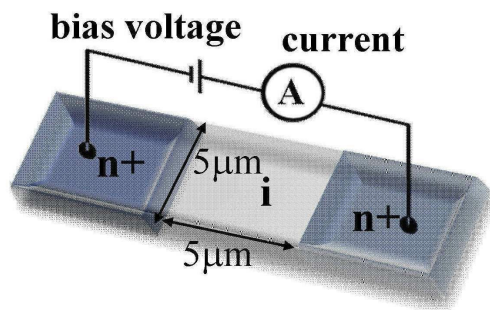
도면1



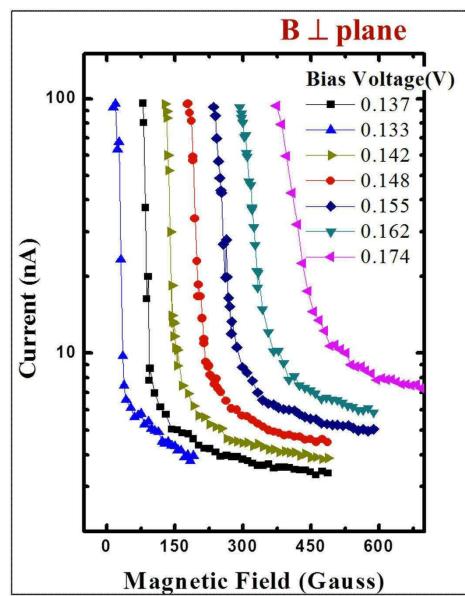
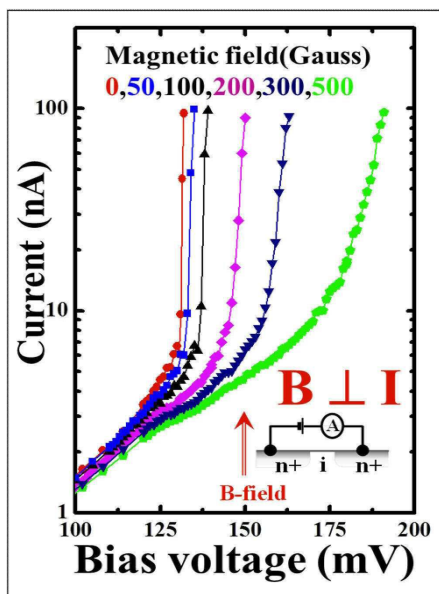
도면2



도면3



도면4



도면5

