



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년05월18일
 (11) 등록번호 10-1736792
 (24) 등록일자 2017년05월11일

(51) 국제특허분류(Int. Cl.)
 G11C 16/06 (2006.01) G11C 11/56 (2006.01)
 G11C 16/10 (2006.01) G11C 16/32 (2006.01)
 G11C 16/34 (2006.01)
 (21) 출원번호 10-2010-0092583
 (22) 출원일자 2010년09월20일
 심사청구일자 2015년09월07일
 (65) 공개번호 10-2012-0030816
 (43) 공개일자 2012년03월29일
 (56) 선행기술조사문헌
 US20080147968 A1
 US20100161918 A1
 KR1020110056676 A
 US20100238705 A1

(73) 특허권자
삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)
 (72) 발명자
최성혁
 경기도 화성시 병점2로 35, 주공1단지아파트 102동 1402호 (병점동)
손홍락
 경기도 안양시 동안구 시민대로159번길 62, 은하수백산아파트 201동 604호 (비산동)
 (뒷면에 계속)
 (74) 대리인
특허법인 고려

전체 청구항 수 : 총 9 항

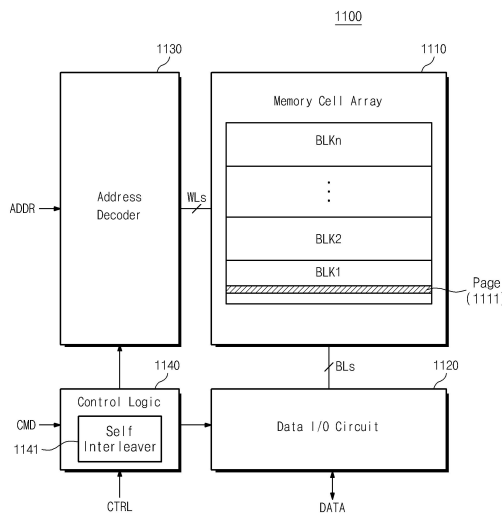
심사관 : 한선경

(54) 발명의 명칭 플래시 메모리 및 그것의 셀프 인터리빙 방법

(57) 요약

본 발명의 실시 예에 따른 메모리 시스템은 데이터를 저장하기 위한 플래시 메모리; 및 상기 플래시 메모리를 제어하기 위한 메모리 컨트롤러를 포함하되, 상기 플래시 메모리는 자체적으로 인터리빙 동작을 수행한다. 본 발명의 실시 예에 따른 메모리 시스템에 의하면, 비트 에러율 불균형을 완화할 수 있고, ECC 회로의 오버헤드를 줄일 수 있다.

대표도 - 도2



(72) 발명자

공준진

경기도 용인시 수지구 진산로66번길 27, 삼성7차아파트 704동 304호 (풍덕천동)

김재홍

서울특별시 강남구 언주로 107, 현대2차 아파트 201동 802호 (개포동)

조경래

경기도 용인시 기흥구 탑실로 15, 대주아파트 1단지 101동 703호 (공세동)

김용준

서울특별시 서초구 바우피로41길 74, 304호 (양재동)

명세서

청구범위

청구항 1

복수의 물리 페이지를 가지며 각각의 물리 페이지에 메모리 컨트롤러로부터의 복수의 논리 페이지를 저장하기 위한 메모리 셀 어레이;

상기 복수의 논리 페이지 각각을 복수의 인터리빙 단위로 구분하고, 상기 복수의 인터리빙 단위 각각을 복수의 섹터로 구분하며, 서로 다른 논리 페이지의 섹터를 섞어주는 인터리빙 동작을 수행하기 위한 셀프 인터리버; 및
상기 메모리 셀 어레이의 물리 페이지에 서로 섞인 복수의 논리 페이지를 저장하기 위한 데이터 입출력 회로를 포함하되,

상기 데이터 입출력 회로는 상기 복수의 논리 페이지를 임시로 저장하기 위한 페이지 버퍼 회로를 포함하고,

상기 셀프 인터리버는 상기 복수의 논리 페이지가 상기 페이지 버퍼 회로로 로드되는 동안 상기 인터리빙 동작을 수행하는 플래시 메모리 장치.

청구항 2

제 1 항에 있어서,

상기 데이터 입출력 회로는 각각의 논리 페이지를 저장하기 위한 복수의 래치를 포함하고, 상기 셀프 인터리버는 상기 복수의 래치를 활성화하기 위한 신호를 제공하는 플래시 메모리 장치.

청구항 3

제 1 항에 있어서,

상기 데이터 입출력 회로는

상기 페이지 버퍼 회로의 페이지 버퍼를 선택하기 위한 칼럼 선택회로; 및

외부로부터 입력받은 데이터를 상기 칼럼 선택회로로 제공하기 위한 데이터 버퍼를 포함하는 플래시 메모리 장치.

청구항 4

제 3 항에 있어서,

상기 페이지 버퍼는 각각의 논리 페이지에 대응하는 래치를 포함하는 플래시 메모리 장치.

청구항 5

제 4 항에 있어서,

상기 페이지 버퍼 회로에 저장된 복수의 논리 페이지는 모든 상태 동시 프로그램 스킴에 의해 프로그램되는 플래시 메모리 장치.

청구항 6

삭제

청구항 7

삭제

청구항 8

제 1 항에 있어서,

상기 메모리 셀 어레이는 삼차원 구조로 형성되는 플래시 메모리 장치.

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

페이지 버퍼를 포함하는 플래시 메모리 장치의 동작 방법에 있어서:

메모리 컨트롤러로부터 데이터를 전달받는 단계;

상기 전달된 데이터를 인터리빙 스킴을 사용하여 페이지 버퍼로 로드하는 단계; 및

상기 로드된 데이터를 메모리 셀 어레이에 프로그램하는 단계를 포함하되,

상기 전달된 데이터를 상기 페이지 버퍼로 로드하는 동안, 상기 데이터의 복수의 논리 페이지 각각을 복수의 인터리빙 단위로 구분하고, 상기 복수의 인터리빙 단위 각각을 복수의 섹터로 구분하며, 서로 다른 논리 페이지의 섹터를 서로 섞어주는 인터리빙 동작을 수행하는 동작 방법.

청구항 18

제 17 항에 있어서,

상기 데이터를 전달받는 단계 이전에, 인터리빙 동작을 위한 데이터의 크기를 결정하는 단계를 더 포함하는 동작 방법.

청구항 19

삭제

청구항 20

제 17 항에 있어서,

상기 메모리 셀 어레이에 프로그램하는 단계에서, 모든 상태 동시 프로그램 스킴을 이용하는 동작 방법.

청구항 21

삭제

발명의 설명

기술 분야

[0001] 본 발명은 반도체 메모리 장치에 관한 것으로, 좀 더 구체적으로는 인터리브 스킴을 사용하는 플래시 메모리에 관한 것이다.

배경 기술

[0002] 반도체 메모리 장치는 일반적으로 DRAM, SRAM 등과 같은 휘발성 메모리 장치와 EEPROM, FRAM, PRAM, MRAM, 플래시 메모리 등과 같은 불휘발성 메모리 장치로 구분할 수 있다. 휘발성 메모리 장치는 전원이 차단될 때 저장된 데이터를 잃지만, 불휘발성 메모리는 전원이 차단되더라도 저장된 데이터를 보존한다. 특히, 플래시 메모리는 높은 프로그래밍 속도, 낮은 전력 소비, 대용량 데이터 저장 등의 장점을 가지므로, 컴퓨터 시스템 등에서 저장 매체로 광범위하게 사용되고 있다.

[0003] 플래시 메모리는 하나의 메모리 셀에 하나의 비트 데이터를 저장할 수도 있고, 두 비트 이상의 데이터를 저장할 수 있다. 일반적으로, 하나의 비트 데이터를 저장하는 메모리 셀을 싱글 레벨 셀(SLC; Single Level Cell)이라 하고, 두 비트 이상의 데이터를 저장하는 메모리 셀을 멀티 레벨 셀(MLC; Multi Level Cell)이라 한다. 싱글 레벨 셀은 문턱 전압에 따라 소거 상태와 프로그램 상태를 갖는다. 멀티 레벨 셀은 문턱 전압에 따라 소거 상태와 복수의 프로그램 상태를 갖는다.

[0004] 멀티 레벨 셀을 갖는 플래시 메모리(이하, MLC 플래시 메모리라 함)는 하나의 워드 라인을 공유하는 메모리 셀(이하, 물리 페이지라고 함)에 복수의 논리 페이지가 저장될 수 있다. 여기에서, 각각의 논리 페이지는 비트 에러율(BER; Bit Error Rate)이 다를 수 있다. 각각의 읽기 레벨마다 페이지 비트의 개수가 동일하고 가정하면, N 비트 MLC 플래시 메모리에서 논리 페이지별 비트 에러율(BER)은 $1:2:2^2:\dots:2^{N-1}$ 일 수 있다. BER 불균형은 ECC 회로에 부담을 줄 수 있고, 플래시 메모리의 신뢰성을 떨어뜨릴 수 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 목적은 비트 에러율(BER) 불균형을 줄일 수 있는 플래시 메모리 및 그것의 셀프 인터리빙 방법을 제공하는 데 있다.

과제의 해결 수단

[0006] 본 발명의 실시 예에 따른 플래시 메모리 장치는 복수의 물리 페이지를 가지며 각각의 물리 페이지에 복수의 논리 페이지를 저장하기 위한 메모리 셀 어레이; 각각의 논리 페이지를 복수의 인터리빙 단위로 구분하고, 각각의 인터리빙 단위를 복수의 섹터로 구분하며, 서로 다른 논리 페이지의 섹터를 섞어줌으로 인터리빙 동작을 수행하기 위한 셀프 인터리버; 및 상기 메모리 셀 어레이의 물리 페이지에 서로 섞인 복수의 논리 페이지를 저장하기 위한 데이터 입출력 회로를 포함한다.

[0007] 실시 예로서, 상기 데이터 입출력 회로는 각각의 논리 페이지를 저장하기 위한 복수의 래치를 포함하고, 상기 셀프 인터리버는 상기 복수의 래치를 활성화하기 위한 신호를 제공한다. 상기 데이터 입출력 회로는 상기 복수의 논리 페이지를 임시로 저장하기 위한 페이지 버퍼 회로; 상기 페이지 버퍼 회로의 페이지 버퍼를 선택하기 위한 칼럼 선택회로; 및 외부로부터 입력받은 데이터를 상기 칼럼 선택회로로 제공하기 위한 데이터 버퍼를 포함한다.

[0008] 본 발명에 따른 메모리 시스템은 셀프 인터리빙 동작을 수행하는 플래시 메모리; 및 상기 플래시 메모리의 동작을 제어하기 위한 메모리 컨트롤러를 포함하되, 상기 플래시 메모리는 상기 메모리 컨트롤러로부터 데이터를 로드하는 동안에 셀프 인터리빙 동작을 수행한다.

[0009] 실시 예로서, 상기 플래시 메모리는 복수의 물리 페이지를 가지며 각각의 물리 페이지에 복수의 논리 페이지를

저장하기 위한 메모리 셀 어레이; 각각의 논리 페이지를 복수의 인터리빙 단위로 구분하고, 각각의 인터리빙 단위를 복수의 섹터로 구분하며, 서로 다른 논리 페이지의 섹터를 섞어줌으로 인터리빙 동작을 수행하기 위한 셀프 인터리버; 및 상기 메모리 셀 어레이의 물리 페이지에 서로 섞인 복수의 논리 페이지를 저장하기 위한 데이터 입출력 회로를 포함한다.

- [0010] 실시 예로서, 상기 데이터 입출력 회로는 상기 복수의 논리 페이지를 임시로 저장하기 위한 페이지 버퍼 회로; 상기 페이지 버퍼 회로의 페이지 버퍼를 선택하기 위한 칼럼 선택회로; 및 외부로부터 입력받은 데이터를 상기 칼럼 선택회로로 제공하기 위한 데이터 버퍼를 포함한다.
- [0011] 실시 예로서, 상기 셀프 인터리버는 상기 페이지 버퍼 회로 및 상기 칼럼 선택회로를 제어함으로써 인터리빙 동작을 수행한다.
- [0012] 실시 예로서, 상기 메모리 컨트롤러는 상기 플래시 메모리의 물리 페이지에 저장될 복수의 논리 페이지를 임시로 저장하기 위한 버퍼 메모리; 및 상기 버퍼 메모리로부터 코드 워드 단위로 데이터를 입력받고, 상기 입력받은 데이터로부터 패리티 비트를 생성하는 ECC 회로를 포함한다.
- [0013] 실시 예로서, 상기 인터리빙 동작은 카피백 동작 동안에 수행될 수 있다. 상기 카피백 동작은 상기 버퍼 메모리를 이용하여 수행될 수 있다.
- [0014] 본 발명의 실시 예에 따른 플래시 메모리 장치의 동작 방법은 메모리 컨트롤러로부터 데이터를 전달받는 단계; 상기 전달된 데이터를 인터리빙 스킴을 사용하여 페이지 버퍼로 로드하는 단계; 및 상기 로드된 데이터를 메모리 셀 어레이에 프로그램하는 단계를 포함한다.
- [0015] 상기 데이터를 전달받는 단계 이전에, 인터리빙 동작을 위한 데이터의 크기를 결정하는 단계를 더 포함할 수 있다. 상기 페이지 버퍼로 로드하는 단계에서, 논리 페이지를 인터리빙 단위로 구분하고, 서로 다른 논리 페이지의 섹터를 서로 섞어줌으로 인터리빙 동작을 수행할 수 있다. 상기 메모리 셀 어레이에 프로그램하는 단계에서, 모든 상태 동시 프로그램 스킴을 이용할 수 있다.
- [0016] 본 발명의 실시 예에 따른 플래시 메모리의 셀프 인터리빙 동작을 제어하기 위한 메모리 컨트롤러는 상기 플래시 메모리에 프로그램될 데이터를 임시로 저장하기 위한 버퍼 메모리; 및 상기 버퍼 메모리에 저장된 데이터를 이용하여 코드 워드 단위로 에러 정정 코드의 패리티 비트를 생성하기 위한 ECC 회로를 포함한다.

발명의 효과

- [0017] 본 발명의 실시 예에 따른 메모리 시스템에 의하면, 비트 에러율 불균형을 완화할 수 있고, ECC 회로의 부담을 줄일 수 있으며, 버퍼 메모리의 크기도 줄일 수 있다.

도면의 간단한 설명

- [0018] 도 1은 본 발명의 실시 예에 따른 메모리 시스템을 보여주는 블록도이다.
- 도 2는 도 1에 도시된 플래시 메모리를 예시적으로 보여주는 블록도이다.
- 도 3은 도 2에 도시된 메모리 블록을 예시적으로 보여주는 회로도이다.
- 도 4 내지 도 7은 도 3에 도시된 메모리 셀의 문턱 전압 분포를 보여주는 다이어그램이다.
- 도 8 및 도 9는 2비트 플래시 메모리의 셀프 인터리빙 방법을 설명하기 위한 블록도이다.
- 도 10 및 도 11은 4비트 플래시 메모리의 셀프 인터리빙 방법을 설명하기 위한 블록도이다.
- 도 12는 본 발명의 실시 예에 따른 셀프 인터리빙 방법을 설명하기 위한 순서도이다.
- 도 13은 카피백 셀프 인터리빙 동작을 수행하는 플래시 메모리를 보여주는 블록도이다.
- 도 14는 도 13에 도시된 플래시 메모리의 카피백 셀프 인터리빙 동작을 설명하기 위한 순서도이다.
- 도 15는 카피백 셀프 인터리빙 동작을 수행하는 메모리 시스템을 보여주는 블록도이다.
- 도 16은 도 15에 도시된 메모리 시스템의 카피백 셀프 인터리빙 동작을 설명하기 위한 순서도이다.
- 도 17은 도 1에 도시된 플래시 메모리의 다른 실시 예를 보여주는 블록도이다.

도 18는 도 17에 도시된 메모리 블록의 3차원 구조를 예시적으로 보여주는 구조도이다.

도 19 및 도 20은 도 18에 도시된 메모리 블록의 등가 회로도 및 개념도이다.

도 21은 본 발명의 실시 예에 따른 메모리 시스템을 포함하는 메모리 카드를 보여주는 블록도이다.

도 22은 본 발명의 실시 예에 따른 메모리 시스템을 솔리드 스테이트 드라이브(SSD)로 구현한 예를 보여주는 블록도이다.

도 23는 도 22에 도시된 SSD 컨트롤러의 구성을 예시적으로 보여주는 블록도이다.

도 24은 본 발명의 실시 예에 따른 메모리 시스템을 전자 장치로 구현한 예를 보여주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0019] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 실시 예를 첨부된 도면을 참조하여 설명한다.
- [0020] I. 셀프 인터리버를 포함하는 플래시 메모리 시스템
- [0021] 도 1은 본 발명의 실시 예에 따른 메모리 시스템을 보여주는 블록도이다. 도 1을 참조하면, 메모리 시스템(1000)은 플래시 메모리(1100) 및 메모리 컨트롤러(1200)를 포함한다.
- [0022] 플래시 메모리(1100) 및 메모리 컨트롤러(1200)는 하나의 저장 장치(storage device) 내에 포함될 수 있다. 저장 장치에는 USB 메모리, 메모리 카드, SSD(Solid State Drive) 등이 포함된다. 또한, 이러한 저장 장치는 컴퓨터, 노트북, 디지털 카메라, 휴대폰, MP3 플레이어, PMP, 게임기 등과 같은 호스트(도시되지 않음)에 접속되어 사용될 수 있다.
- [0023] 플래시 메모리(1100)는 메모리 컨트롤러(1200)의 제어에 따라 소거, 쓰기 또는 읽기 동작을 수행할 수 있다. 도 1을 참조하면, 플래시 메모리(1100)는 셀프 인터리버(self interleaver, 1141)를 포함한다. 플래시 메모리(1100)는 셀프 인터리버(1141)를 이용하여 자체적으로 인터리빙 동작(interleaving operation)을 수행할 수 있다. 플래시 메모리(1100)의 내부 구성 및 동작은 도 2를 참조하여 상세하게 설명될 것이다.
- [0024] 계속해서 도 1을 참조하면, 메모리 컨트롤러(1200)는 플래시 인터페이스(1210), 호스트 인터페이스(1220), ECC 회로(1230), 중앙처리장치(CPU, 1240), 그리고 버퍼 메모리(1250)를 포함한다. 메모리 컨트롤러(1200)는 호스트(도시되지 않음)로부터 입력받은 데이터를 플래시 메모리(1100)에 저장하거나, 플래시 메모리(1100)로부터 읽은 데이터를 호스트로 제공한다.
- [0025] 플래시 인터페이스(1210)는 플래시 메모리(1100)와 커맨드, 어드레스, 데이터 등을 주고 받는데 사용된다. 즉, 플래시 인터페이스(1210)는 읽기 동작 시에는 읽기 커맨드 및 어드레스를 제공하고, 쓰기 동작 시에는 쓰기 커맨드, 어드레스, 그리고 데이터를 제공한다. 호스트 인터페이스(1220)는 호스트로부터 쓰거나 읽기 등의 요청을 받거나, 호스트의 요청에 응답하여 데이터를 제공하는 데 사용된다.
- [0026] ECC 회로(1230)는 플래시 메모리(1100)에 저장될 데이터를 이용하여, 에러 정정 코드(ECC; Error Correction Code)의 패리티 비트(parity bits)를 생성한다. 패리티 비트는 데이터와 함께 플래시 메모리(1100)에 저장된다. ECC 회로(1230)가 에러 정정 코드를 이용하여 정정할 수 있는 비트 에러 수는 제한되어 있다. 예를 들면, 1비트 ECC 엔진은 1비트 에러만을 정정할 수 있고, 2비트 ECC 엔진은 2비트 에러만을 정정할 수 있다. 일반적으로 정정 가능한 비트 에러 수가 증가할수록 ECC 회로(1230)의 오버헤드(overhead)는 증가한다.
- [0027] ECC 회로(1230)는 플래시 메모리(1100)에 저장된 패리티 비트를 이용하여 플래시 메모리(1100)로부터 읽은 데이터의 에러를 검출하고 정정할 수 있다. 에러 검출 및 정정 기술은 다양한 원인으로 인해 손상된 데이터를 효율적인 복구할 수 있도록 해준다. 에러 검출 및 정정 기술에는 다양한 방법들이 사용되고 있다. 에러 검출 및 정정 기술에는 RS 코드(Reed-Solomon code), 해밍 코드(Hamming code), BCH(Bose-Chaudhuri-Hocquenghem) 코드, CRC(Cyclic Redundancy Code) 코드 등이 사용되고 있다. 한편, ECC 회로(1230)는 메모리 시스템(1000)의 종류에 따라, 메모리 컨트롤러(1200) 내에 위치하거나 밖에 위치할 수도 있다.
- [0028] ECC 회로(1230)는 ECC 인코더(도시되지 않음)를 사용하여, 패리티 비트를 생성하고, ECC 디코더(도시되지 않음)를 이용하여 에러를 정정하고 본래의 데이터를 복원할 수 있다. ECC 회로(1230)는 소정의 데이터 단위(이하,

코드 워드 code word라 함)로 패러티 인코딩 또는 디코딩 동작을 수행할 수 있다.

- [0029] 중앙처리장치(1240)는 호스트의 요청에 응답하여 플래시 메모리(1100)의 읽기, 쓰기, 소거 등의 동작을 제어한다.
- [0030] 버퍼 메모리(1250)는 플래시 메모리(1100)로부터 읽은 데이터 또는 호스트로부터 제공되는 데이터를 임시로 저장할 수 있다. 또한, 버퍼 메모리(1250)는 플래시 변환 레이어(Flash Translation Layer; FTL)와 같은 펌웨어를 구동하는 데 사용될 수도 있다. 플래시 변환 레이어(FTL)는 중앙처리장치(1240)에 의해 운용된다. 버퍼 메모리(1250)는 DRAM, SRAM 등으로 구현될 수 있다.
- [0031] 한편, 버퍼 메모리(1250)는 읽기 예러 정보를 관리하는 데 필요한 테이블 정보를 저장할 수 있다. 이 테이블 정보는 메타(meta) 데이터로, 중앙처리장치(1240) 제어 하에 플래시 메모리(1100)의 메타 영역에 저장된다. 이 테이블 정보는 파워 업 시에 메타 영역으로부터 버퍼 메모리(1250)로 복사된다. 비록 도면에는 도시되지 않았지만, 메모리 시스템(1000)은 호스트(Host)와의 인터페이싱을 위한 코드 데이터를 저장하는 ROM(도시되지 않음) 등이 더 포함될 수 있다.
- [0032] 도 2는 도 1에 도시된 플래시 메모리를 예시적으로 보여주는 블록도이다. 도 2를 참조하면, 플래시 메모리(1100)는 메모리 셀 어레이(1110), 데이터 입출력 회로(1120), 어드레스 디코더(1130), 그리고 제어 로직(1140)을 포함한다.
- [0033] 메모리 셀 어레이(1110)는 복수의 메모리 블록(BLK1~BLKn)을 포함한다. 각각의 메모리 블록은 복수의 페이지(page)로 구성된다. 각각의 페이지(예를 들면, 1111)는 복수의 메모리 셀로 구성된다. 플래시 메모리(1100)는 메모리 블록 단위로 소거 동작을 수행하고, 페이지 단위로 쓰기 또는 읽기 동작을 수행한다.
- [0034] 데이터 입출력 회로(1120)는 복수의 비트 라인(BLs)을 통해 메모리 셀 어레이(1110)와 연결된다. 데이터 입출력 회로(1120)는 프로그램 데이터를 입력받고 선택 페이지(1111)로 전달하거나, 선택 페이지(1111)로부터 읽은 데이터를 출력하는 데 사용된다.
- [0035] 어드레스 디코더(1130)는 복수의 워드 라인(WLs)을 통해 메모리 셀 어레이(1110)와 연결된다. 어드레스 디코더(1130)는 어드레스(ADDR)를 입력받고 메모리 블록 또는 페이지를 선택한다. 여기에서, 메모리 블록을 선택하기 위한 어드레스를 블록 어드레스(block address)라고, 페이지를 선택하기 위한 어드레스를 페이지 어드레스(page address)라 한다.
- [0036] 제어 로직(1140)은 메모리 컨트롤러(1200)로부터 제공되는 제어 신호(CTRL)에 따라, 프로그램, 읽기, 소거 등의 동작을 수행할 수 있다. 도 2를 참조하면, 제어 로직(1140)은 셀프 인터리버(1141)를 포함할 수 있다. 셀프 인터리버(1141)는 메모리 컨트롤러(도 1 참조, 1200)와는 별도로 자체적으로 인터리빙 동작을 수행한다. 셀프 인터리버(1141)는 모듈과 같은 하드웨어(hardware)로 구현되거나, 알고리즘과 같은 소프트웨어(software)로 구현될 수도 있다. 한편, 셀프 인터리버(1141)는 제어 로직(1140) 밖에 위치할 수도 있다.
- [0037] 도 3은 도 2에 도시된 메모리 블록(BLK1)을 예시적으로 보여주는 회로도이다. 도 3을 참조하면, 메모리 블록(BLK1)은 셀 스트링 구조(cell string structure)로 되어 있다. 하나의 셀 스트링은 스트링 선택 트랜지스터, 복수의 메모리 셀, 그리고 접지 선택 트랜지스터를 포함한다.
- [0038] 스트링 선택 트랜지스터는 스트링 선택 라인(SSL; String Selection Line)에 연결되고, 복수의 메모리 셀은 복수의 워드 라인(WL0~WL31)에 연결되며, 접지 선택 트랜지스터는 접지 선택 라인(GSL; Ground Selection Line)에 연결된다. 스트링 선택 트랜지스터는 비트 라인(BL1~BLm)에 연결되고, 접지 선택 트랜지스터는 공통 소스 라인(CSL; Common Source Line)에 연결된다.
- [0039] 하나의 워드 라인(예를 들면, WL_i)에는 복수의 메모리 셀이 연결될 수 있다. 하나의 워드 라인에 연결되어 있는 메모리 셀들의 집합을 물리 페이지(physical page)라고 한다. 하나의 물리 페이지는 메인 데이터를 저장하기 위한 메인 영역(main area)과 패러티 비트와 같은 부가 데이터 등을 저장하기 위한 스페어 영역(spare area)으로 구분될 수 있다.
- [0040] 하나의 메모리 셀에는 싱글 비트 데이터 또는 두 비트 이상의 멀티 비트 데이터가 저장될 수 있다. 싱글 비트 데이터가 저장될 수 있는 메모리 셀은 싱글 레벨 셀(SLC; Single Level Cell) 또는 싱글 비트 셀(single bit cell)이라 부르고, 멀티 비트 데이터가 저장될 수 있는 메모리 셀은 멀티 레벨 셀(MLC; Multi Level Cell) 또는 멀티 비트 셀(multi bit cell)이라 부른다.

- [0041] 싱글 레벨 셀(SLC)은 문턱 전압에 따라, 소거 상태(erase state) 또는 프로그램 상태(program state)를 가질 수 있다. 멀티 레벨 셀(MLC)은 문턱 전압에 따라, 소거 상태(erase state) 또는 복수의 프로그램 상태 중 하나를 가질 수 있다. 플래시 메모리(1100)는 싱글 레벨 셀과 멀티 레벨 셀을 동시에 가질 수도 있다.
- [0042] 2비트 MLC 플래시 메모리는 하나의 물리 페이지(physical page)에 2개의 논리 페이지(logical page)를 저장할 수 있다. 여기에서, 논리 페이지는 하나의 물리 페이지에 동시에 프로그램될 수 있는 데이터의 집합을 의미한다. 3비트 MLC 플래시 메모리 장치는 하나의 물리 페이지에 3개의 논리 페이지를 저장할 수 있고, 4비트 MLC 플래시 메모리는 4개의 논리 페이지를 저장할 수 있다.
- [0043] 도 4 내지 도 7은 도 3에 도시된 메모리 셀의 문턱 전압 분포를 보여주는 다이어그램이다. 도 4 및 도 5는 하나의 메모리 셀에 2 비트 데이터가 저장되는 메모리 셀들의 문턱 전압 분포를 예시적으로 보여준다. 도 4에서, 가로축은 문턱 전압(Vth)을 나타내고, 세로축은 메모리 셀의 수(# of cells)를 나타낸다. 메모리 셀은 문턱 전압 분포에 따라 4개의 상태(E, P1, P2, P3) 중 하나를 가질 수 있다. 여기에서, E는 소거 상태(erase state)를 나타낸다. 그리고 P1, P2 및 P3은 프로그램 상태(program state)를 나타낸다.
- [0044] 4개의 상태를 갖는 메모리 셀에는 2비트 데이터가 저장될 수 있다. 도 5를 참조하면, 하나의 물리 페이지(도 3 참조, 1111)에는 제 1 논리 페이지 (또는 LSB) 및 제 2 논리 페이지 (또는 MSB)가 저장될 수 있다. E 상태를 갖는 메모리 셀은 (11)을 저장하고, P1 상태를 갖는 메모리 셀은 (10)을 저장하고, P2 상태를 갖는 메모리 셀은 (00)을 저장하며, P3 상태를 갖는 메모리 셀은 (01)을 저장할 수 있다.
- [0045] 플래시 메모리(1100)는 논리 페이지마다 비트 에러율(BER; Bit Error Rate)이 다를 수 있다. 논리 페이지가 증가할 때마다 비트 에러율(BER)은 2배씩 증가할 수 있다. 예를 들어, 읽기 레벨마다 페일 비트(fail bit)의 개수가 동일하다고 가정하면, 제 1 논리 페이지(LSB)의 비트 에러율은 1이고, 제 2 논리 페이지(MSB)의 비트 에러율은 2일 수 있다. 만약, 하나의 메모리 셀에 N 비트의 데이터가 저장된다면, N개의 논리 페이지별 비트 에러율은 $1:2:2^2:\dots:2^{N-1}$ 이 될 것이다.
- [0046] 도 6 및 도 7은 하나의 메모리 셀에 4 비트 데이터가 저장되는 메모리 셀의 문턱 전압 분포를 보여준다. 도 6을 참조하면, 메모리 셀은 문턱 전압 분포에 따라 16개의 상태(E, P1, P2, ..., P15) 중 하나를 가질 수 있다. 여기에서, E는 소거 상태(erase state)를 나타낸다. 그리고 P1 내지 P15는 프로그램 상태(program state)를 나타낸다. 도 6에서, R1 내지 R15는 각 상태를 읽기 위한 읽기 전압 레벨이다.
- [0047] 도 7을 참조하면, 하나의 물리 페이지(도 3 참조, 1111)에는 제 1 내지 제 4 논리 페이지가 저장될 수 있다. E 상태를 갖는 메모리 셀은 (1111)을 저장하고, P1 상태를 갖는 메모리 셀은 (1110)을 저장하고, P2 상태를 갖는 메모리 셀은 (1100)을 저장하며, P15 상태를 갖는 메모리 셀은 (0111)을 저장할 수 있다.
- [0048] 한편, 읽기 레벨마다 페일 비트(fail bit)의 개수가 동일하다고 가정하면, 제 1 논리 페이지의 비트 에러율은 1이고, 제 2 논리 페이지의 비트 에러율은 2이고, 제 3 논리 페이지의 비트 에러율은 4이며, 제 4 논리 페이지의 비트 에러율은 8일 수 있다.
- [0049] 다시 도 1을 참조하면, 메모리 시스템(1000)은 플래시 메모리(1100)의 비트 에러를 정정하기 위한 ECC 회로(1230)를 포함할 수 있다. ECC 회로(1230)는 비트 에러를 검출 및 정정함으로써, 플래시 메모리(1100)의 신뢰성(reliability)을 향상시킬 수 있다. 플래시 메모리(1100)가 하나의 메모리 셀에 N 비트 데이터를 저장하는 경우에, ECC 회로(1230)의 정정 가능 범위는 비트 에러율이 가장 나쁜 N번째 논리 페이지에 맞춰지게 된다. 예를 들어, 하나의 메모리 셀에 4 비트 데이터를 저장하는 경우에, ECC 회로(1230)의 정정 가능 범위는 제 4 논리 페이지에 맞춰지게 된다.
- [0050] 각 논리 페이지의 BER 불균형은 ECC 회로(1230)의 오버헤드(overhead)를 증가하는 요인이 될 수 있다. ECC 회로(1230)는 정정 가능 비트 수가 증가함에 따라, 그것이 차지하는 면적도 증가하기 때문이다. 본 발명의 실시 예에 따른 플래시 메모리(도 2 참조, 1100)는 셀프 인터리빙 동작을 수행함으로써, 각 논리 페이지의 BER을 평균화할 수 있고, ECC 회로(1230)의 오버헤드를 줄일 수 있다. 이하에서는 플래시 메모리(1100)의 셀프 인터리빙 방법들이 실시 예로서 설명될 것이다.
- [0051] II. 셀프 인터리빙 방법의 실시 예들
- [0052] 1. 2비트 MLC 플래시 메모리의 셀프 인터리빙 방법

- [0053] 도 8은 2비트 MLC 플래시 메모리의 셀프 인터리빙 동작을 설명하기 위한 블록도이다. 도 8을 참조하면, 데이터 입출력 회로(도 2 참조, 1120)는 페이지 버퍼 회로(1121), 칼럼 선택 회로(1122), 그리고 데이터 버퍼(1123)를 포함한다. 데이터 입출력 회로(1120)는 셀프 인터리버(1141)의 제어에 따라, 셀프 인터리빙 동작(self interleaving operation)을 수행한다.
- [0054] 계속해서 도 8을 참조하면, 페이지 버퍼 회로(1121)는 복수의 페이지 버퍼(PB1~PB2048)로 구성된다. 각각의 페이지 버퍼는 각각의 비트 라인에 연결되며, 적어도 두 개의 래치(LATa, LATb)를 포함한다. LATa에는 제 1 논리 페이지(page1)가 저장되고, LATb에는 제 2 논리 페이지(page2)가 저장된다. LATa 및 LATb는 각각 ENa 및 ENb 신호에 응답하여 활성화된다.
- [0055] 칼럼 선택 회로(1122)는 선택 신호(SEL)에 응답하여, 비트 라인을 선택할 수 있다. 여기에서, 선택 신호(SEL)는 시작 칼럼 어드레스(start column address) 및 어드레스 카운트(address count) 신호일 수 있다. 시작 칼럼 어드레스는 데이터가 저장되기 시작할 페이지 버퍼를 지정해주고, 어드레스 카운트는 데이터가 저장될 페이지 버퍼의 수를 지정해준다. 예를 들어, 제 1 내지 제 1024 페이지 버퍼(PB1~PB1024)에 데이터를 저장하는 경우에, 시작 칼럼 어드레스는 제 1 페이지 버퍼(PB1)를 지정하고, 어드레스 카운트는 1024개의 페이지 버퍼 수를 지정한다.
- [0056] 데이터 버퍼(1123)는 바이트(byte) 단위 또는 워드(word) 단위로 데이터를 입력받는다. 입력된 데이터는 칼럼 선택 회로(1122)를 거쳐, 페이지 버퍼 회로(1121)에 저장된다. 데이터 버퍼(1123)는 셀프 인터리버(1141)의 제어에 따라 데이터(DATA)를 입력받거나 출력할 수 있다. 한편, 도 2에 도시된 플래시 메모리(1100)는 입출력용 데이터 버퍼(1123)와는 별도로, 셀프 인터리빙 동작을 수행하기 위한 데이터 버퍼를 구비할 수도 있다.
- [0057] 셀프 인터리버(1141)는 페이지 버퍼 회로(1121), 칼럼 선택 회로(1122), 그리고 데이터 버퍼(1123)를 제어함으로써, 셀프 인터리빙 동작을 수행한다. 셀프 인터리버(1141)는 인터리빙 단위로 인터리빙 동작을 수행할 수 있다. 도 8을 참조하면, 제 1 및 제 2 논리 페이지는 2048 비트로 구성된다. 각각의 논리 페이지는 복수의 인터리빙 단위(IU; Interleaving Unit)로 나뉠 수 있다. 각 논리 페이지의 인터리빙 단위는 복수의 섹터로 나뉠 수 있다. 여기에서, 섹터는 인터리빙 동작을 적용하는 최소 단위로 정의된다. 섹터는 1비트부터 n비트(예를 들면, 8비트, 512비트, 1024비트)까지 다양하게 조정될 수 있다.
- [0058] 인터리빙 동작(interleaving operation)은 하나의 물리 페이지(도 3 참조, 1111)에 저장되는 복수의 논리 페이지(logical page)를 인터리빙 단위로 나누어 서로 섞어주는 동작을 의미한다. 셀프 인터리버(1141)는 복수의 논리 페이지를 인터리빙 단위로 서로 섞어줌으로써, 논리 페이지 사이의 BER 불균형을 줄여준다. 즉, 셀프 인터리버(1141)는 논리 페이지 사이의 BER을 평균화함으로써, ECC 회로(도 1 참조, 1230)의 오버헤드(overhead)를 줄여준다.
- [0059] 도 9는 도 8에 도시된 2비트 MLC 플래시 메모리의 셀프 인터리빙 동작을 예시적으로 보여준다. 도 8 및 도 9를 참조하면, 제 1 논리 페이지(page1)는 복수의 인터리빙 단위로 나뉘고, 제 1 인터리빙 단위(IU1)는 2개의 섹터(A1, A2)로 구성된다. 예를 들어, 제 1 논리 페이지가 2048 비트이고 제 1 인터리빙 단위가 512 비트이면, 각각의 섹터는 256 비트일 것이다. 마찬가지로, 제 2 논리 페이지(page2)는 복수의 인터리빙 단위로 구성되며, 제 2 인터리빙 단위(IU2)는 2개의 섹터(B1, B2)로 구성된다.
- [0060] 먼저, 인터리빙 동작을 수행하지 않는 경우의 코드 워드 구성을 살펴보자. 제 1 인터리빙 단위(IU1)는 A1과 A2 섹터이고, 제 2 인터리빙 단위(IU2)는 B1과 B2 섹터이다. 이때 제 1 인터리빙 단위(IU1)는 제 1 논리 페이지(page1)에 속하기 때문에 1의 BER을 갖고, 제 2 인터리빙 단위(IU2)는 제 2 논리 페이지(page2)에 속하기 때문에 2의 BER을 갖는다. 도 9에서, 각 섹터마다 점(dot)으로 BER이 표시되어 있다. 이 경우에, ECC 회로(1230)는 제 2 인터리빙 단위(IU2)의 BER에 맞추어 설계되기 때문에, 2의 BER에 해당하는 정정 용량을 가져야 한다.
- [0061] 다음으로, 인터리빙 동작을 수행한 경우의 코드 워드 구성을 살펴보자. 제 1 논리 페이지(page1)의 A1 섹터와 제 2 논리 페이지(page2)의 B1 섹터가 서로 섞여서, 최종적으로 제 1 인터리빙 단위(IU1)가 구성된다. 제 1 인터리빙 단위(IU1)는 제 1 논리 페이지에 속하고, A1 섹터와 B1 섹터로 구성된다. 마찬가지로, A2 섹터와 B2 섹터가 서로 섞여서, 최종적으로 제 2 인터리빙 단위(IU2)가 구성된다. 제 2 인터리빙 단위(IU2)는 제 2 논리 페이지에 속하고, A2 섹터와 B2 섹터로 구성된다. 이때 제 1 및 제 2 인터리빙 단위(IU1, IU2)의 BER은 각각 1과 2의 평균인 1.5로 된다. 이 경우에, ECC 회로(1230)는 BER 평균값인 1.5에 해당하는 정정 용량을 가지면 된다.
- [0062] 도 9에 도시된 바와 같이, 인터리빙 동작을 수행하면, ECC 회로(1230)는 1.5의 정정 용량을 필요로 하기 때문에, 0.5에 해당하는 정정 용량을 줄일 수 있다. 도 8에 도시된 플래시 메모리(1100)는 제 1 및 제 2 논리

페이지를 복수의 인터리빙 단위로 나누고, 섹터 단위로 서로 섞어줌으로 셀프 인터리빙 동작을 수행할 수 있다. 본 발명에 의하면, ECC 회로(1230)의 오버헤드를 줄일 수 있다.

- [0063] 2. 4비트 MLC 플래시 메모리의 셀프 인터리빙 방법
- [0064] 도 10은 4비트 MLC 플래시 메모리의 셀프 인터리빙 동작을 설명하기 위한 블록도이다. 도 10을 참조하면, 데이터 입출력 회로(도 2 참조, 1120)는 페이지 버퍼 회로(1121), 칼럼 선택 회로(1122), 그리고 데이터 버퍼(1123)를 포함한다. 데이터 입출력 회로(1120)는 셀프 인터리버(1141)의 제어에 따라, 인터리빙 동작을 수행한다.
- [0065] 도 10을 참조하면, 페이지 버퍼 회로(1121)는 복수의 페이지 버퍼(PB1~PB2048)로 구성된다. 각각의 페이지 버퍼는 적어도 네 개의 래치(LATa~ LATd)를 포함한다. LATa 내지 LATd에는 각각 제 1 내지 제 4 논리 페이지가 저장된다. 또한, LATa 내지 LATd는 각각 ENa 내지 ENd 신호에 응답하여 활성화된다.
- [0066] 칼럼 선택 회로(1122)는 선택 신호(SEL)에 응답하여, 비트 라인을 선택할 수 있다. 여기에서, 선택 신호(SEL)는 시작 칼럼 어드레스(start column address) 및 어드레스 카운트(address count) 신호일 수 있다. 데이터 버퍼(1123)는 바이트 단위 또는 워드 단위로 데이터를 입력 받는다.
- [0067] 셀프 인터리버(1141)는 페이지 버퍼 회로(1121), 칼럼 선택 회로(1122), 그리고 데이터 버퍼(1123)를 제어함으로써, 셀프 인터리빙 동작을 수행할 수 있다. 셀프 인터리버(1141)는 ENa 내지 ENd 신호를 활성화하여 LATa 내지 LATd에 데이터를 저장할 수 있다. 한편, 셀프 인터리버(1141)는 시작 칼럼 어드레스와 어드레스 카운트를 제공함으로써, 인터리빙 단위 또는 섹터의 크기를 결정할 수 있다.
- [0068] 도 10 및 도 11을 참조하면, 제 1 논리 페이지(page1)는 복수의 인터리빙 단위로 나누고, 제 1 인터리빙 단위(IU1)는 4개의 섹터(A1~A4)로 구성된다. 마찬가지로, 제 2 인터리빙 단위(IU2)는 B1 내지 B4 섹터로 구성되고, 제 3 인터리빙 단위(IU3)는 C1 내지 C4 섹터로 구성되며, 제 4 인터리빙 단위(IU4)는 D1 내지 D4 섹터로 구성된다. 이때 제 1 내지 제 4 인터리빙 단위(IU1~IU4)는 각각 1, 2, 4, 8의 BER을 갖는다. 도 11에서, 각 섹터마다 점(dot)으로 BER이 표시되어 있다. 이 경우에, ECC 회로(1230)는 제 4 인터리빙 단위의 BER에 맞추어 설계되기 때문에, BER 8에 해당하는 정정 용량을 가져야 한다.
- [0069] 셀프 인터리버(1141)는 A1, B1, C1, D1 섹터가 서로 섞여서, 최종적으로 제 1 인터리빙 단위(IU1)를 구성한다. 즉, 제 1 인터리빙 단위(IU1)는 A1, B1, C1, D1 섹터로 구성된다. 마찬가지로, A4, B4, C4, D4 섹터가 서로 섞여서, 최종적으로 제 4 인터리빙 단위(IU4)가 구성된다. 이때 제 1 내지 제 4 인터리빙 단위의 BER은 각각 평균인 3.75로 된다.
- [0070] 이 경우에, ECC 회로(1230)는 BER 평균값인 3.75에 해당하는 정정 용량을 가지면 된다. 도 11에 도시된 바와 같이, 인터리빙 동작을 수행하면, ECC 회로(1230)는 3.75의 정정 용량을 필요로 하기 때문에, 4.25에 해당하는 정정 용량을 줄일 수 있다.
- [0071] 도 12는 도 1에 도시된 메모리 시스템(1000)의 셀프 인터리빙 동작을 설명하기 위한 순서도이다. 도 1을 참조하면, 본 발명의 실시 예에 따른 메모리 시스템(1000)은 셀프 인터리빙 동작을 수행함으로써, 논리 페이지 사이의 BER 불균형을 줄일 수 있다. 이하에서는 도 1에 도시된 메모리 시스템(1000)의 셀프 인터리빙 동작이 순서대로 설명될 것이다.
- [0072] S110 단계에서, 메모리 시스템(1000, 도 1 참조)은 인터리빙 동작을 수행할 데이터의 크기를 결정한다. 인터리빙 동작은 플래시 메모리(1100, 도 2 참조) 내에서 자체적으로 수행되며, 인터리빙 단위의 크기는 메모리 컨트롤러(1200, 도 1 참조)로부터 제공된다.
- [0073] S120 단계에서, 데이터가 메모리 컨트롤러(1200)로부터 플래시 메모리(1100)의 데이터 버퍼(1123, 도 8 참조)로 전달된다. S130 단계에서, 데이터가 데이터 버퍼(1123)로부터 칼럼 선택 회로(1122)를 경유하여 페이지 버퍼 회로(1121)로 로드된다. 이때, 플래시 메모리(1100)는 앞에서 설명한 인터리빙 스킴을 이용하여, 각각의 인터리빙 단위로 섞어준다. S140 단계에서, 모든 데이터가 페이지 버퍼로 로드되었는지를 판단한다. 모든 데이터가 로드되지 않았으면, S120 단계 및 S130 단계가 반복된다. 모든 데이터가 로드되었으면, 모든 상태 동시 프로그램 스킴(all state simultaneous program scheme)을 사용하여, 로드된 데이터를 메모리 셀에 동시에 프로그램한다(S150 단계). 도 12에 도시된 셀프 인터리빙 방법에 의하면, 논리 페이지 사이의 BER 불균형이 줄어든다. BER 불균형이 완화되면, ECC 회로의 정정 용량을 줄일 수 있다.

- [0074] 3. 플래시 메모리 내에서 수행되는 카피백 셀프 인터리빙 방법
- [0075] 도 13은 도 1에 도시된 플래시 메모리의 카피백 셀프 인터리빙 동작을 설명하기 위한 블록도이다. 본 발명에 따른 플래시 메모리(1100)는 카피백(copyback) 동작에 셀프 인터리빙 방법을 사용할 수 있다. 카피백 동작은 플래시 메모리의 소스 페이지(source page)에 저장된 데이터를 타겟 페이지(target page)로 옮기는 동작을 뜻한다.
- [0076] 도 13을 참조하면, 플래시 메모리(1100)는 메모리 셀 어레이(1110), 페이지 버퍼 회로(1121), 칼럼 선택 회로(1122), 데이터 버퍼(1123), 그리고 셀프 인터리버(1141)를 포함한다. 도 13에 도시된 플래시 메모리(1100)는 ECC 회로(도 1 참조, 1230)의 추가적인 오버헤드 없이 카피백 동작에 셀프 인터리빙 방법을 사용할 수 있다.
- [0077] 도 13에서, 메모리 셀 어레이(1110)의 소스 페이지(source page)에 저장된 제 1 및 제 2 논리 페이지(MSB, LSB)가 타겟 페이지(target page)로 카피백(copyback) 된다고 가정하자. 카피백 동작을 수행하기 위해서, 페이지 버퍼 회로(1121) 내의 각각의 페이지 버퍼(도시되지 않음)는 적어도 3개의 래치(LATa, LATb, LATc)를 필요로 한다. LATa, LATb, LATc는 각각 ENa, ENb, ENc에 응답하여 활성화된다. 셀프 인터리버(1141)는 페이지 버퍼 회로(1121), 칼럼 선택 회로(1122), 데이터 버퍼(1123)를 제어하기 위한 신호(ENa, ENb, ENc, SEL, DBC)를 생성한다.
- [0078] 도 14는 도 13에 도시된 플래시 메모리의 카피백 셀프 인터리빙 동작을 설명하기 위한 순서도이다. 도 13 및 도 14를 참조하여, 본 발명에 따른 플래시 메모리(1100)의 카피백 셀프 인터리빙 동작이 순서대로 설명될 것이다.
- [0079] S210 단계에서, 플래시 메모리(1100)는 소스 페이지의 MSB 데이터를 읽고 LATc에 저장한다. 셀프 인터리버(1141)는 ENc 신호를 활성화하여, MSB 데이터가 LATc에 저장되도록 한다.
- [0080] S220 단계에서, LATc에 저장된 MSB 데이터는 데이터 버퍼(1123)로 전달된다. 이때 MSB 데이터는 인터리빙 스킴을 사용하여 LATa와 LATb에 섹터 단위로 나뉘어 저장된다. 인버리빙 스킴은 도 8 및 도 9에서 설명한 것처럼 수행된다. 셀프 인터리버(1141)는 제어 신호(ENa, ENb, ENc, SEL, DBC)를 통해, LATc에 저장된 MSB 데이터를 칼럼 선택 회로(1122) 및 데이터 버퍼(1123)를 경유하여, LATa와 LATb에 저장한다.
- [0081] S230 단계에서, 소스 페이지의 LSB 데이터를 읽고 LATc에 저장한다. S240 단계에서, LATc에 저장된 LSB 데이터는 데이터 버퍼(1123)로 전달되고, 인터리빙 스킴을 사용하여 LATa와 LATb에 섹터 단위로 나뉘어 저장된다. 이때에도 셀프 인터리버(1141)는 제어 신호(ENa, ENb, ENc, SEL, DBC)를 통해, LATc에 저장된 LSB 데이터가 칼럼 선택 회로(1122) 및 데이터 버퍼(1123)를 경유하여, LATa와 LATb에 나누어 저장한다. S250 단계에서, LATa와 LATb에 저장된 데이터는 모든 상태 동시 프로그램 스킴(all state simultaneous program scheme)을 사용하여, 메모리 셀에 동시에 프로그램된다.
- [0082] 4. 버퍼 메모리를 이용하는 카피백 셀프 인터리빙 방법
- [0083] 도 15는 카피백 셀프 인터리빙 동작을 수행하는 메모리 시스템을 보여주는 블록도이다. 도 15를 참조하면, 메모리 시스템(1000)은 플래시 메모리(1100), ECC 회로(1230), 그리고 버퍼 메모리(1250)를 포함한다. 플래시 메모리(1100)는 메모리 셀 어레이(1110), 페이지 버퍼 회로(1121), 그리고 셀프 인터리버(1141)를 포함한다. 플래시 메모리(1100)의 카피백 동작은 버퍼 메모리(1250)를 이용하여 수행될 수도 있다.
- [0084] 도 15에서, 메모리 셀 어레이(1110)의 소스 페이지(source page)에 저장된 제 1 및 제 2 논리 페이지(MSB, LSB)가 타겟 페이지(target page)에 카피백(copyback) 된다고 가정하자. 카피백 동작을 수행하기 위해서, 페이지 버퍼 회로(1121) 내의 각각의 페이지 버퍼(도시되지 않음)는 적어도 2개의 래치(LATa, LATb)를 필요로 한다. LATa, LATb는 각각 ENa, ENb에 응답하여 활성화된다. 셀프 인터리버(1141)는 페이지 버퍼 회로(1121)를 제어하기 위한 신호(ENa, ENb)를 생성한다.
- [0085] 도 16은 도 15에 도시된 메모리 시스템의 카피백 셀프 인터리빙 동작을 설명하기 위한 순서도이다. 도 15 및 도 16을 참조하여, 본 발명에 따른 메모리 시스템의 카피백 셀프 인터리빙 동작이 순서대로 설명될 것이다.
- [0086] S310 단계에서, 플래시 메모리(1100)는 소스 페이지의 MSB, LSB 데이터를 읽고 LATa, LATb에 저장한다. S320 단계에서, LATa, LATb에 저장된 MSB, LSB 데이터는 버퍼 메모리(1250)로 출력된다. S330 단계에서, MSB, LSB 데이터는 인터리빙 스킴을 사용하여 LATa와 LATb에 섹터 단위로 나뉘어 저장된다. 섹터는 앞에서 기술한 바와

같이 각 논리 페이지의 인터리빙 단위를 일정한 단위로 나눈 것이다.

- [0087] S330 단계는 도 8 및 도 9에서 설명한 것처럼 수행된다. 즉, 버퍼 메모리(1250)에 저장된 데이터에 대한 패러티 비트를 생성하고, 데이터와 패러티 비트를 인터리빙 스킴을 사용하여, LATa와 LATb에 저장한다. S340 단계에서, LATa와 LATb에 저장된 데이터는 동시에 타겟 페이지에 프로그램된다.
- [0088] III. 셀프 인터리빙 방법의 적용 예
- [0089] 도 17은 본 발명에 따른 셀프 인터리빙 방법을 3차원 플래시 메모리에 적용한 예를 보여주는 블록도이다. 도 17을 참조하면, 플래시 메모리(2100)는 3차원 셀 어레이(2110), 데이터 입출력 회로(2120), 어드레스 디코더(2130), 그리고 제어 로직(2140)을 포함한다.
- [0090] 3차원 셀 어레이(2110)는 복수의 메모리 블록(BLK1~BLKz)을 포함한다. 각각의 메모리 블록은 3차원 구조 (또는 수직 구조)를 갖는다. 3차원 구조를 갖는 메모리 블록에서는, 메모리 셀들이 기판과 수직 방향으로 형성된다. 각각의 메모리 블록은 플래시 메모리(2100)의 소거 단위를 이룬다.
- [0091] 데이터 입출력 회로(2120)는 복수의 비트 라인(BLs)을 통해 3차원 셀 어레이(2110)와 연결된다. 데이터 입출력 회로(2120)는 외부로부터 데이터(DATA)를 입력받거나, 3차원 셀 어레이(2110)로부터 읽은 데이터(DATA)를 외부로 출력한다. 어드레스 디코더(2130)는 복수의 워드 라인(WLs) 및 선택 라인(GSL, SSL)을 통해 3차원 셀 어레이(2110)와 연결된다. 어드레스 디코더(2130)는 어드레스(ADDR)를 입력받고 워드 라인을 선택한다.
- [0092] 제어 로직(2140)은 셀프 인터리버(2141)를 포함한다. 셀프 인터리버(2141)는 메모리 컨트롤러(도 1 참조, 1200)와는 별도로 자체적으로 인터리빙 동작을 수행한다.
- [0093] 도 18은 도 17에 도시된 메모리 블록(BLK1)의 3차원 구조를 예시적으로 보여주는 사시도이다. 도 18를 참조하면, 메모리 블록(BLK1)은 기판(SUB)과 수직 방향으로 형성되어 있다. 기판(SUB)에는 n+ 도핑 영역이 형성된다. 기판(SUB) 위에는 게이트 전극막(gate electrode layer)과 절연막(insulation layer)이 교대로 증착된다. 그리고 게이트 전극막(gate electrode layer)과 절연막(insulation layer) 사이에는 전하 저장막(charge storage layer)이 형성될 수 있다.
- [0094] 게이트 전극막과 절연막을 수직 방향으로 패터닝(vertical patterning)하면, V자 모양의 필라(pillar)가 형성된다. 필라는 게이트 전극막과 절연막을 관통하여 기판(SUB)과 연결된다. 필라(Pillar)의 외곽 부분(0)은 채널 반도체로 구성될 수 있고, 내부(1)는 실리콘 산화물(Silicon Oxide)과 같은 절연 물질로 구성될 수 있다.
- [0095] 계속해서 도 18을 참조하면, 메모리 블록(BLK1)의 게이트 전극막(gate electrode layer)은 접지 선택 라인(GSL), 복수의 워드 라인(WL1~WL8), 그리고 스트링 선택 라인(SSL)에 연결될 수 있다. 그리고 메모리 블록(BLK1)의 필라(pillar)는 복수의 비트 라인(BL1~BL3)과 연결될 수 있다. 도 17에서는, 하나의 메모리 블록(BLK1)이 2개의 선택 라인(GSL, SSL), 8개의 워드 라인(WL1~WL8), 그리고 3개의 비트 라인(BL1~BL3)을 갖는 것으로 도시되어 있으나, 실제로는 이것들보다 더 많거나 적을 수 있다.
- [0096] 도 19는 도 17에 도시된 메모리 블록(BLK1)의 등가 회로도이다. 도 19를 참조하면, 비트 라인(BL1~BL3)과 공통 소스 라인(CSL) 사이에는 낸드 스트링(NS11~NS33)이 연결되어 있다. 각각의 낸드 스트링(예를 들면, NS11)은 스트링 선택 트랜지스터(SST), 복수의 메모리 셀(MC1~MC8), 그리고 접지 선택 트랜지스터(GST)를 포함한다.
- [0097] 스트링 선택 트랜지스터(SST)는 스트링 선택 라인(String Selection Line; SSL1~SSL3)에 연결되어 있다. 복수의 메모리 셀(MC1~MC8)은 각각 대응하는 워드 라인(WL1~WL8)에 연결되어 있다. 그리고 접지 선택 트랜지스터(GST)는 접지 선택 라인(Ground Selection Line; GSL1~GSL3)에 연결되어 있다. 스트링 선택 트랜지스터(SST)는 비트 라인(BL)에 연결되고, 접지 선택 트랜지스터(GST)는 공통 소스 라인(CSL; Common Source Line)에 연결되어 있다.
- [0098] 계속해서 도 19를 참조하면, 동일 높이의 워드 라인(예를 들면, WL1)은 공통으로 연결되어 있고, 접지 선택 라인(GSL1~GSL3) 및 스트링 선택 라인(SSL1~SSL3)은 분리되어 있다. 제 1 워드 라인(WL1)에 연결되어 있고 낸드 스트링(NS11, NS12, NS13)에 속해 있는 메모리 셀(이하, 페이지라 함)을 프로그램하는 경우에는, 제 1 워드 라인(WL1)과 제 1 선택 라인(SSL1, GSL1)이 선택된다.
- [0099] 도 20은 도 19에 도시된 등가 회로도의 플레인 구조를 설명하기 위한 개념도이다. 도 20을 참조하면, 도 19에 도시된 메모리 블록(BLK1)은 3개의 플레인(plane)으로 구성된다. 도 20에서, 낸드 스트링(NS11, NS12, NS13)은

PLANEa를 구성하고, 낸드 스트링(NS21, NS22, NS23)은 PLANEb를 구성하며, 낸드 스트링(NS31, NS32, NS33)은 PLANEc를 구성한다. 그리고 WL1은 플레인에 따라 WLa1, Wb1, Wc1로 구분되고, WL2는 WLa2, Wb2, Wc2로 구분될 수 있다. 마찬가지로, WLn은 WLa_n, Wb_n, Wc_n으로 구분될 수 있다.

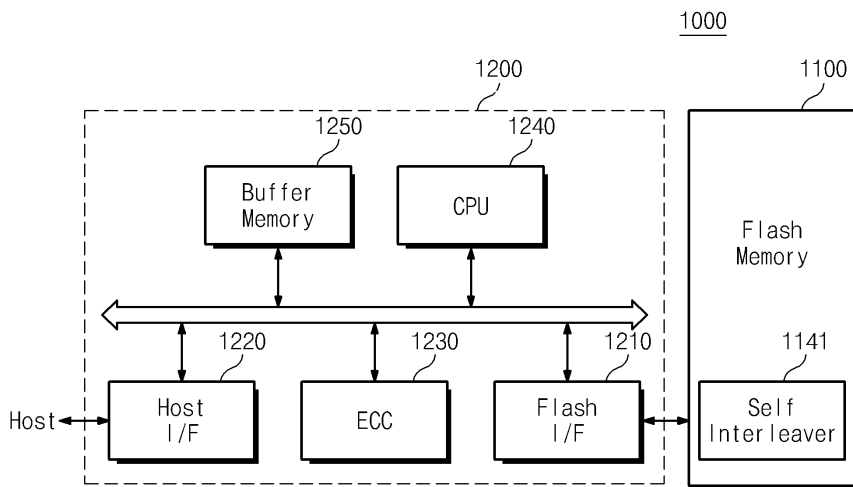
- [0100] 프로그램 순서는 여러 가지일 수 있다. 예를 들면, PLANEa부터 PLANEc까지 순차적으로 프로그램 동작이 수행될 수 있다. 그리고 각각의 플레인에서는, WL1부터 WL8까지 순차적으로 프로그램 동작이 수행될 수 있다. 한편, 도 20에 도시된 바와 같이, PLANEb와 PLANEc 사이에는 하나 또는 그 이상의 플레인이 더 포함될 수 있다.
- [0101] 다시 도 17을 참조하면, 플래시 메모리(2100)는 셀프 인터리버(2140)를 사용하여, 자체적으로 인터리빙 동작을 수행할 수 있다. 인터리빙 동작은 앞에서 설명한 방식으로 수행된다.
- [0102] 본 발명의 실시 예에 따른 메모리 시스템은 여러 가지 제품에 적용 또는 응용될 수 있다. 본 발명의 실시 예에 따른 메모리 시스템은 퍼스널 컴퓨터, 디지털 카메라, 캠코더, 휴대 전화, MP3, PMP, PSP, PDA 등과 같은 전자 장치들뿐만 아니라, 메모리 카드, USB 메모리, 솔리드 스테이트 드라이브(Solid State Drive, 이하 SSD라 함) 등과 같은 저장 장치로 구현될 수 있다.
- [0103] 도 21은 본 발명의 실시 예에 따른 플래시 메모리 시스템을 메모리 카드에 적용한 예를 보여준다. 메모리 카드 시스템(3000)은 호스트(3100)와 메모리 카드(3200)를 구비한다. 호스트(3100)는 호스트 컨트롤러(3110) 및 호스트 접속 유닛(3120)을 포함한다. 메모리 카드(3200)는 카드 접속 유닛(3210), 카드 컨트롤러(3220), 그리고 플래시 메모리(3230)를 포함한다.
- [0104] 호스트(3100)는 메모리 카드(3200)에 데이터를 쓰거나, 메모리 카드(3200)에 저장된 데이터를 읽는다. 호스트 컨트롤러(3110)는 커맨드(예를 들면, 쓰기 커맨드), 호스트(3100) 내의 클럭 발생기(도시되지 않음)에서 발생한 클럭 신호(CLK), 그리고 데이터(DAT)를 호스트 접속 유닛(3120)을 통해 메모리 카드(3200)로 전송한다.
- [0105] 카드 컨트롤러(3220)는 카드 접속 유닛(3210)을 통해 수신된 쓰기 커맨드에 응답하여, 카드 컨트롤러(3220) 내에 있는 클럭 발생기(도시되지 않음)에서 발생한 클럭 신호에 동기하여 데이터를 플래시 메모리 장치(3230)에 저장한다. 플래시 메모리(3230)는 호스트(3100)로부터 전송된 데이터를 저장한다. 예를 들어, 호스트(3100)가 디지털 카메라인 경우에는 영상 데이터를 저장한다.
- [0106] 도 21에 도시된 메모리 카드(3200)는 셀프 인터리빙 방법을 이용하여, 플래시 메모리(3230)의 논리 페이지 사이에서 BER 불균형을 줄일 수 있다. 셀프 인터리빙 방법은 앞에서 설명한 바와 같다.
- [0107] 도 22는 본 발명의 실시 예에 따른 메모리 시스템을 솔리드 스테이트 드라이브(SSD)에 적용한 예를 보여주는 블록도이다. 도 22를 참조하면, SSD 시스템(4000)은 호스트(4100)와 SSD(4200)를 포함한다.
- [0108] SSD(4200)는 신호 커넥터(signal connector, 4211)를 통해 호스트(4100)와 신호를 주고 받으며, 전원 커넥터(power connector, 4221)를 통해 전원을 입력받는다. SSD(4200)는 복수의 플래시 메모리(4201~420n), SSD 컨트롤러(4210), 그리고 보조 전원 장치(4220)를 포함할 수 있다.
- [0109] 복수의 플래시 메모리(4201~420n)는 SSD(4200)의 저장 매체로서 사용된다. SSD(4200)는 플래시 메모리 이외에도 PRAM, MRAM, ReRAM, FRAM 등의 불휘발성 메모리 장치가 사용될 수도 있다. 복수의 플래시 메모리(4201~420n)는 복수의 채널(CH1~CHn)을 통해 SSD 컨트롤러(4210)와 연결될 수 있다. 하나의 채널에는 하나 또는 그 이상의 플래시 메모리가 연결될 수 있다. 하나의 채널에 연결되는 플래시 메모리는 동일한 데이터 버스에 연결될 수 있다.
- [0110] SSD 컨트롤러(4210)는 신호 커넥터(4211)를 통해 호스트(4100)와 신호(SGL)를 주고 받는다. 여기에서, 신호(SGL)에는 커맨드, 어드레스, 데이터 등이 포함될 수 있다. SSD 컨트롤러(4210)는 호스트(4100)의 커맨드에 따라 해당 플래시 메모리 에 데이터를 쓰거나 해당 플래시 메모리로부터 데이터를 읽어낸다. SSD 컨트롤러(4210)의 내부 구성은 도 21을 참조하여 상세하게 설명된다.
- [0111] 보조 전원 장치(4220)는 전원 커넥터(4221)를 통해 호스트(4100)와 연결된다. 보조 전원 장치(4220)는 호스트(4100)로부터 전원(PWR)을 입력받고, 충전할 수 있다. 한편, 보조 전원 장치(4220)는 SSD(4200) 내에 위치할 수도 있고, SSD(4200) 밖에 위치할 수도 있다. 예를 들면, 보조 전원 장치(4220)는 메인 보드에 위치하며, SSD(4200)에 보조 전원을 제공할 수도 있다.
- [0112] 도 23은 도 22에 도시된 SSD 컨트롤러(4210)의 구성을 예시적으로 보여주는 블록도이다. 도 23을 참조하면, SSD 컨트롤러(4210)는 NVM 인터페이스(4211), 호스트 인터페이스(4212), ECC 회로(4213), 중앙 처리 장치(CPU,

4214), 그리고 버퍼 메모리(4215)를 포함한다.

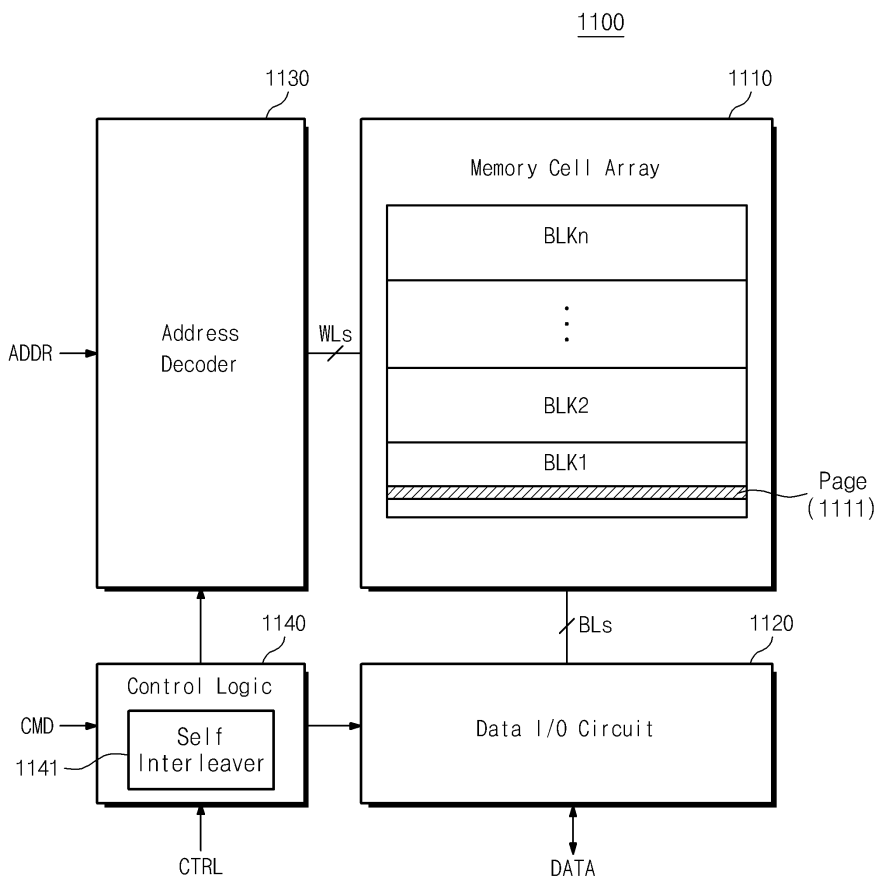
- [0113] NVM 인터페이스(4211)는 버퍼 메모리(4215)로부터 전달된 데이터를 각각의 채널들(CH1~CHn)로 스캐터링(Scattering)한다. 그리고 NVM 인터페이스(4211)는 플래시 메모리(4201~420n)로부터 읽은 데이터를 버퍼 메모리(4215)로 전달한다. 여기에서, NVM 인터페이스(4211)는 플래시 메모리의 인터페이스 방식을 사용할 수 있다. 즉, SSD 컨트롤러(4210)는 플래시 메모리 인터페이스 방식에 따라 프로그램, 읽기, 또는 소거 동작 등을 수행할 수 있다.
- [0114] 호스트 인터페이스(4212)는 호스트(4100)의 프로토콜에 대응하여 SSD(4200)와의 인터페이싱을 제공한다. 호스트 인터페이스(4212)는 USB(Universal Serial Bus), SCSI(Small Computer System Interface), PCI express, ATA, PATA(Parallel ATA), SATA(Serial ATA), SAS(Serial Attached SCSI) 등을 이용하여 호스트(4100)와 통신할 수 있다. 또한, 호스트 인터페이스(4212)는 호스트(4100)가 SSD(4200)를 하드 디스크 드라이브(HDD)로 인식하도록 지원하는 디스크 에뮬레이션(Disk Emulation) 기능을 수행할 수 있다.
- [0115] ECC 회로(4213)는 플래시 메모리(4201~420n)로 전송되는 데이터를 이용하여, 코드 워드 단위로 에러 정정 코드(ECC)의 패리티 비트를 생성한다. 그렇게 생성된 패리티 비트는 플래시 메모리(4201~420n)의 스페어 영역(spare area)에 저장된다. ECC 회로(4213)는 플래시 메모리(4201~420n)로부터 읽은 데이터의 에러를 검출한다. 만약 검출된 에러가 정정 범위 내이면, ECC 회로(4213)는 검출된 에러를 정정한다.
- [0116] 중앙 처리 장치(4214)는 호스트(4100, 도 22 참조)로부터 입력된 신호(SGL)를 분석하고 처리한다. 중앙 처리 장치(4214)는 호스트 인터페이스(4212)나 NVM 인터페이스(4211)를 통해 호스트(4100)나 플래시 메모리(4201~420n)를 제어한다. 중앙 처리 장치(4214)는 SSD(4200)을 구동하기 위한 펌웨어에 따라서 플래시 메모리 장치(4201~420n)의 동작을 제어한다.
- [0117] 버퍼 메모리(4215)는 호스트(4100)로부터 제공되는 쓰기 데이터 또는 플래시 메모리로부터 읽은 데이터를 임시로 저장한다. 또한, 버퍼 메모리(4215)는 플래시 메모리(4201~420n)에 저장될 메타 데이터나 캐시 데이터를 저장할 수 있다. 서든 파워 오프 동작 시에, 버퍼 메모리(4215)에 저장된 메타 데이터나 캐시 데이터는 플래시 메모리(4201~420n)에 저장된다. 버퍼 메모리(4215)에는 DRAM, SRAM 등이 포함될 수 있다. 도 22 및 도 21에 도시된 솔리드 스테이트 드라이브(4000)는 앞에서 설명한 바와 같이, 셀프 인터리빙 방법을 이용하여 BER 불균형을 완화할 수 있다.
- [0118] 도 24는 본 발명의 실시 예에 따른 플래시 메모리 시스템을 전자 장치로 구현한 예를 보여주는 블록도이다. 여기에서, 전자 장치(5000)는 퍼스널 컴퓨터(PC)로 구현되거나, 노트북 컴퓨터, 휴대폰, PDA(Personal Digital Assistant), 그리고 카메라 등과 같은 휴대용 전자 장치로 구현될 수 있다.
- [0119] 도 24를 참조하면, 전자 장치(5000)는 메모리 시스템(5100), 전원 장치(5200), 보조 전원 장치(5250), 중앙처리 장치(5300), 램(5400), 그리고 사용자 인터페이스(5500)를 포함한다. 메모리 시스템(5100)은 플래시 메모리(5110) 및 메모리 컨트롤러(5120)를 포함한다. 메모리 시스템(5100)은 앞에서 설명한 바와 같이, 셀프 인터리빙 방법을 이용하여 BER 불균형을 완화할 수 있다.
- [0120] 본 발명의 범위 또는 기술적 사상을 벗어나지 않고 본 발명의 구조가 다양하게 수정되거나 변경될 수 있음은 이 분야에 숙련된 자들에게 자명하다. 상술한 내용을 고려하여 볼 때, 만약 본 발명의 수정 및 변경이 아래의 청구항들 및 동등물의 범주 내에 속한다면, 본 발명이 이 발명의 변경 및 수정을 포함하는 것으로 여겨진다.

도면

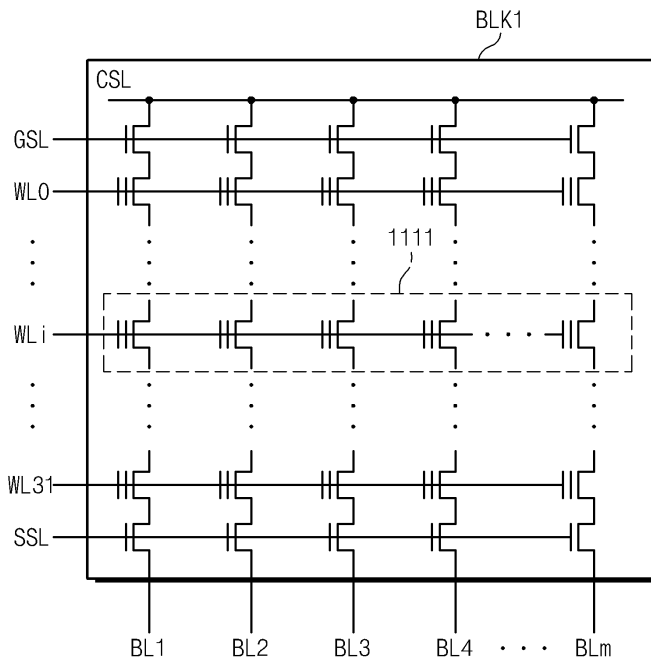
도면1



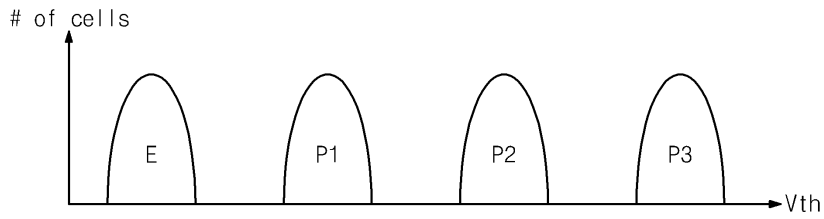
도면2



도면3



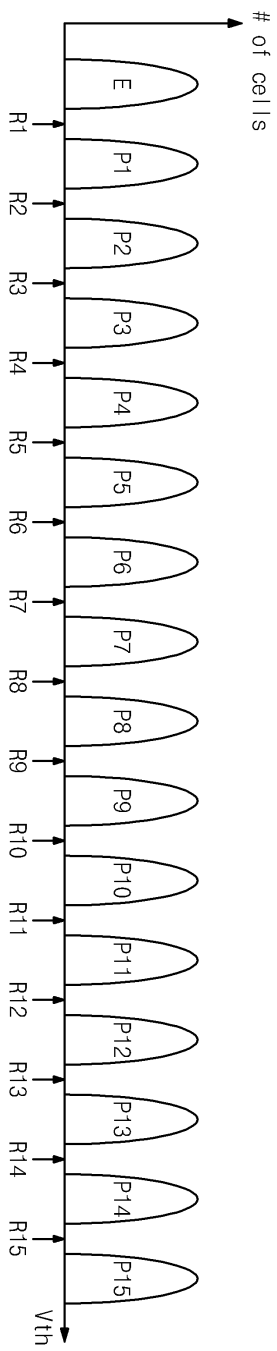
도면4



도면5

State Page	E	P1	P2	P3	BER
Page1 (LSB)	1	1	0	0	1
Page2 (MSB)	1	0	0	1	2

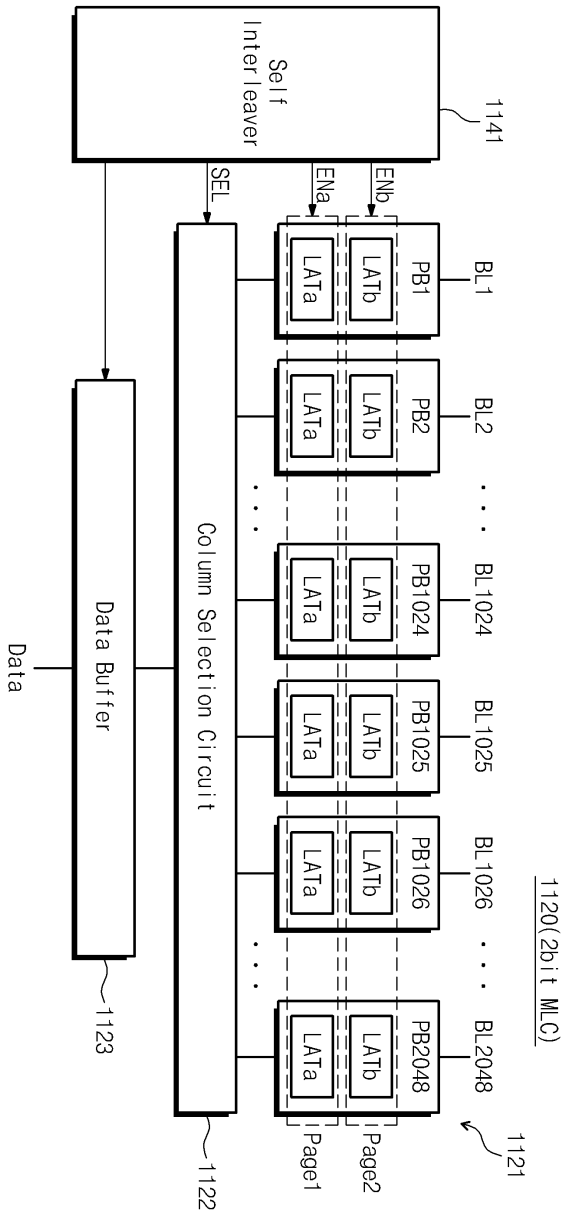
도면6



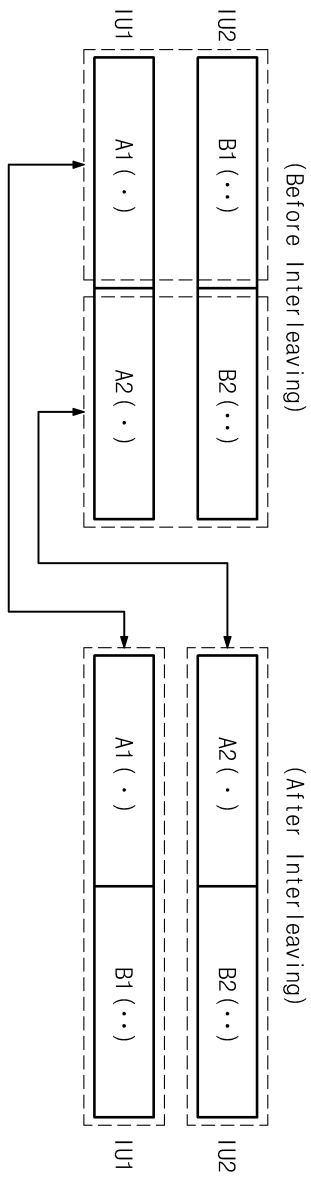
도면7

State Page	E	P1	P2	P3	P4	P5	P6	P7	P8	P9	P10	P11	P12	P13	P14	P15	BER
Page1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	1
Page2	1	1	1	1	0	0	0	0	0	0	0	0	1	1	1	1	2
Page3	1	1	0	0	0	0	1	1	1	1	0	0	0	0	1	1	4
Page4	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	8

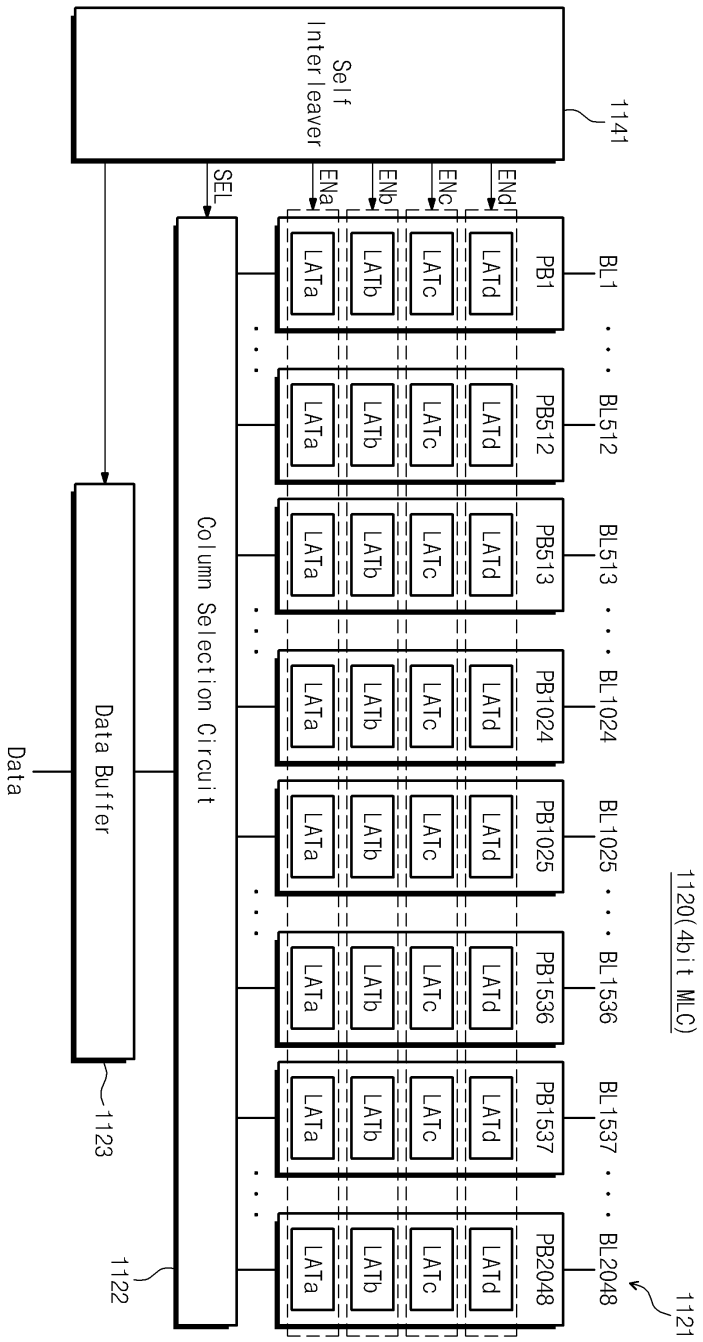
도면8



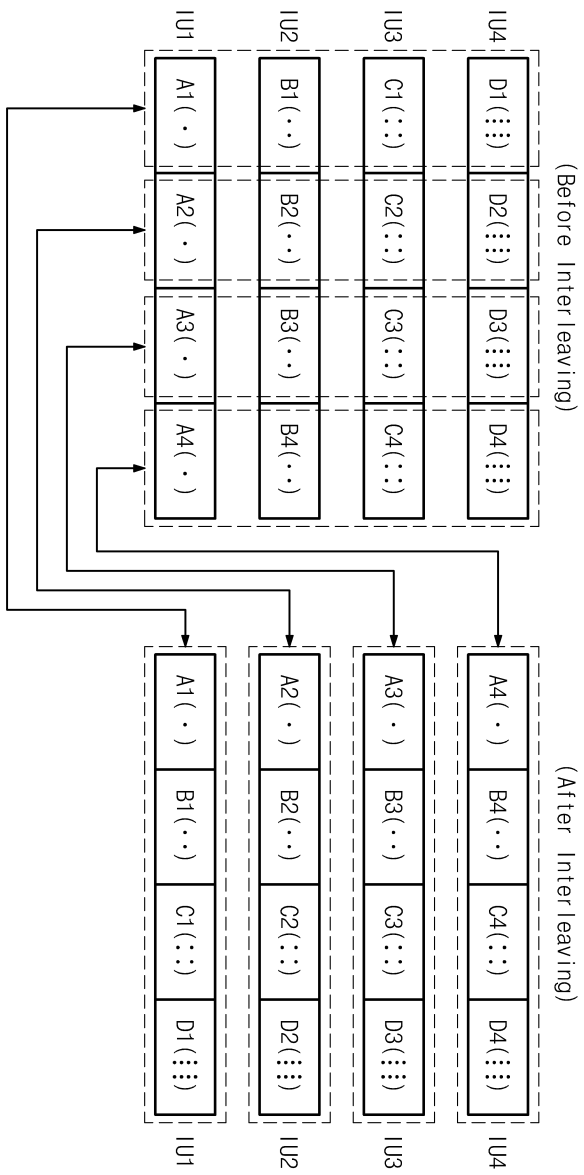
도면9



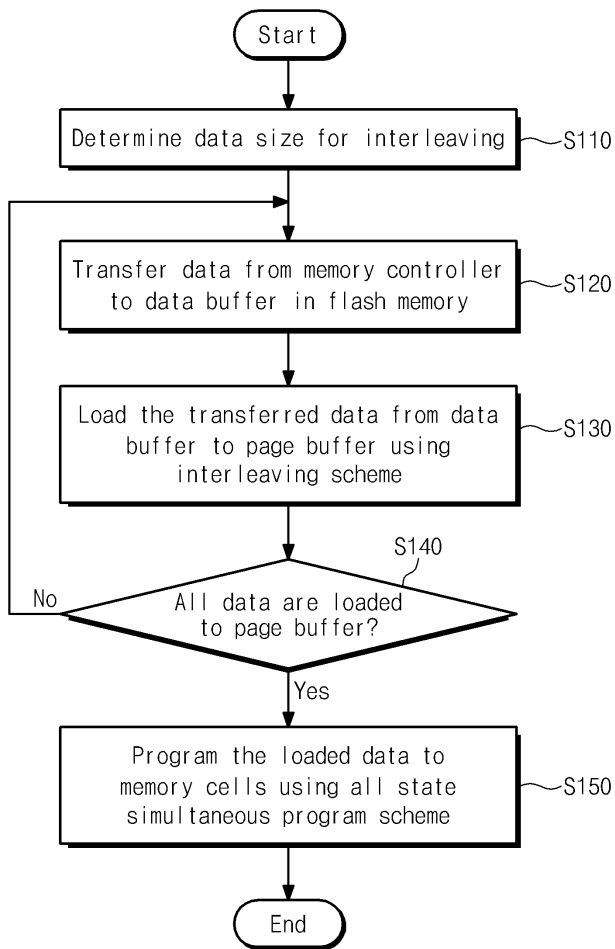
도면10



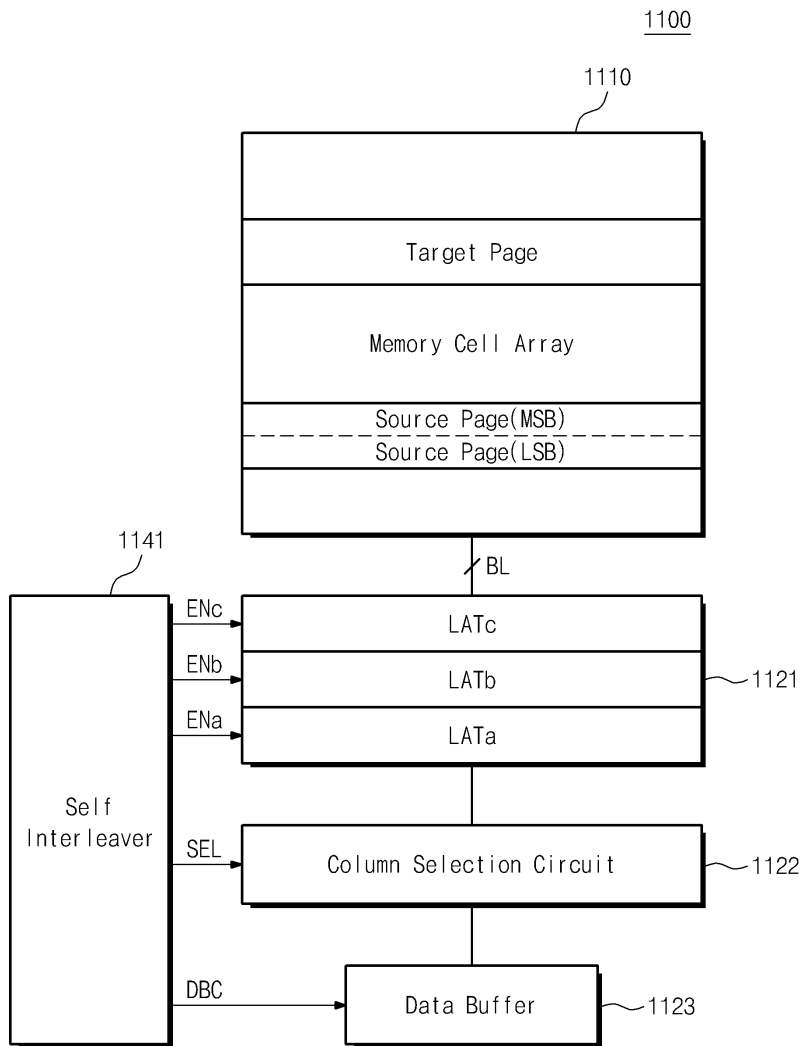
도면11



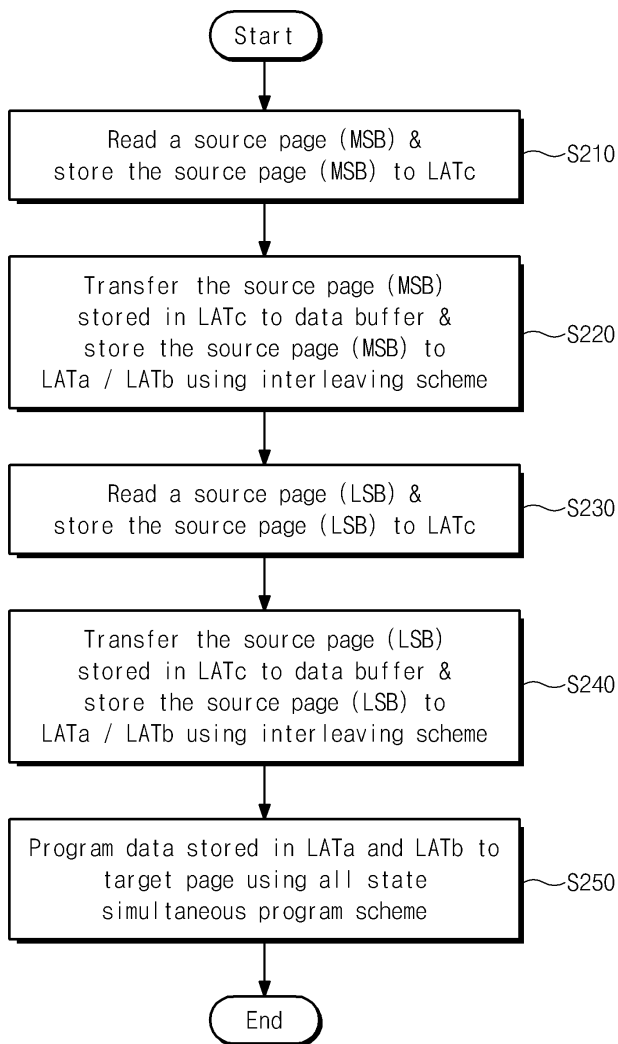
도면12



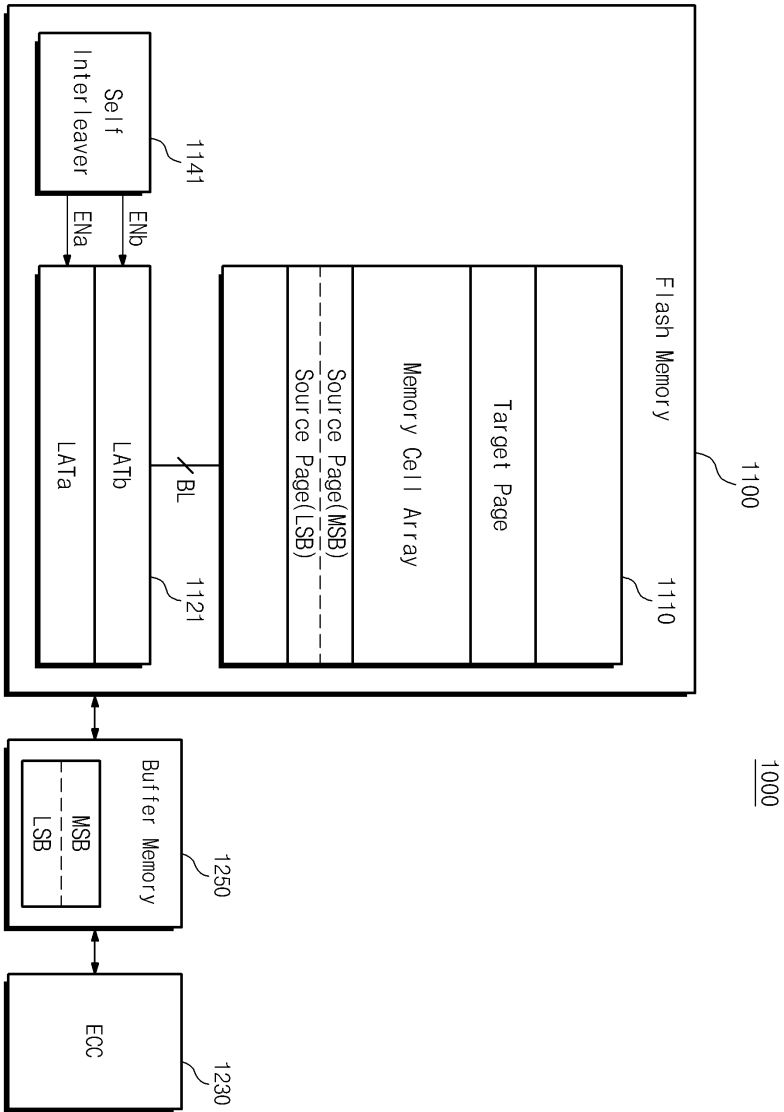
도면13



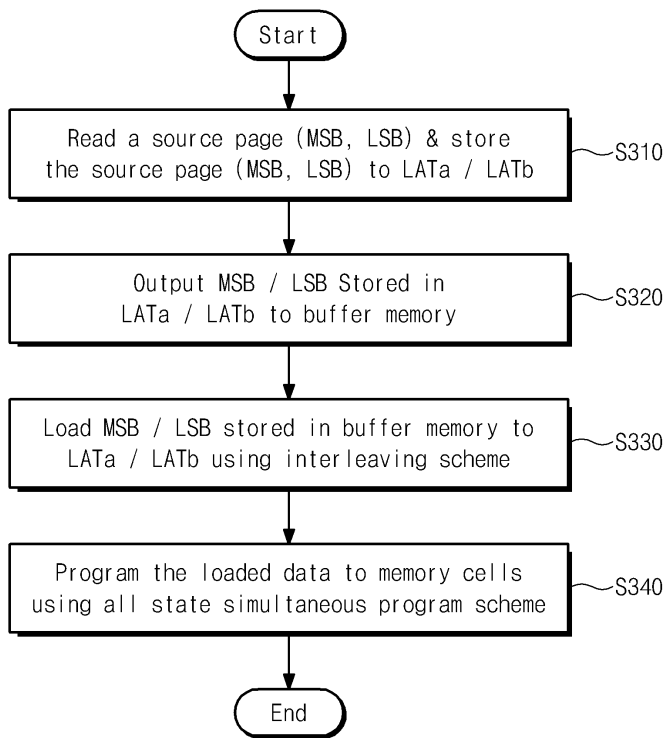
도면14



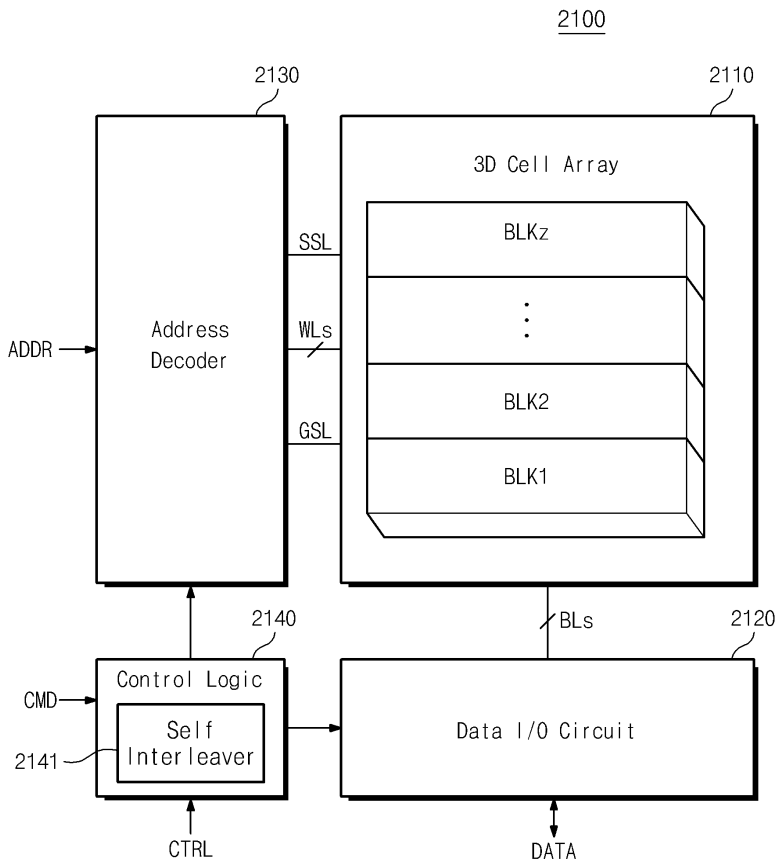
도면15



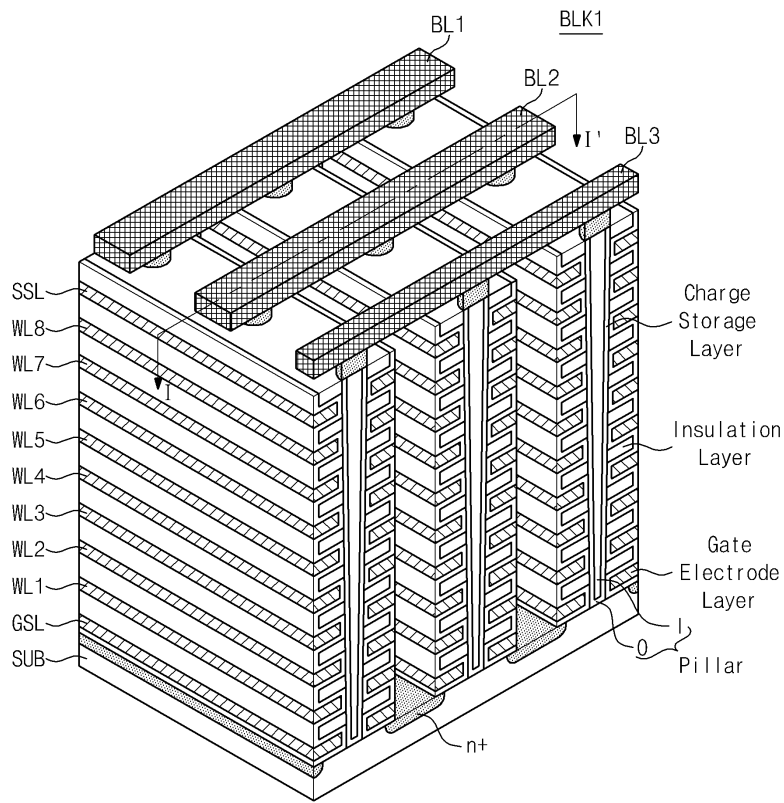
도면16



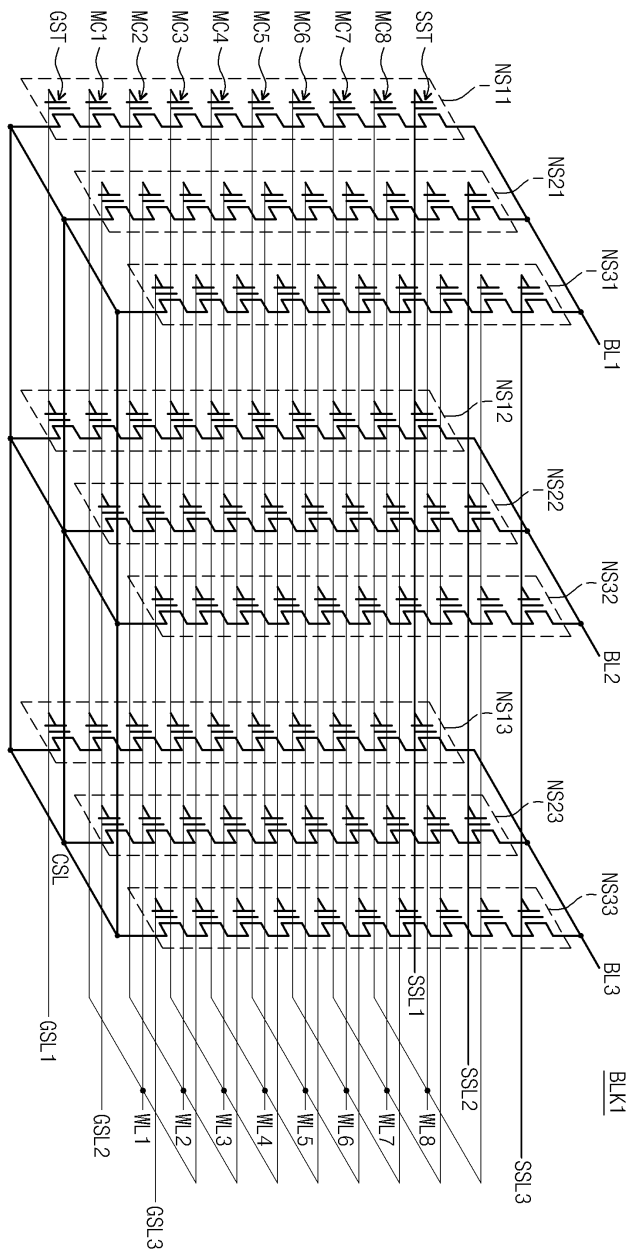
도면17



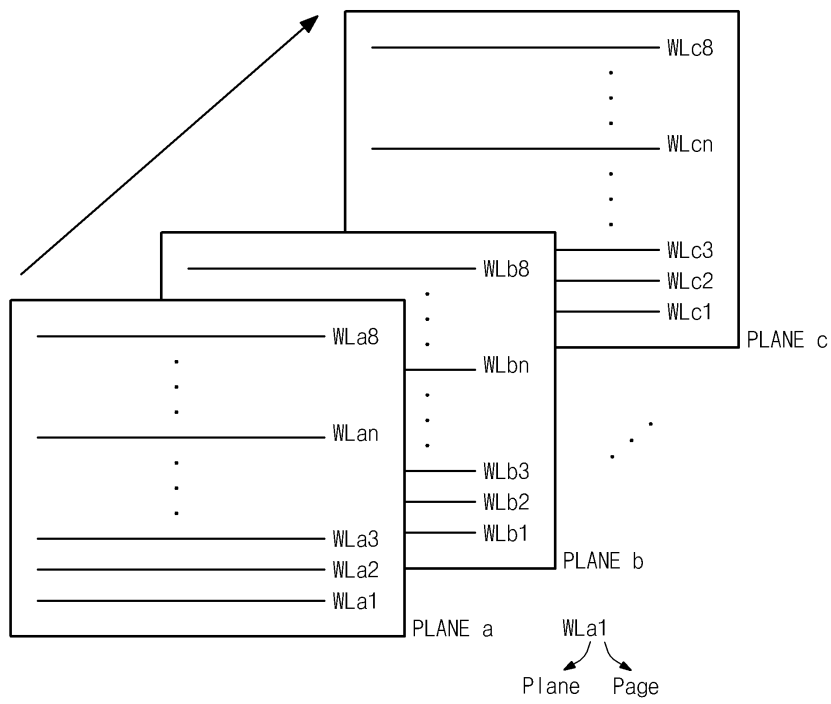
도면18



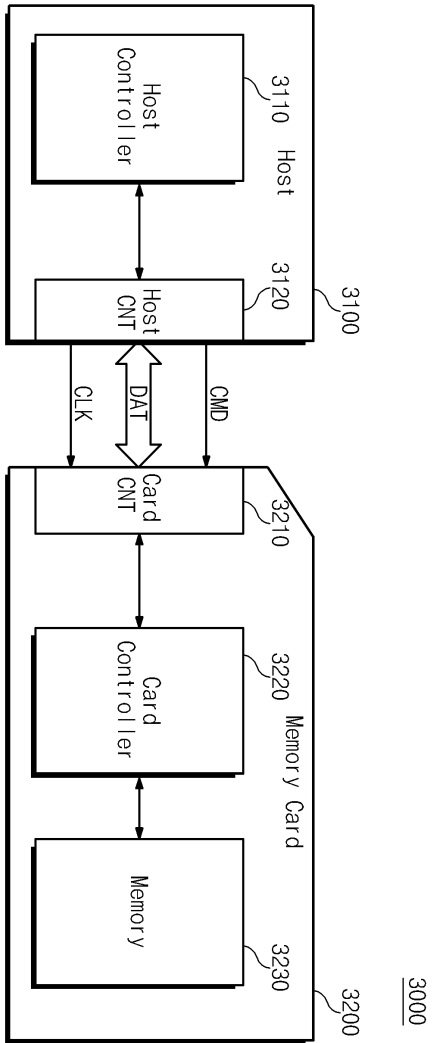
도면19



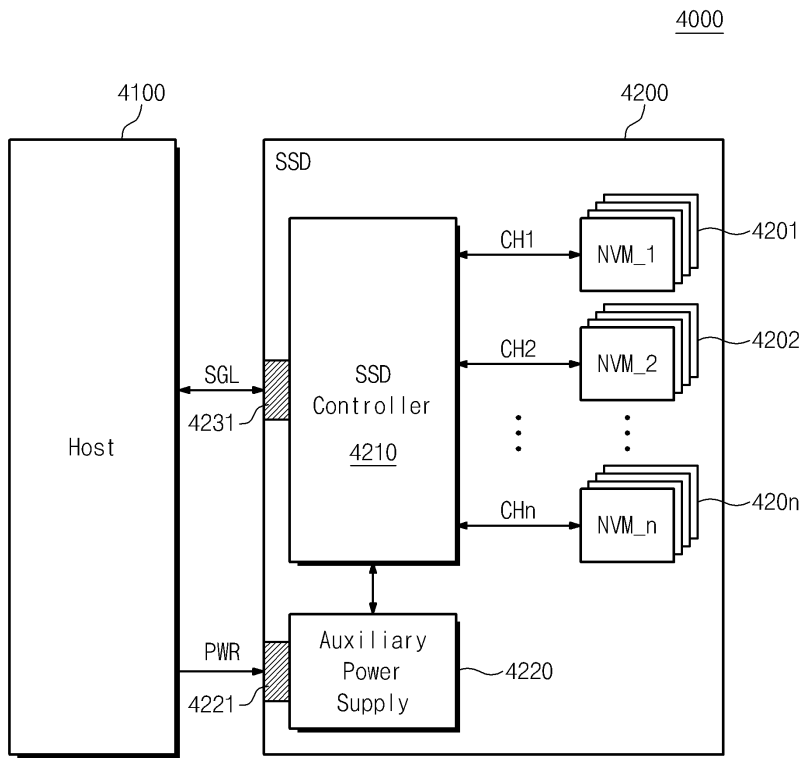
도면20



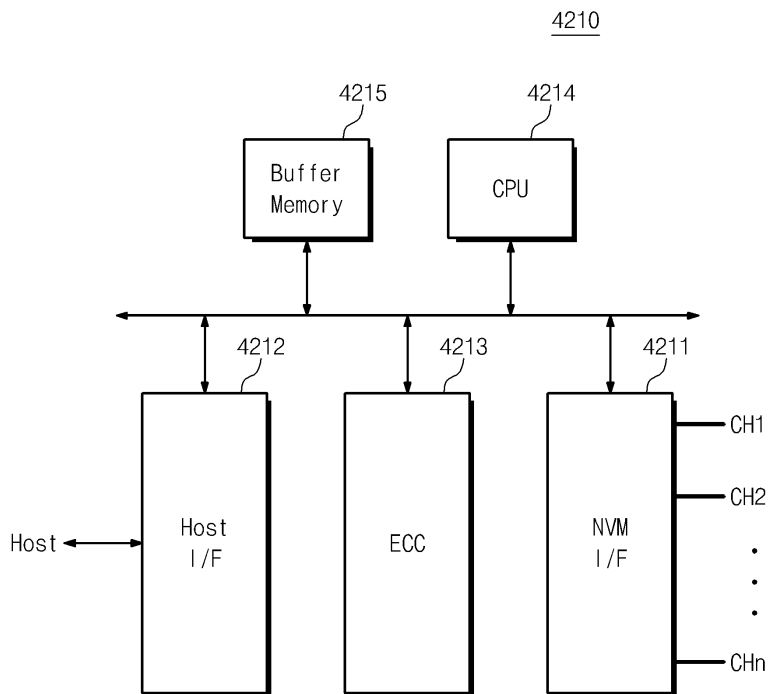
도면21



도면22



도면23



도면24

