

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 2 区分

【発行日】令和 4 年 9 月 26 日 (2022.9.26)

【公開番号】特開 2021-47265 (P2021-47265A)

【公開日】令和 3 年 3 月 25 日 (2021.3.25)

【年通号数】公開・登録公報 2021-015

【出願番号】特願 2019-168935 (P2019-168935)

【国際特許分類】

G 0 9 G 3/36(2006.01)

G 0 9 G 3/20(2006.01)

H 0 3 K 17/00(2006.01)

10

【F I】

G 0 9 G 3/36

G 0 9 G 3/20 6 1 1 C

G 0 9 G 3/20 6 1 2 U

G 0 9 G 3/20 6 2 3 B

G 0 9 G 3/20 6 2 3 F

G 0 9 G 3/20 6 2 3 R

H 0 3 K 17/00 D

20

【手続補正書】

【提出日】令和 4 年 9 月 12 日 (2022.9.12)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

30

入力ノードと出力ノードの間に並列接続される P 型トランジスタ及び N 型トランジスタを有し、前記入力ノードに入力信号が入力され、前記出力ノードに出力信号を出力するトランスファークロウと、

前記トランスファークロウを制御する制御回路と、

を含み、

前記制御回路は、

前記トランスファークロウがオフするタイミングにおいて前記入力信号の電圧が第 1 電圧範囲であるとき、前記 N 型トランジスタのサイズに対する前記 P 型トランジスタのサイズの比であるトランジスタサイズ比を第 1 値とし、前記トランスファークロウがオフするタイミングにおいて前記入力信号の電圧が前記第 1 電圧範囲より低い第 2 電圧範囲であるとき、前記トランジスタサイズ比を、前記第 1 値より大きい第 2 値とするように制御し、

40

前記 P 型トランジスタは、

前記入力ノードと前記出力ノードの間に並列接続される P 型サブトランジスタ群を有し、

—

前記 N 型トランジスタは、

前記入力ノードと前記出力ノードの間に並列接続される N 型サブトランジスタ群を有し、

—

前記 P 型サブトランジスタ群は、

第 1 P 型サブトランジスタと、

50

前記第 1 P 型サブトランジスタよりサイズが大きい第 2 P 型サブトランジスタと、  
を有し、

前記 N 型サブトランジスタ群は、  
第 1 N 型サブトランジスタと、

前記第 1 N 型サブトランジスタよりサイズが大きい第 2 N 型サブトランジスタと、  
を有し、

前記制御回路は、

前記トランスファークラークがオフするタイミングにおいて前記入力信号の電圧が前記第 1  
電圧範囲であるとき、前記第 1 P 型サブトランジスタ及び前記第 2 N 型サブトランジ  
スタをオンからオフにする制御を行い、前記トランスファークラークがオフするタイミング  
において前記入力信号の電圧が前記第 2 電圧範囲であるとき、前記第 2 P 型サブトランジ  
スタ及び前記第 1 N 型サブトランジスタをオンからオフにする制御を行うことを特徴  
とする回路装置。

10

【請求項 2】

請求項 1 に記載の回路装置において、

前記制御回路は、

前記 P 型サブトランジスタ群のうちオンからオフにする P 型サブトランジスタの合  
計トランジスタサイズと、前記 N 型サブトランジスタ群のうちオンからオフにする N  
型サブトランジスタの合計トランジスタサイズとの比を制御することで、前記ラン  
ジスタサイズ比を制御することを特徴とする回路装置。

20

【請求項 3】

請求項 1 又は 2 に記載の回路装置において、

前記入力ノードと前記出力ノードとの間に前記トランスファークラークと並列接続される  
P 型補助トランジスタ及び N 型補助トランジスタを有する補助トランスファークラーク  
を含み、

前記制御回路は、

前記トランスファークラークがオンからオフになった後に、前記補助トランスファークラーク  
をオンからオフにする制御を行うことを特徴とする回路装置。

【請求項 4】

請求項 3 に記載の回路装置において、

前記補助トランスファークラークの合計トランジスタサイズは、前記トランスファークラーク  
の合計トランジスタサイズより小さいことを特徴とする回路装置。

30

【請求項 5】

請求項 1 乃至 4 のいずれか一項に記載の回路装置において、

前記制御回路は、

前記トランスファークラークがオフするタイミングにおいて前記入力信号の電圧が前記第  
1 電圧範囲より低く且つ前記第 2 電圧範囲より高い第 3 電圧範囲であるとき、前記ラン  
ジスタサイズ比を、前記第 1 値より大きい第 3 値に設定することを特徴とする回路装置

。

【請求項 6】

請求項 5 に記載の回路装置において、

前記制御回路は、

前記トランスファークラークがオフするタイミングにおいて前記入力信号の電圧が前記第  
2 電圧範囲より高く且つ前記第 3 電圧範囲より低い第 4 電圧範囲であるとき、前記ラン  
ジスタサイズ比を、前記第 2 値より小さい第 4 値に設定することを特徴とする回路装置

。

【請求項 7】

請求項 1 乃至 6 のいずれか一項に記載の回路装置において、

入力データに基づいて前記入力ノードに前記入力信号を出力する出力回路を含み、

前記制御回路は、

50

前記入力データに基づいて、前記入力信号の電圧が前記第 1 電圧範囲に属するか否か及び前記入力信号の電圧が前記第 2 電圧範囲に属するか否かを判断することを特徴とする回路装置。

【請求項 8】

請求項 7 に記載の回路装置において、  
前記入力データを D / A 変換した D / A 変換電圧を、前記出力ノードに出力する D / A 変換回路と、  
前記出力ノードの信号が入力されるアンプ回路と、  
を含むことを特徴とする回路装置。

【請求項 9】

請求項 8 に記載の回路装置において、  
前記トランスファークラークがオンであるとき、前記出力回路が前記入力信号を前記出力ノードに出力することで、前記入力信号に対応した前記出力信号が前記出力ノードに出力され、  
前記トランスファークラークがオンからオフになった後、前記 D / A 変換回路が前記 D / A 変換電圧を前記出力ノードに出力することを特徴とする回路装置。

【請求項 10】

請求項 8 又は 9 に記載の回路装置において、  
前記アンプ回路は、  
電気光学パネルを駆動することを特徴とする回路装置。

【請求項 11】

入力ノードと出力ノードの間に並列接続される P 型トランジスタ及び N 型トランジスタを有し、前記入力ノードに入力信号が入力され、前記出力ノードに出力信号を出力するトランスファークラークと、  
前記トランスファークラークを制御する制御回路と、  
前記入力ノードと前記出力ノードとの間に前記トランスファークラークと並列接続される P 型補助トランジスタ及び N 型補助トランジスタを有する補助トランスファークラークと

—  
を含み、

前記制御回路は、  
前記トランスファークラークがオフするタイミングにおいて前記入力信号の電圧が第 1 電圧範囲であるとき、前記 N 型トランジスタのサイズに対する前記 P 型トランジスタのサイズの比であるトランジスタサイズ比を第 1 値とし、前記トランスファークラークがオフするタイミングにおいて前記入力信号の電圧が前記第 1 電圧範囲より低い第 2 電圧範囲であるとき、前記トランジスタサイズ比を、前記第 1 値より大きい第 2 値とするように制御し、  
前記制御回路は、  
前記トランスファークラークがオンからオフになった後に、前記補助トランスファークラークをオンからオフにする制御を行い、  
前記補助トランスファークラークの合計トランジスタサイズは、前記トランスファークラークの合計トランジスタサイズより小さいことを特徴とする回路装置。

【請求項 12】

入力ノードと出力ノードの間に並列接続される P 型トランジスタ及び N 型トランジスタを有し、前記入力ノードに入力信号が入力され、前記出力ノードに出力信号を出力するトランスファークラークと、  
前記トランスファークラークを制御する制御回路と、  
を含み、  
前記制御回路は、  
前記トランスファークラークがオフするタイミングにおいて前記入力信号の電圧が第 1 電圧範囲であるとき、前記 N 型トランジスタのサイズに対する前記 P 型トランジスタの

サイズの比であるトランジスタサイズ比を第 1 値とし、前記トランスファークゲートがオフするタイミングにおいて前記入力信号の電圧が前記第 1 電圧範囲より低い第 2 電圧範囲であるとき、前記トランジスタサイズ比を、前記第 1 値より大きい第 2 値とするように制御し、

前記制御回路は、

前記トランスファークゲートがオフするタイミングにおいて前記入力信号の電圧が前記第 1 電圧範囲より低く且つ前記第 2 電圧範囲より高い第 3 電圧範囲であるとき、前記トランジスタサイズ比を、前記第 1 値より大きい第 3 値に設定することを特徴とする回路装置。

【請求項 13】

入力ノードと出力ノードの間に並列接続される P 型トランジスタ及び N 型トランジスタを有し、前記入力ノードに入力信号が入力され、前記出力ノードに出力信号を出力するトランスファークゲートと、

前記トランスファークゲートを制御する制御回路と、

入力データに基づいて前記入力ノードに前記入力信号を出力する出力回路と、

前記入力データを D / A 変換した D / A 変換電圧を、前記出力ノードに出力する D / A 変換回路と、

前記出力ノードの信号が入力されるアンプ回路と、

を含み、

前記制御回路は、

前記トランスファークゲートがオフするタイミングにおいて前記入力信号の電圧が第 1 電圧範囲であるとき、前記 N 型トランジスタのサイズに対する前記 P 型トランジスタのサイズの比であるトランジスタサイズ比を第 1 値とし、前記トランスファークゲートがオフするタイミングにおいて前記入力信号の電圧が前記第 1 電圧範囲より低い第 2 電圧範囲であるとき、前記トランジスタサイズ比を、前記第 1 値より大きい第 2 値とするように制御し、

前記制御回路は、

前記入力データに基づいて、前記入力信号の電圧が前記第 1 電圧範囲に属するか否か及び前記入力信号の電圧が前記第 2 電圧範囲に属するか否かを判断することを特徴とする回路装置。

【請求項 14】

請求項 10 に記載の回路装置と、

前記電気光学パネルと、

を含むことを特徴とする電気光学装置。

【請求項 15】

請求項 1 乃至 13 のいずれか一項に記載の回路装置を含むことを特徴とする電子機器。

10

20

30

40

50