

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】令和4年9月26日(2022.9.26)

【公開番号】特開2021-47265(P2021-47265A)

【公開日】令和3年3月25日(2021.3.25)

【年通号数】公開・登録公報2021-015

【出願番号】特願2019-168935(P2019-168935)

【国際特許分類】

G 09 G 3/36(2006.01)

10

G 09 G 3/20(2006.01)

H 03 K 17/00(2006.01)

【F I】

G 09 G 3/36

G 09 G 3/20 6 1 1 C

G 09 G 3/20 6 1 2 U

G 09 G 3/20 6 2 3 B

G 09 G 3/20 6 2 3 F

G 09 G 3/20 6 2 3 R

H 03 K 17/00 D

20

【手続補正書】

【提出日】令和4年9月12日(2022.9.12)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

30

入力ノードと出力ノードの間に並列接続されるP型トランジスター及びN型トランジスターを有し、前記入力ノードに入力信号が入力され、前記出力ノードに出力信号を出力するトランスファーゲートと、

前記トランスファーゲートを制御する制御回路と、

を含み、

前記制御回路は、

前記トランスファーゲートがオフするタイミングにおいて前記入力信号の電圧が第1電圧範囲であるとき、前記N型トランジスターのサイズに対する前記P型トランジスターのサイズの比であるトランジスターサイズ比を第1値とし、前記トランスファーゲートがオフするタイミングにおいて前記入力信号の電圧が前記第1電圧範囲より低い第2電圧範囲であるとき、前記トランジスターサイズ比を、前記第1値より大きい第2値とするように制御し、

40

前記P型トランジスターは、

前記入力ノードと前記出力ノードの間に並列接続されるP型サブトランジスター群を有し、

前記N型トランジスターは、

前記入力ノードと前記出力ノードの間に並列接続されるN型サブトランジスター群を有し、

前記P型サブトランジスター群は、

第1P型サブトランジスターと、

50

前記第 1 P 型サブトランジスターよりサイズが大きい第 2 P 型サブトランジスターと、
を有し、

前記 N 型サブトランジスター群は、

第 1 N 型サブトランジスターと、

前記第 1 N 型サブトランジスターよりサイズが大きい第 2 N 型サブトランジスターと、
を有し、

前記制御回路は、

前記トランスファーゲートがオフするタイミングにおいて前記入力信号の電圧が前記第 1 電圧範囲であるとき、前記第 1 P 型サブトランジスター及び前記第 2 N 型サブトランジスターをオンからオフにする制御を行い、前記トランスファーゲートがオフするタイミングにおいて前記入力信号の電圧が前記第 2 電圧範囲であるとき、前記第 2 P 型サブトランジスター及び前記第 1 N 型サブトランジスターをオンからオフにする制御を行うことを特徴とする回路装置。
10

【請求項 2】

請求項 1に記載の回路装置において、

前記制御回路は、

前記 P 型サブトランジスター群のうちオンからオフにする P 型サブトランジスターの合計トランジスターサイズと、前記 N 型サブトランジスター群のうちオンからオフにする N 型サブトランジスターの合計トランジスターサイズとの比を制御することで、前記トランジスターサイズ比を制御することを特徴とする回路装置。
20

【請求項 3】

請求項 1 又は 2 に記載の回路装置において、

前記入力ノードと前記出力ノードとの間に前記トランスファーゲートと並列接続される P 型補助トランジスター及び N 型補助トランジスターを有する補助トランスファーゲートを含み、

前記制御回路は、

前記トランスファーゲートがオンからオフになった後に、前記補助トランスファーゲートをオンからオフにする制御を行うことを特徴とする回路装置。
20

【請求項 4】

請求項 3に記載の回路装置において、

前記補助トランスファーゲートの合計トランジスターサイズは、前記トランスファーゲートの合計トランジスターサイズより小さいことを特徴とする回路装置。
30

【請求項 5】

請求項 1 乃至 4 のいずれか一項に記載の回路装置において、

前記制御回路は、

前記トランスファーゲートがオフするタイミングにおいて前記入力信号の電圧が前記第 1 電圧範囲より低く且つ前記第 2 電圧範囲より高い第 3 電圧範囲であるとき、前記トランジスターサイズ比を、前記第 1 値より大きい第 3 値に設定することを特徴とする回路装置。
40

【請求項 6】

請求項 5 に記載の回路装置において、

前記制御回路は、

前記トランスファーゲートがオフするタイミングにおいて前記入力信号の電圧が前記第 2 電圧範囲より高く且つ前記第 3 電圧範囲より低い第 4 電圧範囲であるとき、前記トランジスターサイズ比を、前記第 2 値より小さい第 4 値に設定することを特徴とする回路装置。
40

【請求項 7】

請求項 1 乃至 6 のいずれか一項に記載の回路装置において、

入力データに基づいて前記入力ノードに前記入力信号を出力する出力回路を含み、
前記制御回路は、
50

前記入力データに基づいて、前記入力信号の電圧が前記第1電圧範囲に属するか否か及び前記入力信号の電圧が前記第2電圧範囲に属するか否かを判断することを特徴とする回路装置。

【請求項8】

請求項7に記載の回路装置において、
前記入力データをD/A変換したD/A変換電圧を、前記出力ノードに出力するD/A変換回路と、
前記出力ノードの信号が入力されるアンプ回路と、
を含むことを特徴とする回路装置。

【請求項9】

請求項8に記載の回路装置において、10

前記トランスマルチゲートがオンであるとき、前記出力回路が前記入力信号を前記入力ノードに出力することで、前記入力信号に対応した前記出力信号が前記出力ノードに出力され、

前記トランスマルチゲートがオンからオフになった後、前記D/A変換回路が前記D/A変換電圧を前記出力ノードに出力することを特徴とする回路装置。

【請求項10】

請求項8又は9に記載の回路装置において、20
前記アンプ回路は、
電気光学パネルを駆動することを特徴とする回路装置。

【請求項11】

入力ノードと出力ノードの間に並列接続されるP型トランジスター及びN型トランジスターを有し、前記入力ノードに入力信号が入力され、前記出力ノードに出力信号を出力するトランスマルチゲートと、

前記トランスマルチゲートを制御する制御回路と、
前記入力ノードと前記出力ノードとの間に前記トランスマルチゲートと並列接続されるP型補助トランジスター及びN型補助トランジスターを有する補助トランスマルチゲートと

を含み、

前記制御回路は、30

前記トランスマルチゲートがオフするタイミングにおいて前記入力信号の電圧が第1電圧範囲であるとき、前記N型トランジスターのサイズに対する前記P型トランジスターのサイズの比であるトランジスターサイズ比を第1値とし、前記トランスマルチゲートがオフするタイミングにおいて前記入力信号の電圧が前記第1電圧範囲より低い第2電圧範囲であるとき、前記トランジスターサイズ比を、前記第1値より大きい第2値とするように制御し、

前記制御回路は、

前記トランスマルチゲートがオンからオフになった後に、前記補助トランスマルチゲートをオンからオフにする制御を行い、

前記補助トランスマルチゲートの合計トランジスターサイズは、前記トランスマルチゲートの合計トランジスターサイズより小さいことを特徴とする回路装置。

【請求項12】

入力ノードと出力ノードの間に並列接続されるP型トランジスター及びN型トランジスターを有し、前記入力ノードに入力信号が入力され、前記出力ノードに出力信号を出力するトランスマルチゲートと、

前記トランスマルチゲートを制御する制御回路と、40
を含み、

前記制御回路は、

前記トランスマルチゲートがオフするタイミングにおいて前記入力信号の電圧が第1電圧範囲であるとき、前記N型トランジスターのサイズに対する前記P型トランジスターの

50

サイズの比であるトランジスターサイズ比を第1値とし、前記トランスマニアゲートがオフするタイミングにおいて前記入力信号の電圧が前記第1電圧範囲より低い第2電圧範囲であるとき、前記トランジスターサイズ比を、前記第1値より大きい第2値とするように制御し、

前記制御回路は、

前記トランスマニアゲートがオフするタイミングにおいて前記入力信号の電圧が前記第1電圧範囲より低く且つ前記第2電圧範囲より高い第3電圧範囲であるとき、前記トランジスターサイズ比を、前記第1値より大きい第3値に設定することを特徴とする回路装置。

【請求項13】

10
入力ノードと出力ノードの間に並列接続されるP型トランジスター及びN型トランジスターを有し、前記入力ノードに入力信号が入力され、前記出力ノードに出力信号を出力するトランスマニアゲートと、

前記トランスマニアゲートを制御する制御回路と、

入力データに基づいて前記入力ノードに前記入力信号を出力する出力回路と、

前記入力データをD/A変換したD/A変換電圧を、前記出力ノードに出力するD/A変換回路と、

前記出力ノードの信号が入力されるアンプ回路と、

を含み、

前記制御回路は、

前記トランスマニアゲートがオフするタイミングにおいて前記入力信号の電圧が第1電圧範囲であるとき、前記N型トランジスターのサイズに対する前記P型トランジスターのサイズの比であるトランジスターサイズ比を第1値とし、前記トランスマニアゲートがオフするタイミングにおいて前記入力信号の電圧が前記第1電圧範囲より低い第2電圧範囲であるとき、前記トランジスターサイズ比を、前記第1値より大きい第2値とするように制御し、

前記制御回路は、

前記入力データに基づいて、前記入力信号の電圧が前記第1電圧範囲に属するか否か及び前記入力信号の電圧が前記第2電圧範囲に属するか否かを判断することを特徴とする回路装置。

【請求項14】

30
請求項10に記載の回路装置と、

前記電気光学パネルと、

を含むことを特徴とする電気光学装置。

【請求項15】

請求項1乃至13のいずれか一項に記載の回路装置を含むことを特徴とする電子機器。