



[12] 发明专利申请公开说明书

[21] 申请号 90103635.8

[51] Int.Cl⁵
G05F 1/00

[43] 公开日 1990年11月21日

[22] 申请日 90.4.26

[30] 优先权

[32]89.4.26 [33]JP [31]106426/89

[32]90.2.22 [33]JP [31]41951/90

[71] 申请人 精工爱普生株式会社

地址 日本东京都

[72] 发明人 寺岛义幸

[74] 专利代理机构 中国专利代理有限公司

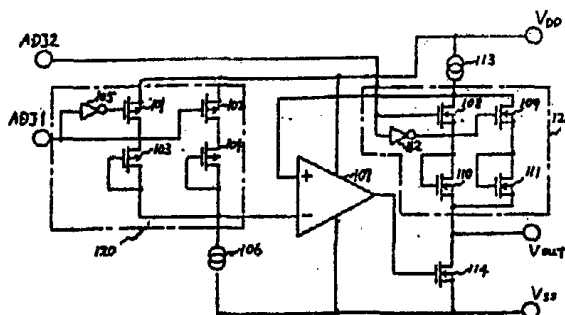
代理人 叶凯东 王忠忠

说明书页数: 9 附图页数: 5

[54] 发明名称 稳压电路

[57] 摘要

本发明是以多个晶体管阈值电压之和为基准电压的稳压电路,具有相互不同阈值电压的多个第1晶体管,选择该多个第1晶体管的第1开关装置;第2晶体管;形成前述第1开关装置选择的前第1晶体管与前述第1晶体管阈值电压之和的形成装置。通过采用本发明可以提供一个稳定的振荡电路,使振荡电路稳定地工作,同时可大幅地提高产品的合格率。



(BJ)第1456号

1. 以复数个晶体管阈值电压之和为基准电压的稳压电路, 其特征是: 具有相互不同阈值电压的复数个第 1 晶体管; 选择该复数个第 1 晶体管的第 1 开关装置; 第 2 晶体管; 前述第 1 开关装置选择的前述第 1 晶体管与前述第 2 晶体管阈值电压之和的形成装置。

2. 根据权利要求 1 的稳压电路, 其特征是: 有前述复数个第 2 晶体管, 该复数个第 2 晶体管有相互不同的阈值电压, 具有选择该复数个第 2 晶体管的第 2 开关装置, 前述阈值电压之和的形成装置形成由第 1 和第 2 开关装置选择的第 1 和第 2 晶体管的阈值电压之和。

3. 根据权利要求 1 或 2 所述的稳压电路, 其特征是: 前述第 1 和第 2 晶体管的栅极和漏极是相连接的。

4. 根据权利要求 3 的稳压电路, 其特征是: 具有把被选择的前述第 1 晶体管阈值电压作为基准电压输给第 1 输入端的运输放大器; 具有该运算放大器的输出供给其栅极, 而源极、漏极通道与被选择的前述第 2 晶体管的源极、漏极通道相串联的输出晶体管, 该输出晶体管与前述第 2 晶体管的源极、漏极串联连接的串联电路的一端, 反馈到运算放大器的第 2 输入端。

5. 根据权利要求 4 的稳压电路, 其特征是: 前述第 1 晶体管和第 2 晶体管具有不同的导电型。

6. 根据权利要求 5 的稳压电路, 其特征是: 前述第 1 开关装置与第 1 晶体管串联, 并且是与第 1 晶体管具有相同导电型的晶体管; 前述第 2 开关装置与第 2 晶体管串联, 并且是与第 2 晶体管具有相同导电型的晶体管。

7. 根据权利要求 3 的稳压电路, 其特征是: 被选择的前述第 2

晶体管与被选择的前述第 2 晶体管串联，构成串联电路，从该串联电路的一端产生包含前述第 1 和前述第 2 晶体管阈值电压之和的稳定电压。

8. 根据权利要求 7 的稳压电路，其特征是：前述第 1 和第 2 晶体管是互相不同的导电型。

9. 根据权利要求 8 的稳压电路，其特征是：前述稳定电压作为 CMOS 振荡电路的电源。

10. 根据权利要求 7 的稳压电路，其特征是：前述第 1 和第 2 晶体管是相同导电型。

11. 根据权利要求 10 的稳压电路，其特征是：前述稳定电压可作为与前述第 1 及第 2 晶体管相同导电型的晶体管构成的振荡电路的电源。

12. 根据权利要求 7 的稳压电路，其特征是：具有由前述串联电路的一端接到第 1 输入端，其输出反馈到第 2 输入端的运算放大器构成的缓冲器。

13. 以复数个晶体管阈值电压之和为基准电压的稳压电路，特征是：具有相互不同阈值电压的复数个第 1 晶体管；选择该复数个第 1 晶体管的开关装置，第 2 晶体管；具有其振子由被选择的前述第 1 晶体管和前述第 2 晶体管阈值电压之和提供稳定电压的振荡电路或含有电容电阻的振荡电路。

稳压电路

本稳压电路用于要求低电压、低耗电流的集成电路。

第2图表示已有的要求低电压、低消耗电流的表用IC稳压电路。基准电压由栅极、漏极连接的P沟道绝缘栅型场效应晶体管(以下称晶体管)206和恒流源201构成。晶体管206的 β 值设计得比较大,则电压 $V_{DD} - V_1$ 大致为晶体管206的阈值电压 $V_{T206} + \alpha$ 的电压。202是运算放大器(OP-AMP),其输出加在晶体管204的栅极。栅极、漏极连接的N沟道MOS晶体管216的阈值电压为 V_{T216} ,则输出电压是 V_1 和 V_2 的电位差 $V_{T216} + \alpha$ 。203是晶体管216的恒流源。

综合来看, V_{out} 端的输出电压是 $V_{DD} - (V_{T206} + V_{T216} + \alpha)$,以 V_{DD} 作为基准,这个电压是一定的。即,输出 V_{out} 是P沟道晶体管(206)的阈值电压与N沟道晶体管(216)的阈值电压之和。

用第3图表示已有的电路,横轴是 $V_{T206} + V_{T216}$,纵轴是稳压输出 V_{out} 。①P沟道晶体管的阈值电压(V_{TP})和N沟道晶体管的阈值电压(V_{TN})都高的情况,② V_{TP} 高 V_{TN} 低的情况,③ V_{TP} 低 V_{TN} 高的情况,④ V_{TP} 和 V_{TN} 都低的情况。理想情况应该在一条直线上。

然而,由于OP-AMP的阈值电压(V_{TH})同时变化,晶体管的电导系数 β 也发生偏差,因此实测数据偏离了理想直线。当CMOS振荡电路连接输出负载时,振荡开始。停止是 $V_{TP} + V_{TN} = \Sigma V_{TH}$,与 ΣV_{TH} 成比例。消耗电流与 ΣV_{TH} 成反比,在理

想直线情况下, V_{TH} 上升, 振荡开始。停止电压上升, 消耗电流下降。然而, 由于实际的振荡电路是由稳压电路提供电源, 此时电源输出也上升, 因此综合来看, 振荡开始, 停止电压不会上升。当 V_{TH} 下降时, 振荡开始, 停止电压应当下降, 然而由于消耗电流上升, 稳定电压也下降, 因此综合来看, 这两个常量仍不会有什么变动。

也就是说, V_{TH} 可以供给稳定的振荡电路, 然而由于实际的稳压输出不是理想直线, 是非线性的, 致使产品合格率下降。

为了吸收该稳定电压的偏差, 用阈值电压不同的复数 (m) 个晶体管代替晶体管 206, 用阈值电压不同的复数 (n) 个晶体管代替晶体管 216, 并把两者进行组合, 从 $m \times n$ 个稳定电压的输出中选出一个, 使其接近理想直线。这些选择可用磁环、FAMOS 等非易失存储器进行, 检查各 IC 片时, 要选择最佳条件。

第 1 图是本发明的实施例。第 1 图所示的稳压电路适用于 CMOS 构成的振荡电路的电源。106 是恒流源, 供给 P 沟道晶体管 103、104 电流。101、102 是切换用晶体管, 103、104 为 V_{TH} 不同的晶体管, 103 的 V_{TH} 是 P_1 , 104 的 V_{TH} 是 P_2 。113 是恒流源, 108、109 是切换晶体管, 是 N 沟道晶体管, 110、111 为 V_{TH} 不同的晶体管, 110 的 V_{TH} 是 N_1 , 111 的 V_{TH} 是 N_2 。105、112 是倒相器, OP—AMP 107 的输出供给 N 沟道晶体管 114 的栅极。

下面说明其工作原理。

ADJ1, ADJ2 是二进制控制输入, 讨论 (ADJ1、ADJ2) = (1、1) 的状态。“1”是 V_{DD} 电平, “0”是 V_{SS} 电平。101 是 ON, 102 是 OFF。电流的通路是 $101 \rightarrow 103 \rightarrow$

106, 可以不考虑102、104。由于103的栅极和漏极连接, 因此其工作在饱和区域。具有二极管的功能, 如果 β 值大, 由于流过了一定的电流, 则可以产生以 V_{DD} 为基准的一定的电压($P_1 + \alpha$)。

由于ADJ2是 V_{DD} 电平, 则108为ON, 109为OFF。因此, 109、111可以不考虑。这样, 在OP—AMP107的+输入端和输出 V_{out} 间, 产生($N_1 + \alpha'$)电压。因为OP—AMP的+输入端和一输入端的电压协调时才能工作, 所以以 V_{DD} 为基准时, 若在OP—AMP的+输入端输入($P_1 + \alpha$)电压, 则在其一输入端应反馈输入($P_1 + \alpha + N_1 + \alpha'$)电压。这里, 用($P_1 + N_1 + \alpha''$)表示, 大致是P沟道晶体管与N沟道晶体管之和, 从 V_{out} 输出。当 α'' 与 P_1 和 N_1 相比, 小到可以忽视时, 则根据ADJ1和ADJ2的电平, 其输出电压如表1所示。

表 1

ADJ1	ADJ2	V_{out} (V_{DD} 基准)
0	0	$P_1 + N_1$
0	1	$P_1 + N_2$
1	0	$P_2 + N_1$
1	1	$P_2 + N_2$

在本实施例中, P沟道和N沟道晶体管分别为1 BIT=2个晶体管, 可以给出 2×2 共计4种组合, 当然可以根据需要, 对应第1图的120安排 m 个晶体管, 对应121安排 n 个晶体管, 可得到 $m \times n$ 种输出。如果对120中的103、104用栅极和漏极连接的相

同导电型的晶体管串联，可得到更高的输出电压。同样，对 1 2 1 中的 1 1 0、1 1 1 采用同样办法，也可得到更高的输出电压。如果把第 1 图中 1 2 0 和 1 2 1 使用的晶体管导电型加以调换，也可以从上表得到其输出。第 1 图中是按照 V_{DD} 、1 0 1、1 0 3 顺序号排列的，也可以按 V_{DD} 、1 0 3、1 0 1 顺序号排列。

第 4 图是另外一个实施例。4 2 0 相当于第 1 图中的 1 2 0，4 2 1 相当于 1 2 1。图中，4 0 1—4 0 4 是 P 沟道晶体管，4 0 6—4 0 9 是 N 沟道晶体管，4 0 5、4 1 0 是倒相器，4 1 1 是恒流源。电压基准仍为 V_{DD} 。与前述实施例相同，在线路 4 1 3 处的电路为 $(P_1 + \alpha)$ ，在线路 4 1 4 处的电压为 $(P_1 + \alpha + N_1 + \alpha')$ 。由于输出阻抗高，要通过 O P—AMP 构成的缓冲器 4 1 2 输出。ADJ 1 和 ADJ 2 的组合情况与前面的表 1 相同，也可得到大致相同的输出。本例中，P 沟道晶体管、N 沟道晶体管是分别使用的；把复数个 P 沟道晶体管组件和复数个 N 沟道晶体管组件混合使用也是可以的。

第 5 图是利用 P 沟道晶体管 V_{TH} 之和的例子。图中，5 0 1—5 0 4、5 0 6—5 0 9 是 P 沟道晶体管，5 0 5、5 1 0 是倒相器，5 1 2 是缓冲器。第 5 图中，5 2 0、5 2 1 分别为 P 沟道晶体管组件。这个稳压电路不是 CMOS 型振荡电路的电源，而仅适用于 P 沟道构成的振荡电路的电源。

第 6 图是本发明的另一个实施例。图中，6 0 4、6 0 5、6 0 7—6 0 9、6 1 2、6 1 4、6 1 6—6 1 8、6 2 1、6 2 3—6 2 5 都是 P 沟道晶体管，6 1 0、6 1 1、6 1 3、6 1 5、6 1 9、6 2 0、6 2 2、6 2 6、6 3 0—6 3 3 都是 N

沟道晶体管，627—629是倒相器。虚线围成的602中，612—622相当于第1图的OP—AMP107。609—611相当于恒流源106，623相当于恒流源113，624相当于输出晶体管114。601相当于P沟道晶体管阈值电压转换电路120。603相当于N沟道晶体管阈值电压转换电路121。在601中，晶体管605和608的阈值电压不相同；本例中，605是0.55V，608是0.35V。在603中，晶体管631和633的阈值电压不相同，631是0.55V，633是0.65V。

在输出OUT，根据ADJ1、ADJ2的控制输入可以产生如下的电压。表2是 $V_{DD}=0V$ 时数出的。

表 2

ADJ 1	ADJ 2	OUT (V_{DD} 基准)
0	0	$-(0.55 + 0.55) = -1.1V$
0	1	$-(0.55 + 0.65) = -1.2V$
1	0	$-(0.35 + 0.55) = -0.9V$
1	1	$-(0.35 + 0.65) = -1.0V$

即：以0.1V的间隔产生0.9—1.2V的电压。与晶体振荡电路搭配，是最好的配合。

上面是1bit +1bit 的组合，共有2bit 可以选择，然而，根据系统需要，选用哪个bit 都是可能的，下面将详细说明。以 $AJ1=0$ 、 $AJ2=0$ 的情况为例。这时，由于604为ON，

607 为 OFF，则 604 漏极—源极间的电位差约为 0，605 被选择。由于 630 为 ON、632 为 OFF，则 630 漏极—源极间的电位差约为 0，631 被选择。此时，609、610、611、605 构成了产生输入到 OP—AMP 的基准电压的电路，其输出电压 V_p 可用下式表示。

$$V_p = \sqrt{\frac{\beta_{609} \cdot \beta_{611}}{\beta_{605} \cdot \beta_{610}}} \times |V_{609}| + V_{605} \quad (1)$$

因为 $\beta_{610} = \beta_{611}$ 、 $\beta_{609} \gg \beta_{605}$ ，

$$V_p = V_{605} + \alpha \quad (2)$$

$$\alpha = \sqrt{\frac{\beta_{609}}{\beta_{605}}} |V_{609}|$$

即：电压 V_p 比较晶体管 605 的阈值电压稍高一些。

在 603 中，因为 $A_{J2} = 0$ ，630 为 ON、632 为 OFF，则 631 被选择。由于晶体管 630 工作在饱和区域，漏极—源极间电压约为 0V，则本稳压电路的输出电压，可把 V_{DD} 作为基准。

$$V_{DD} - V_{REG} = \sqrt{\frac{\beta_{623} \cdot \beta_{612}}{\beta_{631} \cdot \beta_{614}}} \times |V_{609}| + V_p + V_{631} \quad (3)$$

代入 (2) 式，得到：

$$\begin{aligned} V_{DD} - V_{REG} &= \sqrt{\frac{\beta_{623} \cdot \beta_{612}}{\beta_{631} \cdot \beta_{614}}} \times |V_{609}| + V_{605} + \alpha + V_{631} \\ &= V_{605} + V_{631} + \alpha'' \end{aligned} \quad (4)$$

从(4)式可见,输出电压约为605阈值电压与631阈值电压之和再加上 α'' 电压。

这里,前提条件是 $AJ1=0$ 、 $AJ2=0$;然而,在 $AJ1=1$ 、 $AJ2=0$ 的情况时,

$$V_{DD}-V_{REG}=V_{608}+V_{631}+\alpha'' \quad (5)$$

如果 α'' 极小, $V_{605}=0.55V$ 、 $V_{608}=0.35V$ 、 $V_{631}=0.55V$,则(4)式的输出为 $1.10V$, (5)式为 $0.90V$,本稳压电路的输出电压,可以用外部的二进制数据加以改变。第6图中,用控制信号中控制稳压电路的工作状态。 Φ 是“1”时动作。

第7图是用第1图、第4图—第6图稳压电路的输出电压 V_{out} 或 V_{REG} 工作的振荡电路。第7图(a)是晶体(或陶瓷)振荡器,第7图(b)是CR振荡器。各振荡器是公知的电路。图中,701、702、710是电容器,705、710是反馈电阻,703、706—708是CMOS或单沟道的放大倒相器,704是振子。

各倒相器的电源,是稳压电路的输出稳定电压。

采用本发明,可以根据BIT数得到输出电压。以往,耗电低的MOS振荡电路都使用固定电源,在振荡开始、振荡止时,消耗电流都是一定的,当测试中发生不利的非常情况时,将使产生合格率下降。然而,使用本稳压电路,对将要振荡的电路,增加稳压电路的输出,提高振荡能量储备;相反,对振荡消耗电流多的电路,将降低稳压电路的输出,总之,使用本稳压电源将可提供一个适当的振荡电路。也就是说,不仅可以使振荡电路工作稳压,而且大幅度提高了产品合格率。

然而,合格率还不是主要问题。主要是能使消耗电流极小,有助

于实现低耗电流化。

附图的简单说明

第1图是本发明的稳压电路图。

第2图是以往的电路图。

第3图是相应于稳压输出的阈值电压图。

第4图是本发明稳压电路的其它实施例。

第5图是本发明稳压电路的其它实施例。

第6图是本发明稳压电路的其它实施例。第7图(a)(b)是以稳压电路为电源的振荡电路。

101—104	-----	P沟道晶体管
105、112	-----	倒相器
106、113	-----	恒流源
108—111、114	-----	N沟道晶体管
107	-----	运算放大器
201、203	-----	恒流源
206	-----	P沟道晶体管
216、204	-----	N沟道晶体管
202	-----	运算放大器
401—404	-----	P沟道晶体管
406—409	-----	N沟道晶体管
405、410	-----	倒相器
411	-----	恒流源
412	-----	运算放大器
501—504、506—509	-----	P沟道晶体管

5 0 5、5 1 0	----- 倒相器
5 1 1	----- 恒流源
5 1 2	----- 运算放大器
6 0 1、6 0 4	----- 晶体管选择电路
6 0 2	----- 运算放大器
6 0 4、6 0 5、6 0 7—6 0 9	
6 1 2、6 1 4、6 1 6—6 1 8	
6 2 1、6 2 3、6 2 5	----- P 沟道晶体管
6 1 0、6 1 1、6 1 3、6 1 5、	
6 1 9、6 2 0、6 2 2、	
6 3 0—6 3 3、6 2 6	----- N 沟道晶体管
6 0 6、6 2 7—6 2 9	----- 倒相器

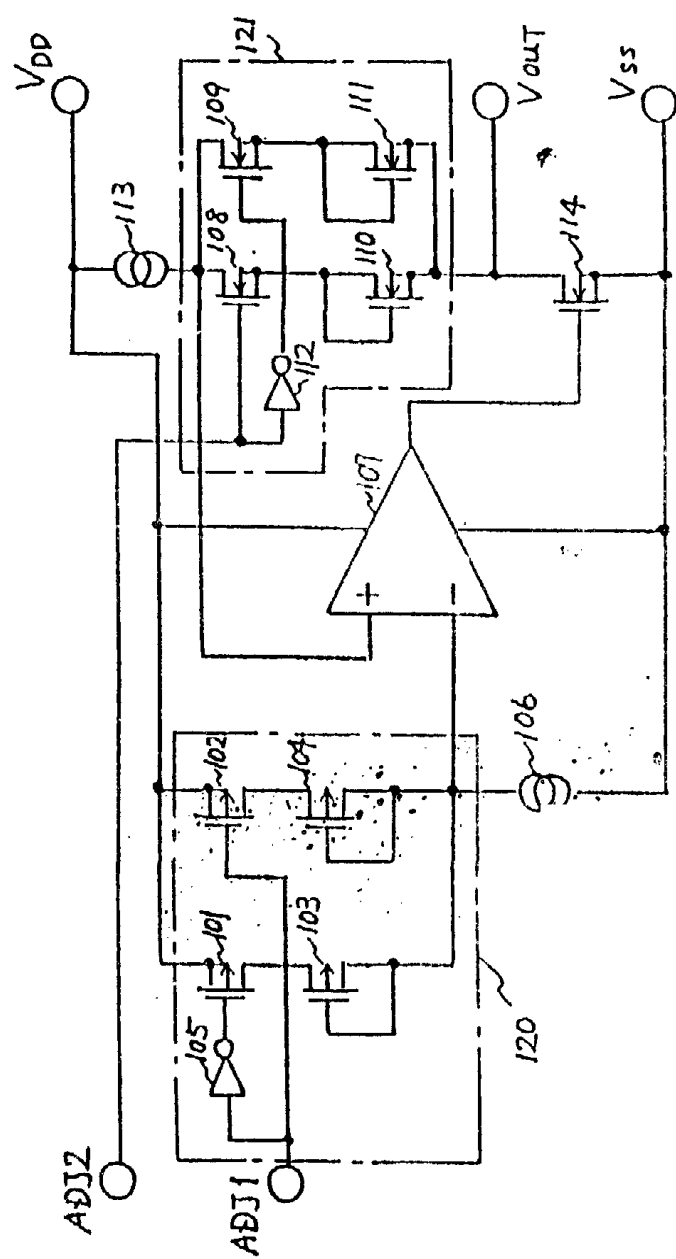


图 1

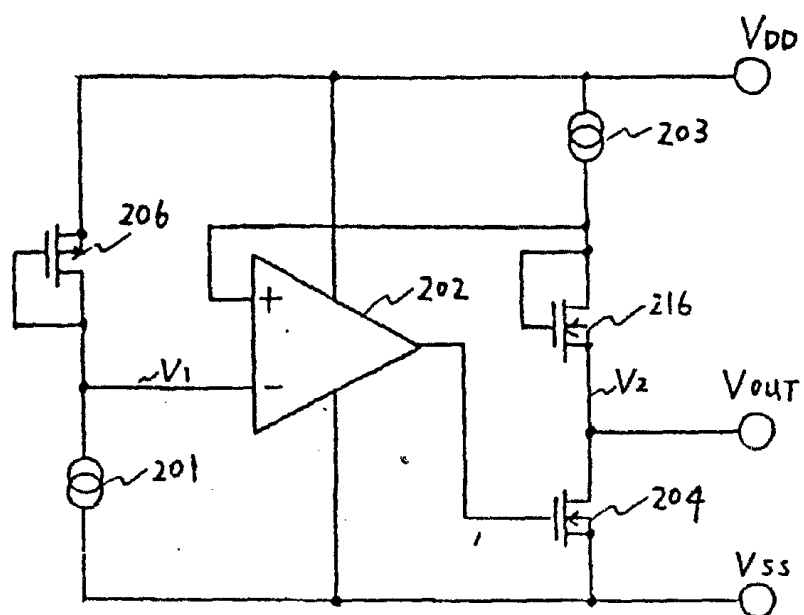


图 2

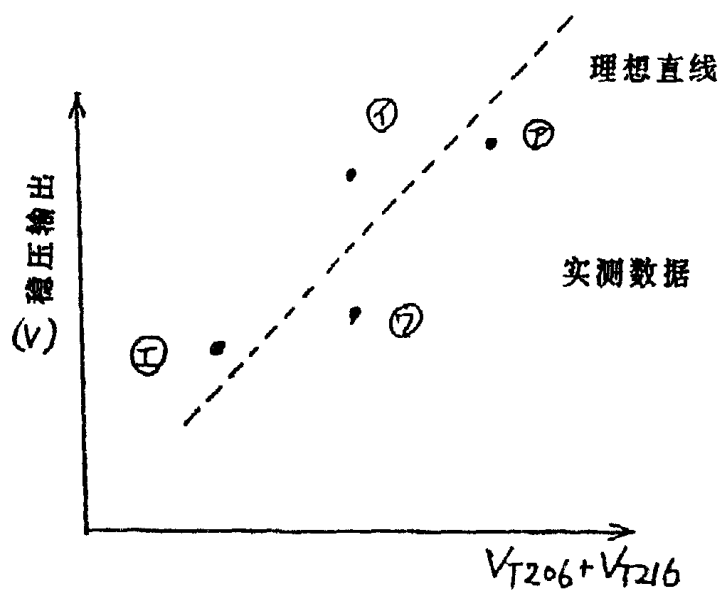
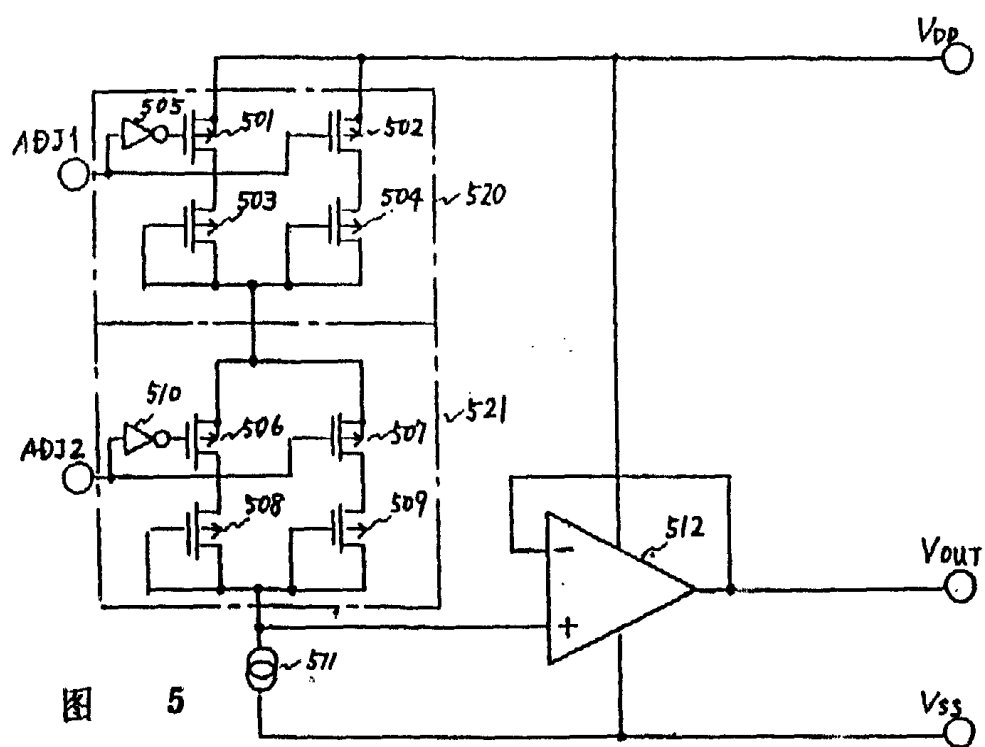
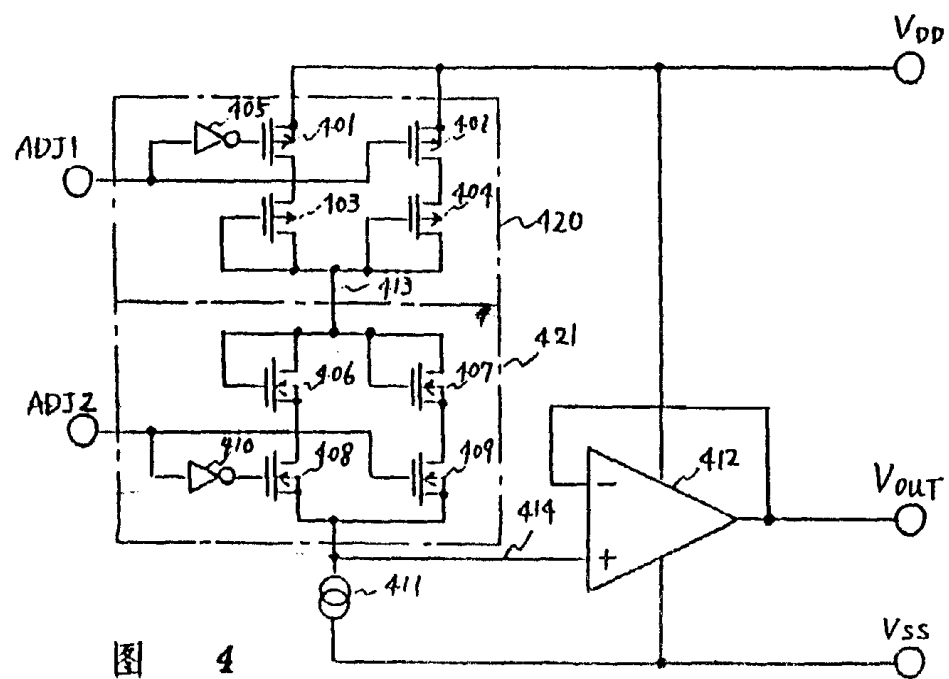


图 3



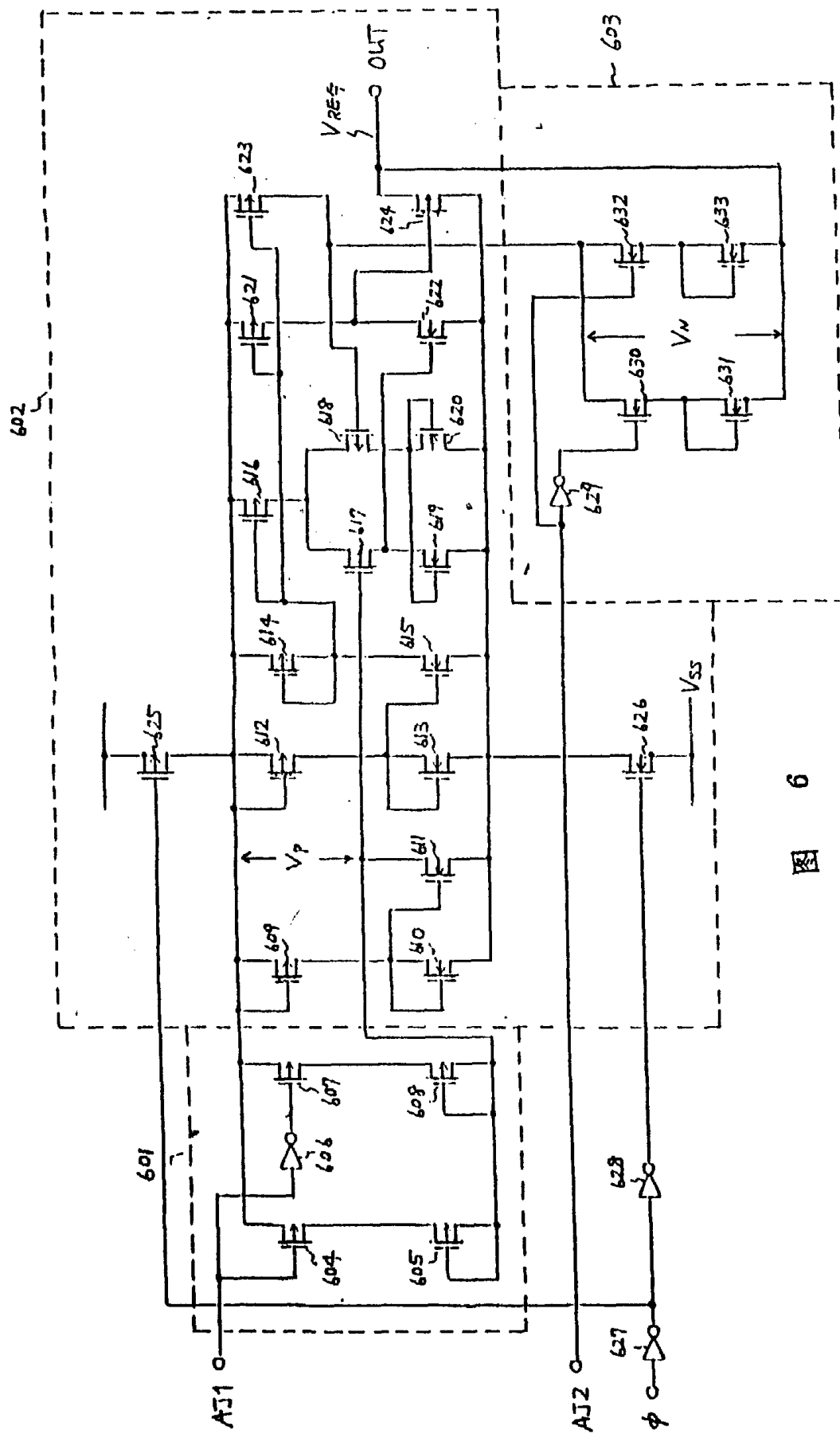
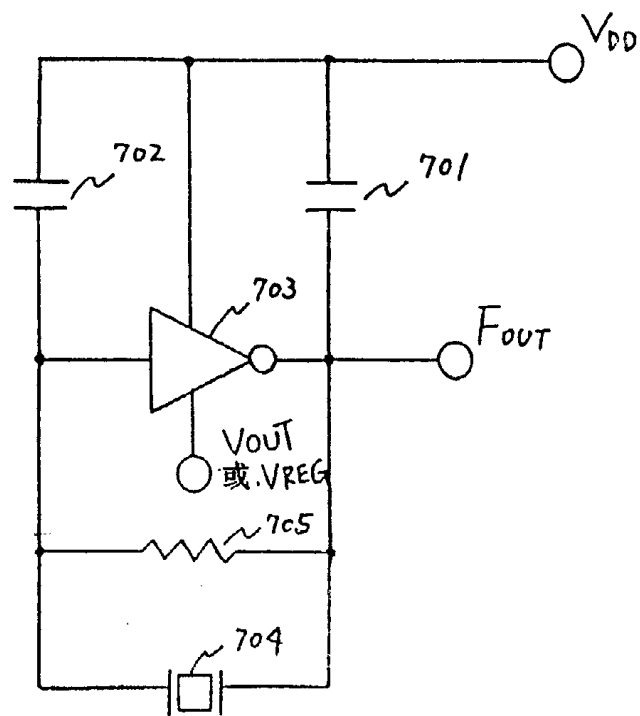
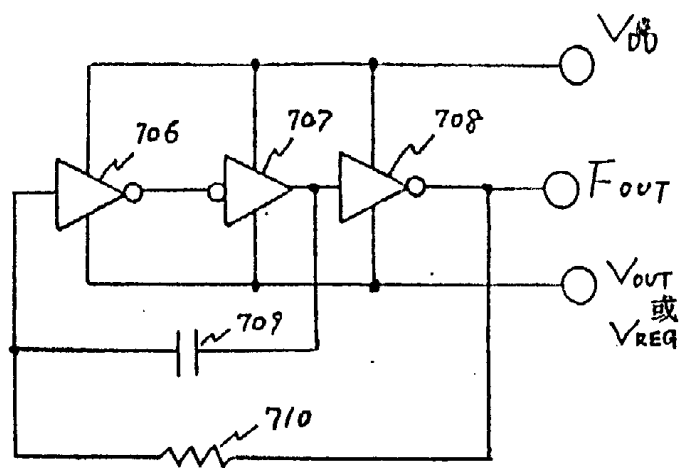


图 6



(a)



(b)

图 7