

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成18年10月26日(2006.10.26)

【公開番号】特開2002-94020(P2002-94020A)

【公開日】平成14年3月29日(2002.3.29)

【出願番号】特願2000-281725(P2000-281725)

【国際特許分類】

H 01 L 27/105 (2006.01)

H 01 L 21/8246 (2006.01)

G 11 C 11/22 (2006.01)

H 01 L 27/10 (2006.01)

【F I】

H 01 L 27/10 4 4 4 B

G 11 C 11/22

H 01 L 27/10 4 6 1

【手続補正書】

【提出日】平成18年9月7日(2006.9.7)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】強誘電体メモリ装置の製造方法

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】(a)半導体基板上に、メモリセルに対して選択的に情報の書き込みもしくは読み出しを行うための周辺回路部を形成する工程、および

(b)少なくとも、第1信号電極と、該第1信号電極と交差する方向に配列された第2信号電極と、少なくとも前記第1信号電極と前記第2信号電極との交差領域に配置された強誘電体層と、を形成して、メモリセルがマトリクス状に配列されたメモリセルアレイを形成する工程を含み、

前記周辺回路部は、前記メモリセルアレイの外側の領域において形成される、強誘電体メモリ装置の製造方法。

【請求項2】請求項1において、

前記工程(b)は、前記第1信号電極を形成する工程(b-1)、

前記強誘電体層を形成する工程(b-2)、および

前記第2信号電極を形成する工程(b-3)、を含む、強誘電体メモリ装置の製造方法。

。

【請求項3】請求項2において、

前記工程(b-2)は、非晶質状態または微結晶状態の強誘電体層を形成する工程、および、該非晶質状態または微結晶状態の強誘電体層を熱処理して、前記強誘電体層を形成する工程を含む、強誘電体メモリ装置の製造方法。

【請求項4】請求項2または3において、

前記工程(b-2)は、前記第1信号電極に沿ってライン状の強誘電体層を形成する工

程である、強誘電体メモリ装置の製造方法。

【請求項 5】 請求項 4において、

基体上に、前記第1信号電極および前記強誘電体層の少なくとも一方を形成するための材料が優先的に堆積される表面特性を有する第1の領域と、前記第1の領域に比較して前記第1信号電極および前記強誘電体層の少なくとも一方を形成するための材料が堆積され難い表面特性を有する第2の領域と、を形成する工程、および

前記第1信号電極および前記強誘電体層の少なくとも一方を形成するための材料を付与し、前記第1の領域に該部材を選択的に形成する工程、を含む、強誘電体メモリ装置の製造方法。

【請求項 6】 請求項 5において、

前記基体の表面に、前記第1および第2の領域を形成する、強誘電体メモリ装置の製造方法。

【請求項 7】 請求項 6において、

前記第1の領域では、前記基体の表面を露出させ、

前記第2の領域では、前記第1信号電極および前記強誘電体層の材料に対する親和性が、前記基体の第1の領域での露出面より低い表面特性を有する表面修飾層を形成する、強誘電体メモリ装置の製造方法。

【請求項 8】 請求項 6において、

前記第2の領域では、前記基体の表面を露出させ、

前記第1の領域では、前記第1信号電極および前記強誘電体層の材料に対する親和性が、前記基体の第2の領域での露出面より高い表面特性を有する表面修飾層を形成する、強誘電体メモリ装置の製造方法。

【請求項 9】 請求項 4～8のいずれかにおいて、

前記基体の露出面が覆われるよう、前記第1信号電極および前記強誘電体層からなる積層体の相互間に、誘電体層が設けられる、強誘電体メモリ装置の製造方法。

【請求項 10】 請求項 9において、

前記誘電体層は、前記強誘電体層より小さい誘電率を有する材料からなる、強誘電体メモリ装置の製造方法。

【請求項 11】 請求項 2または3において、

前記第1信号電極と交差する方向に、前記強誘電体層および前記第2信号電極が形成され、

前記強誘電体層は、前記第2信号電極に沿ってライン状に形成される、強誘電体メモリ装置の製造方法。

【請求項 12】 請求項 11において、

前記強誘電体層および前記第2信号電極は、同一マスクを用いたエッチングによってパターニングされる、メモリセルアレイの製造方法。

【請求項 13】 請求項 11または12において、

前記基体および前記第1信号電極の露出面が覆われるよう、前記強誘電体層および前記第2信号電極からなる積層体の相互間に、誘電体層が設けられる、メモリセルアレイの製造方法。

【請求項 14】 請求項 13において、

前記誘電体層は、前記強誘電体層より小さい誘電率を有する材料からなる、メモリセルアレイの製造方法。

【請求項 15】 請求項 2または3において、

前記工程（b-3）の後、前記強誘電体層をパターニングして、前記第1信号電極と前記第2信号電極との交差領域のみにブロック状に前記強誘電体層を残す工程（b-4）を含む、強誘電体メモリ装置の製造方法。

【請求項 16】 請求項 15において、

前記基体上に、前記第1信号電極および前記強誘電体層の少なくとも一方を形成するための材料が優先的に堆積される表面特性を有する第1の領域と、前記第1の領域に比較し

て前記第1信号電極および前記強誘電体層の少なくとも一方を形成するための材料が堆積され難い表面特性を有する第2の領域と、を形成する工程、および

前記第1信号電極および前記強誘電体層の少なくとも一方を形成するための材料を付与し、前記第1の領域に該部材を選択的に形成する工程、を含む、強誘電体メモリ装置の製造方法。

【請求項17】 請求項16において、

前記基体の表面に、前記第1および第2の領域を形成する、強誘電体メモリ装置の製造方法。

【請求項18】 請求項17において、

前記第1の領域では、前記基体の表面を露出させ、

前記第2の領域では、前記第1信号電極および前記強誘電体層の材料に対する親和性が、前記基体の第1の領域での露出面より低い表面特性を有する表面修飾層を形成する、強誘電体メモリ装置の製造方法。

【請求項19】 請求項17において、

前記第2の領域では、前記基体の表面を露出させ、

前記第1の領域では、前記第1信号電極および前記強誘電体層の材料に対する親和性が、前記基体の第2の領域での露出面より高い表面特性を有する表面修飾層を形成する、強誘電体メモリ装置の製造方法。

【請求項20】 請求項15～19のいずれかにおいて、

前記強誘電体層および前記第2信号電極は、同一マスクを用いたエッチングによってパターニングされる、メモリセルアレイの製造方法。

【請求項21】 請求項15～20のいずれかにおいて、

前記基体の露出面が覆われるよう、前記第1信号電極および前記強誘電体層からなる積層体の相互間に、誘電体層が設けられる、強誘電体メモリ装置の製造方法。

【請求項22】 請求項21において、

前記基体および前記第1信号電極の露出面が覆われるよう、さらに、前記強誘電体層および前記第2信号電極からなる積層体の相互間に、誘電体層が設けられる、強誘電体メモリ装置の製造方法。

【請求項23】 請求項21または22において、

前記誘電体層は、前記強誘電体層より小さい誘電率を有する材料からなる、強誘電体メモリ装置の製造方法。

【請求項24】 請求項1～23のいずれかにおいて、

前記工程(b-1)の後に、前記第1信号電極間に絶縁層を工程(b-5)を含み、

前記絶縁層の上面と前記第1信号電極の上面とは、面一である、強誘電体メモリ装置の製造方法。

【請求項25】 請求項24において、

前記工程(b-5)は、溶液塗布法を用いて、絶縁層を形成し、該絶縁層を平坦化する工程である、強誘電体メモリ装置の製造方法。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正の内容】

【0001】

【発明の属する技術分野】

本発明は、強誘電体メモリ装置の製造方法に関し、特に、セルトランジスタを有せず、強誘電体キャパシタのみを用いた単純マトリクス型の強誘電体メモリ装置の製造方法に関する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】 0 0 0 3

【補正方法】 変更

【補正の内容】

【 0 0 0 3 】

【発明が解決しようとする課題】

本発明の目的は、所望のメモリセルアレイを有する強誘電体メモリ装置の製造方法を提供することにある。