

MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA,
PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,
SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本申请涉及一种肖特基二极管, 包括: 阱区, 具有第一导电类型; 体区(124), 设于所述阱区的上部, 具有第二导电类型; 所述体区(124)被沟槽(131)贯穿, 所述沟槽(131)的底部延伸至所述阱区中; 第一钴硅化物层(142), 形成于所述沟槽(131)的底面和内壁, 所述第一钴硅化物层(142)与所述阱区形成肖特基接触; 其中, 所述阱区作为所述肖特基二极管的阴极, 与所述阱区直接接触的所述第一钴硅化物层(142)作为所述肖特基二极管的阳极, 所述第一导电类型和第二导电类型为相反的导电类型。本申请利用沟槽的底面和内壁, 使第一钴硅化物层与阱区形成U型的结构的肖特基接触, 可以凭借较小的平面面积获得较大的肖特基接触面积, 并且由于肖特基接触为钴硅化物所形成, 因此有较强的过电流能力。

肖特基二极管、集成肖特基二极管的 LDMOSFET 及其制造方法

本申请要求于 2023 年 6 月 15 日提交中国专利局，申请号为 2023107156486，申请名称为“肖特基二极管、集成肖特基二极管的 LDMOSFET 及其制造方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及半导体制造领域，特别是涉及一种肖特基二极管（Schottky Barrier Diode），还涉及一种集成肖特基二极管的 LDMOSFET（横向双扩散金属氧化物半导体场效应管），以及一种集成肖特基二极管的 LDMOSFET 的制造方法。

背景技术

图 1 是一示例性的 LDMOSFET 的电路原理图，在 LDMOS 的源极和漏极之间形成有寄生的二极管。示例性的 NLDMOS 可以利用漏极区、漂移区及 P 型体区（P-Body）形成二极管，但该二极管的正向导通压降通常为 0.7V 左右，限制了正向导通压降以及导通损耗的进一步降低。

参见图 2，可以通过在 LDMOS 内部集成一肖特基二极管来获得更低的导通损耗。示例性的肖特基二极管结构采用平面型的金属半导体界面，金半界面（金属或金属硅化物与 N 型半导体材料之间的接触面）周围以 P-ring 围绕，P-ring 取适当的距离引出形成肖特基二极管，所以会占用较大的平面面积。

发明内容

基于此，有必要提供一种平面面积较小的肖特基二极管。

一种肖特基二极管，包括：阱区，具有第一导电类型；体区，设于所述阱区的上部，具有第二导电类型；所述体区被沟槽贯穿，所述沟槽的底部延伸至所述阱区中；第一钴硅化物层，形成于所述沟槽的底面和内壁，所述第一钴硅化物层与所述阱区形成肖特基接触；

其中，所述阱区作为所述肖特基二极管的阴极，与所述阱区直接接触的所述第一钴硅化物层作为所述肖特基二极管的阳极，所述第一导电类型和第二导电类型为相反的导电类型。

上述肖特基二极管，利用沟槽的底面和内壁，使第一钴硅化物层与阱区形成剖面为 U 型的结构的肖特基接触，可以凭借较小的平面面积获得较大的肖特基接触面积，并且由于肖特基接触为钴硅化物所形成，因此有较强的过电流能力。

在其中一个实施例中，所述肖特基二极管还包括位于所述体区中的第一掺杂区，所述第一掺杂区具有第一导电类型，一部分所述第一钴硅化物层位于所述第一掺杂区的表面。

在其中一个实施例中，所述第一掺杂区的一侧面靠近所述沟槽的顶部设置。

在其中一个实施例中，所述肖特基二极管还包括：第二掺杂区，与所述阱区直接接触，具有第一导电类型。

在其中一个实施例中，所述肖特基二极管还包括：场区绝缘层，位于所述体区与所述第二掺杂区之间。

在其中一个实施例中，所述肖特基二极管还包括：衬底，所述阱区位于所述衬底中。

在其中一个实施例中，所述肖特基二极管还包括：第二钴硅化物层，位于所述第二掺杂区的表面，所述肖特基二极管的阴极通过所述第二钴硅化物层引出。

在其中一个实施例中，所述肖特基二极管还包括位于所述第一钴硅化物层的上表面的金属钛粘结层，以及位于所述金属钛粘结层的上表面的氮化钛层。

在其中一个实施例中，所述第一导电类型为 N 型，所述第二导电类型为 P 型。

还有必要提供一种集成肖特基二极管的 LDMOSFET。

一种集成肖特基二极管的 LDMOSFET，包括：衬底；漂移区，设于所述衬底中，具有第一导电类型；体区，设于所述漂移区中，具有第二导电类型；所述体区被沟槽贯穿，所述沟槽的底部延伸至所述漂移区中；第一钴硅化物层，形成于所述沟槽的底面和内壁，所述第一钴硅化物层与所述漂移区形成肖特基接触；源极区，位于所述体区中，所述源极区具有第一导电类型，一部分所述第一钴硅化物层位于所述源极区的表面；漏极区，与所述漂移区直接接触，具有第一导电类型；其中，所述漂移区作为所述肖特基二极管的阴极，与所述漂移区直接接触的所述第一钴硅化物层作为所述肖特基二极管的阳极，所述第一导电类型和第二导电类型为相反的导电类型。

上述集成肖特基二极管的 LDMOSFET，利用沟槽的底面和内壁，使第一钴硅化物层与漂移区形成剖面为 U 型的结构的肖特基接触，可以凭借较小的平面面积获得较大的肖特基接触面积，并且由于肖特基接触为钴硅化物所形成，因此有较强的过电流能力。该肖特基二极管结构适用于 Low Side、High Side 及全隔离结构的 LDMOSFET，因此具有广泛的适用性。

在其中一个实施例中，所述第一掺杂区的一侧面靠近所述沟槽的顶部设置。

在其中一个实施例中，所述 LDMOSFET 还包括：场区绝缘层，位于所述体区与所述漏极区之间。

在其中一个实施例中，所述 LDMOSFET 还包括：栅极，一侧靠近所述源极区，另一侧靠近所述漏极区，所述栅极的一部分位于所述场区绝缘层上。

在其中一个实施例中，所述 LDMOSFET 还包括位于所述漏极区表面的第二钴硅化物层，所述肖特基二极管的阴极通过所述第二钴硅化物层引出。

在其中一个实施例中，所述集成肖特基二极管的 LDMOSFET 为全隔离结构的 LDMOS，所述全隔离结构的 LDMOS 还包括：第二导电类型阱区，所述漂移区位于所述第二导电类型阱区中；埋藏区，位于所述第二导电类型阱区下方，且位于所述第二导电类型阱区与所述衬底之间，所述埋藏区具有第一导电类型；隔离区，位于所述第二导电类型阱区的外侧，部分所述衬底位于所述隔离区的背离所述第二导电类型阱区的一侧，所述隔离区的底部与所述埋藏区直接接触。

在其中一个实施例中，所述 LDMOSFET 还包括位于所述第一钴硅化物层的上表面的金属钛粘结层，以及位于所述金属钛粘结层的上表面的氮化钛层。

在其中一个实施例中，所述第一导电类型为 N 型，所述第二导电类型为 P 型。

还有必要提供一种集成肖特基二极管的 LDMOSFET 的制造方法。

一种集成肖特基二极管的 LDMOSFET 的制造方法，包括：获取衬底；所述衬底中形成有漂移区，所述漂移区中形成有体区，所述漂移区具有第一导电类型，所述体区具有第二导电类型，所述第一导电类型和第二导电类型为相反的导电类型；形成源极区和漏极区；所述源极区形成于所述体区中，所述漏极区与所述漂移区直接接触，所述源极区和漏极区具有第一导电类型；形成贯穿所述体区的沟槽，所述沟槽的底部延伸至所述漂移区中；通

过自对准金属硅化物工艺形成金属硅化物层，所述金属硅化物层包括形成于所述沟槽的底面和内壁的第一钴硅化物层，和形成于所述漏极区的表面的第二钴硅化物层，所述第一钴硅化物层与所述漂移区形成肖特基接触；其中，所述漂移区作为所述肖特基二极管的阴极，与所述漂移区直接接触的所述第一钴硅化物层作为所述肖特基二极管的阳极。

5 上述集成肖特基二极管的 LDMOSFET 的制造方法，利用沟槽的底面和内壁，使第一钴硅化物层与漂移区形成剖面为 U 型的结构的肖特基接触，可以凭借较小的平面面积获得较大的肖特基接触面积，并且由于肖特基接触为自对准金属硅化物（salicide）工艺的钴硅化物层所形成，因此有较强的过电流能力。该肖特基二极管结构适用于 Low Side、High Side 及全隔离结构的 LDMOSFET，因此具有广泛的适用性。

10 在其中一个实施例中，所述形成源极区和漏极区的步骤之前，还包括：在所述体区与所述漏极区之间形成场区绝缘层。

在其中一个实施例中，所述形成源极区和漏极区的步骤之前，还包括：形成栅极，所述栅极的一侧靠近所述源极区、另一侧靠近所述漏极区，所述栅极的一部分形成于所述场区绝缘层上。

15 在其中一个实施例中，所述第一导电类型为 N 型，所述第二导电类型为 P 型。

在其中一个实施例中，所述通过自对准金属硅化物工艺形成金属硅化物层的步骤之后，还包括在所述第一钴硅化物层上形成金属钛粘结层和氮化钛层的步骤。

附图说明

20 为了更好地描述和说明这里公开的那些发明的实施例和/或示例，可以参考一幅或多幅附图。用于描述附图的附加细节或示例不应当被认为是对所公开的发明、目前描述的实施例和/或示例以及目前理解的这些发明的最佳模式中的任何一者的范围的限制。

图 1 是一示例性的 LDMOSFET 的电路原理图；

图 2 是一集成了肖特基二极管的 LDMOSFET 的电路原理图；

25 图 3 是本申请一实施例中集成肖特基二极管的 LDMOSFET 的剖面结构示意图；

图 4 是本申请一实施例中集成肖特基二极管的全隔离结构 LDMOSFET 的结构示意图；

图 5 是本申请一实施例中集成肖特基二极管的 LDMOSFET 的制造方法的流程图；
图 6a 至图 6c 是采用图 5 所示方法制造 LDMOS 的过程中器件的剖面示意图。

具体实施方式

5 为了便于理解本申请，下面将参照相关附图对本申请进行更全面的描述。附图中给出了本申请的首选实施例。但是，本申请可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使对本申请的公开内容更加透彻全面。

除非另有定义，本文所使用的所有的技术和科学术语与属于本申请的技术领域的技术人员通常理解的含义相同。本文中在本申请的说明书中所使用的术语只是为了描述具体的
10 实施例的目的，不是旨在于限制本申请。本文所使用的术语“及 / 或”包括一个或多个相关的所列项目的任意的和所有的组合。

应当明白，当元件或层被称为“在...上”、“与...相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在...上”、“与...直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。本说明书中的“连接”，如果
15 被连接的电路、模块、单元等相互之间具有电信号或数据的传递，则应理解为“电性连接”、“通信连接”等。应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分，这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。
20 因此，在不脱离本申请教导之下，下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。

空间关系术语例如“在...下”、“在...下面”、“下面的”、“在...之下”、“在...之上”、“上面的”等，在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语意图还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，然后，描述为“在其它元件下面”
25 或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在...下面”和“在...下”可包括上和下两个取向。器件可以另外地取向(旋转 90 度或其它取向)

并且在此使用的空间描述语相应地被解释。

在此使用的术语的目的仅在于描述具体实施例并且不作为本申请的限制。在此使用时，单数形式的“一”、“一个”和“所述/该”也意图包括复数形式，除非上下文清楚指出另外的方式。可以理解，“至少一个”是指一个或多个，“多个”是指两个或两个以上。“元件的至少部分”是指元件的部分或全部。还应明白术语“组成”和/或“包括”，当在该说明书中使用5 时，确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

这里参考作为本申请的理想实施例(和中间结构)的示意图的横截面图来描述发明的实10 施例。这样，可以预期由于例如制造技术和/或容差导致的从所示形状的变化。因此，本申请的实施例不应当局限于在此所示的区的特定形状，而是包括由于例如制造导致的形状偏差。例如，显示为矩形的注入区在其边缘通常具有圆的或弯曲特征和/或注入浓度梯度，而不是从注入区到非注入区的二元改变。同样，通过注入形成的埋藏区可导致该埋藏区和注入进行时所经过的表面之间的区中的一些注入。因此，图中显示的区实质上是示意性的，15 它们的形状并不意图显示器件的区的实际形状且并不意图限定本申请的范围。

本文所使用的半导体领域词汇为本领域技术人员常用的技术词汇，例如对于 P 型和 N 型杂质，为区分掺杂浓度，简易的将 P+型代表重掺杂浓度的 P 型，P 型代表中掺杂浓度的 P 型，P-型代表轻掺杂浓度的 P 型，N+型代表重掺杂浓度的 N 型，N 型代表中掺杂浓度的 N 型，N-型代表轻掺杂浓度的 N 型。

20 图 3 是本申请一实施例中集成肖特基二极管的 LDMOSFET 的剖面结构示意图。注意图 3 所示结构为左右对称结构，因此部分结构只标示出其中一个，对称的另一个则未进行标示。图 3 所示实施例中集成的肖特基二极管包括阱区、体区 124 及第一钴硅化物层 142。其中阱区为 LDMOSFET 的漂移区 122。漂移区 122 具有第一导电类型。体区 124 设于漂移区 122 中，具有第二导电类型。体区 124 被沟槽 131 贯穿，沟槽 131 的底部延伸至漂25 移区 122 中。第一钴硅化物层 142 形成于沟槽 131 的底面和内壁，第一钴硅化物层 142 与漂移区 122 形成肖特基接触。其中，漂移区 122 作为肖特基二极管的阴极，与漂移区 122 直接接触的第一钴硅化物层 142 作为肖特基二极管的阳极。在图 3 所示的实施例中，

LDMOSFET 为 NLDMOS，第一导电类型为 N 型，第二导电类型为 P 型。相应地，衬底 110 为 P 型衬底 P-Sub，漂移区 122 为 N 型漂移区 N-Drift，体区 124 为 P 型体区 P-Body。

上述肖特基二极管，利用沟槽 131 的底面和内壁，使第一钴硅化物层 142 与漂移区 122 形成剖面为 U 型的结构的肖特基接触，可以凭借较小的平面面积获得较大的肖特基接触面积，因此有较强的过电流能力。另一方面，由于该肖特基接触为钴硅化物所形成，同样有利于获得较强的过电流能力。

在图 3 所示的实施例中，该 LDMOSFET 还包括衬底 110、源极区 132（第一掺杂区）及漏极区 134（第二掺杂区）。漂移区 122 位于衬底 110 中。在图 3 所示的实施例中，衬底 110 具有第二导电类型。源极区 132 位于体区 124 中，源极区 132 具有第一导电类型，一部分第一钴硅化物层 142 位于源极区 132 的表面。在图 3 所示的实施例中，源极区 132 的一侧面靠近沟槽 131 的顶部设置。漏极区 134 与漂移区 122 直接接触，具有第一导电类型。漏极区 134 的掺杂浓度大于漂移区 122 的掺杂浓度。即源极区 132 和漏极区 134 为 N+ 区。图 3 所示的结构适用于半桥电路中的 Low Side（低侧）、High Side（高侧）及全隔离结构（Fully Isolated）的 NLDMOSFET，因此具有广泛的适用性。其中半桥电路中的 Low Side NLDMOSFET 的源极、体（bulk）及衬底具有相同的电位；半桥电路中的 High Side NLDMOSFET 的体（bulk）及衬底具有不同的电位；全隔离结构的体（bulk）及衬底也具有不同的电位。

在图 3 所示的实施例中，该 LDMOSFET 还包括场区绝缘层 150 和栅极 136。栅极 136 的一侧靠近源极区 132，另一侧靠近漏极区 134。栅极 136 的一部分位于场区绝缘层 150 上。在本申请的一个实施例中，场区绝缘层 150 为场氧层，其材质为硅氧化物，例如二氧化硅。在本申请的一个实施例中，栅极 136 为多晶硅材料，在其他实施例中也可使用金属、金属氮化物、金属硅化物或类似化合物作为栅极 136 的材料。

在图 3 所示的实施例中，肖特基二极管还包括位于漏极区 134 表面的第二钴硅化物层 144。肖特基二极管的阴极通过第二钴硅化物层 144 引出。第二钴硅化物层 144 能够降低漏极区 134 的接触电阻。

在本申请的一个实施例中，肖特基二极管还包括位于第一钴硅化物层 142 的上表面的金属钛粘结层，以及位于金属钛粘结层的上表面的氮化钛层。

由于 U 型的剖面结构使得肖特基接触面积较大,因此具有较强的降低肖特基二极管的导通压降的效果。在本申请的一个实施例中,肖特基二极管的导通压降可以减小到 0.3V 左右,降低了源极区 132 和漏极区 134 之间体二极管的导通压降以及导通损耗。

图 4 是本申请一实施例中集成肖特基二极管的全隔离结构 LDMOSFET 的结构示意图。在图 3 所示实施例的基础上,该 LDMOSFET 进一步包括第二导电类型阱区 126、埋藏区 128 及隔离区 129。漂移区 122 位于第二导电类型阱区 126 中。埋藏区 128 位于第二导电类型阱区 126 下方,且位于第二导电类型阱区 126 与衬底 110 之间。在图 4 所示的实施例中,埋藏区 128 为第一导电类型埋层。隔离区 129 位于第二导电类型阱区 126 的外侧,部分衬底 110 位于隔离区 129 的外侧(即背离第二导电类型阱区 126 的一侧),隔离区 129 的底部与埋藏区 128 直接接触。在本申请的一个实施例中,隔离区 129 为第一导电类型的掺杂区。全隔离结构 LDMOSFET 将第二导电类型阱区 126 与衬底 110 进行隔离,使得第二导电类型阱区 126 与衬底 110 具有不同的电位。

本申请相应提供一种集成肖特基二极管的 LDMOSFET 的制造方法,其可以用于制造前述任一实施例所述的集成肖特基二极管的 LDMOSFET。图 5 是本申请一实施例中集成肖特基二极管的 LDMOSFET 的制造方法的流程图,包括下列步骤:

S210, 获取形成有漂移区和体区的衬底。

参见图 6a, 漂移区 122 形成于衬底 110 中, 体区 124 形成于漂移区 122 中。漂移区 122 具有第一导电类型, 体区 124 具有第二导电类型。在图 6a 所示的实施例中, 制造的 LDMOSFET 为 NLDMOS, 第一导电类型为 N 型, 第二导电类型为 P 型。

在本申请的一个实施例中, 衬底 110 为半导体衬底, 其材料可以采用未掺杂的单晶硅、掺杂有杂质的单晶硅、绝缘体上硅(SOI)、绝缘体上层叠硅(SSOI)、绝缘体上层叠锗化硅(S-SiGeOI)、绝缘体上锗化硅(SiGeOI)以及绝缘体上锗(GeOI)等, 还可以是以下所提到的材料中的至少一种: Si、Ge、SiGe、SiC、SiGeC、InAs、GaAs、InP 或者其它 III/V 化合物半导体。在图 6a 所示的实施例中, 衬底 110 的构成材料选用单晶硅。

在本申请的一个实施例中, 可以使用合适的方法形成漂移区 122, 例如掺杂工艺。掺杂一般是通过离子注入的方法实现。若制备 N 型的漂移区 122, 则对衬底 110 中预定形成漂移区 122 的区域进行 N 型离子掺杂, 例如在光刻后进行离子注入, 以在衬底 110 内形成

N 型的漂移区 122。同样可以使用合适的方法形成体区 124，例如掺杂工艺。若制备 P 型的体区 124，则对漂移区 122 中预定形成体区 124 的区域进行 P 型离子掺杂，例如在光刻后进行离子注入，以在衬底 110 内形成 P 型的体区 124。

S220，形成源极区和漏极区。

5 源极区 132 形成于体区 124 中，漏极区 134 与漂移区 122 直接接触。源极区 132 和漏极区 134 具有第一导电类型。

在本申请的一个实施例中，在步骤 S210 之后、步骤 S220 之前，还包括形成场区绝缘层 150 的步骤，以及形成栅极 136 的步骤，参见图 6b。在本申请的一个实施例中，场区绝缘层 150 为场氧层，其材质为硅氧化物，例如二氧化硅。场区绝缘层 150 可以采用本领域技术人员能够得知的工艺形成，例如热氧化工艺。

在本申请的一个实施例中，栅极 136 的材质为多晶硅材料；在其他实施例中也可使用金属、金属氮化物、金属硅化物或类似化合物作为栅极材质。在本申请的一个实施例中，栅极 136 的形成方法可以采用化学气相淀积法(CVD)，如低温化学气相淀积(LTCVD)、低压化学气相淀积(LPCVD)、快热化学气相淀积(LTCVD)、等离子体化学气相淀积(PECVD)，
15 也可使用例如溅镀及物理气相淀积(PVD)等方法。栅极 136 的厚度可以根据器件的尺寸使用适合的厚度，在此不做具体限制。

在本申请的一个实施例中，形成源极区 132 和漏极区 134 的方法包括对半导体衬底中预定形成源极和漏极的区域执行源漏离子注入。具体可以利用光刻工艺首先形成暴露出预定形成源极区 132 和漏极区 134 的区域的图案化的光刻胶层，再以该图案化的光刻胶层为
20 掩膜，进行源漏离子注入，最后利用例如灰化的方法去除图案化的光刻胶层。

随后，还可以进行退火工艺，示例性地，退火可以使用本领域技术人员熟知的任何的退火处理方法，包括但不限于快速热退火、炉管退火、峰值退火、激光退火等，例如，进行快速升温退火工艺，利用 900 至 1050°C 的高温来活化源极区 132 和漏极区 134 内的掺杂质，并同时修补在各离子注入工艺中受损的半导体衬底表面的晶格结构。此外，亦可视
25 产品需求及功能性考量，另于源极区 132 漏极区 134 与栅极 136 之间分别形成轻掺杂漏极(LDD)。

S230，形成贯穿体区的沟槽。

参见图 6c, 沟槽 131 的底部延伸至漂移区 122 中。沟槽 131 可以通过光刻及刻蚀工艺形成。在本申请的一个实施例中, 为了最大限度地增加后续形成的肖特基二极管的金半界面 (金属或金属硅化物与 N 型半导体材料之间的接触面), 沟槽 131 的底部应尽可能地接近漂移区 122 的底部, 但是必须与漂移区 122 下方的衬底 110 间隔设置。肖特基二极管的金半界面面积越大, 减小源/漏之间的体二极管的导通压降以及导通损耗的能力就越强。

在图 6c 所示的实施例中, 沟槽 131 的顶部位于源极区 132 的边缘。

S240, 通过自对准金属硅化物 (salicide) 工艺形成金属硅化物层。

步骤 S240 完成后的器件结构可以参照图 3。金属硅化物层包括形成于沟槽 131 的底面和内壁的第一钴硅化物层 142, 和形成于漏极区 134 表面的第二钴硅化物层 144。第一钴硅化物层 142 与阱区形成肖特基接触。漂移区 122 作为肖特基二极管的阴极, 与漂移区 122 接触的第一钴硅化物层 142 作为肖特基二极管的阳极。

自对准金属硅化物 (salicide) 是一种简单方便的接触金属化工艺。在半导体器件的制作过程中, 有一些区域需要 salicide 过程, 而有些区域需要非自对准金属硅化物 (non-salicide) 过程, 对于需要 non-salicide 过程的器件, 就要利用上述 salicide 的特性, 用不会与金属反应的材料把需要 non-salicide 的区域覆盖起来。这种用于覆盖 non-salicide 器件的材料就称为自对准硅化物阻挡膜 (SAB)。

步骤 S240 可以沿用器件对应线宽制程的 salicide 工序形成第一钴硅化物层 142, 例如 0.18 微米的标准 BCD (Bipolar-CMOS-DMOS) 工艺中的 salicide 工艺。肖特基接触采用标准的 salicide 工艺使钴与硅发生化学反应形成钴硅化物, 工艺简单易行, 工艺兼容性高。

参照图 3, 步骤 S240 形成的一部分第一钴硅化物层 142 是形成在源极区 132 的表面。

上述集成肖特基二极管的 LDMOSFET 的制造方法, 利用沟槽 131 的底面和内壁, 使第一钴硅化物层 132 与漂移区 122 形成剖面为 U 型的结构的肖特基接触, 可以凭借较小的平面面积获得较大的肖特基接触面积, 并且由于肖特基接触为自对准金属硅化物 (salicide) 工艺的钴硅化物层所形成, 因此有较强的过电流能力。该肖特基二极管结构适用于 Low Side、High Side 及全隔离结构的 LDMOSFET, 因此具有广泛的适用性。

在本申请的一个实施例中, 在步骤 S240 之后, 还包括在第一钴硅化物层 142 上形成金属钛粘结层和氮化钛层以形成欧姆接触的步骤。

应该理解的是，虽然本申请的流程图中的各个步骤按照箭头的指示依次显示，但是这些步骤并不是必然按照箭头指示的顺序依次执行。除非本文中有明确的说明，这些步骤的执行并没有严格的顺序限制，这些步骤可以以其它的顺序执行。而且，本申请的流程图中的至少一部分步骤可以包括多个步骤或者多个阶段，这些步骤或者阶段并不必然是在同一时刻执行完成，而是可以在不同的时刻执行，这些步骤或者阶段的执行顺序也不必然是依次进行，而是可以与其它步骤或者其它步骤中的步骤或者阶段的至少一部分轮流或者交替地执行。

在本说明书的描述中，参考术语“有些实施例”、“其他实施例”、“理想实施例”等的描述意指结合该实施例或示例描述的具体特征、结构、材料或者特征包含于本申请的至少一个实施例或示例中。在本说明书中，对上述术语的示意性描述不一定指的是相同的实施例或示例。

以上所述实施例的各技术特征可以进行任意的组合，为使描述简洁，未对上述实施例各个技术特征所有可能的组合都进行描述，然而，只要这些技术特征的组合不存在矛盾，都应当认为是本说明书记载的范围。

以上所述实施例仅表达了本申请的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对申请专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本申请构思的前提下，还可以做出若干变形和改进，这些都属于本申请的保护范围。因此，本申请专利的保护范围应以所附权利要求为准。

权利要求书

1、一种肖特基二极管，包括：

阱区，具有第一导电类型；

体区，设于所述阱区的上部，具有第二导电类型；所述体区被沟槽贯穿，所述沟槽的底部延伸至所述阱区中；

5 第一钴硅化物层，形成于所述沟槽的底面和内壁，所述第一钴硅化物层与所述阱区形成肖特基接触；

其中，所述阱区作为所述肖特基二极管的阴极，与所述阱区直接接触的所述第一钴硅化物层作为所述肖特基二极管的阳极，所述第一导电类型和第二导电类型为相反的导电类型。

10 2、根据权利要求 1 所述的肖特基二极管，还包括位于所述体区中的第一掺杂区，所述第一掺杂区具有第一导电类型，一部分所述第一钴硅化物层位于所述第一掺杂区的表面。

3、根据权利要求 2 所述的肖特基二极管，其中，所述第一掺杂区的一侧面靠近所述沟槽的顶部设置。

15 4、根据权利要求 1 所述的肖特基二极管，还包括：
第二掺杂区，与所述阱区直接接触，具有第一导电类型。

5、根据权利要求 4 所述的肖特基二极管，还包括：
场区绝缘层，位于所述体区与所述第二掺杂区之间。

6、根据权利要求 3 所述的肖特基二极管，还包括：
20 衬底，所述阱区位于所述衬底中。

7、根据权利要求 3 所述的肖特基二极管，还包括：
第二钴硅化物层，位于所述第二掺杂区的表面，所述肖特基二极管的阴极通过所述第二钴硅化物层引出。

8、根据权利要求 1 所述的肖特基二极管，还包括：
25 金属钛粘结层，位于所述第一钴硅化物层的上表面；
氮化钛层，位于所述金属钛粘结层的上表面。

9、根据权利要求 1 所述的肖特基二极管，其中，所述第一导电类型为 N 型，所述第二导电类型为 P 型。

10、一种集成肖特基二极管的 LDMOSFET，包括：

衬底；

5 漂移区，设于所述衬底中，具有第一导电类型；

体区，设于所述漂移区中，具有第二导电类型；所述体区被沟槽贯穿，所述沟槽的底部延伸至所述漂移区中；

第一钴硅化物层，形成于所述沟槽的底面和内壁，所述第一钴硅化物层与所述漂移区形成肖特基接触；

10 源极区，位于所述体区中，所述源极区具有第一导电类型，一部分所述第一钴硅化物层位于所述源极区的表面；

漏极区，与所述漂移区直接接触，具有第一导电类型；

其中，所述漂移区作为所述肖特基二极管的阴极，与所述漂移区直接接触的所述第一钴硅化物层作为所述肖特基二极管的阳极，所述第一导电类型和第二导电类型为相反的电类型。
15

11、根据权利要求 10 所述的集成肖特基二极管的 LDMOSFET，还包括：

场区绝缘层，位于所述体区与所述漏极区之间；

栅极，一侧靠近所述源极区，另一侧靠近所述漏极区，所述栅极的一部分位于所述场区绝缘层上。

20 12、根据权利要求 10 所述的集成肖特基二极管的 LDMOSFET，还包括位于所述漏极区表面的第二钴硅化物层，所述肖特基二极管的阴极通过所述第二钴硅化物层引出。

13、根据权利要求 10 所述的集成肖特基二极管的 LDMOSFET，其中，所述集成肖特基二极管的 LDMOSFET 为全隔离结构的 LDMOS，所述全隔离结构的 LDMOS 还包括：

第二导电类型阱区，所述漂移区位于所述第二导电类型阱区中；

25 埋藏区，位于所述第二导电类型阱区下方，且位于所述第二导电类型阱区与所述衬底之间，所述埋藏区具有第一导电类型；

隔离区，位于所述第二导电类型阱区的外侧，部分所述衬底位于所述隔离区的背离所

述第二导电类型阱区的一侧，所述隔离区的底部与所述埋藏区直接接触。

14、一种集成肖特基二极管的 LDMOSFET 的制造方法，包括：

获取衬底；所述衬底中形成有漂移区，所述漂移区中形成有体区，所述漂移区具有第一导电类型，所述体区具有第二导电类型，所述第一导电类型和第二导电类型为相反的电类型；

形成源极区和漏极区；所述源极区形成于所述体区中，所述漏极区与所述漂移区直接接触，所述源极区和漏极区具有第一导电类型；

形成贯穿所述体区的沟槽，所述沟槽的底部延伸至所述漂移区中；

通过自对准金属硅化物工艺形成金属硅化物层，所述金属硅化物层包括形成于所述沟槽的底面和内壁的第一钴硅化物层，和形成于所述漏极区的表面的第二钴硅化物层，所述第一钴硅化物层与所述漂移区形成肖特基接触；

其中，所述漂移区作为所述肖特基二极管的阴极，与所述漂移区直接接触的所述第一钴硅化物层作为所述肖特基二极管的阳极。

15、根据权利要求 14 所述的集成肖特基二极管的 LDMOSFET 的制造方法，还包括：在所述形成源极区和漏极区之前，

在所述体区与所述漏极区之间形成场区绝缘层；

形成栅极，所述栅极的一侧靠近所述源极区、另一侧靠近所述漏极区，所述栅极的一部分形成于所述场区绝缘层上。

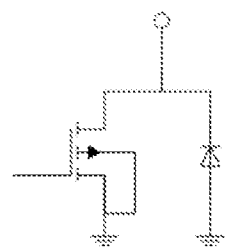


图 1

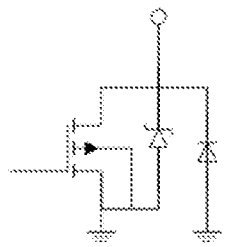


图 2

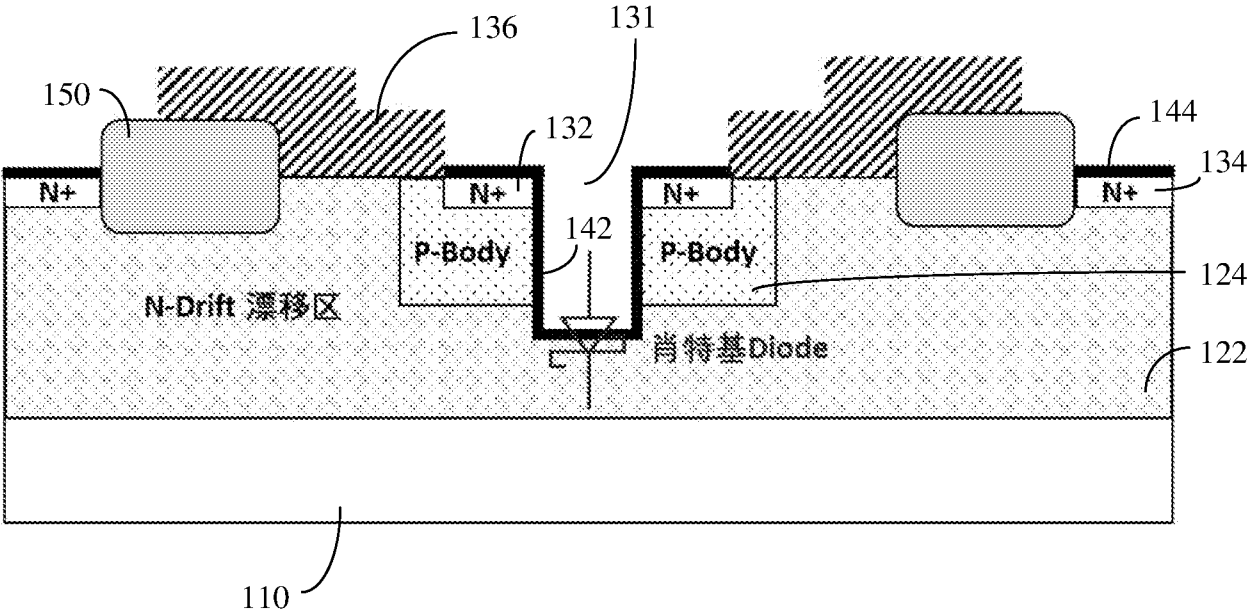


图 3

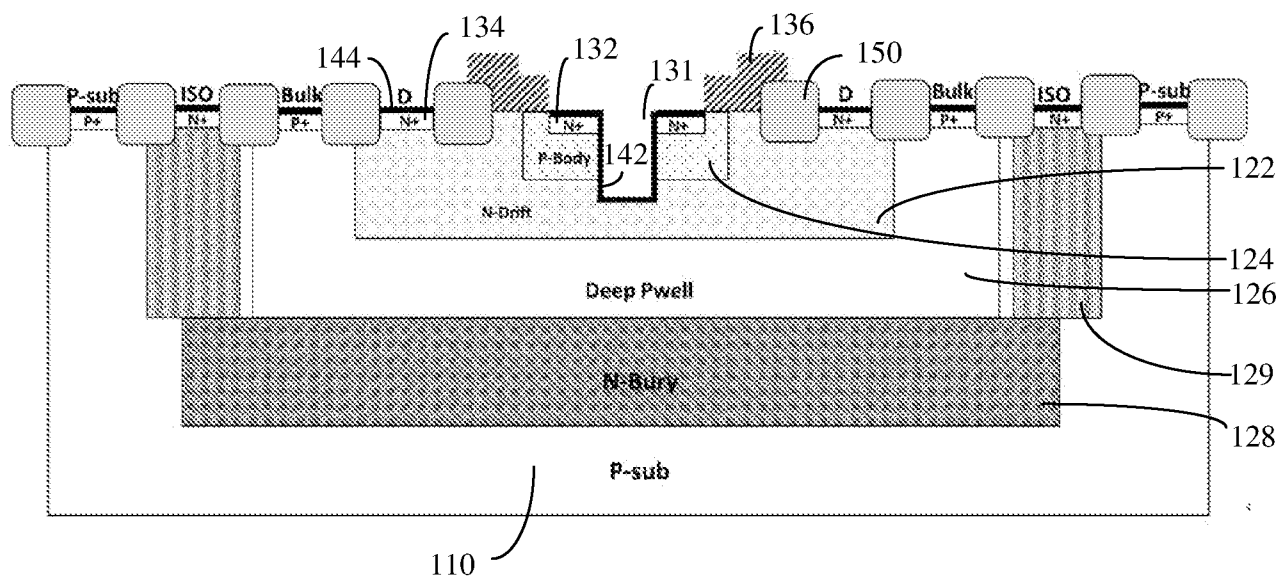


图 4

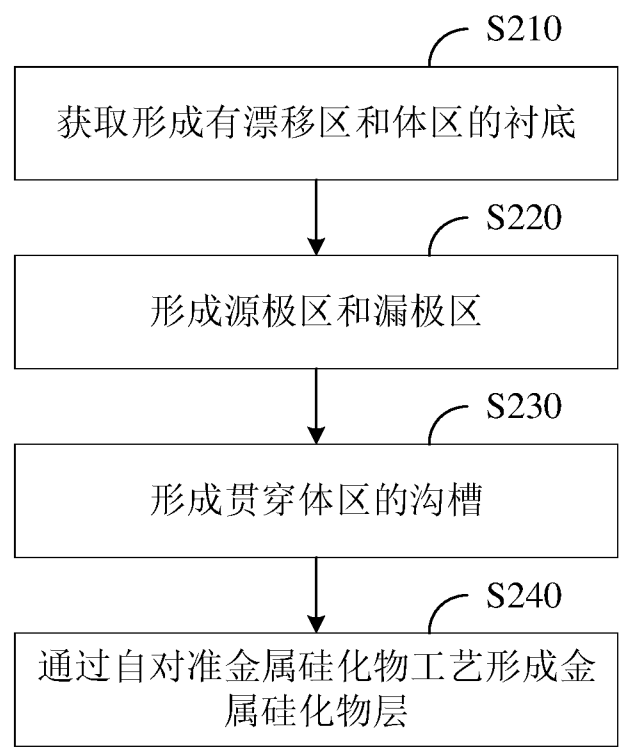


图 5

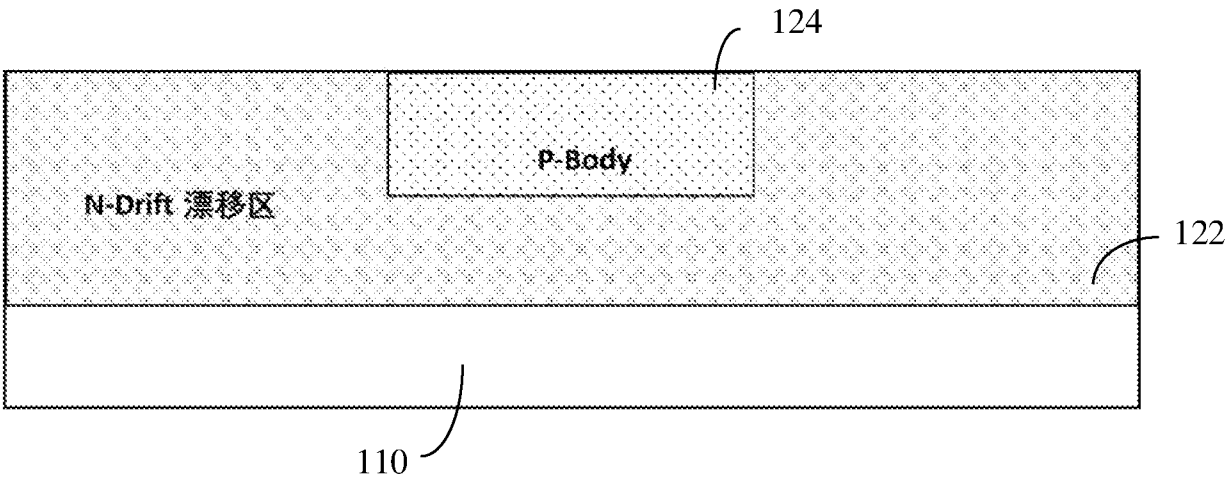


图 6a

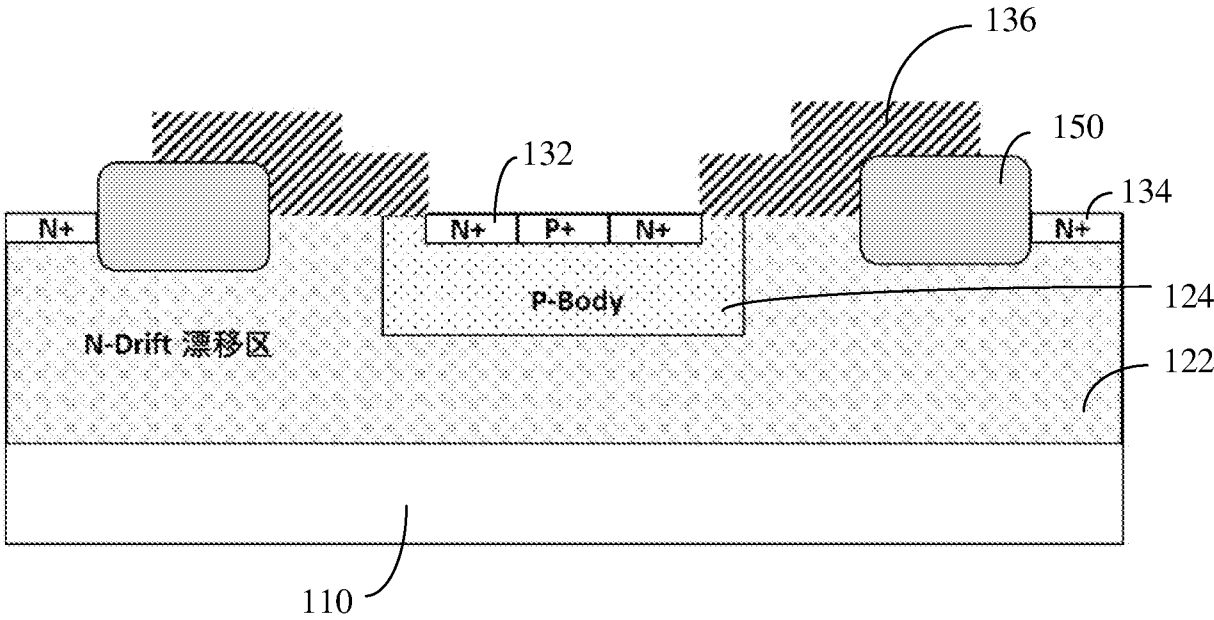


图 6b

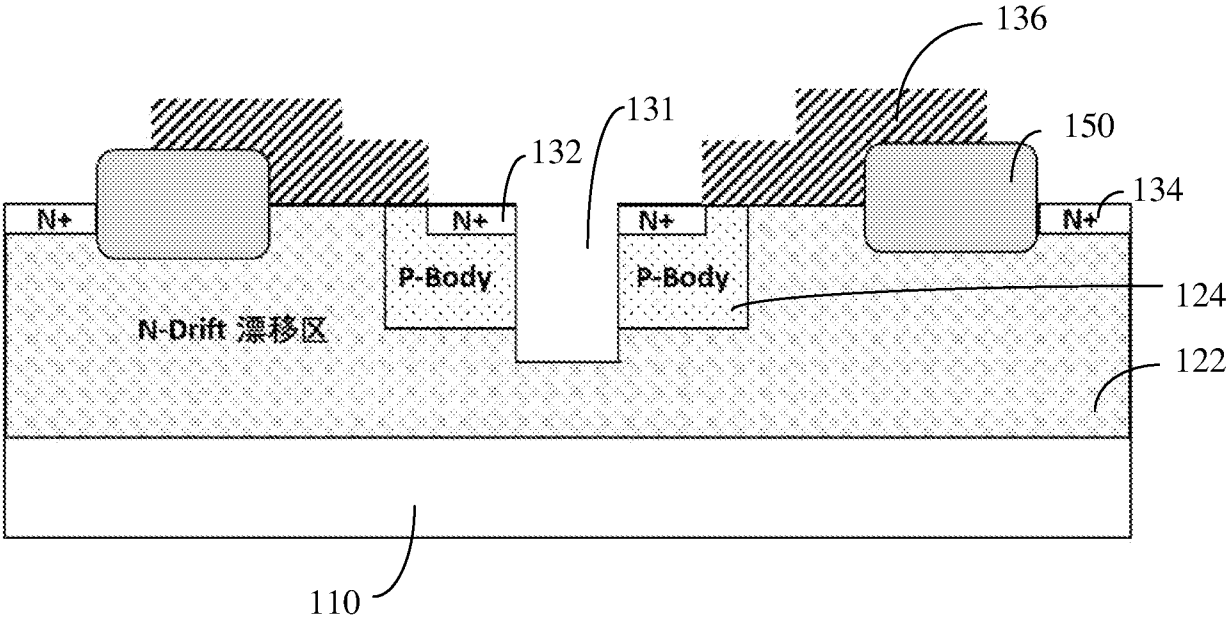


图 6c

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2024/070570

A. CLASSIFICATION OF SUBJECT MATTER H01L 29/06(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC:H01L Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNTXT, DWPL, ENTXTC, VEN, ENTXT, IEEE, CNKI: 场效应管, 二极管, 硅, 横向, 极, 晶体管, 漏, 肖特基, 钴, 硅化物, co, diode, Schottky, si, LDMOS+, body+, LD-MOS, drain+, "sbd", Schottky barrier diode, drift+, silicide		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2012175724 A1 (HAYNIE, Sheldon D. et al.) 12 July 2012 (2012-07-12) description, paragraphs 28-49, and figures 8-16	1, 4-5, 8-9, 14-15
Y	US 2012175724 A1 (HAYNIE, Sheldon D. et al.) 12 July 2012 (2012-07-12) description, paragraphs 28-49, and figures 8-16	2-3, 6-7, 10-13
Y	US 2018358463 A1 (FUJI ELECTRIC CO., LTD. et al.) 13 December 2018 (2018-12-13) description, paragraphs 50-60, and figure 1	2-3, 6-7, 10-13
A	CN 109873039 A (CSMC TECHNOLOGIES FAB2 CO., LTD.) 11 June 2019 (2019-06-11) entire document	1-15
A	US 10777689 B1 (HONG KONG APPLIED SCIENCE AND TECHNOLOGY RESEARCH INSTITUTE CO., LTD.) 15 September 2020 (2020-09-15) entire document	1-15
A	US 2009294859 A1 (FORCE-MOS TECHNOLOGY CORP.) 03 December 2009 (2009-12-03) entire document	1-15
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 11 April 2024		Date of mailing of the international search report 16 April 2024
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/ CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2024/070570

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2016260831 A1 (MICREL, INC.) 08 September 2016 (2016-09-08) entire document	1-15
A	US 5585294 A (TEXAS INSTRUMENTS INC.) 17 December 1996 (1996-12-17) entire document	1-15

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2024/070570

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2012175724	A1	12 July 2012	US	8492255	B2	23 July 2013
US	2018358463	A1	13 December 2018	JP	2019003968	A	10 January 2019
				JP	6946764	B2	06 October 2021
CN	109873039	A	11 June 2019	WO	2019109912	A1	13 June 2019
				CN	109873039	B	08 January 2021
US	10777689	B1	15 September 2020	WO	2021072791	A1	22 April 2021
				CN	110998861	A	10 April 2020
				CN	110998861	B	22 March 2022
US	2009294859	A1	03 December 2009	US	7863685	B2	04 January 2011
US	2016260831	A1	08 September 2016	US	2017133502	A1	11 May 2017
				US	9780204	B2	03 October 2017
				US	9530880	B2	27 December 2016
US	5585294	A	17 December 1996	US	5811850	A	22 September 1998
				JPH	08321614	A	03 December 1996

A. 主题的分类

H01L 29/06(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC:H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNTEXT,DWPI,ENTXTC,VEN,ENTXT,IEEE,CNKI:场效应管,二极管,硅,横向,极,晶体管,漏,肖特基,钴,硅化物,co,diode, Schottky,si,LDMOS+,body+,LD-MOS,drain+,"sbd",Schottky barrier diode,drift+,silicide

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	US 2012175724 A1 (HAYNIE, Sheldon D. 等) 2012年7月12日 (2012 - 07 - 12) 说明书第28-49段、附图8-16	1,4-5,8-9,14-15
Y	US 2012175724 A1 (HAYNIE, Sheldon D.等) 2012年7月12日 (2012 - 07 - 12) 说明书第28-49段、附图8-16	2-3,6-7,10-13
Y	US 2018358463 A1 (FUJI ELECTRIC CO., LTD. 等) 2018年12月13日 (2018 - 12 - 13) 说明书第50-60段、附图1	2-3,6-7,10-13
A	CN 109873039 A (无锡华润上华科技有限公司) 2019年6月11日 (2019 - 06 - 11) 全文	1-15
A	US 10777689 B1 (HONG KONG APPLIED SCIENCE & TECH. RESEARCH INST. CO., LTD.) 2020年9月15日 (2020 - 09 - 15) 全文	1-15
A	US 2009294859 A1 (FORCE-MOS TECHNOLOGY CORP.) 2009年12月3日 (2009 - 12 - 03) 全文	1-15

☒ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2024年4月11日

国际检索报告邮寄日期

2024年4月16日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

陆然

电话号码 (+86) 010-53961226

PCT/ISA/210 表(第2页) (2022年7月)

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	US 2016260831 A1 (MICREL, INC.) 2016年9月8日 (2016 - 09 - 08) 全文	1-15
A	US 5585294 A (TEXAS INSTRUMENTS INC.) 1996年12月17日 (1996 - 12 - 17) 全文	1-15

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2024/070570

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2012175724	A1	2012年7月12日	US	8492255	B2	2013年7月23日
US	2018358463	A1	2018年12月13日	JP	2019003968	A	2019年1月10日
				JP	6946764	B2	2021年10月6日
CN	109873039	A	2019年6月11日	WO	2019109912	A1	2019年6月13日
				CN	109873039	B	2021年1月8日
US	10777689	B1	2020年9月15日	WO	2021072791	A1	2021年4月22日
				CN	110998861	A	2020年4月10日
				CN	110998861	B	2022年3月22日
US	2009294859	A1	2009年12月3日	US	7863685	B2	2011年1月4日
US	2016260831	A1	2016年9月8日	US	2017133502	A1	2017年5月11日
				US	9780204	B2	2017年10月3日
				US	9530880	B2	2016年12月27日
US	5585294	A	1996年12月17日	US	5811850	A	1998年9月22日
				JPH	08321614	A	1996年12月3日