(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2006 年2 月23 日 (23.02.2006)

PCT

(10) 国際公開番号
WO 2006/018943 A1

(51) 国際特許分類[7]: H04L 7/02,
G06F 1/10, H03L 7/081, H04L 7/033

(21) 国際出願番号: PCT/JP2005/013152

(22) 国際出願日: 2005 年7 月15 日 (15.07.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2004-240015 2004 年8 月19 日 (19.08.2004) JP

(71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目４番１号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 中谷 浩晃 (NAKAYA, Hiroaki) [JP/JP]; 〒1850014 東京都国分寺市東恋ヶ窪一丁目２８０番地株式会社日立製作所 中央研究所内 Tokyo (JP). 佐々木 靖彦 (SASAKI, Yasuhiko) [JP/JP]; 〒1850014 東京都国分寺市東恋ヶ窪一丁目２８０番地株式会社日立製作所 中央研究所内 Tokyo (JP).

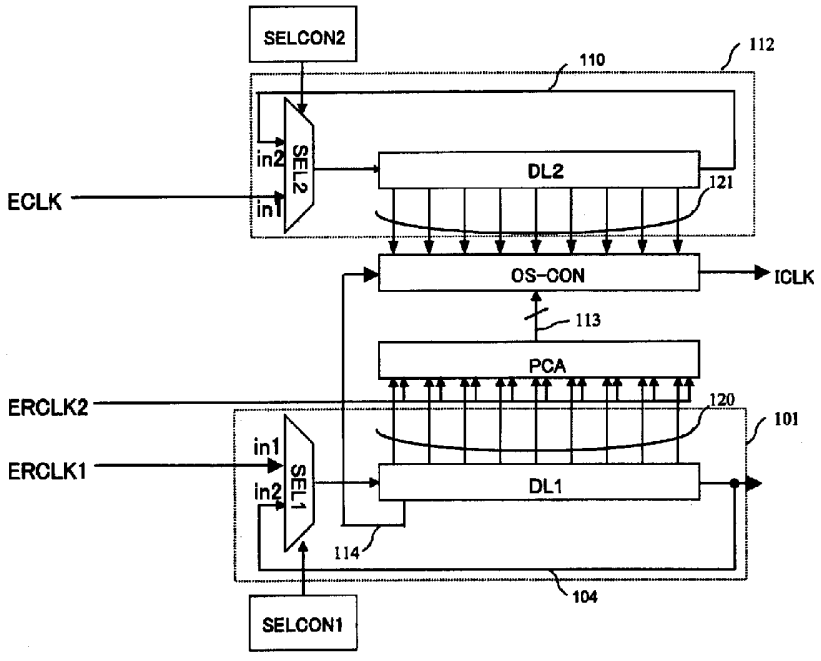
(74) 代理人: 筒井 大和 (TSUTSUI, Yamato); 〒1600023 東京都新宿区西新宿８丁目１番１号アゼリアビル３階 筒井国際特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK,

[続葉有]

(54) Title: PHASE LOCK CIRCUIT

(54) 発明の名称: 位相同期回路



(57) Abstract: An external clock is circulated through a delay circulation block formed by a selector and a short delay sequence to create a long delay time required for phase lock at the time of low frequency operation so that a wide frequency range can be dealt with. On the other hand, the delay time is made variable even when phases are compared simultaneously by arranging a plurality of phase comparators in parallel or compared sequentially so that phase lock can be completed in a short time.

(57) 要約: 外部クロックをセレクタと短い遅延列とで構成される遅延周回ブロックを周回させ、低周波動作時に同期で必要となる長い遅延時間を生成して広い

[続葉有]

WO 2006/018943 A1

LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

周波数に対応可能とする。また、位相比較器を複数並列配置して位相を一斉比較する、あるいは位相を逐次比較する場合でも遅延量を可変とすることで、短い時間で位相同期を完了可能とする。

明 細 書

位相同期回路

技術分野

[0001] 本発明は位相同期回路に関する。位相同期回路は、クロックやストローブなどを用いて動作する半導体集積回路、回路モジュール、システムに用いられる。例えば、マイクロプロセッサ、マイクロコントローラ、信号処理プロセッサ、画像処理プロセッサ、音声処理プロセッサや、揮発性メモリ(DRAM、SRAM等)、不揮発性メモリ(フラッシュメモリ等)などの各種メモリまたはメモリカードなどに用いられる。

背景技術

[0002] 一般に、半導体チップは外部デバイスと信号のやりとりを正確に行うために、チップ内外での信号の時間的な同期を取る必要がある。このような同期には、半導体チップの外部から入力されたクロック(またはストローブ、本願では区別せず「クロック」と表記する)の遷移時刻と一定のタイミング関係を保つように精度よくその遷移時刻が制御された内部クロックを生成し、このチップ内部クロックを信号の取得に利用するといったことが広く行われている。さて、このような位相同期回路に関し、以下のような従来技術が存在する。

[0003] 非特許文献1では、2本の遅延列(FDA、BDA)を互いに逆向きに並列に並べ、その間に制御回路MCCを2本の遅延列に並列に並べ、遅延列BDAの出力に接続されているクロックドライバと同じ遅延時間を持つ負荷回路をあらかじめダミーとして設計し、遅延列FDAの入力に接続する構成をとっている。この回路は、遅延列FDAと制御回路MCCから遅延列FDA内で位相が同期する位置を検出し、遅延列BDAの同じ位置からクロックを入力して遅延列FDAと逆向きにクロックを伝達することで、2サイクル遅れで位相が同期するという高速同期を実現するものである。

[0004] また、特許文献1では、位相を粗く合わせこむリング型粗調遅延器と、位相を細かく合わせこむ微調遅延器とを持ち、リング型および階層型の構造をとることで、回路全体の面積やゲート数を削減している。遅延量は一つの位相検出器を用いて、外部クロックとフィードバッククロックとの位相を逐次比較し、その結果から遅延量の増減を

微調遅延器と粗調遅延器に与えることで決定する。

非特許文献1:IEEE Journal of Solid-state Circuits, Vol. 31, No. 11, November 1996, pp1656-1668

特許文献1:特開2003－69424号公報

発明の開示

発明が解決しようとする課題

[0005] 位相同期回路は内部クロックが外部クロックと位相を同期するのに要する時間を短くできるものが好ましい。一方、半導体チップコストを削減するという目的からは、これをできるだけ小さなチップ面積、また少ない素子数やゲート数で実現することが好ましい。また、より少ない電力(動作時、待機時の電力)で動作することが望ましい。

[0006] 非特許文献1に示される位相同期回路は、その周波数範囲を広げると回路規模が大きくなる問題点があった。すなわち、動作周波数が最も高い場合に必要となる位相の一致精度を満足させるためには、遅延列内部の遅延段1段の遅延時間は短くする必要がある。そのため、このようにして決定された遅延時間の遅延段を用いて低い周波数のクロックの同期をとるためには、遅延段数を多くせざるを得ない。そのため、素子数やゲート数が増加してしまうという問題があった。

[0007] しかしながら、半導体集積回路に入力される信号の周波数の範囲は広がっており、周波数毎に位相同期回路を設計し直すのは工数上困難であり、広い周波数範囲で用いることができる位相同期回路が望まれている。すなわち、位相同期回路の位相一致精度と周波数範囲とを両立させ、それに伴う回路規模の増大を極力抑えることが望まれる。

[0008] また、特許文献1は本発明の完成後に行った特許調査にて見出されたものであるが、リング型の遅延列を用いている点で、本発明と共通点を有する。しかしながら、特許文献1に開示されたDLLでは、粗調整のための遅延列に対してのみリング型の遅延列を用いている。また、1つの位相検出器で微調遅延器の一段ずつ逐次位相比較を行っている為、位相同期までの時間が長くなるおそれがあり、同期に要する時間については配慮されていない。

[0009] チップ上の占有面積、ゲート数、電力の小さい回路でありながら、高い一致精度と

広い周波数範囲を両立させ、位相同期を短い時間で完了することが可能な位相同期回路が望まれる。

[0010] 本発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

課題を解決するための手段

[0011] 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

[0012] 本発明の位相同期回路は、第1遅延列と、第1基準クロックおよび第1遅延列の出力のいずれか一方を選択的に第1遅延列に入力する第1セレクタと、第1遅延列に含まれる各遅延段と第2基準クロックとの位相比較を行う複数の位相比較器と、第2遅延列と、外部クロックおよび第2遅延列の出力のいずれか一方を選択的に第2遅延列に入力する第2セレクタと、第2遅延列の各遅延段から出力される出力を内部クロックとして選択的に出力する出力制御回路とを有し、出力制御回路は、第1基準クロックの第1遅延列による遅延信号が第2基準クロックと同期するのに要する第1遅延列の周回数および遅延段数を把握し、把握した周回数と遅延段数に応じた外部クロックの第2遅延列による遅延信号を内部クロックとして出力する。

[0013] また、本発明の位相同期回路は、第1遅延列と、第1基準クロックおよび第1遅延列の出力のいずれか一方を選択的に第1遅延列に入力する第1セレクタと、第1基準クロックの第1遅延列による遅延信号と第2基準クロックと位相比較を行う位相比較器と、位相比較器に入力する遅延信号の遅延量を制御する遅延制御回路と、第2遅延列と、外部クロックおよび第2遅延列の出力のいずれか一方を選択的に第2遅延列に入力する第2セレクタと、第2遅延列の各遅延段から出力される出力を内部クロックとして選択的に出力する出力制御回路とを有し、出力制御回路は、第1基準クロックの第1遅延列による遅延信号が第2基準クロックと同期するのに要する第1遅延列の周回数および遅延段数を把握し、把握した周回数と遅延段数に応じた外部クロックの第2遅延列による遅延信号を内部クロックとして出力し、遅延制御回路は、位相比較器に入力する遅延信号の遅延量を可変に制御する。

[0014] なお、第1セレクタと第2セレクタ、第1遅延列と第2遅延列は、その遅延時間ができ

るだけ同様になるように、回路構成やレイアウトに関して同様となるようにするのが好ましい。また、第1基準クロックおよび第2基準クロックとして、同一の基準クロックを与えれば、外部クロックと内部クロックが1周期の時間差で同期するものである。

[0015] 本発明では、同期までのサイクル数が短くできるので、同期回路を使用していない場合にはそのクロック入力自体を止めることにより、非動作時の電力を削減することも可能となる。また、その際、同期回路の電源自体も落とすことを行えば、リーク電流の防止によりシステム待機時の電力も削減することが可能となる。

発明の効果

[0016] 本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

[0017] 素子数やゲート数が少なく、高速に同期可能な位相同期回路が実現できる。

図面の簡単な説明

[0018] [図1]本発明の位相同期回路を示す図である。

[図2]遅延列の回路構成例を示す図である。

[図3]出力制御回路の回路構成例を示す図である。

[図4]図4(a)は位相比較器アレーの第1の回路構成例を、図4(b)は位相比較器アレーの第2の回路構成例を示す図である。

[図5]本発明の別の位相同期回路を示す図である。

[図6]図1の位相同期回路の変形例を示す図である。

[図7]図5の位相同期回路の変形例を示す図である。

[図8]図8(a)はパルス生成回路の回路構成例を、図8(b)はクロック復元回路の回路構成例を示す図である。

[図9]目標段数の制御幅を可変とした場合のフローチャートである。

[図10]位相同期回路のタイミングチャートである。

[図11]本発明の位相同期回路を用いたシステム構成例である。

[図12]本発明の他の位相同期回路を示す図である。

[図13]本発明の他の位相同期回路を示す図である。

[図14]パルス配分回路の構成例、およびクロック復元回路の構成を示した図である。

[図15]本発明の他の位相同期回路を示す図である。

[図16]本発明の他の位相同期回路を示す図である。

[図17]パルス生成回路の回路構成例、クロック復元回路の回路構成例、およびパルス配分回路の回路構成を示した図である。

[図18]位相同期回路のタイミングチャートである。

[図19]位相同期回路の遅延列部分のレイアウト例を示す図である。

発明を実施するための最良の形態

[0019] 以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

[0020] まず、図1に本発明の位相同期回路の基本的な構成を示す。図1に示す位相同期回路は、外部クロックECLKとある一定の時間(位相)関係(第1基準クロックERCLK1と第2基準クロックERCLK2との時間差(位相差)に等しい時間関係(位相関係))を保つように内部クロックICLKを出力する回路である。

[0021] 第1周回遅延ブロック101では、第1基準クロックERCLK1を2つの入力のうちの1つの入力とするセレクタSEL1と、セレクタSEL1から出力される信号を入力とする遅延列DL1とを有し、遅延列DL1の出力104は、セレクタSEL1の2つの入力のうちの他方の入力に接続されている。セレクタSEL1は第1セレクタ制御回路SELCON1により、どちらの入力信号を遅延列DL1に出力するかを選択されている。遅延列DL1を構成する各遅延段からの出力群120は、位相比較器アレーPCAに入力され、第2基準クロックERCLK2と位相比較がなされる。

[0022] 第2周回遅延ブロック112では、外部クロックECLKを2つの入力のうちの1つの入力とするセレクタSEL2と、セレクタSEL2から出力される信号を入力とする遅延列DL2とを有し、遅延列DL2の出力110は、セレクタSEL2の2つの入力のうちの他方の入力に接続されている。セレクタSEL2は第2セレクタ制御回路SELCON2により、どちらの信号を遅延列DL2に出力するかを選択されている。

[0023] 出力制御回路OS－CONは、位相比較器アレーPCAからの位相比較結果を指示する信号113と遅延列DL1の所定の位置の遅延段からの信号114とが入力される。

出力制御回路OS－CONは信号114をカウントすることにより、第2周回遅延ブロック112で外部クロックECLKを周回させる回数を決定する。また、信号113により、遅延列DL2のどの遅延段からの出力信号を内部クロックICLKとして出力するかを決定する。

[0024] なお、遅延列DL1および遅延列DL2は、複数の遅延段で構成されている。遅延列中の遅延段数は、セレクタSEL1および遅延列DL1を信号が通過する時間が基準クロックERCLK1と基準クロックERCLK2との間の時間差よりも短くなるように決定しておく。逆に信号が通過する時間が基準クロック間の時間差よりも長ければ、外部クロックを周回させる必要はなくなる。

[0025] さて、図1の回路の動作を説明する。第1基準クロックERCLK1をセレクタSEL1および遅延列DL1で構成される第1周回遅延ブロック101を複数回通過させ、さらにセレクタSEL1および遅延列DL1の内部の遅延段を通過させることで、第1基準クロックERCLK1を周回分に加え通過した遅延段分遅延された信号120が生成される。次に、この遅延された信号120と第2基準クロックERCLK2とについて、位相比較器アレーPCAの内部に存在する複数の位相比較器はその時間的前後関係を一斉に比較し、各位相比較器は一定の条件を満たす場合には同位相であると判断する。この同位相となるときの、第1周回遅延ブロック101の信号通過周回数と遅延列DL1からの出力の位置（段数）に関する情報（以下、「目標周回数」と「目標段数」と呼ぶ）を生成する。

[0026] これにより、第1周回遅延ブロック101を目標周回数通過し、さらにセレクタSEL1と遅延列内部の目標段数を通過したときの総計の遅延時間が、2つの基準クロックの間の時間差（位相差）に等しいようにすることができる。

[0027] このようにして決定された第1周回遅延ブロック101の目標周回数と目標段数は、出力制御回路OS－CONに伝えられる。出力制御回路OS－CONは、外部クロックECLK入力からの信号が第2周回遅延ブロック112を目標周回数だけ周回し、セレクタSEL2と遅延列DL2において目標段数だけ通過したとき、その遅延列DL2からの出力が、内部クロックICLKとして出力されるように制御を行う。

[0028] 図2は、遅延列DL1またはDL2の回路例である。一定の時間刻みを有する遅延段

が縦続に複数個接続されることで構成される。各遅延段は一定の遅延時間を有するものであればいかなるものであっても構わないが、典型的にはCMOS回路としての論理回路（インバータ回路やNAND回路など）を縦続接続した回路であったり、バイポーラ回路による差動アンプを縦続接続した回路であることが多い。本実施例では、このような方式として、各遅延段201～204がCMOSインバータで構成された例を示している。

[0029] 図3は、出力制御回路OS－CONの構成例を示したものである。出力制御回路OS－CONは、遅延列DL2の各遅延段からの出力121、位相比較器アレーPCAからの出力113および遅延列DL1の所定の遅延段からの出力114とを入力とし、内部クロックICLKを生成する回路である。外部クロックECLKを所定の時間分遅延させるために必要となる目標周回数を計測保持する目標周回数カウンタTRN－CLT、位相比較器が一致と判断した目標段数を保持する目標段数レジスタTSN－REG、目標段数レジスタの値に一致した段数の遅延列DL2からの出力を選択するセレクタSEL、セレクタSELからの出力回数を計測保持する現在周回数カウンタCRN－CLT、目標周回数カウンタTRN－CLTと現在周回数カウンタCRN－CLTのそれぞれの値の一致を検出するカウンタ比較器CMPおよびカウンタ比較器CMPが生成した一致信号により、セレクタSELからの出力を外部へ出力するよう制御する信号送出制御回路STCを有する。

[0030] 目標周回数カウンタTRN－CLTは、位相比較器アレーPCAにより第1基準クロックERCLK1の遅延信号と第2基準クロックERCLK2との位相一致の判定がなされるまでに、第1基準クロックERCLK1が第1周回遅延ブロック101を何回周回したかを計測し、保持する。具体的には、遅延列DL1の所定の遅延段からの出力114を受けることにより周回状態を把握し、位相比較器アレーPCAから位相一致を示す出力を受けて、目標周回数を決定し、保持する。このときの位相一致段数は目標段数レジスタTSN－REGに保持する。決定された目標周回数および目標段数分遅延された外部クロックECLKを、内部クロックICLKとして出力されるよう信号送出制御回路STCが制御される。

[0031] 図4（a）は、位相比較器アレーPCAの構成例である。位相比較器アレーPCAには

、位相比較段400が繰返し配置されており、図4(a)は遅延列DL1からの出力120のうち3段分について示している。位相比較段400は、Dフリップフロップ401と2つの入力のうち片側がインバートされているNOR論理回路402とから構成されている。Dフリップフロップのクロック端子CLKには、第2基準クロックERCLK2が入力されており、同フリップフロップのデータ端子Dには、第1基準クロックERCLK1の遅延信号120が遅延列DL1の各遅延段から入力される。NOR論理回路の2つの入力にはそれぞれ、自段のフリップフロップからの出力Qと右隣のフリップフロップからの出力Qとが入力される。

[0032] 各フリップフロップは、第2基準クロックERCLK2が遷移したときに、遅延段からの出力が既に1に遷移していれば、1の値を出力Qに出力し、1に遷移していなければ0の値を出力Qに出力する。

[0033] 位相比較器アレーPCAへの複数の入力部では、図に示されるように、入力側(図の左側)からある段数の位置までは第2基準クロックERCLK2がフリップフロップのクロックとして遷移するときに既に信号が伝播して1となっており、それより後段では未だ遅延列からの入力が信号遷移していないため0となっている。従って、第2基準クロックERCLK2が遷移するタイミングで遷移する第1基準クロックERCLK1の遅延信号を出力する遅延段に対応するフリップフロップの出力は1、その右隣のフリップフロップの出力は0となる。このため、図4(a)に示す位相比較段400は第2基準クロックERCLK2と同期する遅延信号を出力する遅延段に対応する位相遅延段だけが1を出力し、他の位相遅延段は0を出力する。

[0034] なお、図4(b)は位相比較器アレーPCAの変形例であり、任意のタイミングでリセット(割り込み)RESETをかけて全ての出力が0とできるようにしたものである。このようなリセットは、位相同期回路において同期動作が完了した後、電源投入直後、スリープからの起動直後、システムリセット、などの場合に行われるものである。

[0035] 図1における第1周回遅延ブロック101および第2周回遅延ブロック112の入力部に位置するセレクタSEL1とセレクタSEL2のそれぞれを制御するセレクタ制御回路SELCON1およびセレクタ制御回路SELCON2の制御について説明する。

[0036] セレクタ制御回路SELCON1はセレクタSEL1の出力を制御するものであるが、最

初に第1入力（セレクタSEL1の上側）と遅延列DL1とを接続する。第1入力から第2入力（セレクタSEL1の下側）への切り替えは、第1基準クロックERCLK1のセレクタSEL1通過後に行われる。

[0037] また、第2入力から第1入力への切り替えは、位相の同期が完了した時（すなわち位相比較器アレーPCAが位相一致信号を出した時）から後に、第1基準クロックERCLK1が次に入力されるまでの時間の間のいずれかの時刻においてなされる。

[0038] また、セレクタ制御回路SELCON2はセレクタSEL2の出力を制御するものであるが、最初に第1入力（セレクタSEL2の下側）と遅延列DL2とを接続する。第1入力から第2入力（セレクタSEL2の上側）への切り替えは、第2基準クロックERCLK2のセレクタSEL2通過後に行われる。

[0039] さらに、第2入力から第1入力への切り替えは、出力制御回路OS－CONに制御される目標周回数だけ外部クロックECLKが第2遅延周回ブロック112を周回した後で、外部クロックECLKが次に入力されるまでの時間の間のいずれかの時刻においてなされる。

[0040] 図5は、本発明の位相同期回路の別の構成を示したものである。図1における位相比較器アレーPCAのかわりに、一つの位相比較器PCと第1周回遅延ブロック101からの複数の遅延出力から1つを選択するセレクタSEL3を有する。セレクタSEL3が複数の遅延出力120からどの出力を選択するかは、制御回路RS－CONにより制御される。

[0041] 位相比較器PCは、第2基準クロックERCLK2に対して、複数の遅延出力120からセレクタSEL3により選択された信号の位相が進んでいるかを示す信号(DN信号)、遅れているかを示す信号(UP信号)と、位相の一致を示す信号（LOCK信号）のいずれかを出力する。位相比較器は1つしか存在しないため、目標周回数と目標段数の値は、例えば、目標周回数0および目標段数0から開始し、第1基準クロックERCLK1の遅延信号が位相比較器PCに入力される度に目標段数を1ずつ増加させる。

[0042] この目標段数が遅延列DL1の最終段数までいった際には目標周回数を1だけ増加させ、再度目標段数を0にして再び第1基準クロックERCLK1が入力される度に目標段数を1ずつ増加させていく。

[0043] 位相の一致が検出されたとき、そのときまでに第1基準クロックERCLK1が第1周回遅延ブロック101を周回した回数である目標周回数および位相一致した際の段数である目標段数が、出力制御回路OS－CONに通知される。なお、目標周回数と目標段数は上述の方法には限定されず、例えば遅延列DL1の所定の位置からの信号504を用いて計測することも考えられる。

[0044] しかしながら、このような逐次比較して同期する段数を探索する方法は、同期完了までに多くのサイクルを必要とする。そこで、制御回路RS－CONは目標段数の制御を可変的に増減させる。

[0045] このような可変段数制御の一態様について示したのが図9である。図9は、遅延列DL1の段数が10である場合を例にその動作を説明するフローチャートである。最初に目標周回数TRおよび目標段数TSのいずれも0に初期化される(S1)。

[0046] その後、ステップ1とステップ2とステップ3の三つの動作が実施される。ステップ1は目標周回数TRの制御を行う。位相比較器PCがDN信号を発した場合には、目標周回数TRを1だけ増加させる(S2, S3)。これはUP信号が発せられるまで繰返し行われ、UP信号が発せられると目標周回数TRを1だけ減じ(S4)、目標周回数TRが確定する。

[0047] また、このとき目標段数TSを所定の段数(図9の例では10段の半分である5段)にセットする(S4)。ステップ2は目標段数TSの制御を行う。目標段数TSが5段にセットされた後、位相比較器PCがUP信号を発した場合には、目標周回数TRは変わらず、目標段数TSが3段足された8段となる(S5, S6)。

[0048] また、位相比較器PCがDN信号を発した場合には、目標周回数TRは変わらず、目標段数TSが3段減らされた2段となる(S5, S7)。また、位相比較器PCがLOCK信号を発した場合には、ステップ3へと移る(S5, S8)。

[0049] 目標段数TSが8段にセットされた後、位相比較器PCがUP信号を発した場合には、目標周回数TRは変わらず、目標段数TSが1段足された9段となりステップ3へと移る(S9, S10, S8)。

[0050] また、位相比較器PCがDN信号を発した場合には、目標周回数TRは変わらず、目標段数TSが1段減らされた7段となる(S9, S11)。また、位相比較器PCがLOCK

信号を発した場合には、ステップ3へと移る(S9, S8)。

[0051] さらに、目標段数が7段にセットされた後、位相比較器PCがDN信号を発した場合には、目標周回数TRは変わらず、目標段数TSが1段減らされた6段となりステップ3へ移る(S12, S13, S8)。一方、位相比較器PCがLOCK信号を発した場合には、ステップ3へと移る(S12, S8)。

[0052] 一方、目標段数TSが2段にセットされた後、位相比較器PCがUP信号を発した場合には、目標周回数TRは変わらず、目標段数TSが1段足された3段となる(S14, S16)。

[0053] 位相比較器PCがDN信号を発した場合には、目標周回数TRは変わらず、目標段数TSが1段減らされた1段となりステップ3へと移る(S14, S15, S8)。また、位相比較器PCがLOCK信号を発した場合には、ステップ3へと移る(S14, S8)。さらに、目標段数TSが3段にセットされた後、位相比較器PCがUP信号を発した場合には、目標周回数TRは変わらず、目標段数TSが1段足された4段となりステップ3へと移る(S17, S18, S8)。一方、位相比較器PCがLOCK信号を発した場合には、ステップ3へと移る(S17, S8)。

[0054] 最後に、ステップ3では以下の動作制御が行われる。位相比較器PCがUP信号を発した場合には、目標段数TSが1段足され再度位相の一致を検査し(S21, 20)、DN信号を発した場合には、目標段数が1段減らされ再度位相の一致を検査し(S22, S20)、LOCK信号を発した場合には、何も変えない(S20)。

[0055] なお、この目標段数TSが遅延列DL1の最終段数である時、位相比較器PCがUP信号を発した場合には、目標周回数TRを1だけ増加させ、目標段数TSを0として位相の一致を検査する。

[0056] 一方、目標段数TSが遅延列DL1の最小段数(0段)である時、位相比較器PCがDN信号を発した場合には、目標周回数TRを1だけ減少させ、目標段数TSを最大数として位相の一致を検査する。

[0057] ここで、ステップ2において、制御する段数をここでは3、1と段階的に減少させているが、この値には限定されない。この例では制御の大きさを約半分として収束を早くするようにしたものである。

[0058] 図6は、図1に示した位相同期回路の入力部にパルス生成回路PGCとクロック復元回路CRC、またその遅延差を補償するためのダミー遅延回路DDCを加えたものである。

[0059] パルス生成回路PGCは、外部クロックECLKの「0」状態と「1」状態のデューティ比率を変化させるものである。典型的には外部クロックECLKがデューティ50%である場合、このデューティ比率より小さなデューティ比率(例えば10%、または比率ではなく固定時間幅であってもよい)へと変化させるものである。

[0060] これによりもともと外部クロックECLKが有していた「1」状態の時間をより短くするように変化させることができる。このようにすれば、第2遅延周回ブロック112を信号が周回する場合に、1周に要する時間より十分に短いパルスを生成することが可能となる。それにより、全ての遅延段における信号レベルが「1」状態となり信号の伝播が以降行うことができなくなってしまうことを防止することができる。

[0061] このようにデューティ比率を小さくされたクロック信号は、クロック復元回路CRCによりもとの比率に復元される。さらに、外部クロックECLKから内部クロックICLKへの経路にパルス生成回路PGCとクロック復元回路CRCが追加されることにより固定的な遅延が生じるため、第1遅延周回ブロック101で生成する遅延量をこれらの回路の追加がない場合と比較して少なくしてもよいことになる。そこで、ダミー遅延回路DDCは、これを考慮して追加回路に伴う固定的遅延量を差し引いて正しい目標周回数と目標段数とを計測するために追加されるものである。

[0062] 図7は、図5で示した位相同期回路に対して同様にパルス生成回路PGC、クロック復元回路CRC、ダミー遅延回路DDCを追加した例が示されている。図8(a)は、図6および図7で示したパルス生成回路PGCの構成例を示したものである。

[0063] 本回路は、入力信号801を遅延させる遅延列DL3にCMOSインバータ803が接続されている。その出力信号804と入力信号801との論理和がAND素子805により生成されて出力806となる。さて、本回路の動作は下記のようになる。

[0064] すなわち、入力801が最初0であるとき804は1の状態であるため出力は0となっている。次に入力801が1に遷移するとAND論理の出力806は二つの入力がともに1であるから1となる。

[0065] しかし、遅延列DL3の遅延量だけ時間が経過すると804は0に遷移するため、AND論理は0となりこれが出力される。すなわち、出力が1である時間を遅延列DL3の信号通過時間とするパルスが生成される。なお、遅延列DL3はいかなる遅延素子でもよく、またCMOSインバータは反転論理を生成すればいかなるものでもよいことは言うまでもない。例えば、遅延列DL3をCMOSインバータの直列接続で構成することができる。

[0066] さらに図8(b)はクロック復元回路CRCの構成例を示している。信号の立ち上がり時には短い時間で信号が出力されるのに対し、信号の立ち下がり時には長い遅延時間で出力されることにより、パルス幅を長くする。遅延量の設定を変えることによりパルス幅を制御することが可能である。セレクタ816は、CMOS複合ゲートで構成された例を示しているが、セレクタとしての機能を有するものであればいかなるものでもよい。

[0067] 図10は、図1に示した位相同期回路のタイミング図であり、第1基準クロックERCLK1と第2基準クロックERCLK2とがクロックの1周期Tの4分の1だけずれているものと仮定する。

[0068] 位相比較器アレーPCAは、第2基準クロックERCLK2のタイミングで信号113を出力し、4段という結果が出て、これが目標段数TSとなる。この時(第2基準クロックERCLK2が入力された時)までの周回数は信号114によりカウントしており、この周回数が目標周回数TRとなる。

[0069] この例では周回数は2周となっている。出力制御回路OS－CONは、信号113と信号114により、目標段数が4段、目標周回数が2周という結果を伝えられる。この結果を基に、外部クロックECLK入力からの信号が周回遅延ブロック112を目標周回数の2周だけ周回した後、3周目に遅延列DL2において目標段数の4段だけ通過した時、その遅延列DL2からの出力を出力制御回路OS－CONが受け、外部クロックECLKと1周期Tの4分の1の時間差を持つ内部クロックICLKとして出力する制御を行う。

[0070] 図11は、本発明の位相同期回路の応用例の1つとしてDDR－SDRAM1101とLSI1102の接続関係を表しているブロック図である。DDR－SDRAM1101とLSI1102はメモリインタフェース1103を介して接続されており、このメモリインタフェース1103内部にDDR－SDRAM1101のデータを読み込む為の位相を制御する為の位

相同期回路1104を備えている。この位相同期回路1104によってLSI1102はDDR－SDRAM1101のデータを確実に読み込むことが可能となる。

[0071] 以上の実施の形態は、パルス生成回路（PGC）を使い、クロックの片側エッジを用いて位相同期を行った場合におけるものである。

[0072] 次に、パルス生成分配回路（PGDC1）を使い、クロックの片側エッジを用いて、周回遅延部112のみで1周期の整数倍遅延を生成する場合における実施の形態を、図面を参照して詳細に説明する。

[0073] 図12は、上記記載の本発明の位相同期回路における生成ブロック115と生成ブロック115と同じ構成を持つ生成ブロック116とを用いて周回遅延部112のみで1周期の整数倍遅延を生成し、位相同期をする場合に対応した実施例の図である。

[0074] すなわち、図12に示されるような基準クロック（ERCLK1）を2つの入力のうちの1つの入力とするセレクタ102（SEL1）と、セレクタ102から出力される信号を入力とする遅延列103（DL1）とを有し、上記遅延列103の出力104は、上記セレクタ102の2つの入力のうちもう片方の入力に接続され、さらに上記セレクタ102はセレクタ制御回路105（SELCON1）により、二つの入力のうちどちらの入力信号が出力されるかが選択されるものである。

[0075] さらに、本発明の同期回路は、基準クロック2（ERCLK2）と上記遅延列103（DL1）を構成する遅延段からの出力群のうち少なくとも1つを入力とする位相比較器アレー106（PCA）とを有し、上記基準クロック2と上記出力群からの入力との間の位相の比較結果を、以下に記載する生成ブロック115および116内部の出力信号制御回路107（OS－CON）に出力する。

[0076] また、本発明の同期回路は、外部クロックECLKとある一定の時間関係（基準クロック1と基準クロック2の時間差に等しい時間関係）を保つように内部クロックICLKを同期させるために、外部クロックをパルス生成分配回路（PGDC1）に入力し、外部入力クロックECLKの片側エッジをパルスに変換し、尚且つパルスに変換されたものを2つの生成ブロック115および116に夫々順に分配し（ECLK1，ECLK2）、上記位相比較結果を基に夫々のブロックで分配されたパルス信号が遅延され、夫々の遅延信号（ICLK1，ICLK2）がクロック復元回路（CRC2）に入力され内部クロックICLKとし

てクロックが復元され出力される。

[0077] パルス生成分配回路(PGDC1)内部のパルス生成回路は、外部入力クロック(ECLK)の0と1の状態のデューティ比率を変化させるものである。典型的には外部クロック(ECLK)がデューティ50%である場合を想定される場合に、このデューティ比率より小さなデューティ比率(例えば10%)へと変化させるものである。これによりもともと外部クロック(ECLK)が有していた1状態の時間に比較してより短い時間の1状態となるように変化させることができる。

[0078] このようにすれば、遅延周回ブロック112を信号が周回する場合に、1周の時間より十分に短いパルスを生成することが可能となり、例えば先行する信号の立ち上がり遷移が再び同じ位置に戻ってくるまでに、その位置の信号を立ち上がり遷移前のレベル(すなわち0)に戻しておくことが可能となる。もし立ち上がり遷移前のレベルに戻っていなければ、全ての位置における信号レベルが1となり信号の伝播が以降行うことができなくなってしまうことを防止するものである。

[0079] 一方、クロック復元回路は、このようにデューティ比率が当初の外部入力波形のそれ(ここでは50%)から小さくなっている場合(ここでは10%)、これをもとの比率へと復元する働きをする。

[0080] 具体的に分配パルスECLK1と生成ブロック115を例にとって説明する。

[0081] 生成ブロック115に入力されたパルス(ECLK1)を2つの入力のうちの1つの入力とするセレクタ108と、セレクタ108から出力される信号を入力とする遅延列109(DL2)とを有し、上記遅延列109の出力110は、上記セレクタ108の2つの入力のうちもう片方の入力に接続され、さらに上記セレクタ108はセレクタ制御回路111(SELCON2)により二つの入力のうちどちらの信号が出力されるかが決定されるものである。

[0082] さらに、出力信号制御回路107(OS－CON)は、位相比較器アレー106(PCA)からの位相比較結果を意味する信号113と、遅延列103の所定の位置からの信号114とを入力として受け取る。

[0083] また、出力信号制御回路107は、外部クロックから分配されたパルス(ECLK1)が遅延列109を通過し複数の箇所から出力された信号のうちの少なくとも1つを選択し、この選択された信号を出力する。なお、上記遅延列103および遅延列109は、複

数の遅延段より構成されるものであるが、このとき、本同期回路で利用する2つの基準クロックの時間差に対して、セレクタ102および遅延列103を信号が通過する時間が短くなるように遅延列中の遅延段数は決定されるものである。

[0084] さて、上記構成の動作について詳細を説明すると以下のようになる。

[0085] すなわち、セレクタ102および遅延列103で構成される周回遅延ブロック101を複数回通過させ、さらにセレクタ102および遅延列103の内部の遅延段を一定段数通過させることで、基準クロック1(ERCLK1)が一定の時間だけ遅延した信号が生成される。

[0086] 次に、この遅延した信号と基準クロック2(ERCLK2)とが、位相比較器アレー106の内部に存在する複数の位相比較器においてその時間的前後関係が一斉に比較され、各位相比較器が一定の条件を満たすことで同位相であると判断すると、この同位相となるときの、周回遅延ブロック101の信号通過周回数と遅延列103からの出力の位置(段数)に関する情報(以下、目標周回数と目標段数と呼ぶ)を生成する。

[0087] これにより、周回遅延ブロック101を複数回(すなわち目標周回数)通過し、さらにセレクタ102と遅延列内部の一定の遅延段数(すなわち目標段数)を通過したときの、総計の遅延時間が2つの基準クロックの間の時間差に等しいようにすることができる。次に、このようにして決定された周回遅延ブロック101の目標周回数と目標段数が、生成ブロック115および116の夫々の出力信号制御回路107(OS－CON)に伝えられる。

[0088] 生成ブロック115における例を説明すると、出力信号制御回路107は、外部クロックから分配されたパルス(ECLK1)からの信号が周回遅延ブロック112を目標周回数だけ周回した後、遅延列109において目標段数だけ通過したとき、その遅延列109からの出力が、内部クロックICLKを生成する為の遅延信号(ICLK1)として出力されるように制御を行う。クロック復元回路(CRC2)では、生成ブロック115および116からの出力を受け、内部クロックICLKを復元し出力する。

[0089] 位相比較器アレー106の内部には、複数の位相比較器が存在し、それぞれの位相比較器は、遅延列103の内部に存在する複数の各々の遅延段からの出力と基準クロック2との信号の遷移時刻を比較する。

[0090] そして、両者がもっとも近いタイミングで遷移しているような遅延列103からの出力段数を目標段数として、決定する。同時に、出力制御回路107は、そのときまでの周回遅延ブロック101の信号通過周回数とを勘定し、これを目標周回数として出力ないし記憶する。

[0091] 図13は、本発明による別の位相同期回路の基本的な構成を示したものである。すなわち、ここでは、図12における位相比較器アレー106(PCA)のかわりに、一つの位相比較器501(PC)を有する。

[0092] そして、周回遅延ブロック101からの複数の遅延出力から1つを選択するためのセレクタ1301(SEL4)を有する。セレクタ1301が上記複数の遅延出力からどの出力を選択するかは、制御回路503(RS－CON)により制御される。

[0093] 位相比較器501は、基準クロック2に対して、上記複数の遅延出力から選択された信号の位相が進んでいるか、それとも遅れているかを示す信号(進んでいればDN信号、遅れていればUP信号)と、位相の一致(LOCK信号)を出力するものである。

[0094] 位相比較器は1つしか存在しないため、目標周回数と目標段数の値は、逐次的に操作される。位相比較器により、位相の一致が検出されると、そのときまでに基準クロック1が周回遅延ブロック101を何回周回したかを遅延列103の所定の位置からの信号504を用いて計測した結果である目標周回数、および位相一致した際の目標段数が出力制御回路107に通知される。

[0095] しかし、このような操作は、同期完了までに基準クロック1における多くのサイクルを必要とするため、その時間が長くなってしまい従来技術同様の問題が存在する。そのため、本発明では、制御回路503はその内部に目標段数の制御を1ずつ増減させるのではなく可変的に増減させる可変段数制御回路505を有する。この可変段数制御回路505は上記実施例で示したものである。

[0096] 図14(a)は、図15および図16で示したパルス生成分配回路(PGDC1)内部の信号分配回路の実施例を示したものである。

[0097] 入力信号1401は、CMOSインバータ1402およびAND素子1405、1406の片側の入力に接続されている。CMOSインバータ1402により反転された入力信号は、フリップフロップ1403のクロック入力に入力される。

[0098] フリップフロップは、クロック入力の値が0から1に遷移した時、出力の値が更新される。入力信号1401が1から0に遷移した時、CMOSインバータ1402の出力、すなわちフリップフロップ1403のクロック入力は0から1に遷移する。

[0099] この時、フリップフロップ1403の出力の値が更新される。フリップフロップ1403の出力は、CMOSインバータ1404の入力およびAND素子1406の他方の入力に接続されている。

[0100] CMOSインバータ1404の出力は、フリップフロップ1403のデータ入力およびAND素子1405の他方の入力に接続されている。入力1407の値が1から0に遷移した時、フリップフロップ1403の出力の値はリセットされ0になる。この時、CMOSインバータ1404の入力には0が入力されている為、出力の値は1となり、フリップフロップ1403のデータ入力には1が入力される。

[0101] これにより、入力1401の値が1から0に遷移するたびに、フリップフロップ1403の出力の値が0、1、0、1と順に遷移し、AND素子1405および1406がそれに対応して入力1401を出力できる状態となる。

[0102] さて、本回路の動作は下記のようになる。すなわち、入力1407が最初1で、ある時間だけ経って0に遷移した時、フリップフロップ1403の出力の値は0にリセットされる。これにより、CMOSインバータ1404の出力の値は1となり、フリップフロップ1403のデータ入力とAND素子1405の片側の入力には1の値が入力される。

[0103] また、AND素子1406の片側の入力には0が入力されているため、AND素子1406の他方の入力に接続されている入力1401は出力出来ない状態となっている。一方、AND素子1405の片側の入力には1が入力されており、他方に接続されている入力1401を出力できる状態になっている。すなわち、入力1401は接続されている2つのAND素子の中からAND素子1405のみを通過し出力される。

[0104] 次に、入力1401の値が1から0に遷移した時、フリップフロップ1403のデータ入力に入力されている1の値が出力され、CMOSインバータ1404の入力およびAND素子1406の片側の入力に入力される。

[0105] これにより、AND素子1406は入力1401を出力できる状態となる。またCMOSインバータ1404の出力の値は0となり、この値がフリップフロップ1403のデータ入力とA

ND素子1405の片側の入力に入力される。すなわち、入力1401は接続されている2つのAND素子の中からAND素子1406のみを通過し出力される。

[0106] 次に、入力1401の値が1から0に遷移した時、フリップフロップ1403のデータ入力に入力されている0の値が出力され、CMOSインバータ1404の片側の入力およびAND素子1406の片側の入力に入力される。

[0107] これにより、CMOSインバータ1404の出力は1となり、AND素子1405は入力1401を出力できる状態となる。すなわち、入力1401は接続されている2つのAND素子の中からAND素子1405のみを通過し出力される。このように、入力1401に従って、この一連の動作が繰り返され、入力1401が2つの出力に順に分配される。

[0108] 図14(b)は、クロック復元回路(CRC2)の実施例を示している。

[0109] すなわち、2つの入力をまずOR素子1408で受け出力した信号の立ち上がり時には短い時間で信号が出力されるのに対し、信号の立ち下がり時には長い遅延時間で出力されることにより、パルス幅を長くするといったことが可能となる。

[0110] 遅延量の設定を変えることによりパルス幅を制御することが可能である。セレクタ816は今、CMOS複合ゲートで構成された例を示しているが、セレクタとしての機能を有するものであればいかなるものでもよい。

[0111] 今、遅延段815を外部クロック(ECLK)のデューティ比率より小さい時間に選べばレベルが1の状態の時間の比率を小さくできるが、逆に外部クロックのデューティ比率と等しい程度の時間に選べば、狭いパルス幅の入力を広いパルス幅にも変化させることが可能となる。すなわち、図12および図13におけるクロック復元回路(CRC2)は、このようにして実現され得るものである。

[0112] 次に、クロックの両側エッジを用いて、周回遅延部112のみで1周期の整数倍遅延を生成する場合における実施の形態を、図面を参照して詳細に説明する。

[0113] 図15は、上記記載の本発明の位相同期回路における生成ブロック115と同じ構成を持つ生成ブロック116および生成ブロック117とを用いて全ての位相の範囲における位相同期に対応した実施例の図である。

[0114] すなわち、図15に示されるような基準クロック(ERCLK1)を2つの入力のうちの1つの入力とするセレクタ102(SEL1)と、セレクタ102から出力される信号を入力とする

遅延列103(DL1)とを有し、上記遅延列103の出力104は、上記セレクタ102の2つの入力のうちもう片方の入力に接続され、さらに上記セレクタ102はセレクタ制御回路105(SELCON1)により、二つの入力のうちどちらの入力信号が出力されるかが選択されるものである。

[0115] さらに、本発明の同期回路は、基準クロック2(ERCLK2)と上記遅延列103(DL1)を構成する遅延段からの出力群のうち少なくとも1つを入力とする位相比較器アレー106(PCA)とを有し、上記基準クロック2と上記出力群からの入力との間の位相の比較結果を、以下に記載する出力信号制御回路107(OS－CON)に出力する。

[0116] さらに、本発明の同期回路は、外部クロックECLKとある一定の時間関係(基準クロック1と基準クロック2の時間差に等しい時間関係)を保つように内部クロックICLKを同期させるために、外部クロックをパルス生成分配回路(PGDC2)に入力し、パルスに変換し、尚且つパルスに変換されたものを3つの生成ブロック115, 116, 117に夫々順に分配し(ECLK1, ECLK2, ECLK3)、上記位相比較結果を基に夫々のブロックで分配されたパルス信号が遅延され、夫々の遅延信号(ICLK1, ICLK2, ICLK3)がクロック復元回路(CRC3)に入力され内部クロックICLKとしてクロックが復元され出力される。パルス生成分配回路(PGDC2)内部のパルス生成回路は、外部入力クロック(ECLK)の0と1の状態のデューティ比率を変化させるものである。

[0117] 典型的には外部クロック(ECLK)がデューティ50%である場合を想定される場合に、このデューティ比率より小さなデューティ比率(例えば10%)へと変化させるものである。これによりもともと外部クロック(ECLK)が有していた1状態の時間に比較してより短い時間の1状態となるように変化させることができる。

[0118] このようにすれば、遅延周回ブロック112を信号が周回する場合に、1周の時間より十分に短いパルスを生成することが可能となり、例えば先行する信号の立ち上がり遷移が再び同じ位置に戻ってくるまでに、その位置の信号を立ち上がり遷移前のレベル(すなわち0)に戻しておくことが可能となる。もし立ち上がり遷移前のレベルに戻っていなければ、全ての位置における信号レベルが1となり信号の伝播が以降行うことができなくなってしまうことを防止するものである。

[0119] 一方、クロック復元回路(CRC3)は、外部入力クロック(ECLK)のデューティ比率と

同じデューティ比率を持つクロックを復元する働きをする。具体的に分配パルスECLK1と生成ブロック115を例にとって説明する。

[0120] 生成ブロック115に入力されたパルス(ECLK1)を2つの入力のうちの1つの入力とするセレクタ108と、セレクタ108から出力される信号を入力とする遅延列109(DL2)とを有し、上記遅延列109の出力110は、上記セレクタ108の2つの入力のうちもう片方の入力に接続され、さらに上記セレクタ108はセレクタ制御回路111(SELCON2)により二つの入力のうちどちらの信号が出力されるかが決定されるものである。

[0121] さらに、出力信号制御回路107(OS－CON)は、位相比較器アレー106(PCA)からの位相比較結果を意味する信号113と、遅延列103の所定の位置からの信号114とを入力として受け取る。

[0122] また、出力信号制御回路107は、外部クロックから分配されたパルス(ECLK1)が遅延列109を通過し複数の箇所から出力された信号のうちの少なくとも1つを選択し、この選択された信号を出力する。

[0123] なお、上記遅延列103および遅延列109は、複数の遅延段より構成されるものであるが、このとき、本同期回路で利用する2つの基準クロックの時間差に対して、セレクタ102および遅延列103を信号が通過する時間が短くなるように遅延列中の遅延段数は決定されるものである。

[0124] さて、上記構成の動作について詳細を説明すると以下のようになる。

[0125] すなわち、セレクタ102および遅延列103で構成される周回遅延ブロック101を複数回通過させ、さらにセレクタ102および遅延列103の内部の遅延段を一定段数通過させることで、基準クロック1(ERCLK1)が一定の時間だけ遅延した信号が生成される。次に、この遅延した信号と基準クロック2(ERCLK2)とが、位相比較器アレー106の内部に存在する複数の位相比較器においてその時間的前後関係が一斉に比較され、各位相比較器が一定の条件を満たすことで同位相であると判断すると、この同位相となるときの、周回遅延ブロック101の信号通過周回数と遅延列103からの出力の位置(段数)に関する情報(以下、目標周回数と目標段数と呼ぶ)を生成する。

[0126] これにより、周回遅延ブロック101を複数回(すなわち目標周回数)通過し、さらにセレクタ102と遅延列内部の一定の遅延段数(すなわち目標段数)を通過したときの

、総計の遅延時間が2つの基準クロックの間の時間差に等しいようにすることができる。

[0127] 次に、このようにして決定された周回遅延ブロック101の目標周回数と目標段数が、生成ブロック115、116、117の夫々の出力信号制御回路107(OS－CON)に伝えられる。生成ブロック115における例を説明すると、出力信号制御回路107は、外部クロックから分配されたパルス(ECLK1)からの信号が周回遅延ブロック112を目標周回数だけ周回した後、遅延列109において目標段数だけ通過したとき、その遅延列109からの出力が、内部クロックICLKを生成する為の遅延信号(ICLK1)として出力されるように制御を行う。

[0128] クロック復元回路(CRC3)では、生成ブロック115、116、117からの出力を受け、内部クロックICLKを復元し出力する。位相比較器アレー106の内部には、複数の位相比較器が存在し、それぞれの位相比較器は、遅延列103の内部に存在する複数の各々の遅延段からの出力と基準クロック2との信号の遷移時刻を比較する。

[0129] そして、両者がもっとも近いタイミングで遷移しているような遅延列103からの出力段数を目標段数として、決定する。同時に、出力制御回路107は、そのときまでの周回遅延ブロック101の信号通過周回数とを勘定し、これを目標周回数として出力ないし記憶する。

[0130] 図16は、本発明による別の位相同期回路の基本的な構成を示したものである。すなわち、ここでは、図15における位相比較器アレー106(PCA)のかわりに、一つの位相比較器501(PC)を有する。

[0131] そして、周回遅延ブロック101からの複数の遅延出力から1つを選択するためのセレクタ1601(SEL5)を有する。セレクタ1601が上記複数の遅延出力からどの出力を選択するかは、制御回路503(RS－CON)により制御される。

[0132] 位相比較器501は、基準クロック2に対して、上記複数の遅延出力から選択された信号の位相が進んでいるか、それとも遅れているかを示す信号(進んでいればDN信号、遅れていればUP信号)と、位相の一致(LOCK信号)を出力するものである。

[0133] 位相比較器は1つしか存在しないため、目標周回数と目標段数の値は、逐次的に操作される。位相比較器により、位相の一致が検出されると、そのときまでに基準クロ

ック1が周回遅延ブロック101を何回周回したかを遅延列103の所定の位置からの信号504を用いて計測した結果である目標周回数、および位相一致した際の目標段数が出力制御回路107に通知される。

[0134] しかし、このような操作は、同期完了までに基準クロック1における多くのサイクルを必要とするため、その時間が長くなってしまい従来技術同様の問題が存在する。そのため、本発明では、制御回路503はその内部に目標段数の制御を1ずつ増減させるのではなく可変的に増減させる可変段数制御回路505を有する。この可変段数制御回路505は上記実施例で示したものである。

[0135] 図17(a)は、図15および図16で示したパルス生成分配回路(PGDC2)内部のパルス生成回路の実施例を示したものである。入力信号1701は遅延段1702(DL)により遅延され、その出力1703と入力1701とのEXOR論理がEXOR素子1704により生成されて出力1705となる。

[0136] さて、本回路の動作は下記のようになる。

[0137] すなわち、入力1701が最初0であるとき1703は0の状態であるため出力は0となっている。次に入力1701が1に遷移するとEXOR論理の出力1705は二つの入力が0と1であるから1となる。しかし、遅延段だけ時間が経過すると1703は1に遷移するため、EXOR論理は0となりこれが出力される。

[0138] すなわち、出力が1である時間は遅延段の信号通過時間となりパルスが生成されることがわかる。なお、上記遅延段はいかなる遅延素子でもよいことは言うまでもない。図17(b)は遅延段をCMOSインバータで構成した例である。

[0139] 図17(c)は、図15および図16で示したクロック復元回路(CRC3)の実施例を示したものである。

[0140] 3つの入力パルス信号1714と1715と1716とのOR論理がOR素子1717により生成されて出力1718となる。この生成信号1718がフリップフロップ1719のクロック入力に入力され、このフリップフロップ1719により分周されて、出力1720となる。さて、本回路の動作は下記のようになる。すなわち、入力1721が最初1で、ある時間だけたって0に遷移したときフリップフロップ1719の出力、すなわち出力1720は0にリセットされる。

[0141] また、フリップフロップ1719の出力にはCMOSインバータ1722が接続されており、その出力がフリップフロップ1719のデータ入力となる。すなわち、出力1720が0にリセットされたとき、フリップフロップのデータ入力には、CMOSインバータ1722により1が入力されることになる。

[0142] 入力パルス信号1714、1715、1716が最初0である時、出力1718は0であり、フリップフロップの出力は変化しない。ある時、この3つの入力パルス信号1714、1715、1716のいずれかが1に遷移すると、OR論理の値が0から1に遷移し、これが出力される。

[0143] この時、フリップフロップ1719の出力が0であり、データ入力に1が入力されている場合、出力の値1720が0から1に遷移し、値を保持する。CMOSインバータ1722は1から0に遷移し、フリップフロップ1719のデータ入力には0が入力される。

[0144] 次に、OR論理の出力1718が0の状態である時、3つの入力パルス信号1714、1715、1716のいずれかが1に遷移すると、OR論理の値が0から1と遷移しこれがフリップフロップ1719のクロック入力に入力され、出力1720の値は、1から0に遷移し、値を保持する。

[0145] すなわち、フリップフロップ1719のクロック入力に入力される値が0から1に遷移した時、フリップフロップ1719の出力1720の値が0から1、ないしは1から0に遷移する。つまり、入力パルスからクロックが復元されることが分かる。

[0146] 図17(d)は、図15および図16で示したパルス生成分配回路(PGDC2)内部の信号分配回路の実施例を示したものである。

[0147] 入力信号1722は、CMOSインバータ1723およびAND素子1727、1728、1729の片側の入力に接続されている。CMOSインバータ1723により反転された入力信号は、フリップフロップ1724および1725のクロック入力に入力される。

[0148] フリップフロップは、クロック入力の値が0から1に遷移した時、出力の値が更新される。入力信号1722が1から0に遷移した時、CMOSインバータ1723の出力、すなわちフリップフロップ1724および1725のクロック入力は0から1に遷移する。

[0149] この時、フリップフロップ1724および1725の出力の値が更新される。フリップフロップ1724の出力は、フリップフロップ1725のデータ入力とNOR素子1726の片側の

入力およびAND素子1728の他方の入力に接続されている。

[0150] フリップフロップ1725の出力は、NOR素子1726の他方の入力およびAND素子1729の他方の入力に接続されている。NOR素子1726の出力は、フリップフロップ1724のデータ入力およびAND素子1727の他方の入力に接続されている。

[0151] 外部から入力されるリセット信号などの入力1730の値が1から0に遷移した時、フリップフロップ1724および1725の出力の値は0になる。この時、NOR素子1726の二つの入力には0が入力されている為、出力の値は1となり、フリップフロップ1724のデータ入力には1が入力される。この1の値が、入力1722の値が1から0に遷移するたびに、フリップフロップ1724の出力、フリップフロップ1725の出力と順に移り、AND素子1727、1728および1729がそれに対応して入力1722を出力できる状態となる。

[0152] さて、本回路の動作は下記のようになる。

[0153] すなわち、入力1730が最初1で、ある時間だけ経って0に遷移した時、フリップフロップ1724およびフリップフロップ1725の出力の値は0にリセットされる。これにより、NOR素子1726の出力の値は1となり、フリップフロップ1724のデータ入力とAND素子1727の片側の入力には1の値が入力される。

[0154] また、AND素子1728および1729の片側の入力には0が入力されているため、AND素子1728および1729の他方の入力に接続されている入力1722は出力できない状態となっている。一方、AND素子1727の片側の入力には1が入力されており、他方に接続されている入力1722を出力できる状態になっている。すなわち、入力1722は接続されている3つのAND素子の中からAND素子1727のみを通過し出力される。

[0155] 次に、入力1722の値が1から0に遷移した時、フリップフロップ1724のデータ入力に入力されている1の値が出力され、フリップフロップ1725のデータ入力と、NOR素子1726の片側の入力およびAND素子1728の片側の入力に入力される。

[0156] 一方フリップフロップ1725のデータ入力には0が入力されていた為、出力の値は0のまま変わらない。これにより、AND素子1728は入力1722を出力できる状態となる。またNOR素子1726の出力の値は0となり、この値がフリップフロップ1724のデー

タ入力とAND素子1727の片側の入力に入力される。

[0157] すなわち、入力1722は接続されている3つのAND素子の中からAND素子1728のみを通過し出力される。次に、入力1722の値が1から0に遷移した時、フリップフロップ1724のデータ入力に入力されている0の値が出力され、フリップフロップ1725のデータ入力と、NOR素子1726の片側の入力およびAND素子1728の片側の入力に入力される。一方、フリップフロップ1725のデータ入力には1が入力されていた為、出力には1の値が出力され、この値がNOR素子1726の他方の入力およびAND素子1729の片側の入力に入力される。

[0158] これにより、AND素子1729は入力1722を出力できる状態となる。またNOR素子1726の出力の値は0のまま変わらない。すなわち、入力1722は接続されている3つのAND素子の中からAND素子1729のみを通過し出力される。

[0159] 次に、入力1722の値が1から0に遷移した時、フリップフロップ1724のデータ入力に入力されている0の値が出力され、フリップフロップ1725のデータ入力と、NOR素子1726の片側の入力およびAND素子1728の片側の入力に入力される。

[0160] 一方、フリップフロップ1725のデータ入力にも0が入力されていた為、出力には0の値が出力され、この値がNOR素子1726の他方の入力およびAND素子1729の片側の入力に入力される。

[0161] これにより、NOR素子1726の出力は1となり、AND素子1727は入力1722を出力できる状態となる。すなわち、入力1722は接続されている3つのAND素子の中からAND素子1727のみを通過し出力される。このように、入力1722に従って、この一連の動作が繰り返され、入力1722が3つの出力に順に分配される。

[0162] 図18は、図15に示した本発明の位相同期回路のタイミング図であり、基準クロック1(ERCLK1)と基準クロック2(ERCLK2)の時間差がクロックの1周期Tの4分の3だけずれているものと仮定する。位相比較器アレー106(PCA)は、基準クロック2(ERCLK2)のタイミングで信号113を生成ブロック115、116および117へ出力し、5段という結果が出て、これが目標段数となる。この時(ERCLK2が入力された時)までの周回数は信号114で数えており、この周回数が目標周回数となる。

[0163] 今、周回数は5周となっている。夫々の生成ブロック115、116および117内部の出

力信号制御回路107(OS－CON)は、信号113と信号114により、目標段数が5段、目標周回数が5周という結果を伝えられる。

[0164] この結果を基に、外部クロックECLKがパルス生成分配回路(PGDC2)により生成されたECLK1、ECLK2およびECLK3の信号がそれぞれの生成ブロック内部の周回遅延ブロック112を目標周回数の5周だけ周回した後、6周目に遅延列109において目標段数の5段だけ通過した時、その遅延列109からの出力を出力信号制御回路107(OS－CON)が受け、ECLK1、ECLK2およびECLK3の遅延信号ICLK1、ICLK2およびICLK3が出力される。これら3つの出力ICLK1、ICLK2およびICLK3がクロック復元回路(CRC3)に入力され、クロックが復元され、結果、外部クロックECLKと1周期Tの4分の3の時間差を持つ内部クロックICLKとして出力される。

[0165] 図19に、図15に示した位相同期回路の遅延列のレイアウト例を示す。図19(a)には遅延列を構成するセル配置を示し、図19(b)にそれらに電源を供給する電源線の配置を示している。セル遅延列DL11が図15の遅延列103に、遅延列DL21～23がそれぞれ生成ブロック115～117の遅延列109に相当する。遅延列DLは遅延素子DEで構成される。図ではセルイメージで表示している。たとえば、遅延素子DEは複数のNAND回路のセルで構成することができる。遅延列DL11は、複数の遅延素子DE1～6で構成され、図では表示されないが遅延素子の信号は順次後段の遅延素子に受け渡される。すなわち、遅延素子DE1の出力は遅延素子DE2に入力され、遅延素子DE2の出力は遅延素子DE3に入力されるように構成され、遅延信号が生成される。この構成は遅延列DL21～23でも同様である。また、遅延列DL21～23に隣接してレジスタ回路Rが設けられる。レジスタ回路Rは、同期した遅延段を指示し、そこから同期した遅延信号が取り出される。なお、図19は遅延列に関連する部分のレイアウトを中心に示しており、この周囲や遅延列DL11と遅延列DL21の間には制御回路等が配置される。

[0166] また、図19(b)では電源線VDDを実線で、電源線VSSを破線で示している。電源線はメッシュ状に配置され、X方向に延在するのが第1層配線、Y方向に延在するのが電源を強化するための第2層配線である。

[0167] このように、遅延列DL11、DL21～DL23は各遅延素子DEをX方向に揃えて配

置することが望ましい。これは各遅延素子の遅延量は遅延素子間の配線容量に影響を受けるためである。各遅延素子の遅延量を等しくするためには、遅延素子間を接続する配線長(電気長)を等しくすることが望ましい。そのため、各遅延素子のX方向の位置を揃えて配置する。さらに、図19のレイアウトでは各遅延素子に対する電源を強化するため、遅延素子間に第2層配線が配置されている。これにより、遅延列が動作したときの電源ドロップの影響を最小限にとどめることができる。なお、図19の例はすべての遅延素子間に第2層配線を配置した例を示しているが、たとえば、複数の遅延素子ごとに配置してもよい。この場合、遅延素子間の配置を圧縮することができるわけであるが、その場合でも遅延素子の遅延量を変更しないよう、遅延素子間の配線長を等しくするように配線をレイアウトする必要がある。

[0168] 以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

産業上の利用可能性

[0169] 本発明は、マイクロプロセッサや信号処理プロセッサなどの各種半導体集積回路装置、および揮発性／不揮発性メモリなどの各種メモリまたはカードなどに用いられる位相同期回路の低消費電力化、ならびに小型化技術に適している。

請求の範囲

[1] 第1遅延列と、

第1基準クロックおよび前記第1遅延列の出力のいずれか一方を選択的に前記第1遅延列に入力する第1セレクタと、

前記第1遅延列に含まれる各遅延段と第2基準クロックとの位相比較を行う複数の位相比較器と、

第2遅延列と、

外部クロックおよび前記第2遅延列の出力のいずれか一方を選択的に前記第2遅延列に入力する第2セレクタと、

前記第2遅延列の各遅延段から出力される出力を内部クロックとして選択的に出力する出力制御回路とを有し、

前記出力制御回路は、前記第1基準クロックの前記第1遅延列による遅延信号が前記第2基準クロックと同期するのに要する前記第1遅延列の周回数および遅延段数を把握し、前記把握した周回数と遅延段数に応じた前記外部クロックの前記第2遅延列による遅延信号を前記内部クロックとして出力することを特徴とする位相同期回路。

[2] 請求項1記載の位相同期回路において、

前記第1基準クロックのデューティ比を変えて前記第2セレクタに入力するパルス発生回路と、

前記出力制御回路の出力のデューティ比を変えて前記内部クロックとして出力するクロック復元回路と、

前記外部クロックを所定時間遅延させて前記第1セレクタに入力する遅延回路とを有し、

前記遅延回路による遅延時間は、前記パルス発生回路および前記クロック復元回路による遅延時間に相当することを特徴とする位相同期回路。

[3] 請求項1記載の位相同期回路において、

前記第1遅延列および前記第2遅延列に含まれる各遅延段の遅延時間は、前記位相同期回路が許容する最も高い周波数に対応した精度で設定されることを特徴とす

る位相同期回路。

[4] 請求項1記載の位相同期回路において、

前記第1基準クロックおよび前記第2基準クロックが同一であることを特徴とする位相同期回路。

[5] 第1遅延列と、

第1基準クロックおよび前記第1遅延列の出力のいずれか一方を選択的に前記第1遅延列に入力する第1セレクタと、

前記第1基準クロックの前記第1遅延列による遅延信号と第2基準クロックと位相比較を行う位相比較器と、

前記位相比較器に入力する前記遅延信号の遅延量を制御する遅延制御回路と、

第2遅延列と、

外部クロックおよび前記第2遅延列の出力のいずれか一方を選択的に前記第2遅延列に入力する第2セレクタと、

前記第2遅延列の各遅延段から出力される出力を内部クロックとして選択的に出力する出力制御回路とを有し、

前記出力制御回路は、前記第1基準クロックの前記第1遅延列による遅延信号が前記第2基準クロックと同期するのに要する前記第1遅延列の周回数および遅延段数を把握し、前記把握した周回数と遅延段数に応じた前記外部クロックの前記第2遅延列による遅延信号を前記内部クロックとして出力し、

前記遅延制御回路は、前記位相比較器に入力する遅延信号の遅延量を可変に制御することを特徴とする位相同期回路。

[6] 請求項5記載の位相同期回路において、

前記第1基準クロックのデューティ比を変えて前記第2セレクタに入力するパルス発生回路と、

前記出力制御回路の出力のデューティ比を変えて前記内部クロックとして出力するクロック復元回路と、

前記外部クロックを所定時間遅延させて前記第1セレクタに入力する遅延回路とを有し、

前記遅延回路による遅延時間は、前記パルス発生回路および前記クロック復元回路による遅延時間に相当することを特徴とする位相同期回路。

[7] 請求項5の位相同期回路において、

前記第1遅延列および前記第2遅延列に含まれる各遅延段の遅延時間は、前記位相同期回路が許容する最も高い周波数に対応した精度で設定されることを特徴とする位相同期回路。

[8] 請求項5の位相同期回路において、

前記第1基準クロックおよび前記第2基準クロックが同一であることを特徴とする位相同期回路。

[9] 第1、第2および第3のセレクタと、第1、第2および第3の遅延列と、第1、第2および第3のセレクタ制御回路と、分配回路と、合成回路と、位相比較器アレーと、第1および第2の出力制御回路とより構成される位相同期回路であって、

前記第1のセレクタは、

その二つの入力の片方に第1の基準クロックが入力され、もう片方の入力には前記第1の遅延列の出力が接続され、二つの入力のうちどちらの信号が出力されるかが前記第1のセレクタ制御回路により選択され、

前記第1の遅延列は、

その入力には前記第1のセレクタの出力が接続され、出力に前記第1のセレクタの二つの入力のうちの片方の入力が接続され、

前記位相比較器アレーは、

第2の基準クロックと前記第1の遅延列を構成する遅延段からの出力群を入力とし、これら二つの入力の間の位相の比較結果を、前記出力信号制御回路へ出力し、

前記分配回路は、

外部クロックを第2セレクタおよび第3セレクタに分配して出力し、

前記第2のセレクタは、

その二つの入力の片方に分配された外部クロックの一方が入力され、もう片方の入力には前記第2の遅延列の出力が接続され、二つの入力のうちどちらの信号が出力されるかが前記第2のセレクタ制御回路により選択され、

前記第2の遅延列は、

その入力には前記第2のセレクタの出力が接続され、出力に前記第2のセレクタの二つの入力のうちの片方の入力が接続され、

前記第1の出力信号制御回路は、

前記位相比較器アレーからの比較結果を用いて、前記第2の遅延列からの出力のうちの少なくとも1つを選択し、この選択された信号を分配された外部クロックが前記第2のセレクタおよび前記第2の遅延列を複数回周回した後に出力し、

前記第3のセレクタは、

その二つの入力の片方に分配された外部クロックの他方が入力され、もう片方の入力には前記第3の遅延列の出力が接続され、二つの入力のうちどちらの信号が出力されるかが前記第3のセレクタ制御回路により選択され、

前記第3の遅延列は、

その入力には前記第3のセレクタの出力が接続され、出力に前記第3のセレクタの二つの入力のうちの片方の入力が接続され、

前記第2の出力信号制御回路は、

前記位相比較器アレーからの比較結果を用いて、前記第3の遅延列からの出力のうちの少なくとも1つを選択し、この選択された信号を分配された外部クロックが前記第3のセレクタおよび前記第3の遅延列を複数回周回した後に出力し、

前記合成回路は、

それぞれの出力を合成し、出力することを特徴とする位相同期回路。

[10] 請求項9記載の位相同期回路において、

第1の基準クロックと第2の基準クロックと外部クロックが全て同一であることを特徴とする位相同期回路。

[11] 第1、第2、第3および第4のセレクタと、第1、第2および第3の遅延列と、第1、第2、第3および第4のセレクタ制御回路と、分配回路と、合成回路と、位相比較器と、段数制御回路と、出力制御回路とより構成される位相同期回路であって、

前記第1のセレクタは、

その二つの入力の片方に第1の基準クロックが入力され、もう片方の入力には前記

第1の遅延列の出力が接続され、二つの入力のうちどちらの信号が出力されるかが前記第1のセレクタ制御回路により選択され、

前記第1の遅延列は、

その入力には前記第1のセレクタの出力が接続され、出力に前記第1のセレクタの二つの入力のうちの片方の入力が接続され、

前記第4のセレクタは、前記段数制御回路からの信号に応じて前記第1の遅延列からの複数の出力のうち1つを選択してこれを前記位相比較器に出力し、

前記位相比較器は、

第2の基準クロックと前記第1の遅延列を構成する遅延段からの出力群を入力とし、これら二つの入力の間の位相の比較結果を、前記出力信号制御回路へ出力し、

前記段数制御回路は、

前記位相比較器からの比較結果に基づき、前記第4のセレクタの複数の出力のうちの一つを変化させる時に、選択段数の位置に関し、あるサイクルにおける選択段数位置とそれに引き続くサイクルにおける選択位置との段数差分が可変となるように制御する機構を有し、

前記分配回路は、

外部クロックを第2セレクタおよび第3セレクタに分配して出力し、

前記第2のセレクタは、

その二つの入力の片方に分配された外部クロックの一方が入力され、もう片方の入力には前記第2の遅延列の出力が接続され、二つの入力のうちどちらの信号が出力されるかが前記第2のセレクタ制御回路により選択され、

前記第2の遅延列は、

その入力には前記第2のセレクタの出力が接続され、出力に前記第2のセレクタの二つの入力のうちの片方の入力が接続され、

前記出力信号制御回路は、

前記位相比較器アレーからの比較結果を用いて、前記第2の遅延列からの出力のうちの少なくとも1つを選択し、この選択された信号を分配された外部クロックが前記第2のセレクタおよび前記第2の遅延列を複数回周回した後に出力し、

前記第3のセレクタは、

その二つの入力の片方に分配された外部クロックの他方が入力され、もう片方の入力には前記第3の遅延列の出力が接続され、二つの入力のうちどちらの信号が出力されるかが前記第3のセレクタ制御回路により選択され、

前記第3の遅延列は、

その入力には前記第3のセレクタの出力が接続され、出力に前記第3のセレクタの二つの入力のうちの片方の入力が接続され、

前記出力信号制御回路は、

前記位相比較器アレーからの比較結果を用いて、前記第3の遅延列からの出力のうちの少なくとも1つを選択し、この選択された信号を分配された外部クロックが前記第3のセレクタおよび前記第3の遅延列を複数回周回した後に出力し、

前記合成回路は、

それぞれの出力を合成し、出力することを特徴とする位相同期回路。

[12] 請求項11記載の位相同期回路において、

第1の基準クロックと第2の基準クロックと外部クロックが全て同一であることを特徴とする位相同期回路。

[13] 第1、第2、第3および第4のセレクタと、第1、第2、第3および第4の遅延列と、第1、第2、第3および第4のセレクタ制御回路と、分配回路と、合成回路と、位相比較器アレーと、第1、第2および第3の出力制御回路とより構成される位相同期回路であって、

前記第1のセレクタは、

その二つの入力の片方に第1の基準クロックが入力され、もう片方の入力には前記第1の遅延列の出力が接続され、二つの入力のうちどちらの信号が出力されるかが前記第1のセレクタ制御回路により選択され、

前記第1の遅延列は、

その入力には前記第1のセレクタの出力が接続され、出力に前記第1のセレクタの二つの入力のうちの片方の入力が接続され、

前記位相比較器アレーは、

第2の基準クロックと前記第1の遅延列を構成する遅延段からの出力群を入力とし、これら二つの入力の間の位相の比較結果を、前記出力信号制御回路へ出力し、

前記分配回路は、

外部クロックを前記第2セレクタ、前記第3セレクタおよび前記第4セレクタに分配して出力し、

前記第2のセレクタは、

その二つの入力の片方に分配された外部クロックの一方が入力され、もう片方の入力には前記第2の遅延列の出力が接続され、二つの入力のうちどちらの信号が出力されるかが前記第2のセレクタ制御回路により選択され、

前記第2の遅延列は、

その入力には前記第2のセレクタの出力が接続され、出力に前記第2のセレクタの二つの入力のうちの片方の入力が接続され、

前記第1の出力信号制御回路は、

前記位相比較器アレーからの比較結果を用いて、前記第2の遅延列からの出力のうちの少なくとも1つを選択し、この選択された信号を分配された外部クロックが前記第2のセレクタおよび前記第2の遅延列を複数回周回した後に出力し、

前記第3のセレクタは、

その二つの入力の片方に分配された外部クロックの一方が入力され、もう片方の入力には前記第3の遅延列の出力が接続され、二つの入力のうちどちらの信号が出力されるかが前記第3のセレクタ制御回路により選択され、

前記第3の遅延列は、

その入力には前記第3のセレクタの出力が接続され、出力に前記第3のセレクタの二つの入力のうちの片方の入力が接続され、

前記第2の出力信号制御回路は、

前記位相比較器アレーからの比較結果を用いて、前記第3の遅延列からの出力のうちの少なくとも1つを選択し、この選択された信号を分配された外部クロックが前記第3のセレクタおよび前記第3の遅延列を複数回周回した後に出力し、

前記第4のセレクタは、

その二つの入力の片方に分配された外部クロックの他方が入力され、もう片方の入力には前記第4の遅延列の出力が接続され、二つの入力のうちどちらの信号が出力されるかが前記第4のセレクタ制御回路により選択され、

前記第4の遅延列は、

その入力には前記第4のセレクタの出力が接続され、出力に前記第4のセレクタの二つの入力のうちの片方の入力が接続され、

前記第3の出力信号制御回路は、

前記位相比較器アレーからの比較結果を用いて、前記第4の遅延列からの出力のうちの少なくとも1つを選択し、この選択された信号を分配された外部クロックが前記第4のセレクタおよび前記第4の遅延列を複数回周回した後に出力し、

前記合成回路は、

それぞれの出力を合成し、出力することを特徴とする位相同期回路。

[14] 請求項13記載の位相同期回路において、

第1の基準クロックと第2の基準クロックと外部クロックが全て同一であることを特徴とする位相同期回路。

[15] 第1、第2、第3、第4および第5のセレクタと、第1、第2、第3および第4の遅延列と、第1、第2、第3、第4および第5のセレクタ制御回路と、分配回路と、合成回路と、位相比較器と、段数制御回路と、出力制御回路とより構成される位相同期回路であって、

前記第1のセレクタは、

その二つの入力の片方に第1の基準クロックが入力され、もう片方の入力には前記第1の遅延列の出力が接続され、二つの入力のうちどちらの信号が出力されるかが前記第1のセレクタ制御回路により選択され、

前記第1の遅延列は、

その入力には前記第1のセレクタの出力が接続され、出力に前記第1のセレクタの二つの入力のうちの片方の入力が接続され、

前記第5のセレクタは、

前記段数制御回路からの信号に応じて前記第1の遅延列からの複数の出力のうち

1つを選択してこれを前記位相比較器に出力し、

前記位相比較器は、

第2の基準クロックと前記第1の遅延列を構成する遅延段からの出力群を入力とし、これら二つの入力の間の位相の比較結果を、前記出力信号制御回路へ出力し、

前記段数制御回路は、

前記位相比較器からの比較結果に基づき、前記第5のセレクタの複数の出力のうちの一つを変化させる時に、選択段数の位置に関し、あるサイクルにおける選択段数位置とそれに引き続くサイクルにおける選択位置との段数差分が可変となるように制御する機構を有し、

前記分配回路は、外部クロックを前記第2セレクタ、前記第3セレクタおよび前記第4セレクタに分配して出力し、

前記第2のセレクタは、

その二つの入力の片方に分配された外部クロックの一方が入力され、もう片方の入力には前記第2の遅延列の出力が接続され、二つの入力のうちどちらの信号が出力されるかが前記第2のセレクタ制御回路により選択され、

前記第2の遅延列は、

その入力には前記第2のセレクタの出力が接続され、出力に前記第2のセレクタの二つの入力のうちの片方の入力が接続され、

前記出力信号制御回路は、

前記位相比較器アレーからの比較結果を用いて、前記第2の遅延列からの出力のうちの少なくとも1つを選択し、この選択された信号を分配された外部クロックが前記第2のセレクタおよび前記第2の遅延列を複数回周回した後に出力し、

前記第3のセレクタは、

その二つの入力の片方に分配された外部クロックの一方が入力され、もう片方の入力には前記第3の遅延列の出力が接続され、二つの入力のうちどちらの信号が出力されるかが前記第3のセレクタ制御回路により選択され、

前記第3の遅延列は、

その入力には前記第3のセレクタの出力が接続され、出力に前記第3のセレクタの

二つの入力のうちの片方の入力が接続され、

前記出力信号制御回路は、

前記位相比較器アレーからの比較結果を用いて、前記第3の遅延列からの出力のうちの少なくとも1つを選択し、この選択された信号を分配された外部クロックが前記第3のセレクタおよび前記第3の遅延列を複数回周回した後に出力し、

前記第4のセレクタは、

その二つの入力の片方に分配された外部クロックの他方が入力され、もう片方の入力には前記第4の遅延列の出力が接続され、二つの入力のうちどちらの信号が出力されるかが前記第4のセレクタ制御回路により選択され、

前記第4の遅延列は、

その入力には前記第4のセレクタの出力が接続され、出力に前記第4のセレクタの二つの入力のうちの片方の入力が接続され、

前記出力信号制御回路は、

前記位相比較器アレーからの比較結果を用いて、前記第4の遅延列からの出力のうちの少なくとも1つを選択し、この選択された信号を分配された外部クロックが前記第4のセレクタおよび前記第4の遅延列を複数回周回した後に出力し、

前記合成回路は、

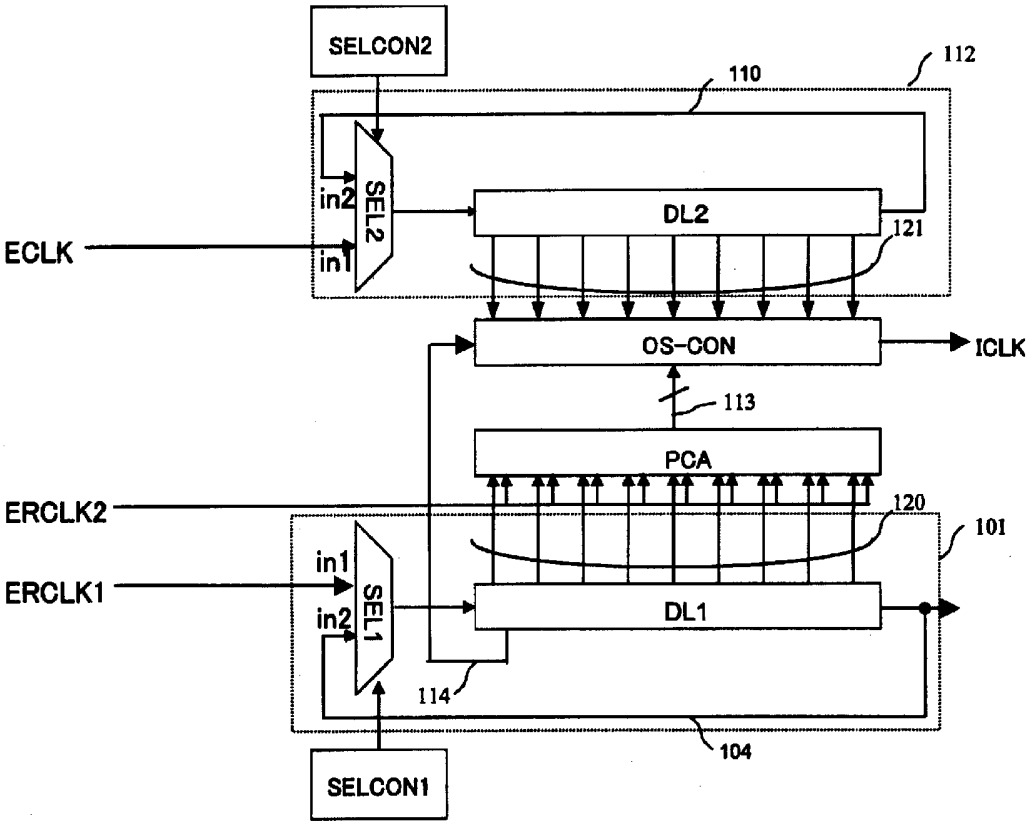
それぞれの出力を合成し、出力することを特徴とする位相同期回路。

[16] 請求項15記載の位相同期回路において、

第1の基準クロックと第2の基準クロックと外部クロックが全て同一であることを特徴とする位相同期回路。

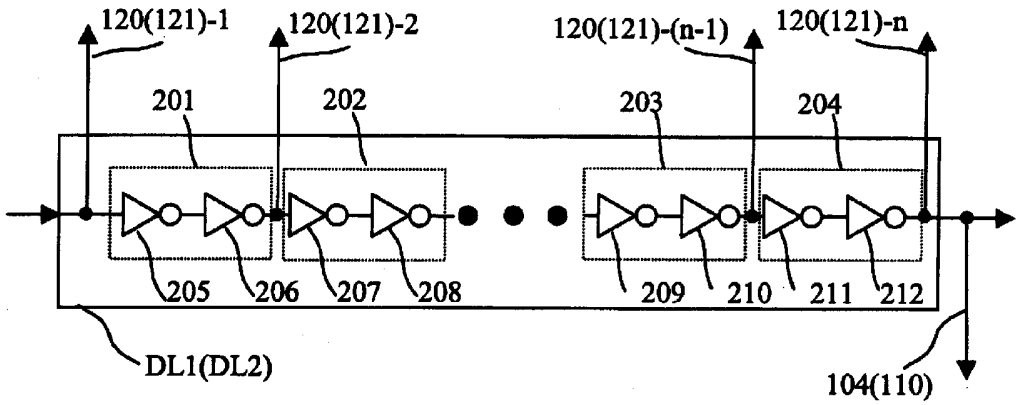
[図1]

図 1


SELCON2
110
112
in2
SEL2
in1
ECLK
DL2
121
OS-CON
ICLK
113
PCA
ERCLK2
120
101
in1
ERCLK1
in2
SEL1
DL1
114
104
SELCON1

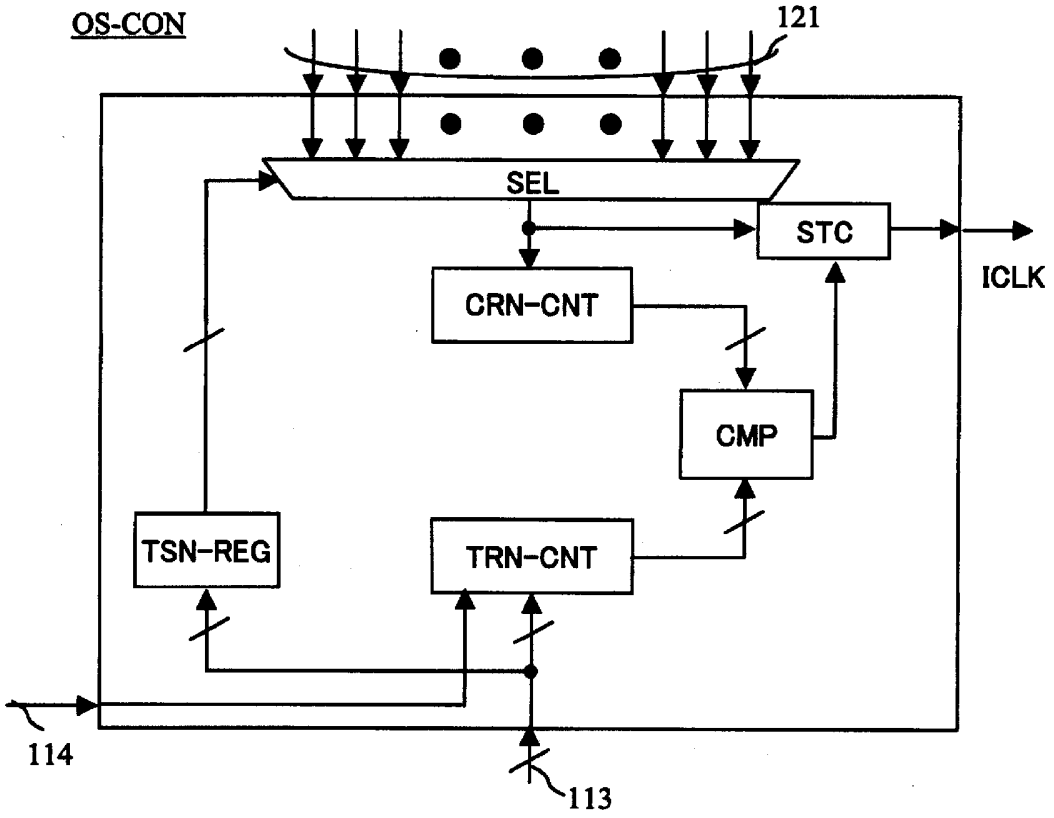
[図2]

図 2


120(121)-1
120(121)-2
120(121)-(n-1)
120(121)-n
201
202
203
204
205
206
207
208
209
210
211
212
DL1(DL2)
104(110)

[図3]

図 3



[図4]

図 4

(a)

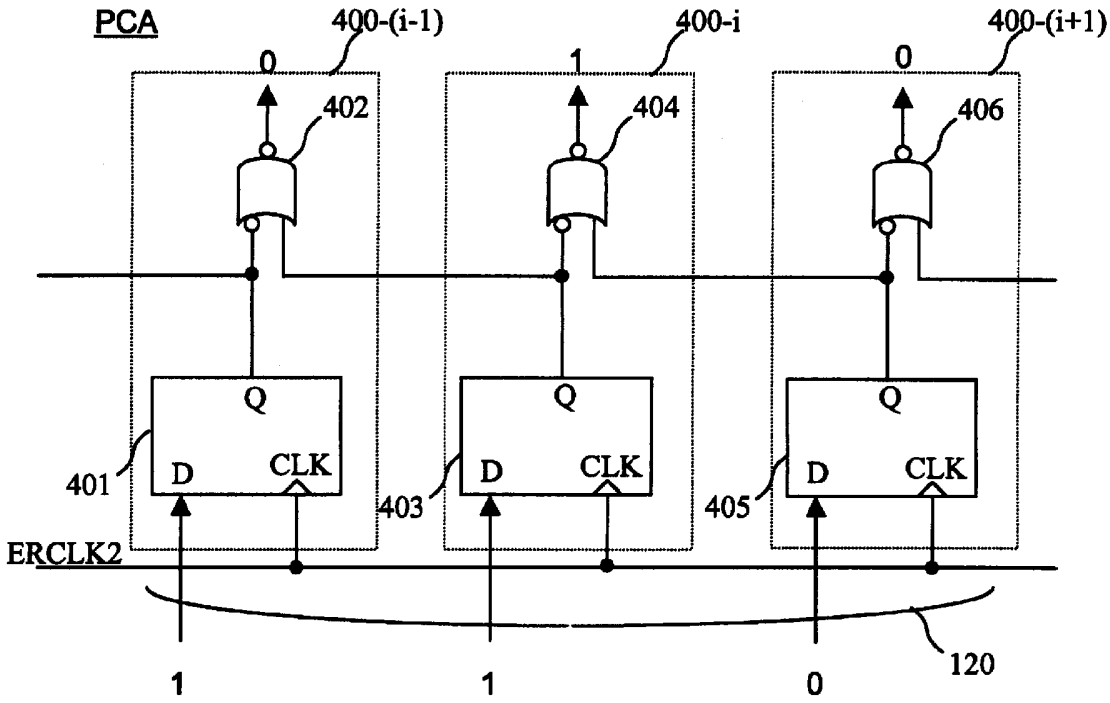
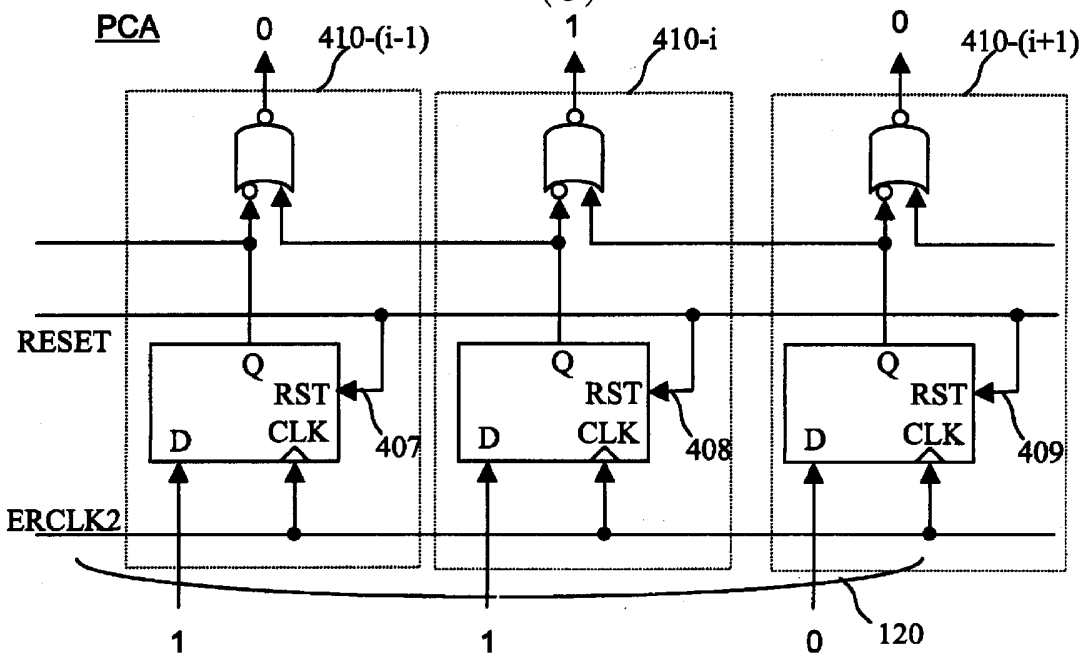

PCA
400-(i-1)
400-i
400-(i+1)
0
1
0
402
404
406
Q
D
CLK
401
403
405
ERCLK2
120
1
1
0

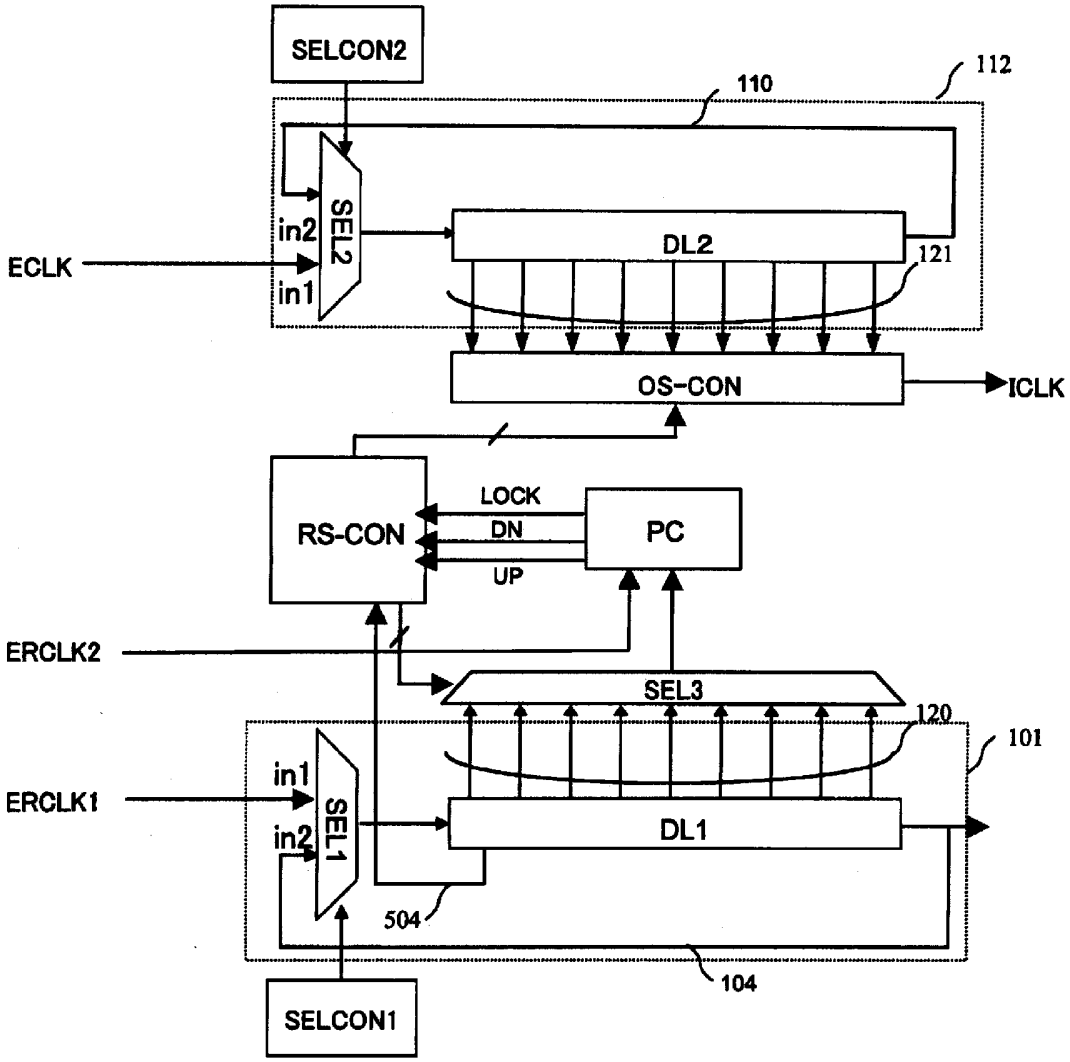
図 4

(b)


PCA
0
410-(i-1)
1
410-i
0
410-(i+1)
RESET
Q
RST
D
CLK
407
408
409
ERCLK2
120
1
1
0

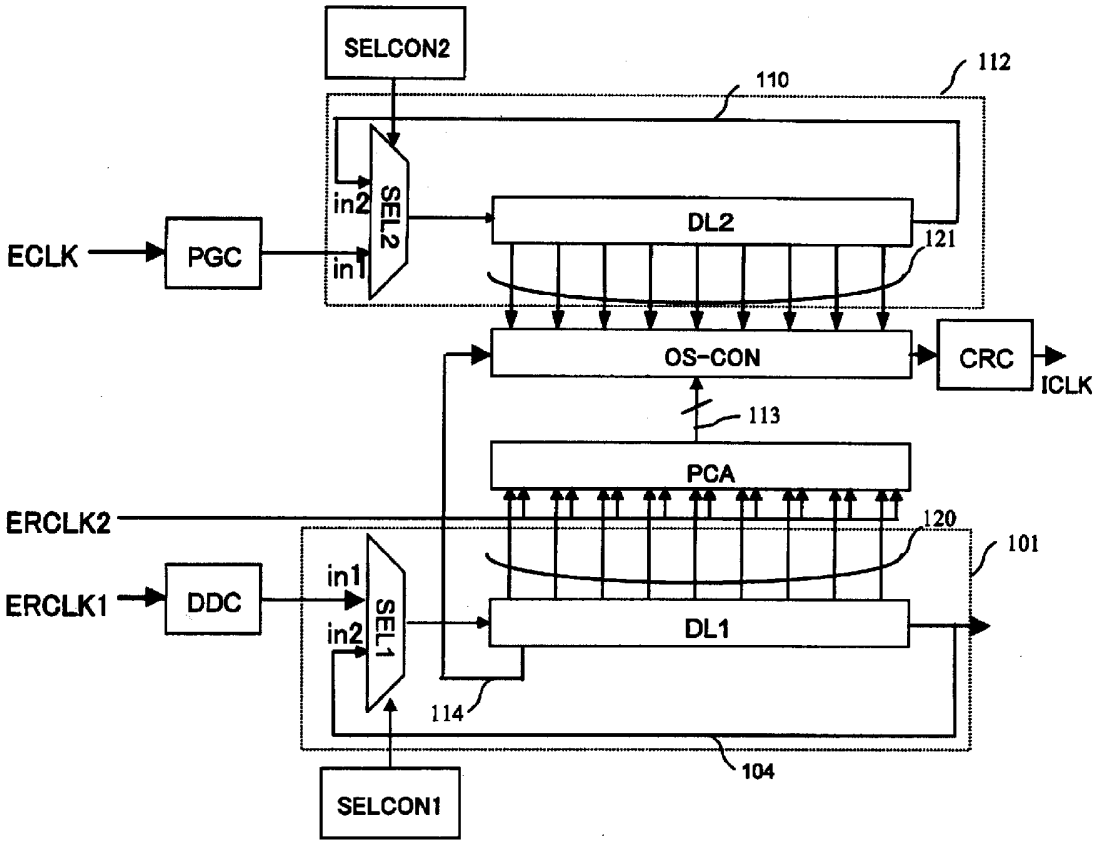
[図5]

図 5


SELCON2
110
112
in2
SEL2
in1
ECLK
DL2
121
OS-CON
ICLK
RS-CON
LOCK
DN
UP
PC
ERCLK2
SEL3
120
101
in1
ERCLK1
in2
SEL1
DL1
504
104
SELCON1

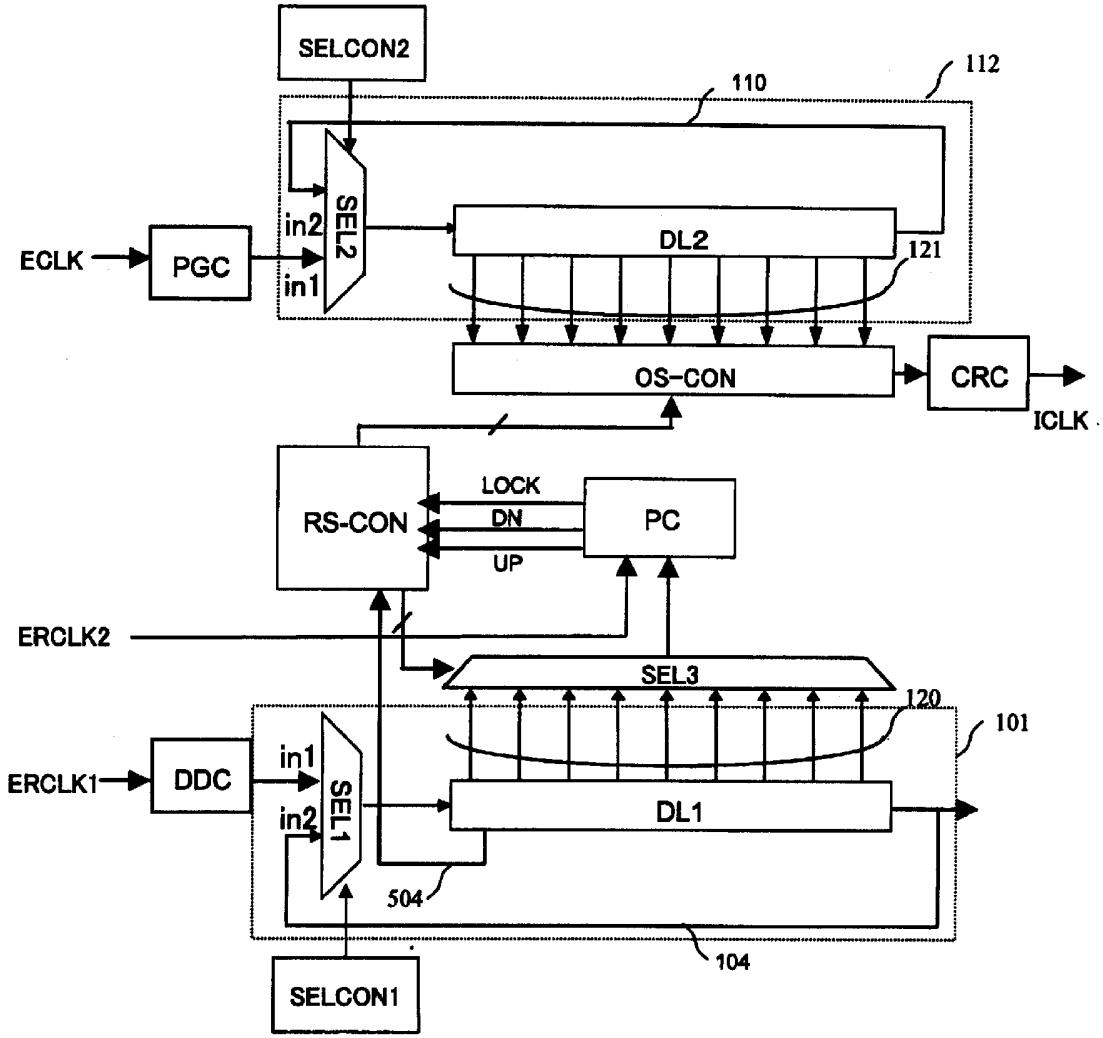
[図6]

図 6


SELCON2
110
112
in2
SEL2
in1
ECLK
PGC
DL2
121
OS-CON
CRC
ICLK
113
PCA
ERCLK2
120
101
ERCLK1
DDC
in1
in2
SEL1
DL1
114
104
SELCON1

[図7]

図 7


SELCON2
110
112
ECLK
PGC
in2
in1
SEL2
DL2
121
OS-CON
CRC
ICLK
RS-CON
LOCK
DN
UP
PC
ERCLK2
SEL3
120
101
ERCLK1
DDC
in1
in2
SEL1
DL1
504
104
SELCON1

[図8]

図 8

(a)

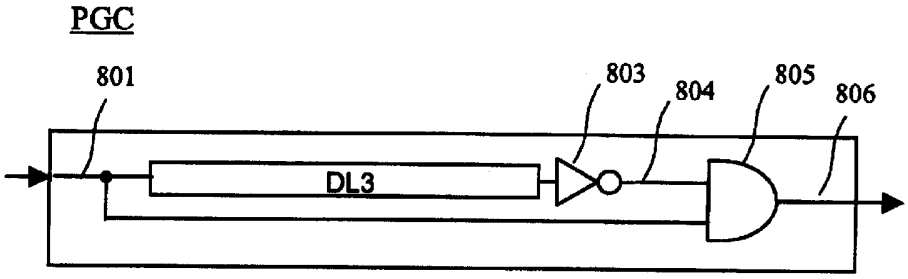
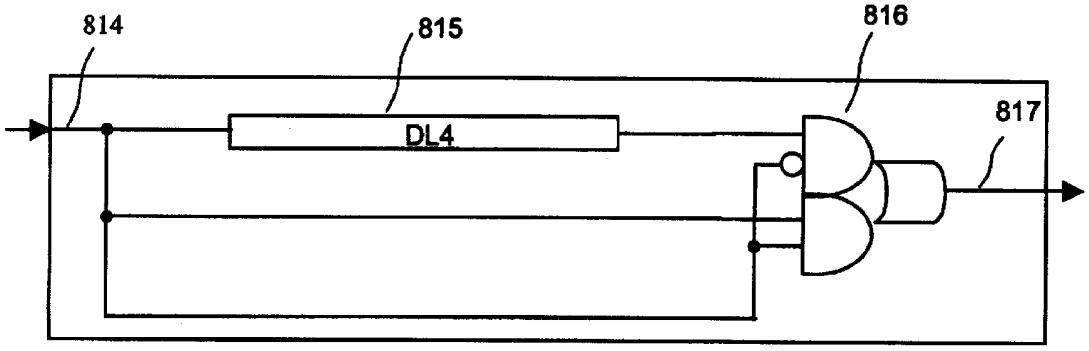


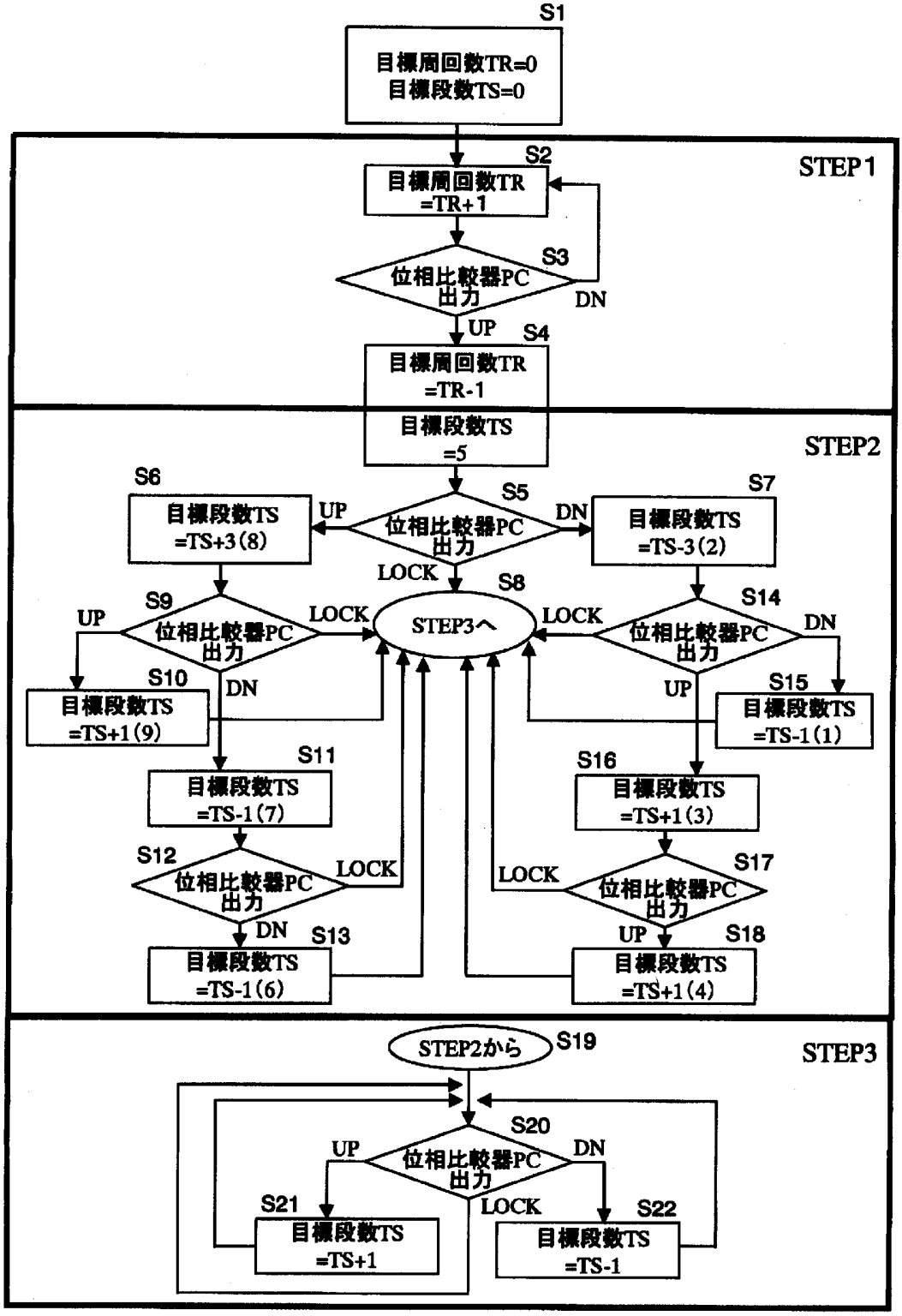
図 8

(b)



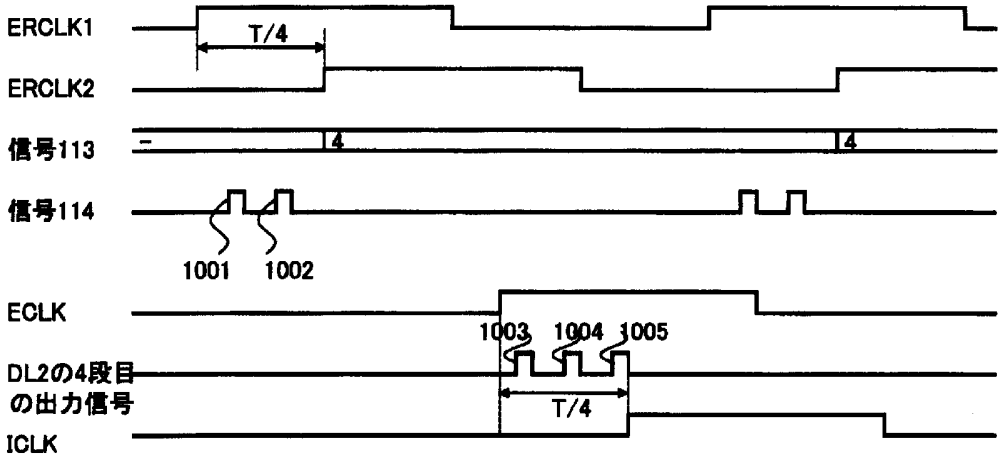
[図9]

図 9


S1
目標周回数TR=0
目標段数TS=0
STEP1
S2
目標周回数TR
=TR+1
S3
位相比較器PC
出力
DN
UP
S4
目標周回数TR
=TR-1
目標段数TS
=5
STEP2
S6
目標段数TS
=TS+3(8)
UP
S5
位相比較器PC
出力
DN
S7
目標段数TS
=TS-3(2)
LOCK
S8
STEP3へ
LOCK
S9
UP
位相比較器PC
出力
LOCK
S14
位相比較器PC
出力
DN
S10
目標段数TS
=TS+1(9)
DN
UP
S15
目標段数TS
=TS-1(1)
S11
目標段数TS
=TS-1(7)
S16
目標段数TS
=TS+1(3)
S12
位相比較器PC
出力
LOCK
LOCK
S17
位相比較器PC
出力
DN
S13
目標段数TS
=TS-1(6)
UP
S18
目標段数TS
=TS+1(4)
STEP3
STEP2から
S19
S20
UP
位相比較器PC
出力
DN
S21
目標段数TS
=TS+1
LOCK
S22
目標段数TS
=TS-1

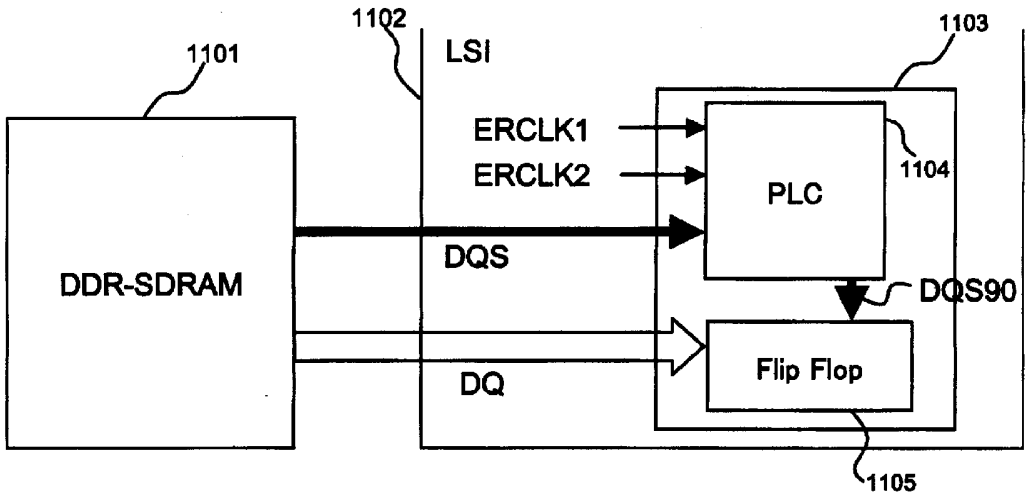
[図10]

図 10



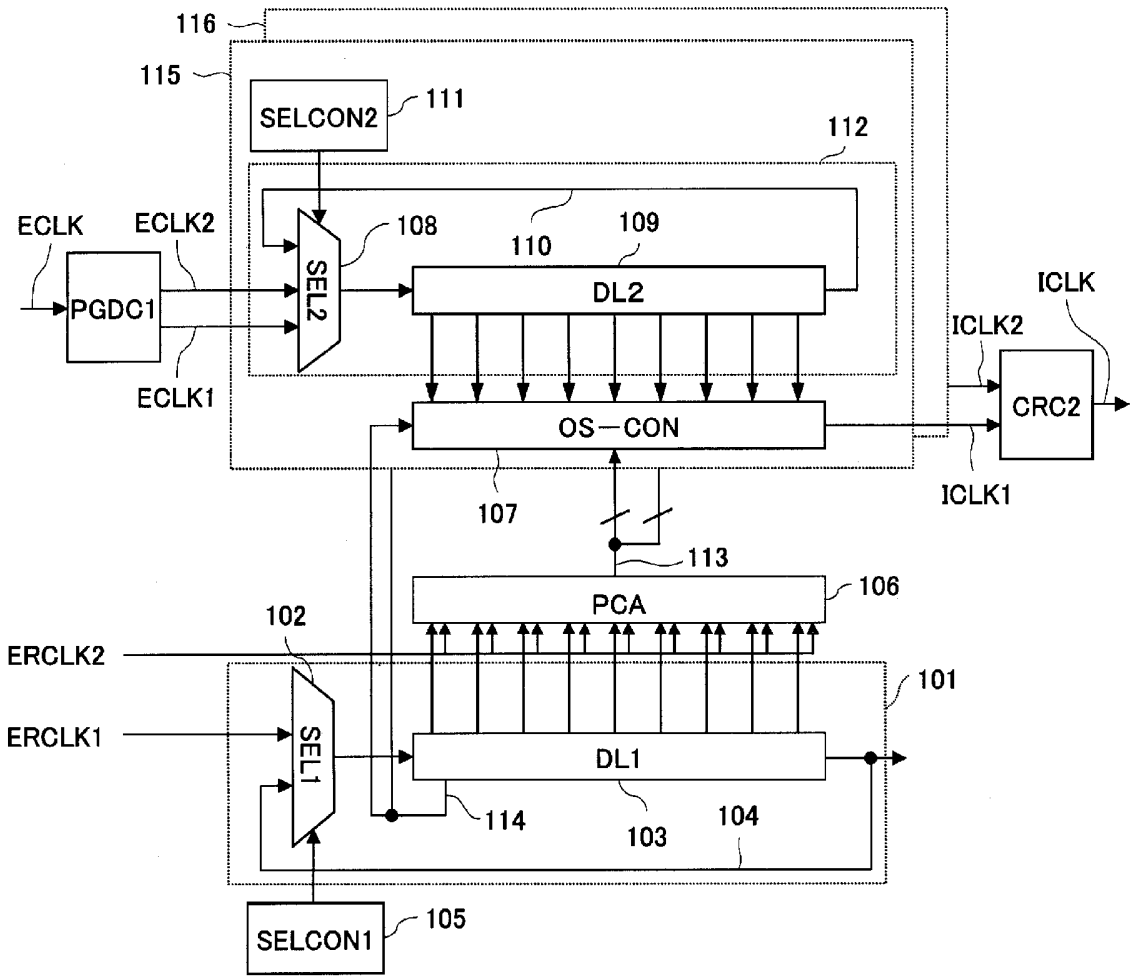
[図11]

図 11



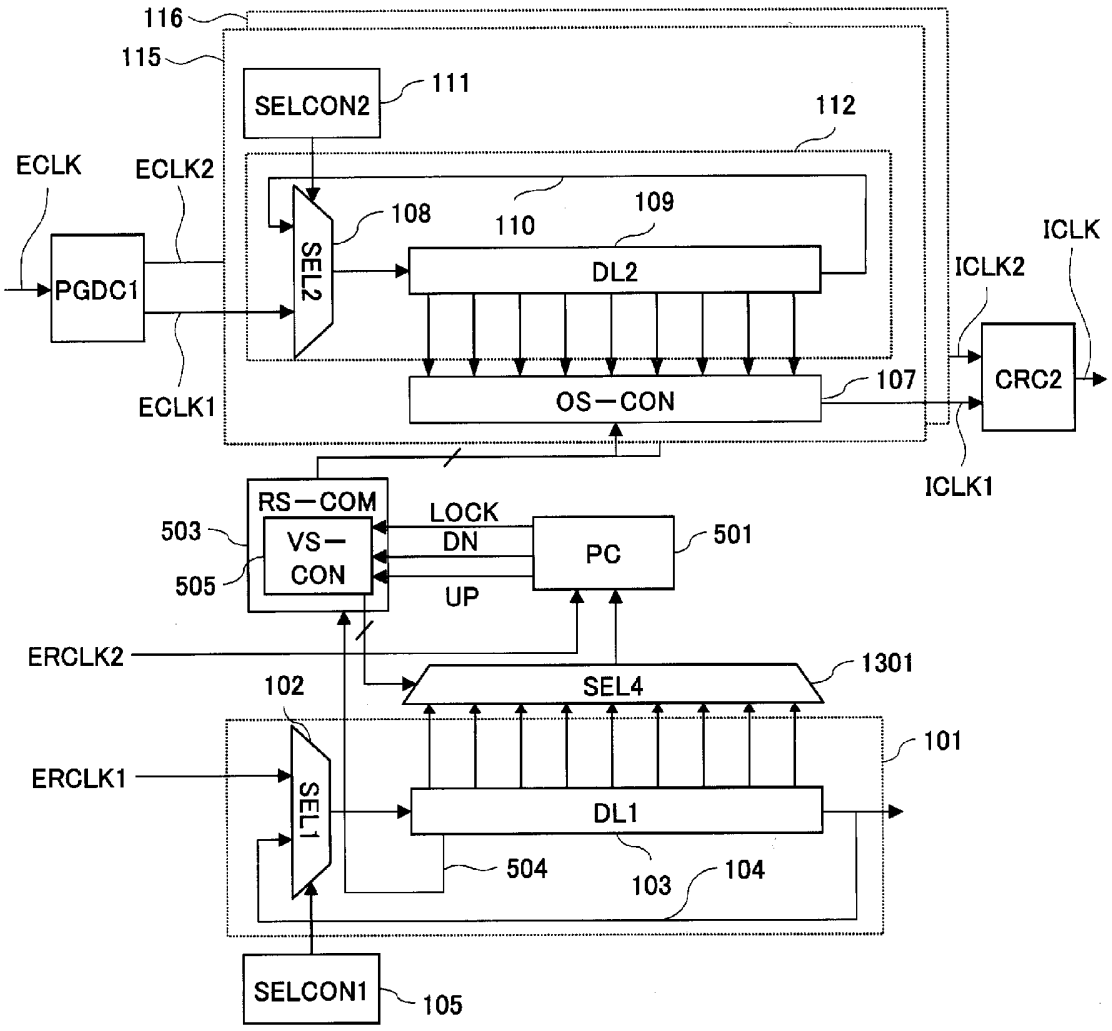
[図12]

図 12


116
115
SELCON2
111
112
ECLK
ECLK2
108
110
109
PGDC1
SEL2
DL2
ICLK
ICLK2
CRC2
ECLK1
OS−CON
ICLK1
107
113
PCA
106
102
ERCLK2
101
ERCLK1
SEL1
DL1
114
103
104
SELCON1
105

[図13]

図 13


116
115
SELCON2
111
112
ECLK
ECLK2
108
110
109
SEL2
PGDC1
DL2
ICLK
ICLK2
CRC2
ECLK1
OS−CON
107
ICLK1
RS−COM
LOCK
503
VS−
CON
DN
PC
501
505
UP
ERCLK2
1301
SEL4
102
101
ERCLK1
SEL1
DL1
504
103
104
SELCON1
105

[図14]

図 14

(a)

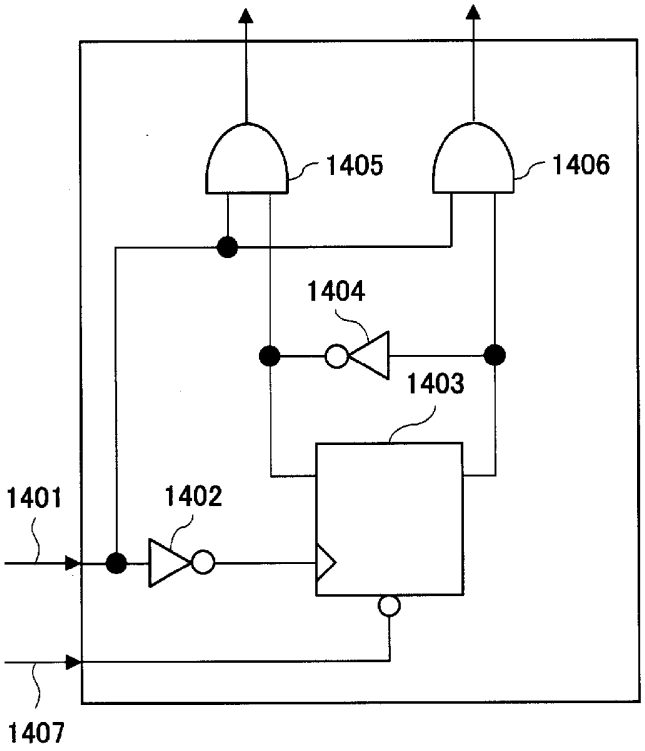
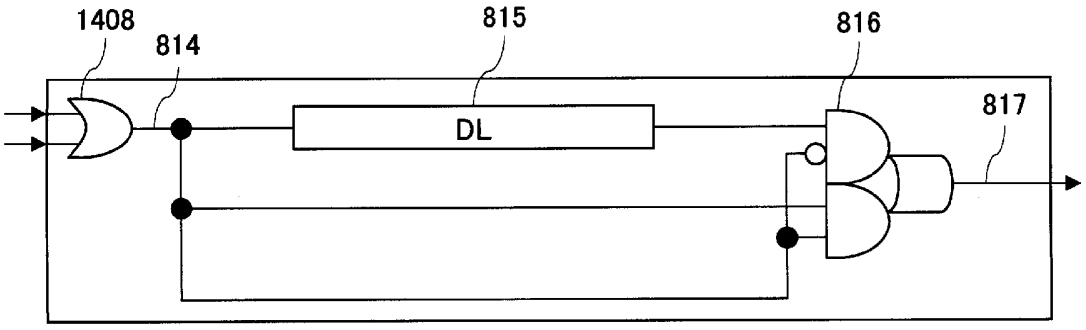


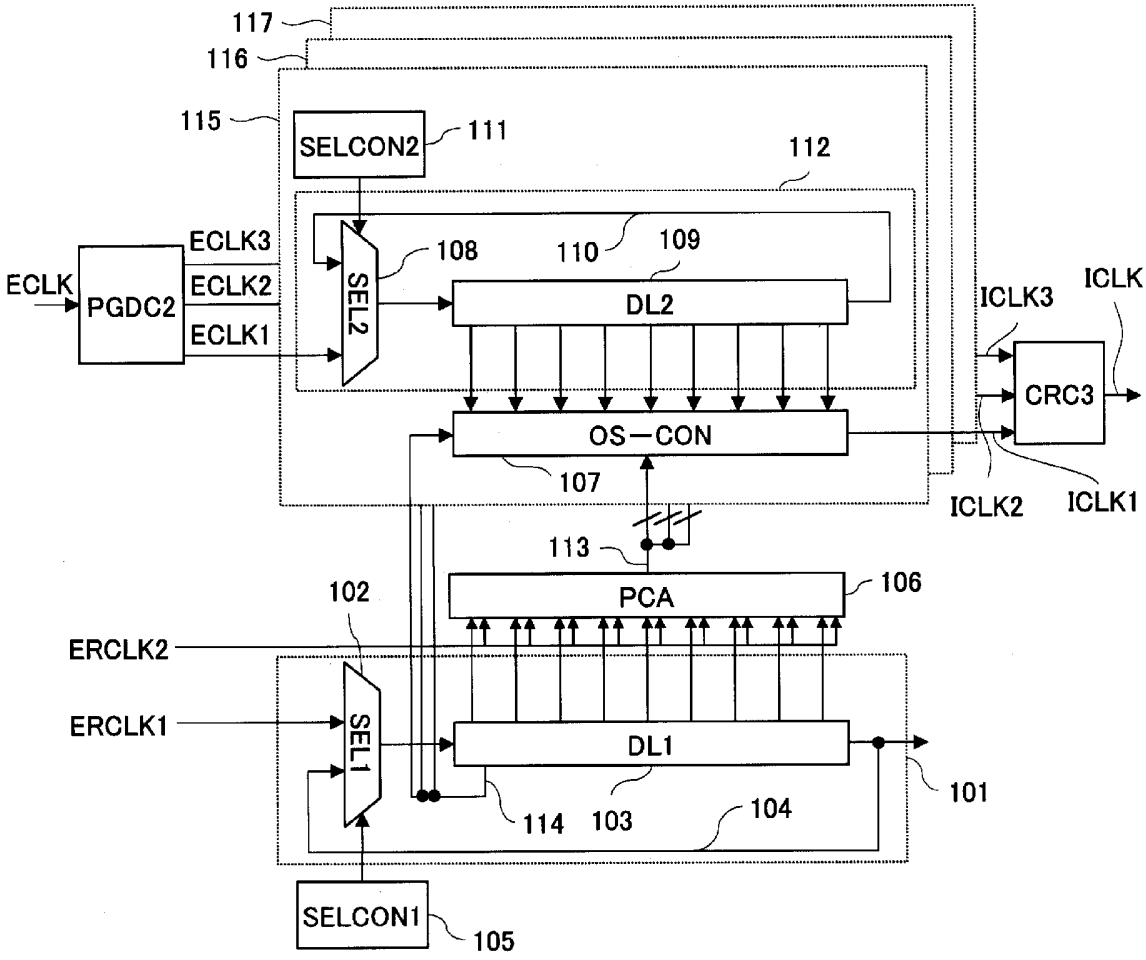
図 14

(b)



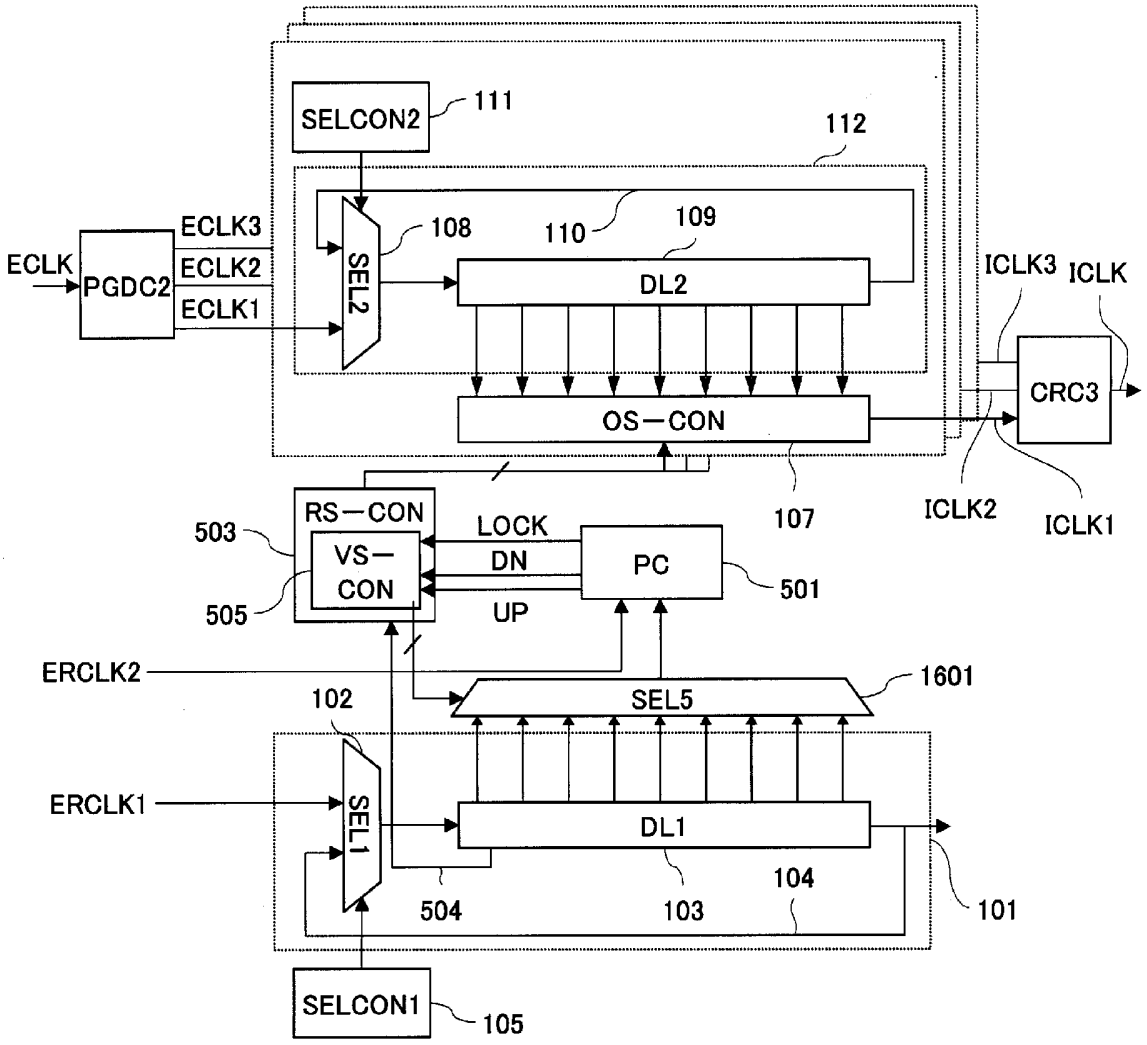
[図15]

図 15


117
116
115
SELCON2
111
112
ECLK
PGDC2
ECLK3
ECLK2
ECLK1
SEL2
108
110
109
DL2
ICLK3
ICLK
CRC3
OS−CON
107
ICLK2
ICLK1
113
102
PCA
106
ERCLK2
ERCLK1
SEL1
DL1
101
114
103
104
SELCON1
105

[図16]

図 16


SELCON2
111
112
ECLK
PGDC2
ECLK3
ECLK2
ECLK1
SEL2
108
110
109
DL2
ICLK3
ICLK
CRC3
OS−CON
RS−CON
503
VS−
CON
505
LOCK
DN
UP
PC
501
107
ICLK2
ICLK1
ERCLK2
1601
SEL5
102
ERCLK1
SEL1
DL1
504
103
104
101
SELCON1
105

[図17]

図 17 (a)

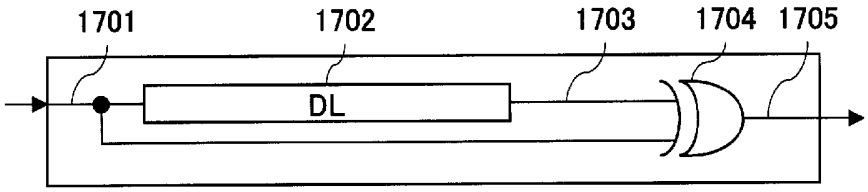


図 17 (b)

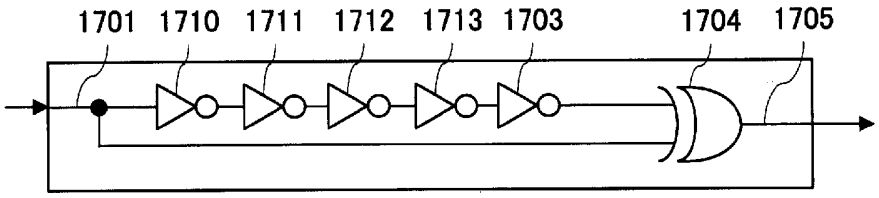


図 17 (c)

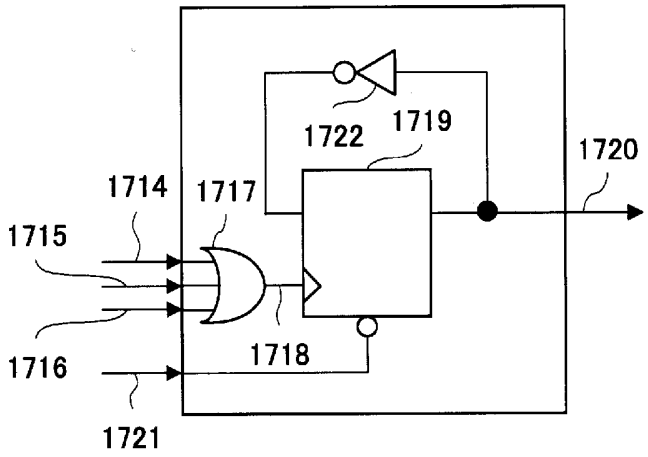
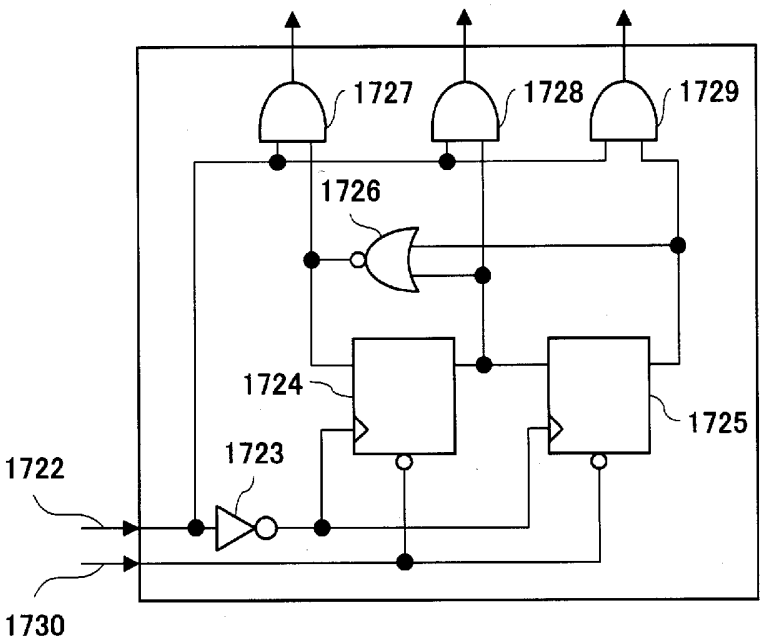


図 17 (d)



[図18]

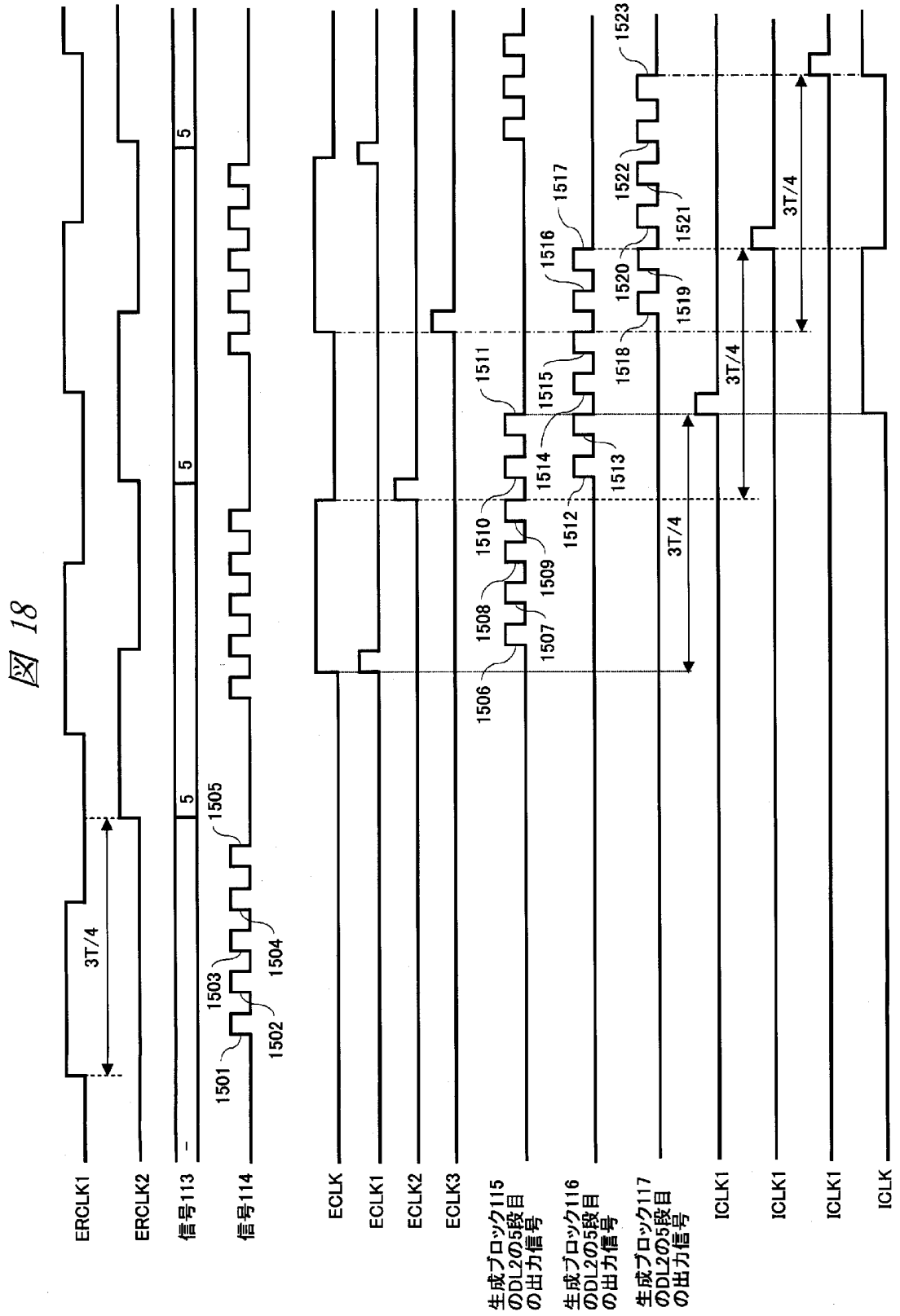

ERCLK1
ERCLK2
信号113
信号114
ECLK
ECLK1
ECLK2
ECLK3
生成ブロック115のDL2の5段目の出力信号
生成ブロック116のDL2の5段目の出力信号
生成ブロック117のDL2の5段目の出力信号
ICLK1
ICLK1
ICLK1
ICLK
3T/4
3T/4
3T/4
3T/4
5
5
5
1501
1502
1503
1504
1505
1506
1507
1508
1509
1510
1511
1512
1513
1514
1515
1516
1517
1518
1519
1520
1521
1522
1523

図 18

[図19]

図 19 (a)

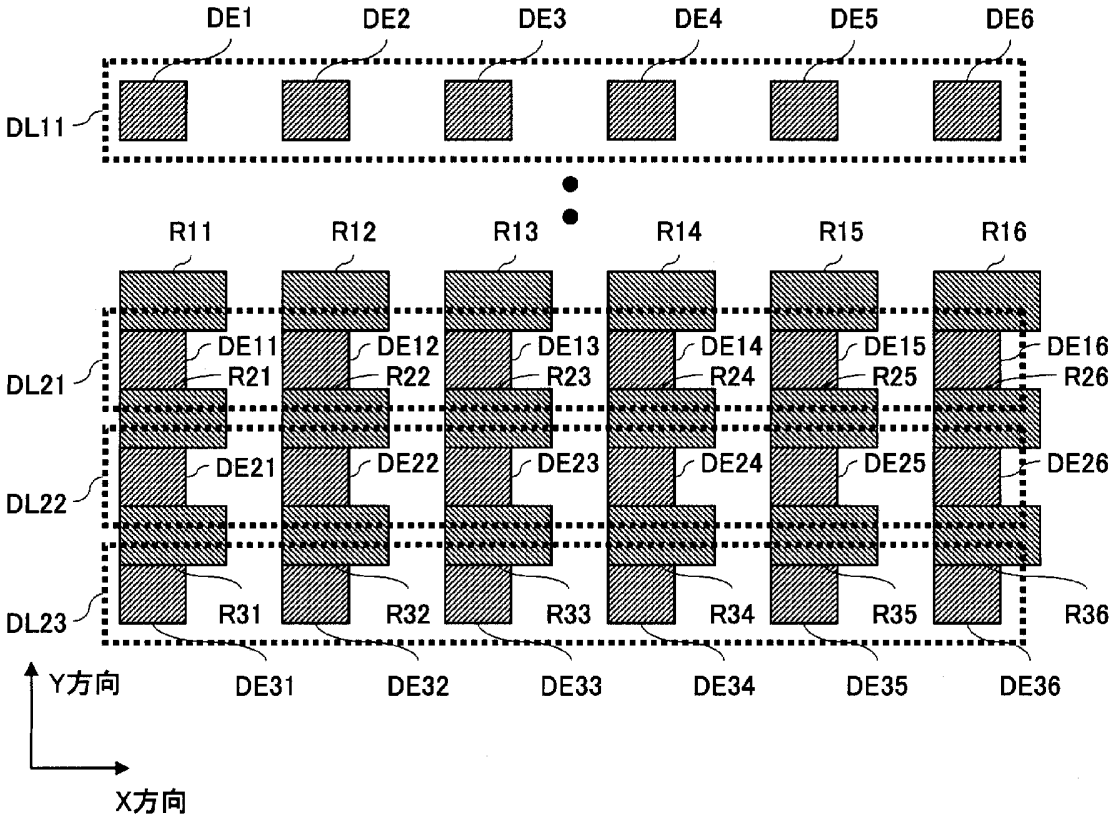
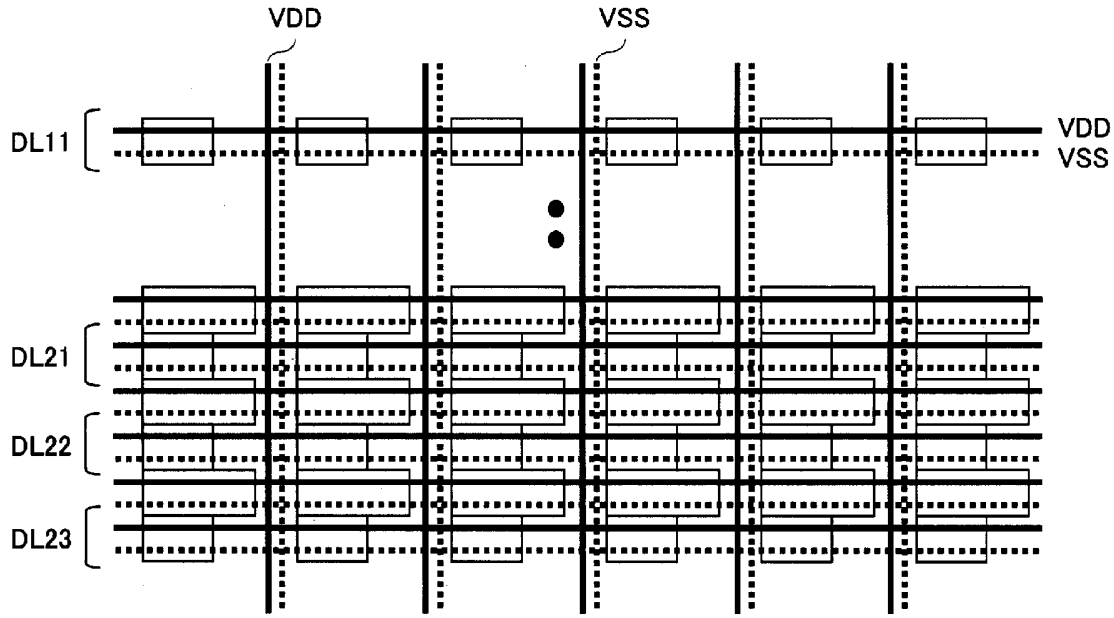


図 19 (b)



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2005/013152

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] H04L7/02, G06F1/10, H03L7/081, H04L7/033

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] H04L7/02, G06F1/10, H03L7/081, H04L7/033

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005
Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-197047 A (Matsushita Electric Industrial Co., Ltd.), 19 July, 2001 (19.07.01), Full text (Family: none)	1-16
A	JP 2000-194438 A (Fujitsu Ltd.), 14 July, 2000 (14.07.00), Full text (Family: none)	1-16

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
16 August, 2005 (16.08.05)	06 September, 2005 (06.09.05)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００５／０１３１５２

A.　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.[7]　H04L7/02, G06F1/10, H03L7/081, H04L7/033

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.[7]　H04L7/02, G06F1/10, H03L7/081, H04L7/033

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００５年
日本国実用新案登録公報	１９９６－２００５年
日本国登録実用新案公報	１９９４－２００５年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C.　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
A	ＪＰ　２００１－１９７０４７　Ａ（松下電器産業株式会社）２００１．０７．１９，全文（ファミリーなし）	１－１６
A	ＪＰ　２０００－１９４４３８　Ａ（富士通株式会社）２０００．０７．１４，全文（ファミリーなし）	１－１６

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日 １６．０８．２００５	国際調査報告の発送日 06.9.2005
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　5K　9382 阿部　弘 電話番号　０３－３５８１－１１０１　内線　３５５６