

公告本

388088

申請日期	85.12.20
案 號	85115732
類 別	1401L 21/335

A4
C4

(以上各欄由本局填註)

388088

發明專利說明書

一、發明 名稱	中 文	具極陡峭退減及／或袋型植入及／或逆摻雜之半導體元件
	英 文	SEMICONDUCTOR DEVICES WITH SUPER-STEEP RETROGRADE AND/OR POCKET IMPLANT AND/OR COUNTER DOPING
二、發明 人	姓 名	1. 那 邁 根 (Mahalingam(nmi) Nandakumar) 2. 柯 安 維 (Amitava (nmi) Chatterjee) 3. 駱 馬 克 (Mark S. Rodder) 4. 陳 一 浸 (Ih-Chin (nmi) Chen)
	國 籍	1. 2. 印度籍 3. 美國籍 4. 中華民國籍
三、申請人	住、居所	1. 美國德州派拉諾市渥維大道2200號 2200 Waterview Parkway, Apt. No. 2338, Richardson, TX 75080, USA 2. 美國德州派拉諾市聖塔那路3545號 3545 Santana Lane, Plano, Texas 75023, USA 3. 美國德州達拉斯城普都街3317號 3317 Purdue Street, Dallas, Texas 75225, USA 4. 美國德州理查森市封伯街3100號 3100 Foxboro Drive, Richardson, Texas 75082, USA
	代 表 人 姓 名	郝威廉(William E. Hiller)

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

美國(地區) 申請專利，申請日期： 案號： ☐有 ☒無主張優先權

(1)西元1995年10月9日 60/005,215
(2)西元1995年10月9日 60/005,216

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (1)

發明之技術範圍

本發明係大體上關於半導體裝置之領域，特別是關於具有極陡峭退減及/或袋型植入及/或逆摻雜之半導體元件。

發明之背景

可攜帶型電子裝置，例如單元電話(俗稱大哥大)、筆記型電腦及其他周邊設備變得愈來愈普及。現今建構以電池運作之可攜式設備之技術挑戰為在明顯地降低功率消耗及因此延長電池壽命之情況下，仍能維持合理之運作速度。CMOS之低的待機功率需求使得它特別適合於此用途。雖然降低功率供應電壓(V_{DD})至1V(伏特)或更低可有效地降低功率消耗，但也會降低執行速度。欲降低供應電壓但仍然維持運作速度，電晶體之臨界電壓， V_T ，也必需降低。臨界電壓可藉由使用一較低之基板摻雜物濃度而降低。然而，如此增加在次微米裝置中不想要的短通道效應。因此，可看出低功率供應電壓運作之次微米電晶體設計並非輕而易舉的。

發明之綜合說明

因此，需要一提供低 V_T 、降低之短通道效應及良好速度之性能之低功率次微米電晶體結構。

本發明提供一具有改良之性能之低臨界電壓電晶體，可除去或大大地降低關於習知之電晶體裝置之缺點。

在本發明之一方面中，一電晶體係在一半導體表面上形成。該電晶體包含在具有一絕緣地配置在鄰接於半導體層表面及在源極及汲極區域間之閘極之半導體層表面中形成

五、發明說明 (2)

之源極及汲極區域。一逆摻雜層被導入且靠近大體上在源極及汲極區域間之半導體層之表面。兩個袋型植入亦可在大體上鄰接於源極及／或汲極區域及逆摻雜層之處形成。

在本發明之另一方面，提供製造電晶體之方法。提供在第一傳導係數型式之半導體層表面形成之電晶體。該方法包含選擇性地在鄰接於半導體層之表面處植入一淺薄的第二傳導係數型式之摻雜物層並在大體上鄰接於閘極下之源極及汲極區域處形成第一傳導係數型式之摻雜物之小袋之步驟。該小袋亦可在較接近具有逆摻雜層之半導體層之表面形成。

在本發明之又一方面中，一電晶體結構包含大體上在介於源極及汲極區域之間形成之第二摻雜型式之一表面逆摻雜層，及大體上鄰接於及／或在逆摻雜層之下形成之第一摻雜物型式之袋型植入。

在本發明之其他方面，一電晶體在一半導體之表面上形成。該電晶體包含在具有一絕緣地配置在鄰接於半導體層表面及在源極及汲極區域間之閘極之半導體層表面中形成之源極及汲極區域。一極陡峭退減通道摻雜外形被摻雜在一半導體層中離半導體層表面一預定之距離處，且一逆摻雜層被導入且靠近大體上在源極及汲極區域間之半導體層之表面。二者擇一或者同時採用，兩個袋型植入亦可在大體上鄰接於源極及／或汲極區域及逆摻雜層之處形成。

在本發明之另一方面，提供製造電晶體之方法。提供在第一傳導係數型式之半導體層表面形成之電晶體。該方法

五、發明說明(3)

包含植入第一傳導係數型式之摻雜物以在半導體層表面下一預定之距離處形成一極陡峭退減通道輪廓，並選擇性地在鄰接於半導體層之表面處植入一淺薄的第二傳導係數型式之摻雜物層。二者擇一或者同時採用，第一傳導係數型式之摻雜物之小袋在閘極下大體上鄰接於源極及汲極區域處植入。

本發明之技術優點包含一具有滿足可攜型電子設備所需之在較低的功率供應電壓具有高性能之低臨界電壓之電晶體結構。本發明之結構在一降低之短通道效應之下滿足此需要，該降低之短通道效應可以最小化電晶體性能對於在較短之通道長度中閘極長度變化之敏感度。

圖式之簡單說明

爲了更加了解本發明，需參考下列之圖式，其中：

圖1A係具極陡峭退減通道及袋型植入之電晶體結構之剖面圖；

圖1B係沿著圖1A中所示之Y-Y'線之摻雜濃度對電晶體結構之深度之示範圖；

圖1C係摻雜濃度對沿著圖1A中所示之電晶體結構之Y₂-Y₂'線之深度之示範圖；

圖1D係沿著圖1A中所示之電晶體結構之X-X'表面之摻雜濃度之示範圖；

圖2A係具極陡峭退減通道及逆摻雜之電晶體結構之剖面圖；

圖2B係沿著圖2A中所示之Y-Y'線之摻雜濃度對具有極

五、發明說明 (4)

陡峭退減通道及逆摻雜之電晶體結構之深度之示範圖；

圖2C係沿著圖2A中所示之電晶體結構之X-X'表面之摻雜濃度示範圖；

圖3A係具極陡峭退減通道、袋型植入及逆摻雜之電晶體結構之剖面圖；

圖3B係沿著圖3A中所示之Y-Y'線之摻雜濃度對電晶體結構之深度之示範圖；

圖3C係摻雜濃度對沿著圖3A中所示之電晶體結構之 $Y_2 - Y_2'$ 線之深度之示範圖；

圖3D係沿著圖3A中所示之電晶體結構之X-X'表面之摻雜濃度之示範圖；

圖4A係另一具極陡峭退減通道、袋型植入及逆摻雜之電晶體結構之剖面圖；

圖4B係沿著圖4A中所示之Y-Y'線之摻雜濃度對電晶體結構之深度之示範圖；

圖4C係沿著圖4A中所示之電晶體結構之X-X'表面之摻雜濃度之示範圖；

圖4D係摻雜濃度對沿著圖4A中所示之電晶體結構之 $Y_2 - Y_2'$ 線之深度之示範圖；

圖5A係具袋型植入及逆摻雜之電晶體結構之剖面圖；

圖5B係沿著圖5A中所示之Y-Y'線之摻雜濃度對電晶體結構之深度之示範圖；

圖5C係摻雜濃度對沿著圖5A中所示之電晶體結構之 $Y_2 - Y_2'$ 線之深度之示範圖；

五、發明說明 (5)

圖5D係沿著圖5A中所示之電晶體結構之X-X'表面之摻雜濃度之示範圖；

圖6A係另一具袋型植入及逆摻雜之電晶體結構之剖面圖；

圖6B係沿著圖6A中所示之Y-Y'線之摻雜濃度對電晶體結構之深度之示範圖；

圖6C係摻雜濃度對沿著圖6A中所示之電晶體結構之Y₂-Y₂'線之深度之示範圖；及

圖6D係沿著圖6A中所示之電晶體結構之X-X'表面之摻雜濃度之示範圖；

較佳實施例之詳細描述

本發明之較佳實施例在圖1-6中說明，相似之參考標記用於表示在各個圖式中相似且相對應之部分。

在圖1A中，一nMOS電晶體結構10包含一閘電極12、閘極絕緣體14及源極及汲極n⁺⁺區域16及18。一p⁺極陡峭退減(SSR)通道20係進一步在一離p型基板或井結構22中之裝置之頂表面一預定之距離或深度處形成。例如，一 $1 \times 10^{13} \text{ cm}^{-2}$ 之劑量之190 Kev銦(In)可植入一nMOS中以形成極陡峭退減通道20。在一具有p⁺⁺源極及汲極區域(未圖示)之pMOS裝置中，n⁺極陡峭退減通道可藉由植入砷(As)而形成。例如，當與習知之在nMOS中使用硼(B)及在pMOS中使用磷(P)之通道摻雜外形相比較，可看出極陡峭退減通道外形提供較佳之短通道完整性。此外，極陡峭退減通道摻雜亦提供一較高之通道移動性，原因在於較低之表面摻雜。

五、發明說明(6)

除了極陡峭退減通道外形20之外，源極及汲極區域16及18之相反型式之淺薄的袋型植入或扇形區24亦形成。袋型植入24通常鄰接於及/或位於源極及汲極區域16及18之下。對於一nMOS裝置，硼可做為一典型之用於袋型植入之摻雜物之種類；對於一pMOS裝置，~~三價元素~~^磷用於形成袋型植入。示範性之 5×10^{12} 至 $2 \times 10^{13} \text{ cm}^{-2}$ 植入劑量可用於形成袋型植入。圖1B係沿著Y-Y'線之摻雜濃度對電晶體結構10之深度之示範圖，且圖1C係一沿著Y₂-Y₂'線之摻雜物濃度之示範圖。此外，圖1D係一沿著X-X'線之表面摻雜濃度之示範圖。

具有極陡峭退減通道摻雜20及袋型植入24兩者之電晶體結構10具有比只有通道外形之極陡峭退減較少之短通道效應，在例如由Shahidi等人所著之"用於改良次微米NMOSFET之短通道現象之鉬通道植入"(出自IEEE Electron Device Letters第14卷第8期第409頁，出版於1993年8月)及由Su等人所著之"在深層次微米尺寸及SOI MOSFET中之電流驅動對短通道效應之交易"(出自IEEE IEDM第649頁，出版於1994年)等技術文獻中有述及。袋型植入製程在"使用 $0.25 \mu\text{m}$ 閘極長度之CMOS以改進性能及可靠度之設計/製程"(作者為Rodder等人，出自IEEE IEDM第71頁，出版於1994年)有述及。電晶體結構10與Rodder等人所描述具有袋型植入之習知的裝置相比較亦具有較佳之短通道完整性。

圖2A顯示一具有極陡峭退減通道外形及淺薄之表面逆摻

五、發明說明 (7)

雜之電晶體結構30。電晶體結構30係一具有閘電極32、閘極絕緣體34及源極及汲極 n^{++} 區域36及38之nMOS。一p型極陡峭退減埋藏之通道40在一p型基板或井結構42中預定之深度處形成。一n型(n^{+})之表面逆摻雜之窄的層44在源極及汲極區域36及38之間閘極32之下形成。逆摻雜層可以例如 2 至 $4 \times 10^{12} \text{ cm}^{-2}$ 劑量之砷(As)(用於nMOS)或 BF_2 (用於pMOS)來形成。圖2B係一沿著Y-Y'線之摻雜物濃度對電晶體結構30之深度之示範圖，且圖2C係一沿著X-X'線之表面摻雜物濃度之示範圖。逆摻雜在例如"具有由選擇性CVD-W所建構之低阻抗T形閘極之高性能次 $0.1 \mu\text{m}$ CMOS"(作者為Hisamoto等人，出自 Symposium on VLSI Technology Digest of Technical Papers，出版於1995年)及"一用於IV低功率應用之 $0.25 \mu\text{m}$ 閘極長度CMOS之裝置設計研究"(作者為Nandakumar等人，在1995年10月被IEEE Symposium on Low Power Electronics所接受)中述及。

結合極陡峭退減通道40及表面逆摻雜44的電晶體結構30降低臨界電壓及維持良好之短通道效應。逆摻雜44提供調整臨界電壓至想要的範圍，約為0.05至0.15伏特；而下方之極陡峭退減通道外形40比傳統之Hisamoto等人所描述之井及通道外形能更有效地降低臨界電壓衰減。電晶體結構30亦維持高的微小的驅動電流，原因在於其低的臨界電壓及高效率的電子移動性 μ_{eff} 。因此，這些特色之組合提供最佳之低供應電壓CMOS應用之性能。

圖3A顯示一具有一極陡峭退減通道外形、袋型植入及逆

五、發明說明(8)

摻雜之電晶體結構50。電晶體結構50係一nMOS且包含一閘電極52、閘極絕緣體54及源極及汲極區域56及58。極陡峭退減通道60係在表面以下植入，通常在一基板或井結構62中之源極及汲極區域56及58之下。小袋64在一接近表面及鄰接於源極及汲極區域56及58之淺薄之深度處植入。表面逆摻雜66亦通常在植入之小袋64之間形成。電晶體50沿著Y-Y'線之摻雜物濃度對深度圖顯示在圖3B，另一沿著Y₂-Y₂'之摻雜物濃度圖顯示在圖3C。電晶體50沿著X-X'線之表面摻雜物濃度圖顯示在圖3D。

圖4A顯示一關於逆摻雜之袋型植入配置可能之變化。電晶體50'包含略為在表面以下低於逆摻雜層66'之袋型植入64'。電晶體50'沿著Y-Y'線之摻雜物濃度對深度之示範圖顯示於圖4B，沿著X-X'線之表面摻雜物濃度圖顯示在圖4C及沿著Y₂-Y₂'之摻雜物濃度圖顯示在圖4D。

電晶體結構50及50'結合極陡峭退減通道、袋型植入及表面逆摻雜之優點且兩者皆十分適於低功率應用，原因在於它們的低臨界電壓、降低之短通道效應及良好之驅動電流。

圖5A係一電晶體結構70之剖面圖，該電晶體並未結合一極陡峭退減通道外形但仍然具有低臨界電壓及改良之短通道效應。電晶體結構70包含一閘電極72、閘極絕緣體74及源極及汲極n⁺⁺區域76及78。電晶體結構70更進一步包含一與相反型式(p⁺)之袋型植入82及84結合之表面逆摻雜n⁺層80。如前所述，表面逆摻雜層80及袋型植入82及84

五、發明說明 (9)

之配置可有數種變化，所有之變化皆在此所預期的。電晶體70沿著Y-Y'及Y₂-Y₂'之摻雜物濃度示範圍分別顯示在圖5B及5C中。電晶體結構70沿著X-X'之摻雜物濃度示範圍顯示在圖5D中。

圖6A係具有逆摻雜及袋型植入之電晶體70'之又一剖面圖。電晶體結構70'包含一閘電極72、閘極絕緣體74及源極及汲極n⁺⁺區域76及78。電晶體結構70'更進一步包含一與相反型式(p⁺)之袋型植入82'及84'結合之表面逆摻雜n⁺層80。如前所述，表面逆摻雜層80'及袋型植入82'及84'之配置可有數種變化，所有之變化皆在此所預期的。圖5之袋型植入82及84通常在逆摻雜層80之下形成，但袋型植入82'及84'係在接近表面處形成。電晶體70'沿著Y-Y'及Y₂-Y₂'之摻雜物濃度示範圍分別顯示在圖6B及6C中。電晶體結構70沿著X-X'之摻雜物濃度示範圍顯示在圖6D中。

電晶體10,30,50,50',70及70'可由傳統之半導體製造技術製造且可包含形成極陡峭退減通道、閘極及汲極及源極區域。逆摻雜可在閘極形成前形成。袋型植入可在閘極形成後形成。

依照本發明所建構之電晶體結構可應用在CMOS技術中之nMOS及pMOS兩者。雖然本發明及其優點已被詳細描述，但在不違反下述申請專利範圍之精神及範圍之情況下可做各種改變、取代及替換。特別是，應注意前述之化學組成、濃度及其他詳細之規格僅做為舉例，可由其他在半導體製程之領域中已知的其他此類之規格來代替。

四、中文發明摘要(發明之名稱: 具極陡峭退減及/或袋型植入及/或逆摻雜之半導體元件)

一種在一第一傳導係數型式之半導體層(22,42,62,86)表面形成之低功率電晶體(10,30,50,50',70,70')。該電晶體包含一在該半導體層之表面形成之第二傳導係數型式之源極及汲極區域(16,18,36,38,56,58,76,78)，及一在源極及汲極區域間鄰接於半導體層表面處絕緣地摻雜之閘極(12,32,52,72)。一第一傳導係數型式之極陡峭退減通道(22,42,62)在一半導體層中離半導體層表面一預定之距離處形成。一第二傳導係數型式之逆摻雜層(44,66,66',80,80')，在鄰接於通常位於源極及汲極區域間之半導體層表面處形成。一第一傳導係數型式之第一及第二小袋(82,84,82',84')亦可在大致鄰接於源極及汲極區域及逆摻雜層(80,80')處形成。

英文發明摘要(發明之名稱: Semiconductor devices with super-steep retrograde and/or pocket implant and/or counter doping)

A low power transistor (10, 30, 50, 50', 70, 70') formed in a face of a semiconductor layer (22, 42, 62, 86) of a first conductivity type. The transistor includes a source and drain regions (16, 18, 36, 38, 56, 58, 76, 78) of a second conductivity type formed in the face of the semiconductor layer, and a gate (12, 32, 52, 72) insulatively disposed adjacent the face of the semiconductor layer and between the source and drain regions. A super-steep retrograde channel (22, 42, 62) of the first conductivity type formed in the semiconductor layer a predetermined distance from the face of the semiconductor layer. A layer of counter doping (44, 66, 66', 80, 80') of the second conductivity type is formed adjacent to the face of the semiconductor layer generally between the source and drain regions. A first and second pockets (82, 84, 82', 84') of the first conductivity type may also be formed generally adjacent to the source and drain regions and the counter doped layer (80, 80').

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

六、申請專利範圍

1. 一種在一第一傳導係數型式之半導體層表面形成之電晶體，包含：

一在該半導體層之該表面形成之第二傳導係數型式之源極區域；

一該第二傳導係數型式之汲極區域，在離該源極區域一預定之距離處在該半導體層之表面形成；

一在該源極及汲極區域間鄰接於該半導體層之該表面處絕緣地配置之閘極；

一該第二傳導係數型式之逆摻雜層，在大體上位於源極及汲極區域間之半導體層表面中形成並與其相鄰；及

一該第一傳導係數型式之第一及第二小袋，通常在該閘極之下且鄰接於該源極及汲極區域。

2. 如申請專利範圍第 1 項之電晶體，其中該第一傳導係數型式之該第一及第二小袋通常在鄰接於且低於該源極及汲極區域處形成。

3. 如申請專利範圍第 1 項之電晶體，其中該第一及第二小袋係在該半導體層之表面中形成並與其相鄰，且該逆摻雜層係在該第一傳導係數型式之該第一及第二小袋間形成。

4. 一種在一第一傳導係數型式之半導體層表面形成低功率電晶體之方法，包含下列步驟：

選擇性地在鄰接於該半導體層表面處植入一淺薄之第二傳導係數型式之摻雜物層；

形成一絕緣地鄰接於該半導體層表面並位於該淺薄之

六、申請專利範圍

摻雜物層上方之閘極；

形成一大致上在該閘極下方並鄰接於該淺薄之摻雜物層之第一傳導係數型式之摻雜物小袋；及

形成一配置在該閘極任一方之第二傳導係數型式之源極及汲極區域。

5. 如申請專利範圍第4項之方法，其中形成該第一傳導係數型式之摻雜物小袋之步驟形成一大致在具有該淺薄之摻雜物層之該半導體層之該表面上形成且與其相鄰之該小袋。

6. 如申請專利範圍第4項之方法，其中形成該第一傳導係數型式之摻雜物小袋之步驟形成大致上鄰接於且在該源極及汲極區域之下之小袋。

7. 一種在一第一傳導係數型式之半導體層表面形成之電晶體，包含：

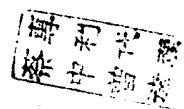
一在該半導體層之該表面形成之第二傳導係數型式之源極區域；

一該第二傳導係數型式之汲極區域，在離該源極區域一預定之距離處在該半導體層之表面形成；

一在該源極及汲極區域間鄰接於該半導體層之該表面處絕緣地配置之閘極；

一該第一傳導係數型式之極陡峭退減通道，在一半導體層中離該半導體層之該表面一預定之距離處形成；及

一該第二傳導係數型式之逆摻雜層，在大體上位於源極及汲極區域間之半導體層表面中形成並與其相鄰。



六、申請專利範圍

8. 如申請專利範圍第7項之電晶體，其中尚包含該第一傳導係數型式之第一及第二小袋，在該閘極之下方形成且大體上鄰接於該源極及汲極區域及鄰接於該逆摻雜層。
9. 如申請專利範圍第7項之電晶體，其中尚包含該第一傳導係數型式之第一及第二小袋，大體上鄰接於該源極及汲極區域且在其下方形成。
10. 一種在一第一傳導係數型式之半導體層表面形成之電晶體，包含：
 - 一在該半導體層之該表面形成之第二傳導係數型式之源極區域；
 - 一該第二傳導係數型式之汲極區域，在離該源極區域一預定之距離處在該半導體層之表面形成；
 - 一在該源極及汲極區域間鄰接於該半導體層之該表面處絕緣地配置之閘極；
 - 一該第一傳導係數型式之極陡峭退減通道，在一半導體層中離該半導體層之該表面一預定之距離處形成；及
 - 一該第一傳導係數型式之第一及第二小袋，在大體上鄰接於位於該閘極下方之源極及汲極區域處形成。
11. 如申請專利範圍第10項之電晶體，其中尚包含該第二傳導係數型式之逆摻雜層，在鄰接於大體上位於該源極及汲極區域間之該半導體層之表面上形成。
12. 如申請專利範圍第10項之電晶體，其中該第一傳導係數型式之該第一及第二小袋大體上鄰接於該源極及汲極區域且在其下方。

六、申請專利範圍

13. 一種在一第一傳導係數型式之半導體層表面形成低功率電晶體之方法，包含下列步驟：

植入該第一傳導係數型式之摻雜物以在該半導體層表面下方一預定距離處形成一極陡峭退減通道；

選擇性地在鄰接於該半導體層表面處植入一淺薄之第二傳導係數型式之摻雜物層；

形成一絕緣地鄰接於該半導體層表面並位於該淺薄之摻雜物層上方之閘極；及

形成一配置在該閘極任一方之第二傳導係數型式之源極及汲極區域。

14. 如申請專利範圍第13項之方法，其中尚包含形成大體上鄰接於在該閘極下方之該源極及汲極區域之該第一傳導係數型式之摻雜物小袋之步驟。

15. 如申請專利範圍第13項之方法，其中形成該第一傳導係數型式之摻雜物小袋之步驟形成大致上鄰接於且在該源極及汲極區域之下之小袋。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



8515732

TI-19796

1 of 6

圖 1A

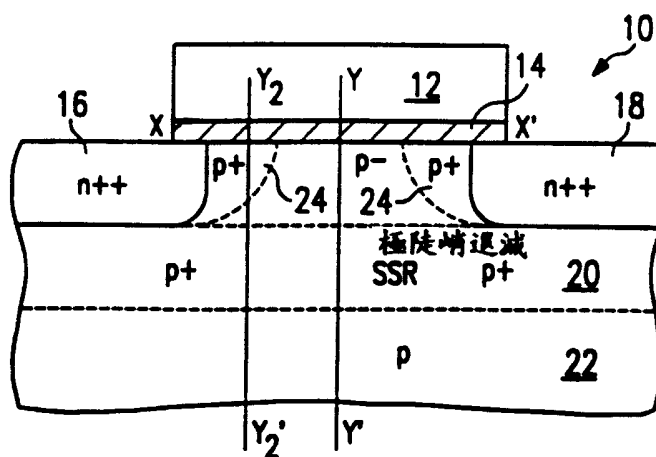


圖 1B

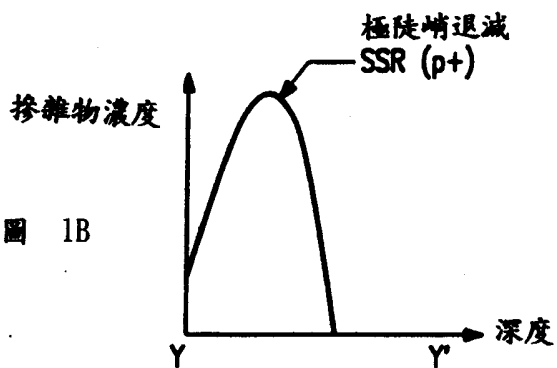


圖 1C

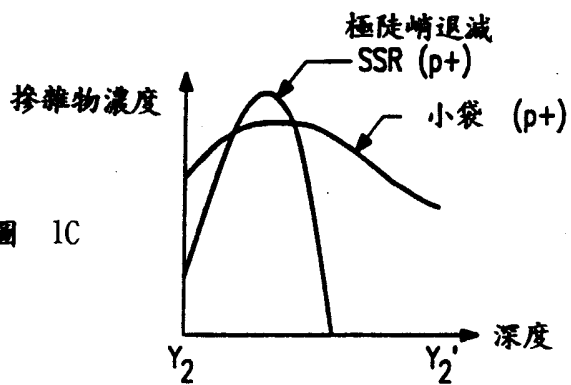


圖 1D

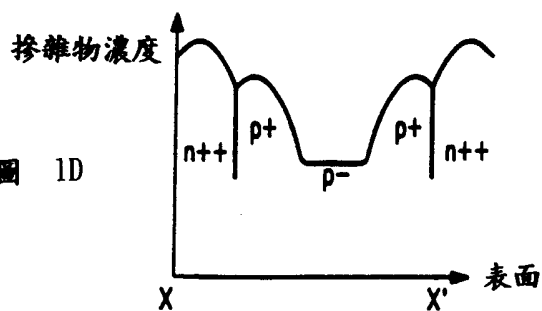


圖 2A

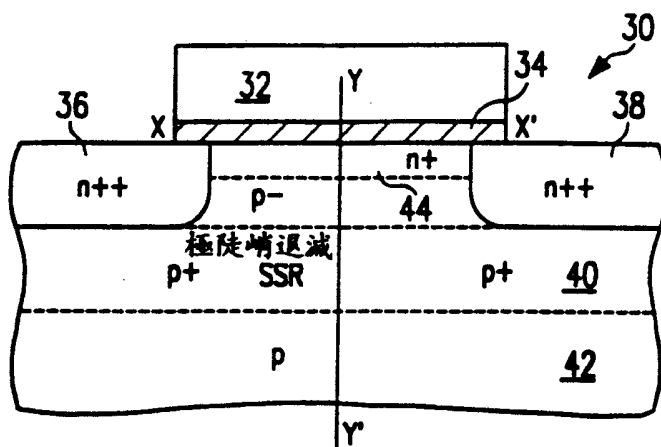


圖 2B

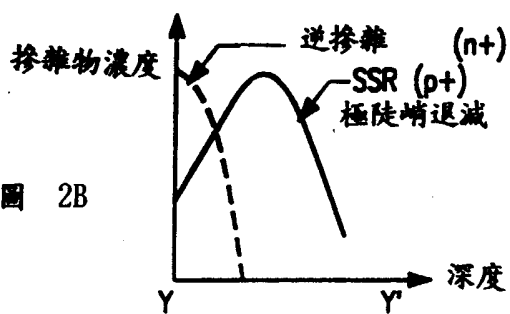


圖 2C

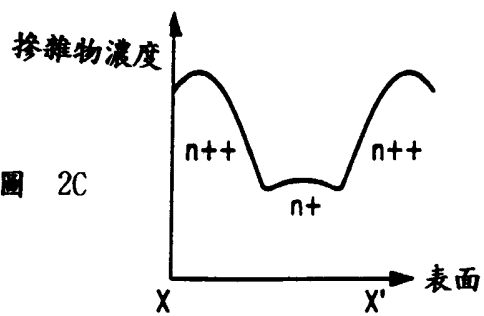


圖 3A

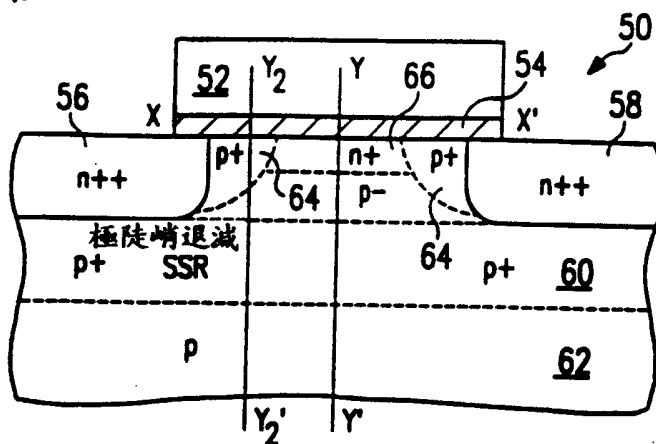


圖 3B

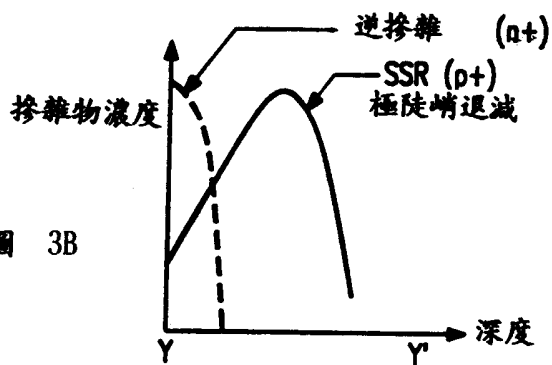


圖 3C

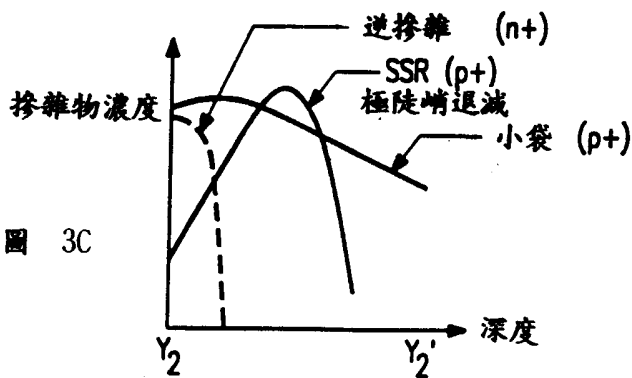
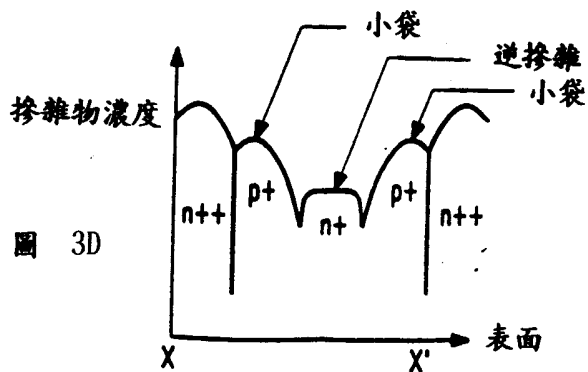


圖 3D



388088

圖 4A

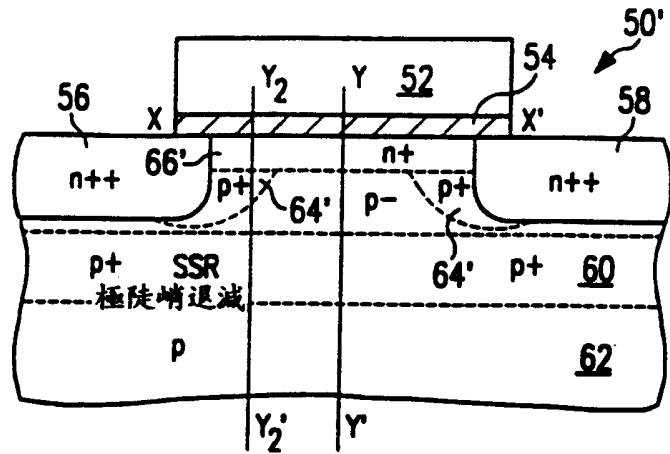


圖 4B

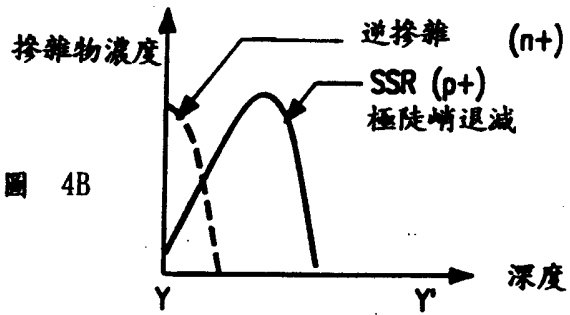


圖 4C

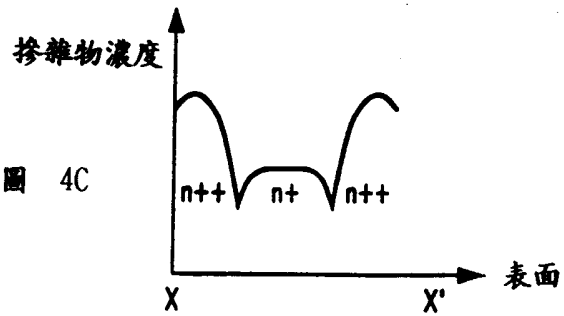


圖 4D

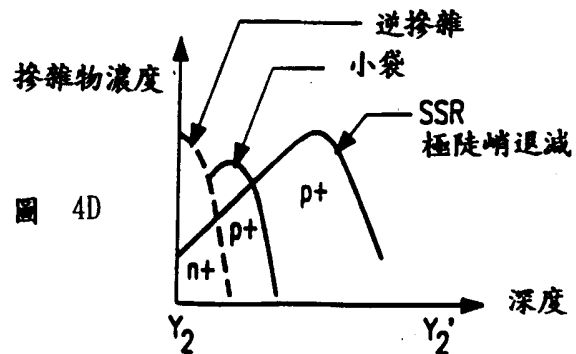


圖 5A

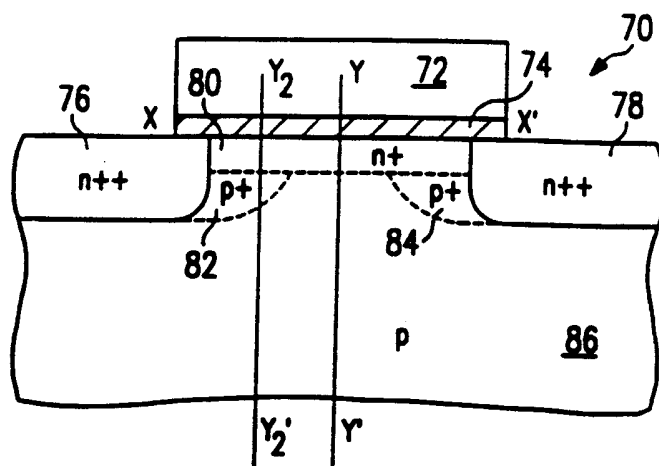


圖 5B

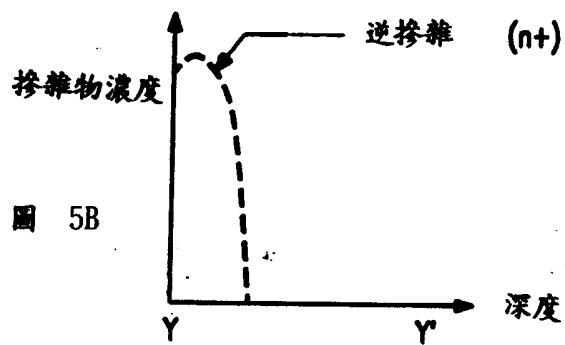


圖 5C

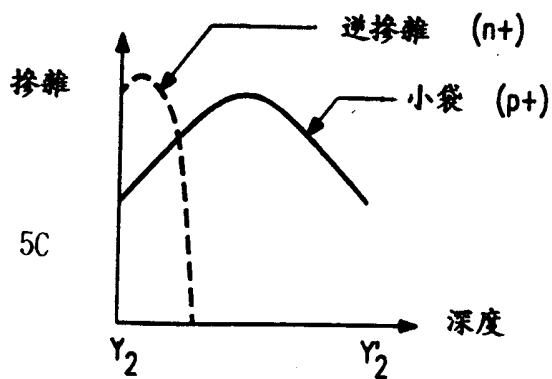


圖 5D

