

本

日期	90. 3. 9
號	90103371
類別	G11C7/00 G06F 11/26

A4
C4

559819

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	個人電腦中作為工作記憶體用之 SDRAM 記憶體之測試方法和裝置
	英 文	Method and Device to Test a SDRAM-Memory Used as a Working-memory in a Personal Computer
二、發明 創作人	姓 名	1.達爾安德烈斯 DOLL, Andreas
	國 籍	2.摩瑟曼萊德 MOSER, Manfred
	住、居所	3.史克蘭姆亞欽姆 SCHRAMM, Achim 1 德國 2.德國 3.德國 1.德國紐畢堡 85579 豪普特街 2A 號 2.德國達裘 85221 特羅普巴爾街 8b 號 3.德國慕尼黑 81825 桑威德裘契街 82 號
三、申請人	姓 名 (名稱)	印芬龍科技股份有限公司 Infineon Technologies AG
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑 D-81669 聖馬丁街 53 號
	代 表 人 姓 名	麥可勾威什(Michael Gollwitzer) 荷斯特卻佛(Dr. Horst Schäfer)

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6
B6

本案已向：

德 國 (地 區) 申請專利，申請日期： 案號： 2000 年 02 月 17 日 100 07177.5
， ☒ 有 ☐ 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

本發明涉及一種個人電腦(PC)中作為工作記憶體用之 SDRAM 記憶體之測試方法和裝置且在正常使用 SDRAM 記憶體作為 PC 中之工作記憶體時本發明特別是涉及 SDRAM 記憶體中製造者所定義之晶片內部測試模式之驅動及進行。

SDRAMs 之不同之製造者在其模組中整合特殊之功能(測試模式)，其可有效地測試 SDRAMs。這些測試模式目前為止只以特殊之測試裝置來驅動，但不是在 SDRAMs 之典型之安裝條件下設置在電腦中。

SDRAMs 之測試特別困難，其會在電腦中造成偶發之故障。此種故障不能(或很少)由該測試裝置中測得。

本發明之目的是提供一種方法和裝置以便藉由驅動至少一種設置在 SDRAM 中之測試模式來測試一種在 PC 中用作工作記憶體之 SDRAM 記憶體，使此種測試模式在電腦中 SDRAMs 受到標準操作時亦可被驅動及進行，以便 PC 中此 SDRAMs 正常地用作工作記憶體時可有效地測試此 SDRAMs。

上述目的依據申請專利範圍之主張來達成。

依據本發明之第一外觀，本發明之方法之特徵是以下各步驟：

A)在一種與工作記憶體相隔開之附加記憶體中以機器碼儲存至少一種指令序列，其適合用來驅動及進行至少一種內部測試模式；

B)在 PC 中驅動此機器碼且關閉此種快取(CACHE)記憶體；

C)此 CPU 設定在 UNREAL 模式中，此時工作記憶體之資料區段取消；

五、發明說明 (2)

D)在 PC 中爲了在 SDRAM 中一序列地驅動此測試模式而對 PC 晶片組進行預定之設定；

E)依使用者所界定而由 SDRAM 記憶體中所設置之測試模式中選取所期望之測試模式；且因此而對各別之附加記憶體進行讀取以便執行該指令序列來驅動此種測試模式；

F)藉由記憶體控制器施加一種固定序列之指令和位址至 SDRAM 記憶體而驅動此種測試模式，此記憶體控制器由附加記憶體中之指令序列所控制；

G)測試結果被規約(protocol)化。

本發明之方法可在標準 PC 中在標準作業系統下進行 SDRAM 中所設置之全部測試模式。因此可使此種測試由 SDRAMs 大大地擴大至標準 PCs。此外，這些設置在 SDRAM 中之不同之測試模式第一次可適當地改變模組內部中不同之參數，例如，電壓，時序(timing)等。此 SDRAM 在 PC 中工作，以便在 SDRAM 正常環境中在標準電腦中分析該錯誤之真正原因。

在進行前述已驅動之測試模式且使測試結果規約化之後，步驟 D)中所進行之 PC-晶片組之設定須取消，藉由 CPU 設定至 REAL-MODE 又使工作記憶體中形成資料區段，快取(CACHE)記憶體又接通且跳回至呼叫之程式，此時 SDRAM 記憶體保持在所選取之測試模式中，使此測試模式仍可作用在 SDRAM 記憶體中。利用一種由於此種作用而在 SDRAM 記憶體中已改變之參數，則可起始此工作記憶體之

五、發明說明 (3)

正常操作或起始此 PC 中已設置之任意之測試軟體。

因此，本發明之方法在 PC 之 SDRAM 正常環境中不只可改良 SDRAM 模組之分析或測試，而且可在 SDRAM 設計時改良 SDRAM 晶片。例如可藉助於系統中之測試模式來測試不同之時序 (timing)，以便對此晶片之最終設計提供最佳化之調整。因此，可藉由此模組內部參數之改變使晶片最佳化，以便在標準電腦中確保此晶片之最佳化之功能，然後使此種調整應用於晶片之最後設計中。

本發明之方法亦可用來使電腦中 SDRAM 晶片之故障率系統化地增大或降低。晶片之此種特性指出：測試裝置中之測試程式須如何修改，使測試裝置中之故障可被理解。藉由廣泛地改變 SDRAM 模組之內部參數，則原來之錯誤原因可進一步被限制且可完全地被分析。

利用本發明之方法，則可達成一種新式且有利之工具以便在 SDRAM 之使用環繞中分析此種 SDRAM 模組。

例如，一種可以本發明之方法驅動之測試模式是上述測試模式中之 SET-V-REF 模式，其可改變 SDRAM 晶片之內部參考電壓 V_{ref} 。

另一種可以本發明之方法來進行之測試模式 (其亦在 PC 中所使用之 SDRAM 晶片中) 是：在 SDRAM 中使此種介於字元線之驅動及所屬感測放大器之驅動之間之內部時段被改變。

爲了在 PC 之工作記憶體 (即，SDRAM) 中驅動此種測試模式，則需要一種與主記憶體無關之附加記憶體以便在 PC

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (4)

中執行程式。

本發明中進行此方法所用之裝置之特徵是：此附加記憶體在插入卡上設有一種編碼邏輯元件。此種插入卡例如可插入 PC 中 ISA 匯流排之插入位置中。若情況不是如此，則此種插入卡亦可以是一種 PCI 插入卡。利用此種電路配置，則能以機器碼來進行此種測試模式驅動時所需之一序列指令。

在使用此種儲存在此插入卡上之指令序列時，此種在工作記憶體之模組排 (back) 中所存在之 SDRAM 在 PC 運行時可設定在一種可由多種模式中選取之測試模式中。於是可修改此機器碼以便依據使用者介面上所設置之使用者命令由高階語言程式來驅動此測試模式，此機器碼複製 (copy) 至該附加記憶體中且然後在 MS DOS 下由高階語言程式所呼叫。藉由機器碼來驅動所選取之測試模式之後又明確地跳回至呼叫程式中。

本發明之方法及進行此方法所用之裝置將依據圖式詳述於下。

圖式簡單說明：

第 1 圖 一般商用個人電腦之功能方塊之連接形式，其中本發明之方法可以進行本方法所用之裝置來進行。

第 2 圖 本發明之方法中驅動全部之測試模式所需之主要步驟之流程。

第 3 圖 SDRAM 模組之故障率之圖解，其處於內部電壓改變時第一測試模式中。

五、發明說明 (5)

第 4 圖 第二測試模式中自我調整時故障率之圖解，其中藉由本發明之方法來改變 SDRAM 晶片之內部時序。

第 5 圖 具有 ISA 插入卡之功能方塊圖，此 ISA 插入卡包含一種進行本發明之方法所需之電路配置。

在說明本發明之方法及其二個實施例以及進行本方法所用之裝置之前，首先依據第 1 圖來說明一般個人電腦之用來了解本發明所具有之功能方塊。本發明之方法中主要之功能方塊以斷線圍繞其邊緣。

具有快取 (CACHE) 3 之處理器方塊 1 經由主匯流排 4 和主橋 5 而一方面與主記憶體 8 (其含有待測試之 SDRAMs) 通信且亦經由 PCI 匯流排 9 而與這些可插入 PCI-插入位置中之 (未顯示之) PCI 組件互相通信。

主橋 ("北橋") 5 之作用是

- 以列位址，行位址及排 (bank) 位址 (位址多工器) 來計算 32 位元 - 位址；
- 以控制信號 CS，RAS，CAS 等等來控制 SDRAMs；
- 進行 SDRAMs 之操作模式；
- 決定：哪一個模組排可用於目前之任務 (task) 中。

首先，由此可知 PC 之主功能是明確的，SDRAM 之測試模式在使用一種由 SDRAM 所導出之驅動碼時不會受到驅動。

因此，在本實施例中以一種插入卡 21 來作成一種電路配置，其可插入 ISA 插入位置 12 中之一中，且可經由 ISA 匯流排及 PCI-ISA 橋 10，PCI 匯流排 9 和主橋 5 而與處理器 1，工作記憶體 8 互相通信。在 ISA 插入卡上所存在之附

五、發明說明 (6)

加記憶體上暫存此種驅動該測試模式所用之碼序列。此外，系統-BIOS-方塊 13 連接至 ISA-匯流排 11。

第 1 圖之上述說明提供了一般商用個人電腦之功能方塊，其對了解本發明之方法是需要的。可設有其它組件(例如，平行處理器 2)，但這對本發明之了解是不需要的。其它可能之功能方塊是經由 AGP 匯流排 7 而連接至主橋 5 之圖形方塊 14，圖形記憶體 15，影像元件，DVD 元件及照相機裝置，VCR 裝置 16，顯示器 17，電視監視器 18，編碼器 19 及影像-BIOS 20。

在使用此種插入卡(例如，ISA 卡，其具有 16 位元寬之資料，且含有二個 SRAM 記憶體模組作為附加記憶體和解碼邏輯模組)時，一種模組排之 SDRAM 在個人電腦運轉時可適當地設定在所期望之測試模式中。因此，依據使用者之指示修改機器碼以便由高階語言程式來驅動此測試模式且複製(copy)此機器語言至該附加記憶體中且在 MS DOS 下由高階語言程式所呼叫。藉由機器碼來驅動所選取之測試模式之後又跳回至呼叫程式中。

以下依據第 2 圖所示之流程來描述一種 PC 之工作記憶體中所存在之 SDRAM 之驅動步驟。

首先，跳至機器碼中(步驟 S₁)。在步驟 S₂中使快取記憶體 3 關閉。步驟 S₃中一種指出該測試模式之驅動所用之控制音發送至一種聲音發出元件(揚聲器)。利用步驟 S₄使 PC 之記憶體組織形式短暫地調整至正常 PC 操作時非一般性之"UNREAL-MODE"，以便可直接抓取未分段之主記憶

五、發明說明 (7)

體之全部之位址空間。

步驟 S₅ 中適當地改變 PC 中此晶片組之各種不同之設定。

在驅動該測試模式及進行 SDRAM 測試之後，晶片組之各種設定在步驟 S₆ 中又被取消。在步驟 S₇ 中此 PC 記憶體又形成資料區段：這表示該工作記憶體是在 REAL-MODE。在步驟 S₈ 中此快取記憶體 3 又接通且發出一種控制音至揚聲器 (步驟 S₉)。在步驟 S₂₀ 中跳回至呼叫程式，此時 SDRAM 保持在所選取之測試模式中。

以下將藉由信號發展時序來描述 SET-V-REF-測試模式之第一例以及錯誤分析用之測試模式第二例。

SET-V-REF 測試模式在內部改變此 SDRAM 晶片之電壓 V_{ref} 。此電壓 V_{ref} 是一種參考電壓，由此可在內部導出此晶片之全部之其它電壓。

64M-SDRAM-模組用作測量標的，其在室溫時藉由記憶體測試程式來進行之測試而顯示一系列錯誤。此種 SDRAM 模組現在藉由模組內部電壓 V_{ref} 之改變而在 27°C 之固定室溫中在 PC 中進行分析。

因此依下述方式來進行。

藉由測試模式 SET-V-REF 之驅動使電壓相對於標準值而提高或下降。在每一電壓改變之後在此種 SDRAM 模組中執行記憶體測試程式且記錄所發生之錯誤次數。

此種評估後之結果顯示在第 3 圖中。因此，在此種晶片中提高該參考電壓 V_{ref} 至 50mV 是有意義的，這是因為在使用 SDRAM 模組時不會有唯一之錯誤發生。藉由 PC 中以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (8)

SDRAM 模組來進行之測試模式之分析因此可知：藉由參考電壓 V_{ref} 適當地提高 50mV 可使記憶體晶片在最後之晶片設計中得到改良。

上述測試模式之一之第二例是一種藉由信號發展時序來進行之錯誤分析。

為了解此種信號發展時序，則首先簡短地描述此種儲存在 SDRAM 中之資訊如何讀出。二進位資訊(位元)以電荷之形式儲存在電容器中，電容器是記憶胞之一部份。若須詢問此種記憶胞之內容，則藉由所謂字元線之驅動使選擇電晶體(其使記憶胞可與所謂位元線相連接)導通。電荷由記憶胞流至位元線且在該處(依據記憶胞之資訊內容)形成一種正或負之電壓變化。但此種在位元線上之電壓變化太小，因此不能以邏輯閘直接處理。因此須以一種所謂感測放大器來放大此位元線上之信號使達到邏輯位準。

所謂"信號發展時序"是一種時段，其介於字元線之驅動點及所屬感測放大器之驅動點之間。此種時段對 SDRAMs 之功能是很重要的，即：若此種時段選擇成太長，則 SDRAMs 之所謂存取時間會劣化，這會使最大之處理速率受限。

若此種信號發展時序選擇成太短，則有下述危險性：記憶胞之電荷仍未完全流至位元線，且太早驅動之感測放大器會誤解該位元線之位準，於是會讀出錯誤之資訊。此種信號發展時序只由 SDRAM 晶片之內部參數所決定且

五、發明說明 (9)

在未使用該測試模式時可不受外界所影響。

SDRAMs 之記憶胞陣列中之固定之錯誤對信號發展時序之變化會有特別敏感之反應。例如，若記憶胞至位元線之接觸區所具有之電阻較預定者還大，則需要一種較長之時段，以便使電荷由記憶胞分佈至位元線。此種記憶胞可在 PC 中之標準條件下偶然造成一些錯誤。

依據本發明，在第二應用例子中藉由使用相對應之測試模式來改變該信號發展時序。一種高歐姆之位元線-接觸區因此可顯示一種明確之回答：較大值之信號發展時序可使錯誤率降低，較小值則使錯誤率升高。

第 4 圖所示之測量結果顯示 PC 中實際之記憶體故障情況，可藉由本發明所進行之相對應之信號發展時序-測試模式之驅動來測定一種高歐姆之位元線接觸區以說明第 4 圖之原因。第 4 圖中表示此測量結果所用之曲線清楚地表示：由大約 0.5ns 開始經由以 0.0 表示之標準值此種在記憶體測試程式中所測得之故障率接近 0 且在信號發展時序較大值時亦未記錄下任何故障。

第 5 圖之方塊圖是 PC 正常操作期間在工作記憶體 8 中為了驅動各測試模式時所建議之設置在插入卡 21 上之電路配置之組合，其例如可插在 ISA-匯流排-插入位置 12(第 1 圖)中，其具有特殊之系統軟體。

在 ISA 卡 21 上作為例子用之此種電路配置具有：一種附加記憶體 22，其例如由二個 8 位元 SDRAM-模組(其資料總寬度是 16 位元)所構成；一個位址-和 E/A-輸出編碼邏輯

五、發明說明 (10)

元件 23 以及一個顯示編碼邏輯元件 24。第 5 圖中以 "軟體" 表示之方塊中，這些與使用者介面有關之程式是以高階語言 PASCAL 而被程式化。此種程式碼對所選取之測試模式，SDRAM 及晶片組計算所需之全部位址，修改所需之碼且將其複製 (copy) 至該附加記憶體 22 中，發出此種碼且跳回至呼叫程式。測試模式之呼叫然後在 MS-DOS 下以高階語言程式來進行。

測試程式之碼利用組譯器 (Assembler) 而被程式化。在此種組譯器 - 程式中此晶片組及處理器所需之全部暫存器都被修改，快取記憶體被去 (de-) 驅動且此 SDRAM 之測試模式被定址。

第 5 圖中本發明之方法所需之新的全部之功能方塊都以斷線圍繞。待測試之工作記憶體 8 (SDRAM) 以傾斜之斷線陰影區表示。

本發明首次在具有標準作業系統之標準個人電腦中使用 SDRAM 晶片中所設置之全部之測試模式。此外，這些測試模式中首次可藉由模組內部參數 (例如，一般個人電腦中所使用之 SDRAM 中之內部電壓和時序) 之改變來分析一種錯誤之真正原因。利用此種錯誤分析，則另外可對 SDRAM 晶片進行最佳化且使用所測得之內部參數之變化於 SDRAM 晶片之最終設計中。

符號之說明

1 處理器方塊

2 平行處理器

五、發明說明 (15)

- 3.....快取記憶體
- 4.....主匯流排
- 5.....主橋
- 7.....AGP 匯流排
- 8.....主記憶體
- 9.....PCI 匯流排
- 10.....PCI-ISA-橋
- 11.....SA 匯流排
- 12.....ISA-匯流排-插入位置
- 13.....系統-BIOS-方塊
- 14.....圖形方塊
- 15.....圖形記憶體
- 16.....VCR 裝置
- 17.....顯示器
- 18.....電視監視器
- 19.....編碼器
- 20.....影像-BIOS
- 21.....插入卡
- 22.....附加記憶體
- 23.....E/A-輸出編碼邏輯元件
- 24.....顯示編碼邏輯元件

四、中文發明摘要(發明之名稱：個人電腦中作為工作記憶體用之)

SDRAM 記憶體之測試方法和裝置

本發明涉及一種 PC 中作為工作記憶體用之 SDRAMs(8) 之測試方法和裝置，其藉由一種安裝在插入卡(21)上之另一電路配置來達成，此種電路配置具有 SRAM 形式之附加記憶體(22)及邏輯電路(23，24)。利用本發明之方法使運轉中之 PC 之待測試之 SDRAM(8)適當地設定在一種測試模式中。依據使用者之指示由高階語言程式(PASCAL)來修改此種碼以驅動該測試模式，此種碼複製至插入卡(21)上之附加記憶體(22)中且然後在 MS-DOS 下由高階語言程式所呼叫。藉由組譯器(Assembler)中所程式化之碼來驅動所選取之測試模式之後又跳回至呼叫程式中。本發明可首次在標準 PC 及標準作業系統中使用 SDRAM 中所設置之測試模式。SDRAM 在標準 PC 中之測試可能性可大大地擴大。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

四、中文創作摘要（創作之名稱：

)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文創作摘要（創作之名稱： Method and Device to Test a SDRAM-memory
Used as a Working-memory in a Personal
Computer

)

This invention relates to a method and a device to test a SDRAMs (8) used as a working-memory in a PC by means of an additional circuit-arrangement mounted on a plug-in card (21), said circuit-arrangement has an extra-memory (22) in a form of a SRAM and the logic-circuits (23,24). By the method of this invention, the testable SDRAM (8) of a module-bank in an operating PC can be suitably set into a test-mode. Thus the code is modified according to the user-indicator to activate the test-mode by a high-level language program (PASCAL), copied into the extra-memory (22) on the plug-in card (21) and then is called by the high-level language program under MS DOS. After the activation of the selected test-mode by the code programmed in Assembler, it springs definitely back into the calling program. This invention can at first time use the test-mode provided in the SDRAM in a standard PCs with standard operating systems. Thus the test-possibility of SDRAMs on standard-PCs is widely expanded.

六、申請專利範圍

1. 一種個人電腦中作為工作記憶體用之 SDRAM 記憶體之測試方法，此 SDRAM 記憶體中設有至少一種預定之由製造者所界定之內部測試模式，其特徵為以下各步驟
 - A) 在一種與工作記憶體相隔開之附加記憶體中以機器碼儲存至少一種指令序列，其適合用來驅動及進行至少一種內部測試模式；
 - B) 在 PC 中驅動此機器碼且關閉此種快取 (CACHE) 記憶體；
 - C) 此 CPU 設定在 UNREAL 模式中，此時工作記憶體之資料區段取消；
 - D) 在 PC 中為了在 SDRAM 中一序列地驅動此測試模式而對 PC 晶片組進行預定之設定；
 - E) 依使用者所界定而由 SDRAM 記憶體中所設置之測試模式中選取所期望之測試模式；且因此而對各別之附加記憶體進行讀取以便執行該指令序列來驅動此種測試模式；
 - F) 藉由記憶體控制器施加一種固定序列之指令和位址至 SDRAM 記憶體而驅動此種測試模式，此記憶體控制器由附加記憶體中之指令序列所控制；
 - G) 測試結果被規約 (protocol) 化。
2. 如申請專利範圍第 1 項之方法，其中在步驟 A) 中儲存一種指令序列以驅動晶片內部第一測試模式來改變此 SDRAM 記憶體晶片之內部電壓 (V_{ref}) 且在步驟 B) 至 G) 中驅動且進行此種第一測試模式。

六、申請專利範圍

3. 如申請專利範圍第 2 項之方法，其中第一測試模式由參考電壓 (V_{ref}) 之標準值所設定。
4. 如申請專利範圍第 1 項之方法，其中步驟 A) 中儲存一種指令序列以驅動內部第二測試模式來改變晶片內部之時段 ("Signal Development Timing")，此時段是此種介於字元線之驅動點和所屬感測放大器之驅動點之間之時段；且在步驟 B) 至 G) 中驅動且進行此種第二測試模式。
5. 如申請專利範圍第 1 至 4 項中任一項之方法，其中此方法具有以下之其它步驟：
 - H) 在進行步驟 F) 中之測試模式及使步驟 G) 中之測試結果規約 (protocol) 化之後取消步驟 D) 中所進行之 PC 晶片組之設定；
 - I) 藉由 CPU 設定在 REAL-MODE 而使工作記憶體又形成資料區段；
 - K) 使快取 (CACHE) 記憶體又接通，
 - L) 跳回至呼叫程式，此時 SDRAM 記憶體保持在所選取之測試模式中，此種測試模式因此仍作用在 SDRAM 記憶體中。
6. 一種進行如申請專利範圍第 1 至 5 項中任一項之方法所用之裝置，其特徵為：

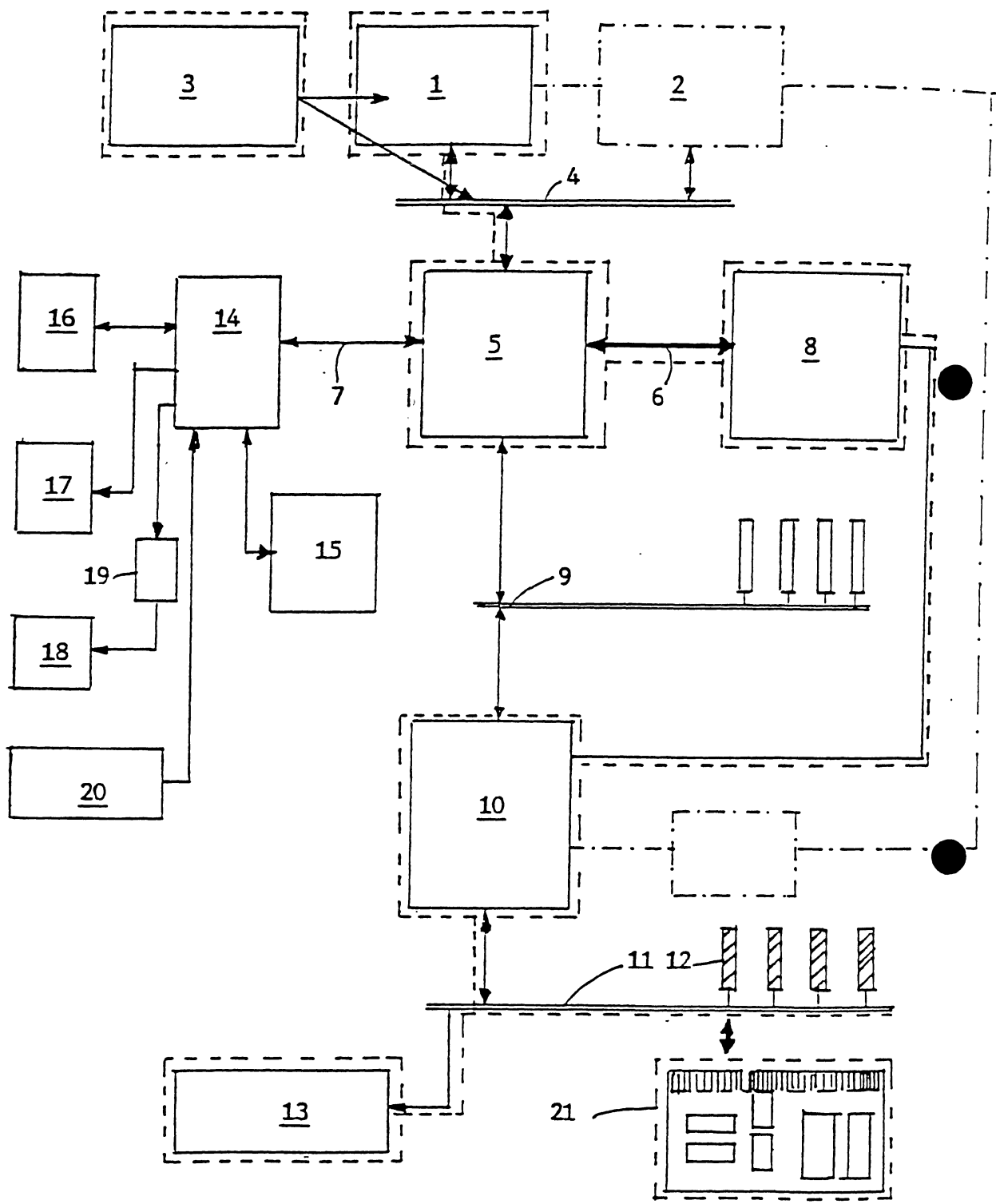
該附加記憶體 (22) 設置在可插入之電路板 (21) 上。
7. 如申請專利範圍第 6 項之裝置，其中該電路板 (21) 是 16 位元 - ISA 卡且具有二個 8 位元 - SRAM 模組 (總資料寬度是 16 位元) 作為該附加記憶體。

(請先閱讀背面之注意事項再填寫本頁)

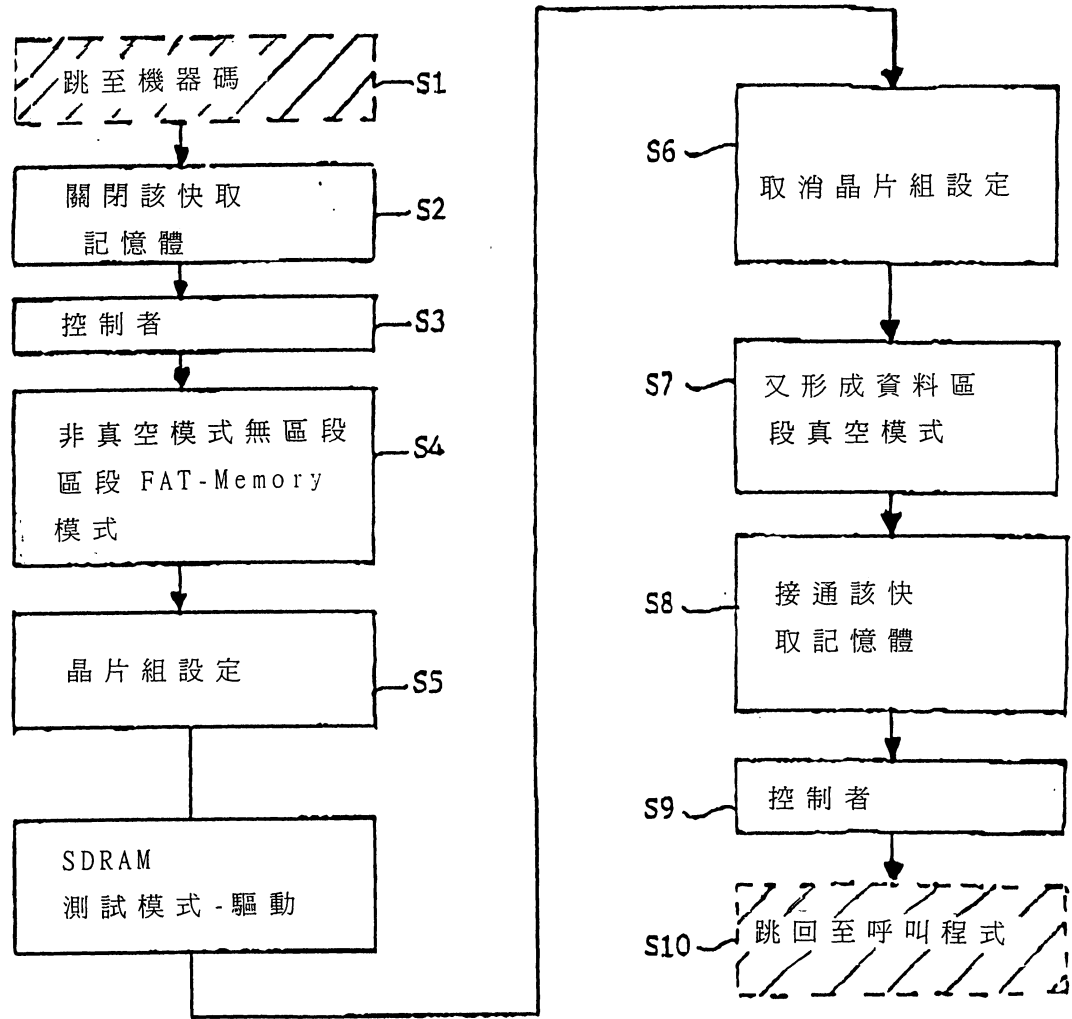
裝

訂

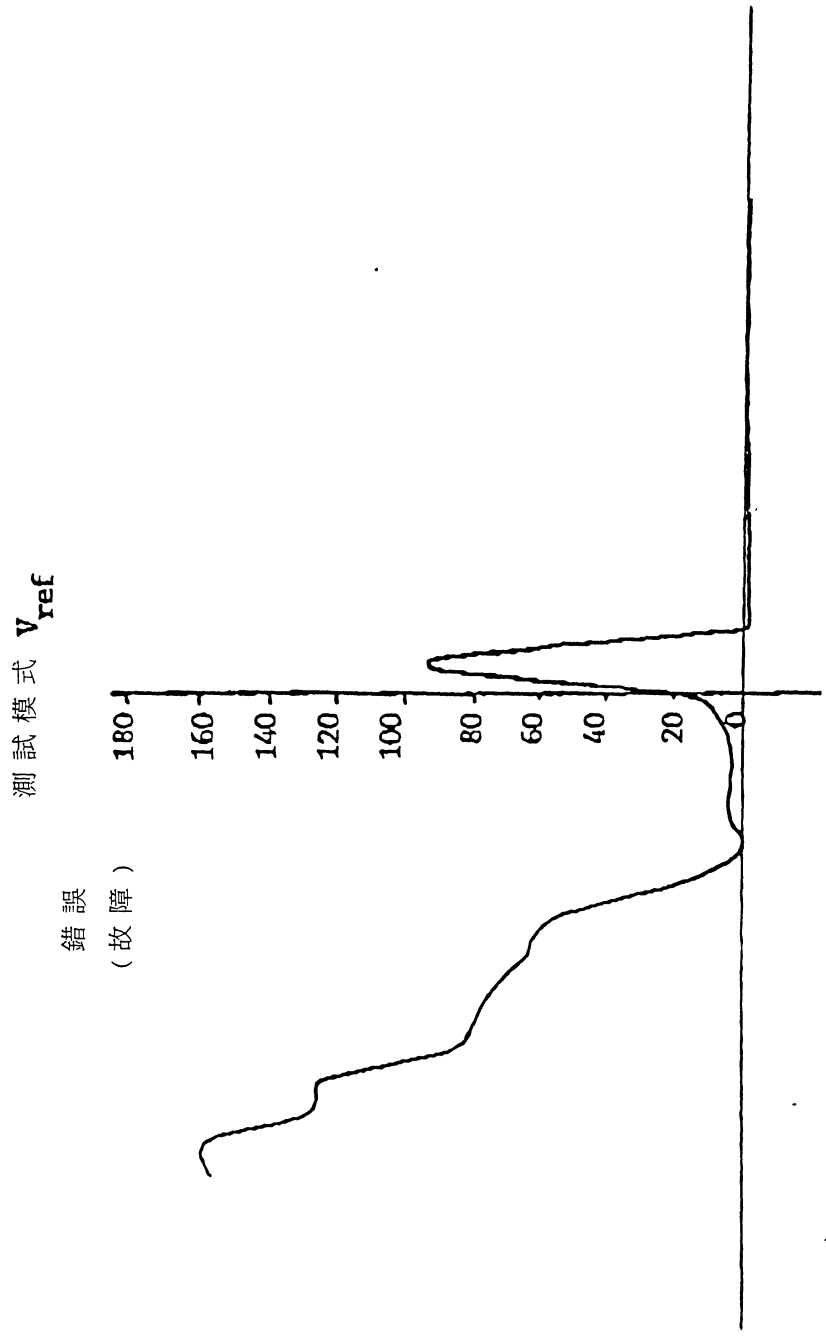
線



第 1 圖

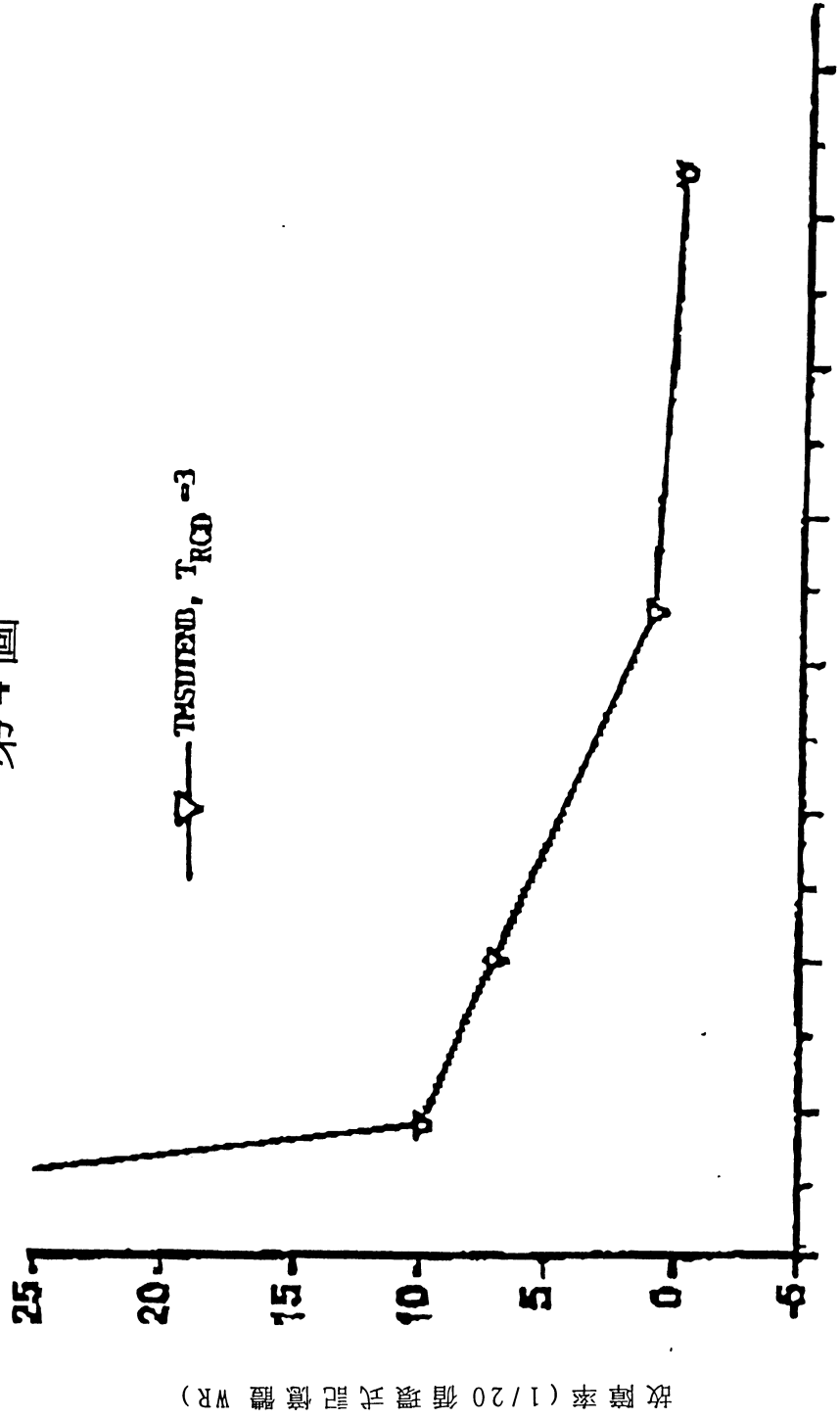


第 2 圖



第3圖

第4圖



△信號發展時序 (奈秒)

第5圖

