

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-49455
(P2006-49455A)

(43) 公開日 平成18年2月16日(2006.2.16)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 5 A	
HO 1 L 29/739 (2006.01)	HO 1 L 29/78 6 5 2 C	
HO 1 L 29/06 (2006.01)	HO 1 L 29/78 6 5 2 H	
	HO 1 L 29/78 6 5 2 P	
	HO 1 L 29/78 6 5 3 A	
審査請求 未請求 請求項の数 5 O L (全 11 頁) 最終頁に続く		

(21) 出願番号	特願2004-226308 (P2004-226308)	(71) 出願人	503361248 富士電機デバイステクノロジー株式会社 東京都品川区大崎一丁目11番2号
(22) 出願日	平成16年8月3日(2004.8.3)	(74) 代理人	100088339 弁理士 篠部 正治
		(72) 発明者	大月 正人 東京都品川区大崎一丁目11番2号 富士 電機デバイステクノロジー株式会社内

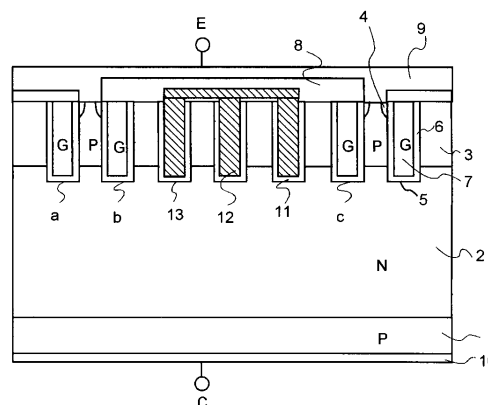
(54) 【発明の名称】 トレンチ型絶縁ゲート半導体装置

(57) 【要約】

【課題】トレンチ型 I G B T のオン電圧を I E G T 並みの低い状態のままで、スイッチング損失も低くし、トータルの発生損失を低減し、かつ高い素子耐圧が得られるトレンチ型絶縁ゲート半導体装置を提供すること。

【解決手段】複数の第一トレンチがそれぞれ前記ベース層を挟む第一間隔と、第一間隔より広い第二間隔とを有し、第一間隔のベース層は第一導電型のソース領域を備え、エミッタ電極が前記ベース層と前記ソース領域との両表面に共通に接触し、第二間隔の前記ベース層は、オフ時の順電圧印加時に、第二間隔下のドリフト層に広がる空乏層の等電位線と第一間隔下のドリフト層に広がる空乏層の等電位線との共通平坦化手段を備えているトレンチ型絶縁ゲート半導体装置とする。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

第一導電型のドリフト層と、このドリフト層の一方の表面内に形成される第二導電型のベース層と、前記ベース層の表面から形成され前記ドリフト層に達する深さであって内部にゲート酸化膜を介して埋設されたゲート電極を有する複数の第一トレンチを備えるトレンチ型絶縁ゲート半導体装置において、前記複数の第一トレンチが前記ベース層を挟む第一間隔と、第一間隔より広い第二間隔とを有し、第一間隔のベース層は、前記ベース層表面から第一トレンチ内壁面にかけて選択的に形成される第一導電型のソース領域を備え、エミッタ電極が前記ベース層と前記ソース領域との両表面に共通に接触し、第二間隔の前記ベース層は、オフ時の順電圧印加時に、第二間隔下の前記ドリフト層に広がる空乏層の等電位線と第一間隔下の前記ドリフト層に広がる空乏層の等電位線との共通平坦化手段を備えていることを特徴とするトレンチ型絶縁ゲート半導体装置。

10

【請求項 2】

等電位線の共通平坦化手段が、第二間隔の第二導電型ベース層表面に形成され内部に導電体が充填された第二トレンチであり、この第二トレンチ内部の総体積が第一トレンチ内部の総体積より大きく、かつ、第二トレンチ内部に形成された導電体が前記エミッタ、コレクタ、ゲート電極のいずれにも導電接続されていないことを特徴とする請求項 1 記載のトレンチ型絶縁ゲート半導体装置。

【請求項 3】

第二トレンチ内部に充填される導電体が第二トレンチ内壁面との間にゲート酸化膜を介在させていることを特徴とする請求項 2 記載のトレンチ型絶縁ゲート半導体装置。

20

【請求項 4】

第二トレンチの深さが第一トレンチの深さと同じか、それより深いことを特徴とする請求項 2 または 3 記載のトレンチ型絶縁ゲート半導体装置。

【請求項 5】

第二間隔の第二導電型ベース層の表面に 500nm 以下の絶縁膜を介して導電体を設置することを特徴とする請求項 1 記載のトレンチ型絶縁ゲート半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、トレンチ型 IGBT などのトレンチ型絶縁ゲート半導体装置に関するものである。

30

【背景技術】

【0002】

電力変換装置の低消費電力化が進む中で、その中心的な役割を果たすパワーデバイスへの低消費電力化に対する期待は大きい。とりわけ、伝導度変調効果により、パワー MOSFET より低オン電圧が達成でき、ゲート駆動が可能である絶縁ゲート型バイポーラトランジスタ（以下 IGBT という）の低消費電力化への貢献度は大きく、その使用が定着してきている。また、半導体基板の表面上にゲート電極を設ける、通常の、いわゆるプレーナ型 IGBT に比べ、基板表面からストライプ状のトレンチを掘り下げ、このトレンチ内にゲート電極を埋設するトレンチ型 IGBT は、前記基板表面にほぼ垂直であって、かつ電流の流れる方向に平行に並ぶチャンネルが多数形成されることになるので、近年普及しつつある。

40

このトレンチ型 IGBT の構造について、図 2 を用いて説明する。図 2 は、シリコン基板表面におけるパターンがストライプ状のトレンチゲートを有する n チャンネル型 IGBT を、シリコン基板面に垂直な方向であって、トレンチゲートを横切る方向に切断した断面図である。この図において、p 型で高濃度のシリコン基板 1 と n 型で低濃度のドリフト層 2 の積層からなるシリコンウエハのドリフト層 2 表面に p ベース層 3 が形成され、この p ベース層 3 の表面層に選択的に n + ソース領域 4 が形成されている。また、n + ソース領域 4 側の表面から p ベース層 3 を貫通して n 型ドリフト層 2 に達する第一トレンチ 5 が

50

形成される。ただし、製造方法としては、先に p ベース層 3 の表面から前記第一トレンチ 5 が形成され、第一トレンチ 5 内にゲート絶縁膜とゲート電極 7 となる導電性多結晶シリコンが充填された後に、n + ソース領域 4 が形成される。このゲート電極 7 の上部にはこれを覆うように層間絶縁膜 8 が形成されており、さらにその上部には金属膜からなるエミッタ電極 9 が n + ソース領域 4 と p ベース層 3 に共通に接触するように設けられている。さらに、この上部にパシベーション膜としてチツ化膜やアモルファスシリコン膜が形成されることがあるが、図 2 では省略されている。また、p 型のシリコン基板（コレクタ層）1 の、前記ドリフト層 2 とは反対側の表面（裏面）には金属膜からなるコレクタ電極 10 が設けられている。

【0003】

以下、このトレンチ型 IGBT をオン状態にする動作について説明する。

オフ状態のエミッタ電極 9 とコレクタ電極 10 間において、エミッタ電極 9 をアースに接続し、これよりも高い電圧をコレクタ電極 10 に印加した場合、n ドリフト層 2 - p ベース層 3 間の逆バイアス接合により、その逆耐電圧以下では阻止状態となるが、この状態でゲート電極 7 に閾値電圧より高い電圧を印加すると、ゲート駆動回路（図示せず）よりゲート抵抗を介してゲート電極 7 には電荷が蓄積され始める。同時に第一トレンチ 5 内壁の n + ソース領域 4 と n 型ドリフト層 2 との間において、ゲート酸化膜 6 を介してゲート電極 7 に接する p ベース層 3 の表面領域には n 型に反転したチャンネル領域（図示せず）が形成される。このチャンネル領域が形成されると、このチャンネル領域を通る通路では前記逆バイアス接合が消えるので、電子がエミッタ電極 9 から、n + ソース領域 4、p ベース層 3 の n チャンネル領域を通り、n 型ドリフト層 2 に注入される。n 型ドリフト層 2 に電子が注入されると、p 型のシリコン基板（コレクタ層）1 と n 型ドリフト層 2 との p n 接合は順バイアスされて、p 型のシリコン基板（コレクタ層）1 から n 型ドリフト層 2 へ少数キャリアである正孔が注入される。ドリフト層 2 に正孔が注入されると、ドリフト層においてキャリアについての中性条件を保つために多数キャリアである電子濃度が高くなるといういわゆる伝導度変調がおきてドリフト層の抵抗が低くなる。この時の IGBT のコレクタ電極 10 - エミッタ電極 9 間に流れる電流による電圧降下は、p コレクタ層 1 と n ドリフト層 2 よりなるダイオードのオン電圧と同程度になることが理想的な IGBT のオン電圧である。

【0004】

次に IGBT をオン状態からオフ状態にすることは、エミッタ電極 9 とゲート電極 7 間の電圧を閾値以下にすることによりなされる。すると、ゲート電極 7 に蓄積されていた電荷はゲート抵抗を介してゲート駆動回路へ放電され、n 型に反転していたチャンネル領域が p 型に戻り、チャンネル領域が無くなるので、電子の供給が止まり、同時にコレクタ電極 10 からの正孔の注入も無くなる。しかし、電流としては、n 型ドリフト層 2 内に蓄積されていた電子と正孔がそれぞれコレクタ電極 10 とエミッタ電極 9 に吐き出されるか、互いに再結合することにより消滅するまで流れ、前記蓄積電子と正孔の消滅後に電流はオフ状態となる。

このトレンチ型 IGBT のオン電圧をさらに低減するためにさまざまな改善方法が提案されている。たとえば IEGT (INJECTION ENHANCED GATE BIPOLOAR TRANSISTOR) ではダイオードのオン電圧に近い限界の特性が出せる。この IEGT はセルの n + ソース領域および p ベース層の基板表面の一部を絶縁層により被覆してこれらの領域とエミッタ電極がコンタクトしないようにされている。この動作は基本的にトレンチ型 IGBT と同じであるが、n + ソース領域と p ベース層とがエミッタ電極にコンタクトしていない部分の p ベース層下の正孔は、エミッタ電極に吐き出されにくいためにここに蓄積し、n 型ドリフト層のキャリア濃度分布はダイオードのそれに近くまでになるので、通常のトレンチ型 IGBT のオン電圧よりも低くなる（特許文献 1）。さらに、パワーデバイスは、低オン電圧以外にも高速スイッチング特性も常に要求され、その改善も重要な課題である。ところが、トレンチ型 IGBT および前記 IEGT は、前述のように低オン電圧とするためにトレンチ構造を高密度に形成するので、ゲート

10

20

30

40

50

電極とエミッタ電極間の容量も大きくなる。容量が増えると高速スイッチング特性は低下し、スイッチング損失が増加してしまう。すなわち、低オン電圧とスイッチング損失の低減または高速スイッチング特性とは一方を改善すると他方が悪くなるというトレードオフの関係にあるので、低オン電圧と高速スイッチング特性とを共に改善することは通常困難である。しかし、どうしても解決しなければならない重要な課題でもある。

【0005】

オン電圧とスイッチング特性との間の前記トレードオフ特性を改善するものとして、エミッタ電極側の蓄積キャリアの濃度を増加させてオン電圧・スイッチング特性間のトレードオフ特性を改善するトレンチIGBTが知られている(特許文献2-0020段落)。

前述のIGBTの動作で説明したようにオンおよびオフ動作に移行するときには、ゲート電極とエミッタ電極間の容量について充放電する必要があるが、容量が大きい場合には充放電時間が増加して発生損失が増加するだけでなく、より大きなゲート駆動回路も必要になる。前記パワーデバイスの発生損失はオン電圧で決まる定常損失と、オンおよびオフ動作時のスイッチング損失の和であるので、オン電圧の低減と共にスイッチング損失の低減、すなわち、ゲート電極とエミッタ電極間の容量を低減することも重要である。オン電圧の低減と共にゲート電極とエミッタ電極間の容量についても低減した半導体装置として、たとえば、前記図2に示すようなIEGT構造の絶縁ゲート型半導体装置が提案されている(特許文献3)。さらに、制御回路を簡略化でき、オン電圧と定常損失の小さい電力用半導体装置にかかる発明も知られている(特許文献4)。

10

【特許文献1】特開平5-243561号公報(図101)

20

【特許文献2】特開2000-228519号公報(図7)

【特許文献3】特開2001-308327号公報(図1)

【特許文献4】特開平9-139510号公報(図1)

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、上記特許文献3に記載のIEGTの構造は、本質的に高い素子耐圧を得にくいという課題を抱える。その理由は、オフ時(印加電圧阻止時)におけるシリコン基板内の電界分布が不均一となり易いためであり、トレンチゲート下部への電界集中が起きて設計耐圧より低い電圧でブレイクダウンが起き易いからである。

30

本発明は、このような問題点に鑑みてなされたものであり、トレンチ型IGBTのオン電圧をIEGT並みの低い状態のままで、スイッチング損失も低くし、トータルの発生損失を低減し、かつ高い素子耐圧が得られるトレンチ型絶縁ゲート半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0007】

特許請求の範囲の請求項1記載の本発明によれば、第一導電型のドリフト層と、このドリフト層の一方の表面内に形成される第二導電型のベース層と、前記ベース層の表面から形成され前記ドリフト層に達する深さであって内部にゲート酸化膜を介して埋設されたゲート電極を有する複数の第一トレンチを備えるトレンチ型絶縁ゲート半導体装置において、前記複数の第一トレンチが前記ベース層を挟む第一間隔と、第一間隔より広い第二間隔(b-c間)を有し、第一間隔のベース層は、前記ベース層表面から第一トレンチ内壁面にかけて選択的に形成される第一導電型のソース領域を備え、エミッタ電極が前記ベース層と前記ソース領域との両表面に共通に接触し、第二間隔(b-c間)のベース層は、オフ時の順電圧印加時に、第二間隔(b-c間)下の前記ドリフト層に拡がる空乏層の等電位線と第一間隔下の前記ドリフト層に拡がる空乏層の等電位線との共通平坦化手段を備えているトレンチ型絶縁ゲート半導体装置とすることにより、前記本発明の目的は達成される。

40

【0008】

特許請求の範囲の請求項2記載の本発明によれば、等電位線の共通平坦化手段が、第二

50

間隔 (b - c 間) の第二導電型ベース層表面に形成され内部に導電体が充填された第二トレンチであり、この第二トレンチ内部の総体積が第一トレンチ内部の総体積より大きく、かつ、第二トレンチ内部に形成された導電体が前記エミッタ、コレクタ、ゲート電極のいずれにも接続されていない請求項 1 記載のトレンチ型絶縁ゲート半導体装置とすることが好ましい。

特許請求の範囲の請求項 3 記載の本発明によれば、第二トレンチ内部に充填される導電体が第二トレンチ内壁面との間にゲート酸化膜を介在させている請求項 1 記載のトレンチ型絶縁ゲート半導体装置とすることがより好ましい。

特許請求の範囲の請求項 4 記載の本発明によれば、第二トレンチの深さが第一トレンチの深さと同じか、それより深いことを特徴とする請求項 2 または 3 記載のトレンチ型絶縁ゲート半導体装置とすることも好適である。

10

【 0 0 0 9 】

特許請求の範囲の請求項 5 記載の本発明によれば、第二間隔 (b - c 間) の第二導電型ベース層の表面に 5 0 0 n m 以下の絶縁膜を介して導電体を設置する請求項 1 記載のトレンチ型絶縁ゲート半導体装置とすることも望ましい。

【 発明の効果 】

【 0 0 1 0 】

本発明によれば、トレンチ型 I G B T のオン電圧を I E G T 並みの低い状態のままで、スイッチング損失も低くし、トータルの発生損失を低減し、かつ高い素子耐圧が得られるトレンチ型絶縁ゲート半導体装置を提供することができる。

20

【 実施例 1 】

【 0 0 1 1 】

図 1 は、本発明にかかるトレンチ型絶縁ゲート半導体装置について、ストライプ状の平面パターンを有するトレンチゲートを横切る方向で、シリコンウエハー面に垂直な方向に切断した縦断面図である。

第一導電型のコレクタ層 1 である p 型のシリコン基板の一方の面に形成された低不純物濃度の第二導電型の層である n 型ドリフト層 2、n 型ドリフト層 2 の表面上に配設され、n 型ドリフト層 2 よりも高い不純物濃度の第一導電型の層である p ベース層 3、4 は p ベース層 3 の表面に選択的に形成された第二導電型の層である n + ソース領域、5 は n + ソース領域 4 の表面から p ベース層 3 を貫通し n 型ドリフト層 2 に達する形状の第一トレンチ、6 は前記第一トレンチ 5 の内面に被覆された絶縁膜であるゲート酸化膜、7 はゲート酸化膜 5 を介して前記トレンチ内に充填された制御電極としてのゲート電極、8 は層間絶縁膜、9 は p ベース層 3 および n + ソース領域 4 の表面に跨って被覆されたエミッタ電極、10 はシリコン基板のコレクタ層 1 の表面に被覆されたコレクタ電極である。さらに、11 はエミッタ電極 9 に接続されていない p ベース層 3 を貫通し n 型ドリフト層 2 に達する深さの第二トレンチ 13 の内部に配設された絶縁膜である酸化膜、12 は酸化膜 11 を介して前記第二トレンチ 13 内に充填された前記ゲート電極 7 と同材料で形成された導電体である。また、前記第一トレンチのうち、トレンチ a とトレンチ b の間隔を第一間隔とし、トレンチ b とトレンチ c の間隔を第二間隔 (b - c 間) とすると、第一間隔の p ベース層表面に前記 n + ソース層 4 が形成され、第二間隔 (b - c 間) の p ベース層 3 に第二トレンチ 13 が形成される。なお、以下の説明においても同じ符号は同じ構成を表す。

30

40

【 0 0 1 2 】

この発明のトレンチ型絶縁ゲート半導体装置の製造方法の一実施例について説明する。高濃度で p 型のシリコン基板 1 に n 型ドリフト層 2 となる低濃度のエピタキシャル層を積層したウエハーを作成する工程と、このウエハーのドリフト層 2 側の表面からベース層 3 となる低濃度で p 型の拡散層を全面にイオン注入し熱拡散して形成すると同時にウエハー表面を酸化する工程と、この酸化膜をレジストでパターンングすることにより選択的にトレンチ用の窓開けエッチングする工程と、この酸化膜をマスクとしてシリコン基板表面から p ベース層 3 を貫通し n 型ドリフト層 2 に達する第一および第二トレンチ 5、13 を形成する工程と、熱酸化によりこれらのトレンチ 5、13 の内表面にゲート酸化膜を形成す

50

る工程と、前記第一、第二トレンチ5、13を含むシリコン基板表面にポリシリコンを堆積後、エッチバックにより前記トレンチ5、13内部および第二トレンチ13の相互接続以外の表面のポリシリコンを除去する工程と、pベース層3より浅くて高濃度のn+ソース層4を第一トレンチ5の第一間隔(a-b間)のPベース層3にのみレジストマスクにより選択的に形成する工程と、層間絶縁膜8となるPSGなどの酸化膜をCVDで形成し、それをレジストによるパターンニングで選択的にエッチングする工程と、さらにその上にエミッタ電極9となるアルミニウムを蒸着などで堆積させて、必要な電気配線となるようにレジストでパターンニングしてエッチングする工程と、必要に応じてパシベーション膜となる窒化膜かアモルファスSi膜をCVDなどで形成し、レジストでパターンニングしてエッチングする工程と、p型シリコン基板の反対側表面にコレクタ電極10となる金または銀を蒸着などで形成する工程とを順次実行することにより、本発明にかかる前記トレンチ型絶縁ゲート半導体装置が製造される。

10

【0013】

図3は、従来と本発明について、1200V耐圧クラスのトレンチ型絶縁ゲート半導体装置のエミッタ-コレクタ間の耐圧波形(a)、(b)をそれぞれ示すものである。この結果より、従来構造の耐圧値である1345Vに対して、第一トレンチの第二間隔(b-c間)にあるpベース層からなるフローティングメサ領域に第二のトレンチ構造を設けた以外は同じ構造で作成した本発明の素子耐圧は1608Vと約20%もの向上がみられる。一方で、オン電圧やスイッチング特性などの他の素子特性に大きな変化は見られない。

20

同様な耐圧向上の効果は、当初、第二のトレンチ構造内部の導電体をエミッタ電極に導電接続することで得られると考えた。しかしながら、この方法ではゲート-エミッタ間容量の増大に伴う、スイッチング速度の鈍化が判明した。そこで、第二のトレンチ構造内部の導電体をエミッタ電極に接続しない構造としたところ、速いスイッチング特性を保ちつつ、高い耐圧を得ることのできるトレンチ型絶縁ゲート半導体装置が得られることが分かったので発明とした。

【0014】

さらに、複数ある第二のトレンチ同士をそれぞれ導電接続しない場合は、このような耐圧向上の効果は得られないことも分かった。デバイスシミュレーションの結果、それぞれの第二のトレンチ同士を接続することにより、オフ時の順電圧印加で第二トレンチ下部のドリフト層に広がる等電位線を共通平坦化することが高い耐圧を得る上で重要であることが判明した。これらの効果が得られる原理を、従来および本発明の、それぞれのトレンチ型絶縁ゲートバイポーラトランジスタの断面図を示す図4、図5に記載のオフ状態における順電圧印加による等電位線(点線)により説明する。図4の従来構造のトレンチ型絶縁ゲートバイポーラトランジスタにおいては、第一トレンチの第二間隔(b-c間)のpベース層(エミッタに接続されていないpベース層3)において、オフ時の順電圧印加で広がる等電位線が前記pベース層3内部に湾曲するように広がるため、符号A付近の曲率半径が他に比して小さくなることを点線により示した。そのため、前記符号Aの領域で電界集中により電界強度が強まり易くなる。素子耐圧はこの部分がシリコンのアバランシェ降伏する臨界電界強度に達するときの印加電圧で決定されるので、素子耐圧が低下する。

30

40

【0015】

一方、本発明においては、図5の点線で示すように、ほぼ平坦な等電位線が得られることにより、前記A点の電界強度は大幅に弱まり電界集中が緩和されるので、高い素子耐圧が実現できるのである。本発明により、前述のような符号A点での電界集中の緩和が得られた理由は、第二のトレンチ12同士がそれぞれ導電接続されていることが、図4で示したように前記pベース層3内部に湾曲するように広がっていた等電位線を、第一トレンチの第二間隔(b-c間)下部へ押し広げて一定の等電位線とし、かつ第一トレンチの第一間隔(a-b間)の下部に位置する等電位線に対して、その拡がり方をほぼ共通、平坦化させるように作用したためであると考えられる。さらに、この高耐圧化の効果は、第二トレンチの体積を、第一トレンチよりも大きな体積にすることにより、いっそう大きな効果

50

が得られる。さらに、図5に示す等電位線のように、第一トレンチの第一間隔(a - b間)下部に対して第一トレンチの第二間隔(b - c間)下部の等電位線の広がりになお少しの段差が見られる場合は、同程度の広がりになって等電位線が相互にいつそう共通平坦化するように、第二トレンチの深さを図5よりさらに深くすることも高耐圧化にとって好ましい。

【実施例2】

【0016】

上記のようなほぼ平坦な等電位面を実現できることにより高い素子耐圧を得られる効果は、図6に示す第二トレンチ構造によっても、同様に得られる。

図6において、1はp型のコレクタ層、2はn型ドリフト層、3はn型ドリフト層2の表面上に配設されたpベース層、4は第一トレンチ5の第一間隔(a - b間)のpベース層3の表面に選択的に形成されたn+ソース領域、5はn+ソース領域4表面からpベース層3を貫通しn型ドリフト層2に達するように形成された第一トレンチ、6は第一トレンチ5の内部に配設された絶縁膜であるゲート酸化膜、7はゲート酸化膜5を介してpベース層3と対向して前記トレンチ内に配設された制御電極であるゲート電極、8は層間絶縁膜、9はpベース層3およびn+ソース領域4の表面に導電接続されたエミッタ電極、10はシリコン基板のコレクタ層1表面に形成されたコレクタ電極である。さらに、13は第一トレンチ5の第二間隔(b - c間)のpベース層3に、その表面からpベース層3を貫通しn型ドリフト層2に達する深さを有する第二トレンチであって、内部に絶縁膜を介さずに直接充填された導電体12(図6の斜線部)を備え、第二トレンチ13相互には導電接続されるが、エミッタ電極9に接続されていない等電位線の共通平坦化手段である。なお、以下の実施の形態においても同じ符号は同じ構成を意味している。

10

20

【0017】

この構造の特徴は、前述の構造と比較してその製造プロセスが複雑になるものの、第二のトレンチ部分の電位が、絶縁膜を介さずに直接導電接続されることにより、より均一に保たれることによって、さらに高い耐圧が得られることにある。

またこの発明に係るトレンチ型絶縁ゲート半導体装置の製造方法としては、基本的には前記の実施例1と同じ方法で製造可能である。すなわち、前記トレンチ内部のゲート酸化膜を第二トレンチ部分のみ選択的に除去することより、トレンチ型絶縁ゲート半導体装置が製造可能となる。

30

【実施例3】

【0018】

さらに図7に示すように、エミッタ電極9に接続しない第一トレンチの第二間隔(b - c間)のpベース層3の上部を、薄い絶縁膜14を介して導電性薄層15を被覆して電気的にシールドすることによっても、オフ時の順電圧印加時の等電位線の平坦化による素子耐圧の向上が得られる。前述の実施例1と2の場合は、第一トレンチの第二間隔(b - c間)のpベース層3に第二トレンチを備えているので、第二トレンチ下部にまで等電位線を拡げて平坦化が実現できるのに対して、実施例3においては第二トレンチが無いので、第一トレンチの第二間隔(b - c間)のpベース層3の表面に対する平坦化の効果にすぎず、耐圧向上の効果は実施例1、2よりも劣る。しかしながら、トレンチ構造を形成する必要がないため、製造プロセスが非常に容易になるというメリットがある。

40

図8は、前述の場合における前記絶縁膜13の厚さと素子耐圧の関係を示している。絶縁膜が1000nmの場合、従来構造との素子耐圧の差は認められず効果が得られていない。しかしながら、絶縁膜が薄くなり、例えば500nmでは約30V、50nmでは約100Vの素子耐圧が向上している。この素子耐圧の3%以上の向上が期待できる範囲として、前記絶縁膜の厚さは500nm以下が望ましい。

【0019】

また、実施例3の発明に係るトレンチ型絶縁ゲート半導体装置の製造方法としては、基本的には前記実施例1と同じ方法で製造可能である。すなわち、前記、第一トレンチの第二間隔(b - c間)のpベース層3に酸化膜パターンを形成し、前記ポリシリコンの選択

50

的なエッチングを行って前記 p ベース層 3 上に酸化膜を介して導電性薄層としてポリシリコン層を形成すること以外は前記実施例 1 と同様にして製造できる。

【図面の簡単な説明】

【0020】

【図 1】本発明にかかる実施例 1 に記載のトレンチ型絶縁ゲート半導体装置について、シリコン基板に垂直であってトレンチゲートを横切る方向に切断した断面図である。

【図 2】従来のトレンチ型絶縁ゲート半導体装置について、シリコン基板に垂直であってトレンチゲートを横切る方向に切断した断面図である。

【図 3】本発明と従来の、各トレンチ型絶縁ゲート半導体装置における素子耐圧の比較を示す図である。

【図 4】従来のトレンチ型絶縁ゲート半導体装置について、オフ時の順電圧印加時の等電位線を点線で示す断面図である。

【図 5】本発明の実施例 1 にかかるトレンチ型絶縁ゲート半導体装置について、オフ時の順電圧印加時の等電位線を点線で示す断面図である。

【図 6】本発明の実施例 2 にかかるトレンチ型絶縁ゲート半導体装置について、シリコン基板に垂直であってトレンチゲートを横切る方向に切断した断面図である。

【図 7】本発明の実施例 3 にかかるトレンチ型絶縁ゲート半導体装置について、シリコン基板に垂直であってトレンチゲートを横切る方向に切断した断面図である。

【図 8】本発明の実施例 3 にかかるトレンチ型絶縁ゲート半導体装置について、第二トレンチ間の p ベース層表面の酸化膜の厚さと素子耐圧の関係を示す図である。

【符号の説明】

【0021】

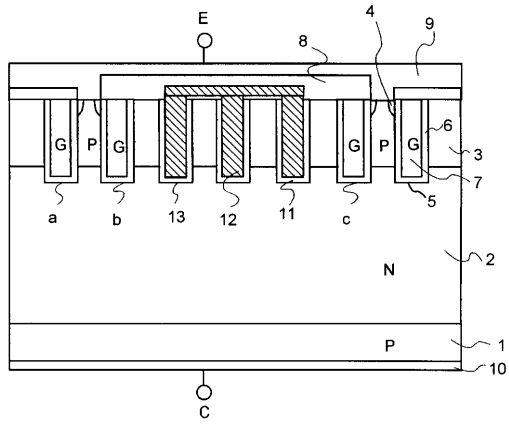
- 1 第一導電型のコレクタ層、
- 2 n 型ドリフト層、
- 3 p ベース層、
- 4 n + ソース領域、
- 5、 a、 b、 c トレンチ、
- 6 ゲート酸化膜、
- 7 ゲート電極、
- 8 層間絶縁膜、
- 9 エミッタ電極、
- 10 コレクタ電極、
- 11 第二トレンチ内部絶縁膜
- 12 第二トレンチ内導電体
- 13 酸化膜、
- 14 第二トレンチ間 p ベース層、フローティングメサ領域、
- 15 導電体。

10

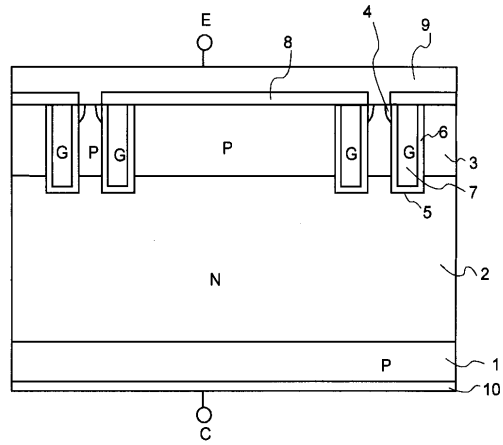
20

30

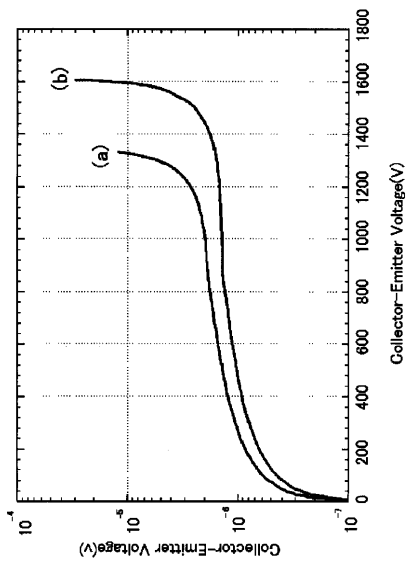
【図 1】



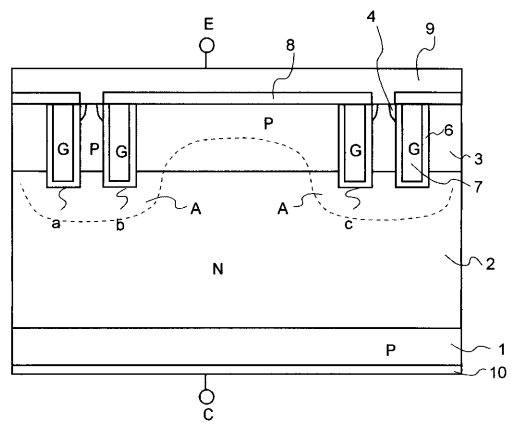
【図 2】



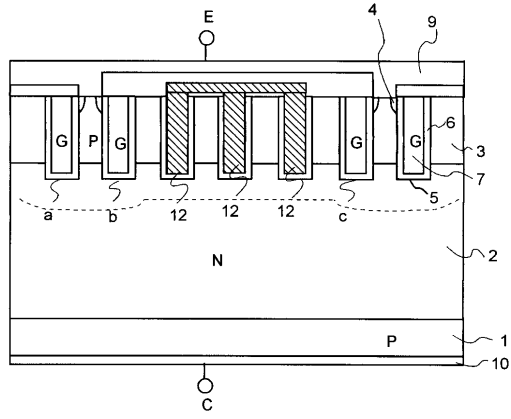
【図 3】



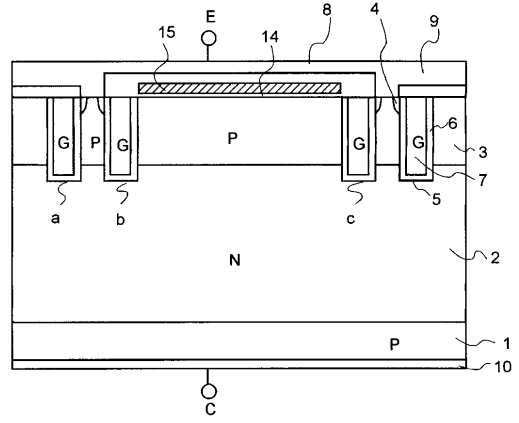
【図 4】



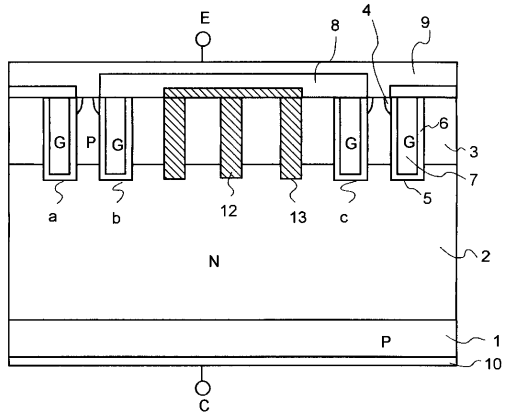
【図5】



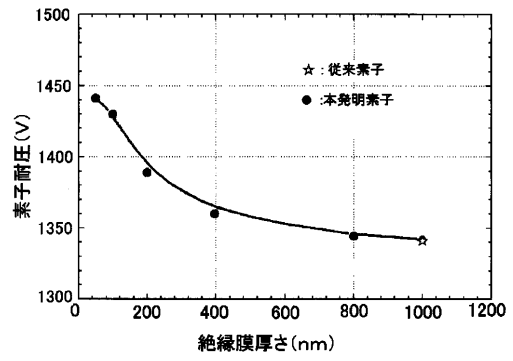
【図7】



【図6】



【図8】



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

H 0 1 L 29/78 6 5 4 Z