(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年9月17日(17.09.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/183842 A1

(51) 国際特許分類:
G01S 17/10 (2020.01) *G01S 7/487* (2006.01)

(21) 国際出願番号： PCT/JP2019/049480

(22) 国際出願日： 2019年12月17日(17.12.2019)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2019-044861 2019年3月12日(12.03.2019) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

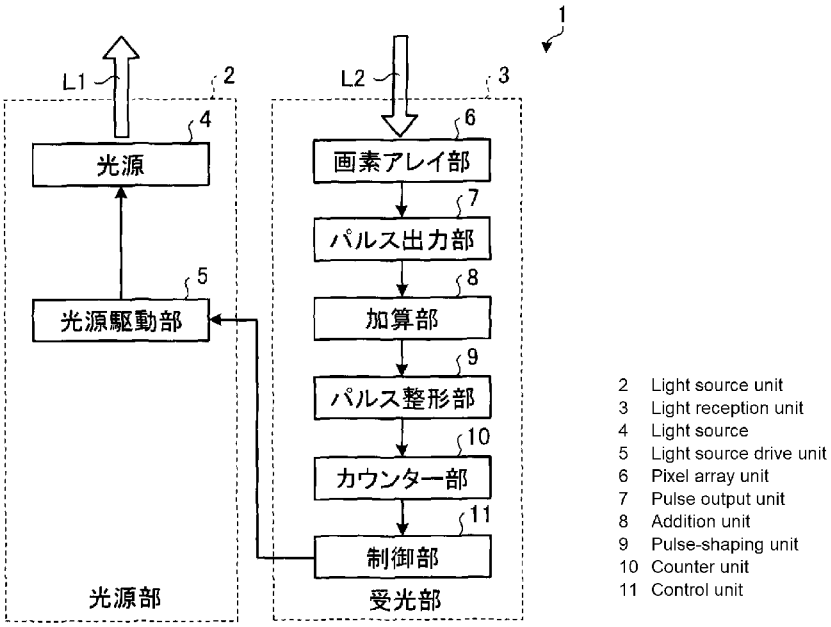
(72) 発明者: 上水流 隼人 (**KAMIZURU, Hayato**); 〒8691102 熊本県菊池郡菊陽町大字原水4000番地1 ソニーセミコンダクタマニュファクチャリング株式会社内 Kumamoto (JP).

(74) 代理人: 特許業務法人酒井国際特許事務所 (**SAKAI INTERNATIONAL PATENT OFFICE**); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) **Title:** CONTROL CIRCUIT AND RANGING SYSTEM

(54) 発明の名称： 制御回路および測距システム



(57) **Abstract:** A control circuit according to the present disclosure is provided with a pulse output unit (7), an addition unit (8), and a pulse shaping unit (9). The pulse output unit (7) outputs a plurality of first pulse signals (P1) in accordance with signals respectively generated in a plurality of single-photon avalanche diode (SPAD) elements (6a). The addition unit (8) adds the plurality of first pulse signals (P1) outputted from the pulse output unit (7) and converts same into a summed signal (Pa). The pulse shaping unit (9) shapes the summed signal (Pa) into second pulse signals (P2) of pulse width based on the

WO 2020/183842 A1

[続葉有]

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

number of pulse signals within a summed signal (Pa) generated in a time interval shorter than a prescribed period (ΔT).

(57) 要約:本開示に係る制御回路は、パルス出力部(７)と、加算部(８)と、パルス整形部(９)とを備える。パルス出力部(７)は、複数のＳＰＡＤ(Single Photon Avalanche Diode)素子(６ａ)でそれぞれ発生する信号に応じた複数の第１パルス信号(Ｐ１)を出力する。加算部(８)は、パルス出力部(７)から出力される複数の第１パルス信号(Ｐ１)を加算して加算信号(Ｐａ)に変換する。パルス整形部(９)は、加算信号(Ｐａ)を、所定の期間(ΔＴ)より短い時間間隔で発生する加算信号(Ｐａ)内のパルス信号の数に基づいたパルス幅の第２パルス信号(Ｐ２)に整形する。

明　細　書

発明の名称 ： 制御回路および測距システム

技術分野

[0001] 本開示は、制御回路および測距システムに関する。

背景技術

[0002] 光を用いて被測定物までの距離を測定する測距方式の一つとして、直接ＴｏＦ(Time of Flight)方式と呼ばれる測距手法が知られている。かかる直接ＴｏＦ方式では、光源から射出された光が被測定物により反射された反射光を受光素子により受光し、光が射出されてから反射光として受光されるまでの時間に基づき対象までの距離を計測する（たとえば、特許文献１参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開２０１４－０８１２５４号公報

発明の概要

発明が解決しようとする課題

[0004] 本開示では、ダイナミックレンジを拡大することができる制御回路および測距システムを提案する。

課題を解決するための手段

[0005] 本開示によれば、制御回路が提供される。制御回路は、パルス出力部と、加算部と、パルス整形部とを備える。パルス出力部は、複数のＳＰＡＤ（Single Photon Avalanche Diode）素子でそれぞれ発生する信号に応じた複数の第１パルス信号を出力する。加算部は、前記パルス出力部から出力される複数の前記第１パルス信号を加算して加算信号に変換する。パルス整形部は、前記加算信号を、所定の期間より短い時間間隔で発生する前記加算信号内のパルス信号の数に基づいたパルス幅の第２パルス信号に整形する。

発明の効果

[0006] 本開示によれば、ダイナミックレンジを拡大することができる。なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0007] [図1]本開示の実施形態に適用可能である直接ＴｏＦ方式による測距を模式的に示す図である。

[図2]本開示の実施形態に適用可能である受光部が受光した時刻に基づく一例のヒストグラムを示す図である。

[図3]本開示の実施形態に係る測距装置の構成例を示すブロック図である。

[図4]本開示の実施形態に係る受光部に適用可能であるデバイスの構成の例を示す模式図である。

[図5]本開示の実施形態に係るパルス出力部のパルス出力回路の構成例を示す回路図である。

[図6]本開示の実施形態に係るパルス出力回路の動作をタイミングチャートで示す説明図である。

[図7]本開示の実施形態に係る加算部の構成例を示す回路図である。

[図8]本開示の実施形態に係る加算部の動作をタイミングチャートで示す説明図である。

[図9]本開示の実施形態に係るパルス整形部の構成例を示す回路図である。

[図10]本開示の実施形態に係るパルス整形部の動作をタイミングチャートで示す説明図である。

[図11]本開示の実施形態に係るパルス整形部の動作をタイミングチャートで示す説明図である。

[図12]本開示の実施形態に係るカウンター部の構成例を示す回路図である。

[図13]本開示の実施形態に係るカウンター部の動作をタイミングチャートで示す説明図である。

[図14]本開示の実施形態、参考例１および参考例２における信号処理の違い

について説明するための図である。

発明を実施するための形態

[0008] 以下に、本開示の各実施形態について図面に基づいて詳細に説明する。なお、以下の各実施形態において、同一の部位には同一の符号を付することにより重複する説明を省略する。

[0009] 光を用いて被測定物までの距離を測定する測距方式の一つとして、直接ＴｏＦ方式と呼ばれる測距手法が知られている。かかる直接ＴｏＦ方式では、光源から射出された光が被測定物により反射された反射光を受光素子により受光し、光が射出されてから反射光として受光されるまでの時間に基づき対象までの距離を計測する。

[0010] しかしながら、上記の従来技術では、受光素子として用いられるＳＰＡＤ素子のデッドタイムより短い間隔で再度ＳＰＡＤ素子が受光した場合、ＳＰＡＤ素子から出力されるパルス信号は数が増えずに幅だけが長くなってしまう。

[0011] これにより、ＳＰＡＤ素子から出力されるパルス信号の数に基づいて入射した光子の数を計測する場合に、入射光子数が多くなるにしたがい、計測された光子の数とＳＰＡＤ素子に実際入射した光子の数との差異が大きくなる場合がある。

[0012] したがって、計測可能な光子数の最小値と最大値との差が小さくなってしまうことから、測距システムのダイナミックレンジが減少してしまう恐れがある。

[0013] そこで、上述の問題点を克服し、ダイナミックレンジを拡大することができる制御回路および測距システムの実現が期待されている。

[0014] ［測距方法］

本開示は、光を用いて測距を行う技術に関するものである。そこで、本開示の実施形態の理解を容易とするために、図１および図２を参照しながら、実施形態に適用可能な測距方法について説明する。

[0015] 図１は、本開示の実施形態に適用可能である直接ＴｏＦ方式による測距を

模式的に示す図である。実施形態では、測距方式として直接ＴｏＦ方式を適用する。

[0016] かかる直接ＴｏＦ方式は、光源部２からの射出光Ｌ１が被測定物１００により反射した反射光Ｌ２を受光部３により受光し、光の射出タイミングと受光タイミングとの差分の時間に基づき測距を行う方式である。

[0017] 測距装置１は、光源部２と、受光部３とを備える。測距装置１は、測距システムの一例である。光源部２は、たとえばレーザダイオードである光源４（図３参照）を有し、レーザ光をパルス状に発光するように駆動される。

[0018] 光源部２からの射出光Ｌ１は、被測定物１００により反射され、反射光Ｌ２として受光部３に受光される。受光部３は、光電変換によって光を電気信号に変換する画素アレイ部６（図３参照）を含み、受光した光に応じた信号を出力する。

[0019] ここで、光源部２が発光した時刻（発光タイミング）を時間t_0、光源部２からの射出光Ｌ１が被測定物１００により反射された反射光Ｌ２を受光部３が受光した時刻（受光タイミング）を時間t_1とする。

[0020] 定数ｃを光速度（２．９９７９×10^8［ｍ／ｓｅｃ］）とすると、測距装置１と被測定物１００との間の距離Ｄは、次式（１）により計算される。

$$D=(c/2)\times(t_1-t_0) \quad \cdots(1)$$

[0021] なお、測距装置１は、上述の処理を、複数回繰り返して実行するとよい。また、受光部３は、複数のＳＰＡＤ素子６ａ（図４参照）を有し、各ＳＰＡＤ素子６ａに反射光Ｌ２が受光された各受光タイミングに基づき距離Ｄをそれぞれ算出してもよい。

[0022] 測距装置１は、発光タイミングの時間t_0から受光部３に光が受光された受光タイミングまでの時間t_m（以下、「受光時間t_m」とも呼称する。）を階級（ビン(bins)）に基づき分類し、ヒストグラムを生成する。

[0023] 図２は、本開示の実施形態に適用可能である受光部３が受光した時刻に基づく一例のヒストグラムを示す図である。図２において、横軸はビン、縦軸はビン毎の頻度を示す。ビンは、受光時間t_mを所定の単位時間ｄ毎に分類し

たものである。

[0024] 具体的には、ビン＃０が０≦t_m＜ｄ、ビン＃１がｄ≦t_m＜２×ｄ、ビン＃２が２×ｄ≦t_m＜３×ｄ、…、ビン＃（Ｎ－２）が(Ｎ－２)×ｄ≦t_m＜(Ｎ－１)×ｄとなる。受光部３の露光時間を時間t_{ep}とした場合、t_{ep}＝Ｎ×ｄとなる。

[0025] 測距装置１は、受光時間t_mを取得した回数をビンに基づき計数してビン毎の頻度２００を求め、ヒストグラムを生成する。ここで、受光部３は、光源部２からの射出光Ｌ１が反射された反射光Ｌ２以外の光も受光する。

[0026] たとえば、対象となる反射光Ｌ２以外の光の例として、測距装置１の周囲の環境光がある。かかる環境光は、受光部３にランダムに入射する光であって、ヒストグラムにおける環境光による環境光成分２０１は、対象となる反射光Ｌ２に対するノイズとなる。

[0027] 一方、対象となる反射光Ｌ２は、特定の距離に応じて受光される光であって、ヒストグラムにおいてアクティブ光成分２０２として現れる。このアクティブ光成分２０２内のピークの頻度に対応するビンが、被測定物１００の距離Ｄに対応するビンとなる。

[0028] 測距装置１は、そのビンの代表時間（たとえばビンの中央の時間）を上述した時間t_1として取得することで、上述した式（１）に従い、被測定物１００までの距離Ｄを算出することができる。このように、複数の受光結果を用いることで、ランダムなノイズに対して適切な測距が実行可能となる。

[0029] ［測距装置の構成］

つづいて、実施形態に係る測距装置１の構成について、図３および図４を参照しながら説明する。図３は、本開示の実施形態に係る測距装置１の構成例を示すブロック図である。上述のように、測距装置１は、光源部２と、受光部３とを備える。

[0030] 光源部２は、光源４と、光源駆動部５とを有する。光源４は、たとえば、垂直共振器面発光レーザ（ＶＣＳＥＬ：Vertical Cavity Surface Emitting LASER）などのレーザダイオードで構成される。なお、光源４は、ＶＣＳ

ＥＬに限られず、レーザダイオードがライン上に配列されたレーザダイオードアレイなどを用いてもよい。

[0031] 光源駆動部５は、光源４を駆動する。光源駆動部５は、たとえば、受光部３の制御部１１からの発光制御信号に基づき、光源４から所定のタイミングおよびパルス幅を有する射出光Ｌ１が出射されるように光源４を駆動する。

[0032] 光源駆動部５は、たとえば、ライン上に配列されるレーザダイオードを有する光源４から、レーザ光がラインに垂直の方向にスキャンされるように光源４を駆動することができる。

[0033] 受光部３は、画素アレイ部６と、パルス出力部７と、加算部８と、パルス整形部９と、カウンター部１０と、制御部１１とを有する。

[0034] 画素アレイ部６は、２次元格子状に配列される複数のＳＰＡＤ素子６ａ（図４参照）を有する。かかるＳＰＡＤ素子６ａは、アバランシ増倍が発生する大きな逆バイアス電圧をカソードに印加することにより、１光子の入射に応じて発生した電子に起因して、内部でアバランシ増倍が生じる。

[0035] すなわち、ＳＰＡＤ素子６ａは、１光子の入射に応じて大電流が流れる特性を有する。そして、ＳＰＡＤ素子６ａでは、かかる特性を利用することで、反射光Ｌ２に含まれる１光子の入射を高感度で検知することができる。

[0036] 画素アレイ部６における複数のＳＰＡＤ素子６ａの動作は、制御部１１によって制御される。たとえば、制御部１１は、各ＳＰＡＤ素子６ａからの信号の読み出しを、行方向にｎ画素、列方向にｍ画素の、（ｎ×ｍ）個のＳＰＡＤ素子６ａを含むブロック毎に制御することができる。

[0037] また、制御部１１は、当該ブロックを単位として、各ＳＰＡＤ素子６ａを行方向にスキャンし、さらに行毎に列方向にスキャンして、各ＳＰＡＤ素子６ａから信号を読み出すことができる。

[0038] なお、実施形態において、制御部１１は、各ＳＰＡＤ素子６ａからそれぞれ単独に信号を読み出してもよい。画素アレイ部６のＳＰＡＤ素子６ａで発生する信号は、パルス出力部７のパルス出力回路７ａ（図５参照）に供給される。

[0039] パルス出力部７は、ＳＰＡＤ素子６ａと同じ数のパルス出力回路７ａを有する。かかるパルス出力回路７ａは、対応するＳＰＡＤ素子６ａで発生する信号に応じて、所定の第１パルス信号Ｐ１（図６参照）をデジタル信号として加算部８に出力する。

[0040] すなわち、パルス出力部７は、複数のＳＰＡＤ素子６ａでそれぞれ発生する信号に応じた複数の第１パルス信号Ｐ１を出力する。かかるパルス出力部７およびパルス出力回路７ａの詳細については後述する。

[0041] 加算部８は、パルス出力部７から出力された複数の第１パルス信号Ｐ１を加算して、加算信号Ｐａ（図８参照）を生成する。かかる加算部８の詳細については後述する。

[0042] パルス整形部９は、加算信号Ｐａを第２パルス信号Ｐ２（図１１参照）に整形する。この第２パルス信号Ｐ２とは、所定の期間ΔＴ（図１０参照）より短い時間間隔で発生する加算信号Ｐａ内のパルス信号の数に基づいたパルス幅を有する信号である。かかるパルス整形部９の詳細については後述する。

[0043] カウンター部１０は、第２パルス信号Ｐ２のパルス幅に応じた数を、複数のＳＰＡＤ素子６ａに入射した光子の数としてカウントする。かかるカウンター部１０の詳細については後述する。

[0044] 制御部１１は、たとえば予め組み込まれるプログラムに従い、測距装置１の全体の動作を制御する。たとえば、制御部１１は、光源駆動部５を制御することにより、光源４の発光タイミングを制御する。

[0045] また、制御部１１は、カウンター部１０から出力されるカウント数に基づいて、図２に示したヒストグラムを生成する。また、制御部１１は、生成されたヒストグラムのデータに基づいて所定の演算処理を行い、被測定物１００までの距離Ｄを算出する。

[0046] 図４は、本開示の実施形態に係る受光部３に適用可能であるデバイスの構成の例を示す模式図である。図４において、受光部３は、それぞれ半導体チップからなる受光チップ３ａとロジックチップ３ｂとが積層されて構成され

る。なお、図４では、理解の容易のため、受光チップ３ａとロジックチップ３ｂとが分離された状態で示している。

[0047] 受光チップ３ａには、画素アレイ部６の領域に複数のＳＰＡＤ素子６ａが２次元格子状に配列される。ロジックチップ３ｂには、パルス出力部７と、加算部８と、パルス整形部９と、カウンター部１０と、制御部１１（図示せず）とが設けられる。なお、受光チップ３ａおよびロジックチップ３ｂの構成は、図４の例に限定されない。

[0048] ［パルス出力部の構成および動作］

つづいて、実施形態に係るパルス出力部７の構成および動作について、図５および図６を参照しながら説明する。図５は、本開示の実施形態に係るパルス出力部７のパルス出力回路７ａの構成例を示す回路図である。

[0049] 図５に示すように、パルス出力部７は、パルス出力回路７ａを有する。パルス出力回路７ａは、１つのＳＰＡＤ素子６ａに対して１つ設けられる。すなわち、パルス出力回路７ａは、パルス出力部７内にＳＰＡＤ素子６ａと同じ数だけ設けられる。

[0050] そして、各パルス出力回路７ａは、それぞれ対応するＳＰＡＤ素子６ａに接続される。なお、図５では、理解の容易のため、ＳＰＡＤ素子６ａとパルス出力回路７ａとをそれぞれ１つずつ図示する。

[0051] パルス出力回路７ａは、Ｐ型トランジスタ２１と、インバータ２２と、否定論理積回路２３と、遅延回路２４と、Ｐ型トランジスタ２５とを有する。また、遅延回路２４は、４つのインバータ３１～３４を有する。

[0052] Ｐ型トランジスタ２１のソースは電源電圧Ｖｄｄに接続され、Ｐ型トランジスタ２１のドレインは信号線２６に接続され、Ｐ型トランジスタ２１のゲートはノード２７に接続される。

[0053] かかる信号線２６は、画素アレイ部６の接続部６ｂを介して、ＳＰＡＤ素子６ａのカソードとインバータ２２の入力端子との間を接続する。また、ＳＰＡＤ素子６ａのアノードは接地され、インバータ２２の出力端子はノード２７を介して加算部８（図３参照）に接続される。

[0054] 否定論理積回路２３の２つの入力端子は、ノード２７とインバータ３４の出力端子とに接続される。否定論理積回路２３の出力端子は、インバータ３１の入力端子に接続される。

[0055] インバータ３１の出力端子は、インバータ３２の入力端子に接続される。インバータ３２の出力端子は、インバータ３３の入力端子に接続される。インバータ３３の出力端子は、インバータ３４の入力端子に接続される。

[0056] すなわち、パルス出力回路７ａでは、否定論理積回路２３および４つのインバータ３１～３４がリングオシレータとなる。

[0057] Ｐ型トランジスタ２５のソースは電源電圧Ｖｄｄに接続され、Ｐ型トランジスタ２５のドレインは信号線２６に接続され、Ｐ型トランジスタ２５のゲートはインバータ３４の出力端子に接続される。

[0058] ここまで説明したパルス出力回路７ａの初期状態では、Ｐ型トランジスタ２１のゲートにローレベルの信号Ｓ２がノード２７を介して入力される。したがって、パルス出力回路７ａの初期状態では、Ｐ型トランジスタ２１を含んだ第１の供給路Ｒ１によって、ＳＰＡＤ素子６ａのカソードに所定の電流が供給される。

[0059] そして、かかる所定の電流によって、パルス出力回路７ａは、ＳＰＡＤ素子６ａを動作させることができる。

[0060] また、Ｐ型トランジスタ２５のゲートには、初期状態でハイレベルの信号Ｓ３が入力される。これにより、初期状態において、ＳＰＡＤ素子６ａのカソードには上述した第１の供給路Ｒ１以外からの電流は供給されない。

[0061] 次に、図５に加えて図６も参照しながら、パルス出力回路７ａの動作について説明する。図６は、本開示の実施形態に係るパルス出力回路７ａの動作をタイミングチャートで示す説明図である。

[0062] ＳＰＡＤ素子６ａには、ガイガーモードと呼ばれるなだれ増幅が起きる寸前の状態になるまで、逆バイアスの電圧Ｖａが印加されている。すなわち、初期状態において、ＳＰＡＤ素子６ａのカソードから出力される信号Ｓ１は、この電圧Ｖａとなる。

[0063] そして、インバータ２２にはしきい電圧Ｖｔｈ以上の電圧Ｖａが信号Ｓ１として入力されることから、インバータ２２はローレベルの信号Ｓ２を出力する。また、インバータ２２からローレベルの信号Ｓ２が否定論理積回路２３に入力されることから、遅延回路２４からはハイレベルの信号Ｓ３が出力される。

[0064] そして、電圧Ｖａが印加されたＳＰＡＤ素子６ａに時間Ｔ１で１光子が入射すると、ＳＰＡＤ素子６ａがブレイクダウンして第１の供給路Ｒ１に電流が流れる。これにより、信号Ｓ１は、電圧Ｖａから急激に減少する。そして、時間Ｔ２で信号Ｓ１がしきい電圧Ｖｔｈより小さくなると、インバータ２２はハイレベルの信号Ｓ２を出力する。

[0065] そして、信号Ｓ１は、時間Ｔ３においてなだれ増幅が停止することから、電圧Ｖｂで下げ止まる。一方で、パルス出力回路７ａでは、時間Ｔ２でハイレベルとなった信号Ｓ２がＰ型トランジスタ２１のゲートに入力されることから、第１の供給路Ｒ１は切断される。

[0066] これにより、ＳＰＡＤ素子６ａのカソードは、電源電圧Ｖｄｄから切断されたフローティング状態となる。したがって、信号Ｓ１は、時間Ｔ３以降でも電圧Ｖｂで固定される。

[0067] さらに、時間Ｔ２でハイレベルとなった信号Ｓ２は、否定論理積回路２３にも入力される。この時間Ｔ２の時点において、否定論理積回路２３にはハイレベルの信号Ｓ３が入力されていることから、否定論理積回路２３は、ローレベルの信号を出力する。

[0068] そして、遅延回路２４は、かかる否定論理積回路２３からのローレベルの信号に基づいて、時間Ｔ２から所定の遅延時間だけ経過した時間Ｔ４に、ローレベルの信号Ｓ３を出力する。

[0069] この時間Ｔ４でローレベルとなった信号Ｓ３は、Ｐ型トランジスタ２５のゲートに入力される。これにより、Ｐ型トランジスタ２５が導通状態となることから、パルス出力回路７ａ内にＰ型トランジスタ２５を含んだ第２の供給路Ｒ２が開通する。

[0070] したがって、信号Ｓ１は、かかる第２の供給路Ｒ２を介してＳＰＡＤ素子６ａが再充電されることにより上昇する。

[0071] すなわち、実施形態のパルス出力回路７ａには、ＳＰＡＤ素子６ａに電流を供給する供給路として、第１の供給路Ｒ１および第２の供給路Ｒ２が設けられる。第１の供給路Ｒ１は、Ｐ型トランジスタ２１を含み、初期状態およびＳＰＡＤ素子６ａ内でなだれ増幅が発生している際に、ＳＰＡＤ素子６ａに電流を供給する。

[0072] また、第２の供給路Ｒ２は、Ｐ型トランジスタ２５を含み、ＳＰＡＤ素子６ａ内でなだれ増幅が停止した後に、ＳＰＡＤ素子６ａに電流を供給する。

[0073] そして、実施形態では、Ｐ型トランジスタ２５の内部抵抗をＰ型トランジスタ２１の内部抵抗よりも小さくするとよい。すなわち、実施形態では、第２の供給路Ｒ２の抵抗値を、第１の供給路Ｒ１の抵抗値よりも小さくするとよい。

[0074] これにより、第２の供給路Ｒ２からＳＰＡＤ素子６ａに大きな電流を供給することができることから、すばやくＳＰＡＤ素子６ａを再充電することができる。

[0075] なお、第１の供給路Ｒ１の抵抗値を小さくしすぎると、供給される電流の値が大きくなりすぎることから、ＳＰＡＤ素子６ａ内でのなだれ増幅が停止しなくなる恐れがある。したがって、Ｐ型トランジスタ２１の内部抵抗は、ＳＰＡＤ素子６ａが良好に動作可能な範囲の電流値を供給可能な抵抗値に設定されるとよい。

[0076] 一方で、第２の供給路Ｒ２は、ＳＰＡＤ素子６ａ内でなだれ増幅が発生する際には電流を供給しない。したがって、Ｐ型トランジスタ２５の内部抵抗を小さくしたとしても、ＳＰＡＤ素子６ａ内でなだれ増幅が停止しないなどの弊害は生じない。

[0077] 図６の説明に戻る。信号Ｓ１がしきい電圧Ｖｔｈ以上になった時間Ｔ５で、インバータ２２はローレベルの信号Ｓ２を出力する。さらに、ＳＰＡＤ素子６ａは、時間Ｔ６で初期状態の電圧Ｖａに復帰する。

[0078] このように、パルス出力回路７ａは、１光子が入射することによりＳＰＡＤ素子６ａで発生する信号Ｓ１を、インバータ２２で第１パルス信号Ｐ１に変換して出力する。この第１パルス信号Ｐ１は、図６の例において時間Ｔ２から時間Ｔ５までのパルス幅を有する信号である。

[0079] そして、時間Ｔ５でローレベルになった信号Ｓ２は、Ｐ型トランジスタ２１のゲートに入力される。これにより、Ｐ型トランジスタ２１（すなわち、第１の供給路Ｒ１）を介して、ＳＰＡＤ素子６ａのカソードに所定の電流が供給される。

[0080] さらに、時間Ｔ５でローレベルとなった信号Ｓ２は、否定論理積回路２３にも入力される。これにより、否定論理積回路２３がハイレベルの信号を出力することから、遅延回路２４は、時間Ｔ５から所定の遅延時間だけ経過した時間Ｔ７に、ハイレベルの信号Ｓ３を出力する。

[0081] この時間Ｔ７でハイレベルとなった信号Ｓ３は、Ｐ型トランジスタ２５のゲートに入力される。これにより、Ｐ型トランジスタ２５が切断状態となり、ＳＰＡＤ素子６ａおよびパルス出力回路７ａは初期状態に戻る。

[0082] ここまで説明したように、実施形態のパルス出力回路７ａは、ＳＰＡＤ素子６ａのカソードに電流を供給する供給路を複数（第１の供給路Ｒ１および第２の供給路Ｒ２）設けることにより、ＳＰＡＤ素子６ａをすばやく回復させることができる。

[0083] ［加算部の構成および動作］

つづいて、実施形態に係る加算部８の構成および動作について、図７および図８を参照しながら説明する。図７は、本開示の実施形態に係る加算部８の構成例を示す回路図である。

[0084] 図７に示すように、測定装置１にＳＰＡＤ素子６ａおよびパルス出力回路７ａがｎ個（ｎは正の整数）ずつある場合、実施形態に係る加算部８は、（ｎ－１）個の論理和回路８ａ－２、８ａ－３・・・８ａ－ｎを有する。

[0085] 論理和回路８ａ－２の入力端子には、パルス出力回路７ａ－１の出力端子と、パルス出力回路７ａ－２の出力端子とが接続される。また、論理和回路

８ａ－３の入力端子には、論理和回路８ａ－２の出力端子と、パルス出力回路７ａ－３の出力端子とが接続される。

[0086] このように、論理和回路８ａ－２～８ａ－ｎは直列に接続され、各論理和回路８ａ－２～８ａ－ｎにはそれぞれパルス出力回路７ａ－２～７ａ－ｎの出力端子が接続される。そして、論理和回路８ａ－ｎの出力端子は、パルス整形部９に接続される。

[0087] 次に、図８を参照しながら、加算部８の動作について説明する。図８は、本開示の実施形態に係る加算部８の動作をタイミングチャートで示す説明図である。なお、以降の説明では、理解の容易のため、ＳＰＡＤ素子６ａおよびパルス出力回路７ａが２つずつ設けられる場合について示す。

[0088] 図８に示すように、一方のＳＰＡＤ素子６ａ（以下、「ＳＰＡＤ素子Ａ」とも呼称する。）に、時間Ｔ１１で１光子が入射し、時間Ｔ１４でさらに１光子が入射する。この場合、ＳＰＡＤ素子Ａに接続されるパルス出力回路７ａ（以下、「パルス出力回路Ａ」とも呼称する。）は、時間Ｔ１１、Ｔ１４からそれぞれ所定のパルス幅がある２つのパルス信号を持つ第１パルス信号Ｐ１Ａを出力する。

[0089] また、もう一方のＳＰＡＤ素子６ａ（以下、「ＳＰＡＤ素子Ｂ」とも呼称する。）に、時間Ｔ１２、時間Ｔ１３、時間Ｔ１５でそれぞれ１光子が入射する。この場合、ＳＰＡＤ素子Ｂに接続されるパルス出力回路７ａ（以下、「パルス出力回路Ｂ」とも呼称する。）は、時間Ｔ１２、Ｔ１３、Ｔ１５からそれぞれ所定のパルス幅がある３つのパルス信号を持つ第１パルス信号Ｐ１Ｂを出力する。

[0090] この場合、加算部８は、パルス出力回路Ａから出力される第１パルス信号Ｐ１Ａと、パルス出力回路Ｂから出力される第１パルス信号Ｐ１Ｂとが加算された加算信号Ｐａを生成する。かかる加算信号Ｐａは、時間Ｔ１１、Ｔ１２、Ｔ１３、Ｔ１４およびＴ１５からそれぞれ所定のパルス幅がある５つのパルス信号を有する。

[0091] すなわち、加算部８は、各パルス出力回路７ａで生成される複数の第１パ

ルス信号Ｐ１を加算して、加算信号Ｐａを生成する。かかる加算信号Ｐａは、各ＳＰＡＤ素子６ａに入射した光子に起因して発生するパルス信号を有する。

[0092] なお、実施形態では、パルス出力回路７ａから出力されるパルス信号のパルス幅を可能な限り短くするとよい。これにより、図８に示すように、短時間で複数の光子が画素アレイ部６に入射する場合でも、かかる複数の光子をそれぞれパルス信号として出力することができる。

[0093] ［パルス整形部の構成および動作］

つづいて、実施形態に係るパルス整形部９の構成および動作について、図９～図１１を参照しながら説明する。図９は、本開示の実施形態に係るパルス整形部９の構成例を示す回路図である。

[0094] 図９に示すように、実施形態に係るパルス整形部９は、ＲＳフリップフロップ回路４１と、論理和回路４２と、ディレイ回路４３とを有する。

[0095] ＲＳフリップフロップ回路４１のＳ端子は、加算部８の出力端子に接続される。ＲＳフリップフロップ回路４１のＲ端子は、ディレイ回路４３の出力端子に接続される。ＲＳフリップフロップ回路４１のＱ端子は、カウンター部１０の入力端子に接続される。ＲＳフリップフロップ回路４１のＸＱ端子は、論理和回路４２の入力端子に接続される。

[0096] また、論理和回路４２のもう一つの入力端子は、加算部８の出力端子に接続される。論理和回路４２の出力端子は、ディレイ回路４３の入力端子に接続される。

[0097] ディレイ回路４３は、論理和回路４２からハイレベルの信号が入力されている場合、遅延無くローレベルの信号をＲＳフリップフロップ回路４１のＲ端子に出力し続ける。また、ディレイ回路４３は、論理和回路４２からローレベルの信号が入力された場合、かかるローレベルの信号が入力されてから所定の期間ΔＴが経過した後に、ハイレベルの信号をＲＳフリップフロップ回路４１のＲ端子に出力する。

[0098] なお、ディレイ回路４３は、ローレベルの信号が入力されてから期間ΔＴ

が経過する前に再度ハイレベルの信号が入力された場合、かかる再度のハイレベルの信号がローレベルの信号に切り替わってから期間ΔＴが経過した後に、ハイレベルの信号を出力する。

[0099] すなわち、ディレイ回路４３は、最後にハイレベルからローレベルに信号が切り替わってから所定の期間ΔＴが経過した場合に、ハイレベルの信号をＲＳフリップフロップ回路４１のＲ端子に出力する。

[0100] 図１０は、本開示の実施形態に係るパルス整形部９の動作をタイミングチャートで示す説明図である。パルス整形部９の初期状態では、ＲＳフリップフロップ回路４１のＳ端子にローレベルの信号が入力されることから、ＲＳフリップフロップ回路４１のＱ端子はローレベルの信号を出力し、ＲＳフリップフロップ回路４１のＸＱ端子はハイレベルの信号を出力する。

[0101] また、ＲＳフリップフロップ回路４１のＸＱ端子から論理和回路４２にハイレベルの信号が入力されることから、論理和回路４２からはハイレベルの信号が出力され、ディレイ回路４３からはローレベルの信号が出力される。

[0102] そして、時間Ｔ２１で加算部８からＲＳフリップフロップ回路４１のＳ端子にハイレベルの信号が入力されると、時間Ｔ２２でＲＳフリップフロップ回路４１のＱ端子からハイレベルの信号が出力される。また、時間Ｔ２２でＲＳフリップフロップ回路４１のＸＱ端子からローレベルの信号が出力される。

[0103] そして、時間Ｔ２３でＲＳフリップフロップ回路４１のＳ端子に入力される信号がローレベルに変わると、論理和回路４２に入力される２つの信号がいずれもローレベルになる。これにより、時間Ｔ２４で論理和回路４２からローレベルの信号が出力され、かかるローレベルの信号がディレイ回路４３に入力される。

[0104] すると、ディレイ回路４３は、時間Ｔ２４から所定の期間ΔＴが経過した時間Ｔ２５に、ハイレベルの信号をＲＳフリップフロップ回路４１のＲ端子に出力する。これにより、時間Ｔ２６でＲＳフリップフロップ回路４１のＱ端子からローレベルの信号が出力され、ＲＳフリップフロップ回路４１のＸ

Ｑ端子からハイレベルの信号が出力される。

[0105] これにより、時間Ｔ２７で論理和回路４２からハイレベルの信号が出力され、かかるハイレベルの信号がディレイ回路４３に入力される。すると、時間Ｔ２８でローレベルの信号がディレイ回路４３から出力されて、パルス整形部９が初期状態に戻る。

[0106] ここまで説明したように、パルス整形部９は、時間Ｔ２１から時間Ｔ２３までのパルス幅を有する加算信号Ｐａを、時間Ｔ２２から時間Ｔ２６までのパルス幅を有する第２パルス信号Ｐ２に整形して出力する。

[0107] このように、実施形態に係るパルス整形部９は、入力されるパルス信号を所定の期間ΔＴに基づいた幅に長くするよう整形する。すなわち、実施形態では、パルス出力部７でパルス幅を可能な限り短くした第１パルス信号Ｐ１が、後段のカウンター部１０で処理可能なパルス幅に整形される。

[0108] また、実施形態に係るパルス整形部９は、所定の期間ΔＴが経過する前に新たなパルス信号が入力された場合、かかる新たなパルス信号を基準としてパルス幅をさらに長くするように整形する。すなわち、実施形態に係るパルス整形部９は、加算信号Ｐａを、所定の期間ΔＴより短い時間間隔で発生する加算信号Ｐａ内のパルス信号の数に基づいたパルス幅の第２パルス信号Ｐ２に整形する。

[0109] これにより、実施形態に係るパルス整形部９は、後段のカウンター部１０で処理可能であるとともに、所定の期間ΔＴより短い時間間隔で発生する加算信号Ｐａ内のパルス信号の数に基づいたパルス幅の第２パルス信号Ｐ２をカウンター部１０に出力することができる。

[0110] 図１１は、本開示の実施形態に係るパルス整形部９の動作をタイミングチャートで示す説明図であり、図８の例に示した加算信号Ｐａをパルス整形部９で処理した場合について示す図である。

[0111] 図１１の例に示す加算信号Ｐａは、時間Ｔ１１で立ち上がるパルス信号Ｐａ－１の次に、所定の期間ΔＴが経過するまで次のパルス信号が立ち上がらない。したがって、かかるパルス信号Ｐａ－１は、時間Ｔ１１で立ち上がる

とともに、時間Ｔ１１から所定の期間ΔＴ経過した時間Ｔ１１ａまでのパルス幅を有するパルス信号Ｐ２－１に整形される。

[0112] また、図１１の例に示す加算信号Ｐａは、時間Ｔ１２で立ち上がるパルス信号Ｐａ－２の次に、所定の期間ΔＴが経過するまでに立ち上がるパルス信号Ｐａ－３を有する。したがって、かかるパルス信号Ｐａ－２、Ｐａ－３は、時間Ｔ１２で立ち上がるとともに、時間Ｔ１３から所定の期間ΔＴ経過した時間Ｔ１３ａまでのパルス幅を有するパルス信号Ｐ２－２に整形される。

[0113] また、図１１の例に示す加算信号Ｐａは、時間Ｔ１４で立ち上がるパルス信号Ｐａ－４の次に、所定の期間ΔＴが経過するまでに立ち上がるパルス信号Ｐａ－５を有する。したがって、かかるパルス信号Ｐａ－４、Ｐａ－５は、時間Ｔ１４で立ち上がるとともに、時間Ｔ１５から所定の期間ΔＴ経過した時間Ｔ１５ａまでのパルス幅を有するパルス信号Ｐ２－３に整形される。

[0114] なお、実施形態では、最後のパルス信号から所定の期間ΔＴ経過するまでパルス幅を長くするようにパルス信号を整形する例について示したが、パルス信号の整形手法はかかる例に限られない。

[0115] たとえば、所定の期間が経過するまでにパルス信号が２個入力された場合には２倍のパルス幅に整形し、所定の期間が経過するまでにパルス信号が３個入力された場合には３倍のパルス幅に整形してもよい。このように、実施形態に係るパルス整形部９は、所定の期間が経過するまでに入力されるパルス信号の個数に基づいたパルス幅に、パルス信号を整形してもよい。

[0116] ［カウンター部の構成および動作］

つづいて、実施形態に係るカウンター部１０の構成および動作について、図１２および図１３を参照しながら説明する。図１２は、本開示の実施形態に係るカウンター部１０の構成例を示す回路図である。

[0117] 図１２に示すように、実施形態に係るカウンター部１０は、計数パルス出力部５１と、論理積回路５２と、計数カウント部５３とを有する。

[0118] 計数パルス出力部５１は、一定の時間間隔でパルス幅の狭いパルス信号（以下、計数パルス信号とも呼称する。）を論理積回路５２の入力端子に出力

する。たとえば、計数パルス出力部５１は、上記の期間ΔＴよりも短い時間間隔で計数パルス信号を出力する。

[0119] 論理積回路５２の入力端子は、計数パルス出力部５１の出力端子と、パルス整形部９の出力端子とに接続される。論理積回路５２の出力端子は、計数カウント部５３の入力端子に接続される。また、計数カウント部５３の出力端子は、制御部１１に接続される。

[0120] 図１３は、本開示の実施形態に係るカウンター部１０の動作をタイミングチャートで示す説明図である。図１３の例では、時間Ｔ３１から時間Ｔ３２までのパルス幅があるパルス信号Ｐ２－４と、時間Ｔ３３から時間Ｔ３４までのパルス幅があるパルス信号Ｐ２－５とを持つ第２パルス信号Ｐ２が、パルス整形部９から出力される場合について説明する。

[0121] ここで、パルス信号Ｐ２－４は、１つの光子がＳＰＡＤ素子６ａに入力された場合に出力されるパルス信号と同じパルス幅のパルス信号である。

[0122] また、図１３の例では、計数パルス出力部５１が、１つの光子がＳＰＡＤ素子６ａに入力された場合に出力されるパルス信号に対して、２つの計数パルス信号が重なるように計数パルス信号を出力する。

[0123] そして、図１３に示すように、論理積回路５２は、時間Ｔ３１から時間Ｔ３２までの間に２カウント連続するパルス信号を計数カウント部５３に出力する。また、論理積回路５２は、時間Ｔ３３から時間Ｔ３４までの間に１１カウント連続するパルス信号を計数カウント部５３に出力する。

[0124] ここで、計数カウント部５３は、所定の間隔で連続するパルス信号の数をカウントする。かかる所定の間隔とは、計数パルス信号の出力間隔と同じ間隔である。そして、計数カウント部５３は、かかるカウントされたパルス信号の数に基づいて、複数のＳＰＡＤ素子６ａに入力される光子の数をカウントする。

[0125] たとえば、計数カウント部５３は、２カウント連続するパルス信号（パルス信号Ｐ２－４に対応）を、１個の光子が入射することにより発生したパルス信号であると算出する。また、計数カウント部５３は、１１カウント連続

するパルス信号（パルス信号Ｐ２－５に対応）を、１１／２＝５．５個の光子が入射することにより発生したパルス信号であると算出する。

[0126] すなわち、実施形態に係るカウンター部１０は、第２パルス信号Ｐ２のパルス幅に応じた数、たとえば上述した連続するパルス信号の数を、複数のＳＰＡＤ素子６ａに入射した光子の数としてカウントする。

[0127] これにより、実施形態では、短い時間間隔で複数の光子が入射することによりパルス幅が長くなった第２パルス信号Ｐ２を、長くなったパルス幅に基づく光子の数に変換することができる。

[0128] したがって、実施形態によれば、短い時間間隔で複数の光子が入射した場合でも、かかる複数の光子が入射したことを検知することができる。

[0129] たとえば、図１３の例において、第２パルス信号Ｐ２内のパルス信号の立ち上がり数（すなわち、パルス信号の数）に基づいて光子の数を求めた場合、時間Ｔ３１から時間Ｔ３４までの光子の数は「２個」と算出される。

[0130] すなわち、第２パルス信号Ｐ２内のパルス信号の数に基づいて光子の数を求めた場合、計測可能な光子数の最小値と最大値との差が小さくなってしまうことから、測距装置１のダイナミックレンジが減少してしまう恐れがある。

[0131] 一方で、実施形態では、第２パルス信号Ｐ２を、長くなったパルス幅に基づく光子の数に変換することにより、時間Ｔ３１から時間Ｔ３４までの光子の数を「１＋５．５＝６．５個」と算出することができる。

[0132] したがって、実施形態によれば、計測可能な光子数の最小値と最大値との差を拡大することができることから、測距装置１のダイナミックレンジを拡大することができる。

[0133] また、実施形態では、第１パルス信号Ｐ１のパルス幅をカウンター部１０で処理可能なパルス幅より短くするとよい。

[0134] これにより、カウンター部１０の仕様に限定されることなく、ＳＰＡＤ素子６ａのデッドタイムを最小限にすることができる。したがって、実施形態によれば、ＳＰＡＤ素子６ａのデッドタイムの最中に光子が入射することに

より、かかる光子が検出できないことを抑制することができる。

[0135] また、実施形態では、第２パルス信号Ｐ２のパルス幅をカウンター部１０で処理可能なパルス幅より長くするとよい。これにより、第２パルス信号Ｐ２をカウンター部１０で問題なく処理することができる。

[0136] ［各種参考例との比較］

つづいて、図１４を参照しながら、ここまで説明した実施形態と各種参考例との違いについて説明する。図１４は、本開示の実施形態、参考例１および参考例２における信号処理の違いについて説明するための図である。

[0137] 参考例１は、パルス出力回路７ａにおいて、ＳＰＡＤ素子６ａに電流を供給する供給路が１つしか無い場合の例である。ここで、ＳＰＡＤ素子６ａに電流を供給する供給路が１つしか無い場合、かかる供給路から供給される電流の値を大きくした方がＳＰＡＤ素子６ａの回復時間を短くすることができる。

[0138] 一方で、ＳＰＡＤ素子６ａに供給される電流の値を大きくしすぎると、光子が入射した際にＳＰＡＤ素子６ａ内で発生するなだれ増幅が停止しなくなる。したがって、参考例１では、パルス出力回路７ａからＳＰＡＤ素子６ａに供給される電流の値を、決まった値以上に大きくすることができない。

[0139] すなわち、参考例１におけるＳＰＡＤ素子６ａの回復時間は、実施形態におけるＳＰＡＤ素子６ａの回復時間よりも長くなる（たとえば、数倍程度）。

[0140] このことから、図１４に示すように、参考例１では、パルス出力回路Ａから出力される第１パルス信号Ｐ１が長いパルス幅の２つのパルス信号で形成され、パルス出力回路Ｂから出力される第１パルス信号Ｐ１がさらに長いパルス幅の１つのパルス信号で形成される。

[0141] したがって、かかる２つの第１パルス信号Ｐ１を加算部８で加算した場合、加算信号Ｐａは非常に長いパルス幅の１つのパルス信号で形成されることから、ダイナミックレンジが減少してしまう。

[0142] 参考例２は、パルス出力回路７ａにおいて、第１パルス信号Ｐ１のパルス

幅を、カウンター部１０で処理可能なパルス幅に延ばした場合の例である。この場合、パルス出力回路Ａから出力される第１パルス信号Ｐ１と、パルス出力回路Ｂから出力される第１パルス信号Ｐ１とを加算部８で加算することにより、カウンター部１０で処理可能な信号を取得することができる。

[0143] しかしながら、かかる参考例２では、ＳＰＡＤ素子６ａのデッドタイムを実施形態よりも長くする必要があることから、ＳＰＡＤ素子６ａのデッドタイムの際に光子が新たに入射する確率が高まる。

[0144] そして、参考例２では、ＳＰＡＤ素子６ａのデッドタイムの際に光子が新たに入射した場合でも、第１パルス信号Ｐ１のパルス幅は光子が新たに入射していない場合と変わらない。

[0145] たとえば、ＳＰＡＤ素子Ｂに入射する１つ目の光子と２つ目の光子との間は間隔が短いが、これら２つの光子に基づいて出力されるパルス出力回路Ｂの第１パルス信号Ｐ１は、１つの光子に基づいて出力される第１パルス信号Ｐ１のパルス幅と変わらない。

[0146] なぜなら、参考例２では、新たな光子の入射の有無にかかわらず、ＳＰＡＤ素子６ａのデッドタイムが遅延回路２４の遅延時間によって定められるからである。

[0147] したがって、参考例２では、短い時間間隔で新たな光子がＳＰＡＤ素子６ａに入射した場合に、かかる新たな光子を検知することが困難である。

[0148] 一方で、実施形態では、ＳＰＡＤ素子６ａのデッドタイムを可能な限り短くすることにより、短い時間間隔で新たな光子がＳＰＡＤ素子６ａに入射した場合でも、かかる新たな光子をパルス出力回路Ｂで検知することができる。

[0149] したがって、実施形態によれば、計測可能な光子数の最小値と最大値との差を拡大することができることから、測距装置１のダイナミックレンジを拡大することができる。

[0150] ［効果］

実施形態に係る制御回路は、パルス出力部７と、加算部８と、パルス整形

部９とを備える。パルス出力部７は、複数のＳＰＡＤ素子６ａでそれぞれ発生する信号に応じた複数の第１パルス信号Ｐ１を出力する。加算部８は、パルス出力部７から出力される複数の第１パルス信号Ｐ１を加算して加算信号Ｐａに変換する。パルス整形部９は、加算信号Ｐａを、所定の期間ΔＴより短い時間間隔で発生する加算信号Ｐａ内のパルス信号の数に基づいたパルス幅の第２パルス信号Ｐ２に整形する。

[0151] これにより、測距装置１のダイナミックレンジを拡大することができる。

[0152] また、実施形態に係る制御回路は、第２パルス信号Ｐ２のパルス幅に応じた数を複数のＳＰＡＤ素子６ａに入射した光子の数としてカウントするカウンター部１０をさらに備える。

[0153] これにより、短い時間間隔で複数の光子が入射することによりパルス幅が長くなった第２パルス信号Ｐ２を、長くなったパルス幅に基づく光子の数に変換することができる。

[0154] また、実施形態に係る制御回路において、第１パルス信号Ｐ１のパルス幅は、カウンター部１０で処理可能なパルス幅より短く、第２パルス信号Ｐ２のパルス幅は、カウンター部１０で処理可能なパルス幅より長い。

[0155] これにより、ＳＰＡＤ素子６ａのデッドタイムを最小限にすることができるとともに、第２パルス信号Ｐ２をカウンター部１０で問題なく処理することができる。

[0156] また、実施形態に係る制御回路において、パルス出力部７は、第１の供給路Ｒ１と、第２の供給路Ｒ２とを有する。第１の供給路Ｒ１は、ＳＰＡＤ素子６ａ内でなだれ増幅が発生している際にＳＰＡＤ素子６ａに電流を供給する。第２の供給路Ｒ２は、ＳＰＡＤ素子６ａ内でなだれ増幅が停止した後にＳＰＡＤ素子６ａに電流を供給する。

[0157] これにより、ＳＰＡＤ素子６ａの回復時間を短くすることができることから、ＳＰＡＤ素子６ａのデッドタイムを短くすることができる。

[0158] 以上、本開示の実施形態について説明したが、本開示の技術的範囲は、上述の実施形態そのままに限定されるものではなく、本開示の要旨を逸脱しな

い範囲において種々の変更が可能である。また、異なる実施形態及び変形例にわたる構成要素を適宜組み合わせてもよい。

[0159] また、本明細書に記載された効果はあくまで例示であって限定されるものでは無く、また他の効果があってもよい。

[0160] なお、本技術は以下のような構成も取ることができる。

（１）

複数のＳＰＡＤ（Single Photon Avalanche Diode）素子でそれぞれ発生する信号に応じた複数の第１パルス信号を出力するパルス出力部と、

前記パルス出力部から出力される複数の前記第１パルス信号を加算して加算信号に変換する加算部と、

前記加算信号を、所定の期間より短い時間間隔で発生する前記加算信号内のパルス信号の数に基づいたパルス幅の第２パルス信号に整形するパルス整形部と、

を備える制御回路。

（２）

前記第２パルス信号のパルス幅に応じた数を複数の前記ＳＰＡＤ素子に入射した光子の数としてカウントするカウンター部

をさらに備える

前記（１）に記載の制御回路。

（３）

前記第１パルス信号のパルス幅は、前記カウンター部で処理可能なパルス幅より短く、

前記第２パルス信号のパルス幅は、前記カウンター部で処理可能なパルス幅より長い

前記（２）に記載の制御回路。

（４）

前記パルス出力部は、前記ＳＰＡＤ素子内でなだれ増幅が発生している際に前記ＳＰＡＤ素子に電流を供給する第１の供給路と、前記ＳＰＡＤ素子内

でなだれ増幅が停止した後に前記ＳＰＡＤ素子に電流を供給する第２の供給路とを有する

前記（１）～（３）のいずれか一つに記載の制御回路。

（５）

被測定物に光を照射する光源と、

前記被測定物から反射される光を受光した際に信号を出力する複数のＳＰＡＤ素子と、

複数の前記ＳＰＡＤ素子でそれぞれ発生する信号に応じた複数の第１パルス信号を出力するパルス出力部と、前記パルス出力部から出力される複数の前記第１パルス信号を加算して加算信号に変換する加算部と、前記加算信号を、所定の期間より短い時間間隔で発生する前記加算信号内のパルス信号の数に基づいたパルス幅の第２パルス信号に整形するパルス整形部と、を有する制御回路と、

を備える測距システム。

（６）

前記制御回路は、

前記第２パルス信号のパルス幅に応じた数を複数の前記ＳＰＡＤ素子に入射した光子の数としてカウントするカウンター部

をさらに備える

前記（５）に記載の測距システム。

（７）

前記第１パルス信号のパルス幅は、前記カウンター部で処理可能なパルス幅より短く、

前記第２パルス信号のパルス幅は、前記カウンター部で処理可能なパルス幅より長い

前記（６）に記載の測距システム。

（８）

前記パルス出力部は、前記ＳＰＡＤ素子内でなだれ増幅が発生している際

に前記ＳＰＡＤ素子に電流を供給する第１の供給路と、前記ＳＰＡＤ素子内でなだれ増幅が停止した後に前記ＳＰＡＤ素子に電流を供給する第２の供給路とを有する

前記（５）～（７）のいずれか一つに記載の測距システム。

符号の説明

[0161] １　測距装置（測距システムの一例）

２　光源部

３　受光部

６ａ　ＳＰＡＤ素子

７　パルス出力部

８　加算部

９　パルス整形部

１０　カウンター部

Ｐ１　第１パルス信号

Ｐ２　第２パルス信号

Ｐａ　加算信号

Ｒ１　第１の供給路

Ｒ２　第２の供給路

請求の範囲

[請求項1] 複数のＳＰＡＤ（Single Photon Avalanche Diode）素子でそれぞれ発生する信号に応じた複数の第１パルス信号を出力するパルス出力部と、

前記パルス出力部から出力される複数の前記第１パルス信号を加算して加算信号に変換する加算部と、

前記加算信号を、所定の期間より短い時間間隔で発生する前記加算信号内のパルス信号の数に基づいたパルス幅の第２パルス信号に整形するパルス整形部と、

を備える制御回路。

[請求項2] 前記第２パルス信号のパルス幅に応じた数を複数の前記ＳＰＡＤ素子に入射した光子の数としてカウントするカウンター部

をさらに備える

請求項１に記載の制御回路。

[請求項3] 前記第１パルス信号のパルス幅は、前記カウンター部で処理可能なパルス幅より短く、

前記第２パルス信号のパルス幅は、前記カウンター部で処理可能なパルス幅より長い

請求項２に記載の制御回路。

[請求項4] 前記パルス出力部は、前記ＳＰＡＤ素子内でなだれ増幅が発生している際に前記ＳＰＡＤ素子に電流を供給する第１の供給路と、前記ＳＰＡＤ素子内でなだれ増幅が停止した後に前記ＳＰＡＤ素子に電流を供給する第２の供給路とを有する

請求項１に記載の制御回路。

[請求項5] 被測定物に光を照射する光源と、

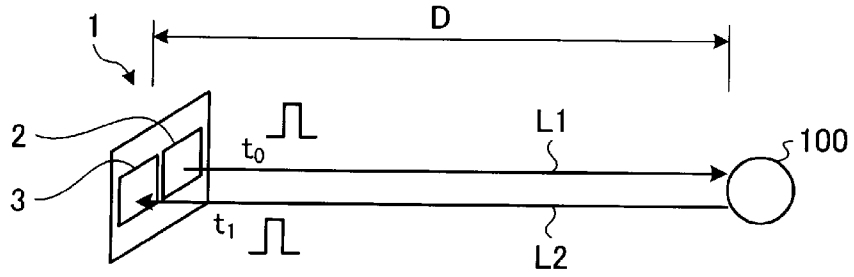
前記被測定物から反射される光を受光した際に信号を出力する複数のＳＰＡＤ素子と、

複数の前記ＳＰＡＤ素子でそれぞれ発生する信号に応じた複数の第

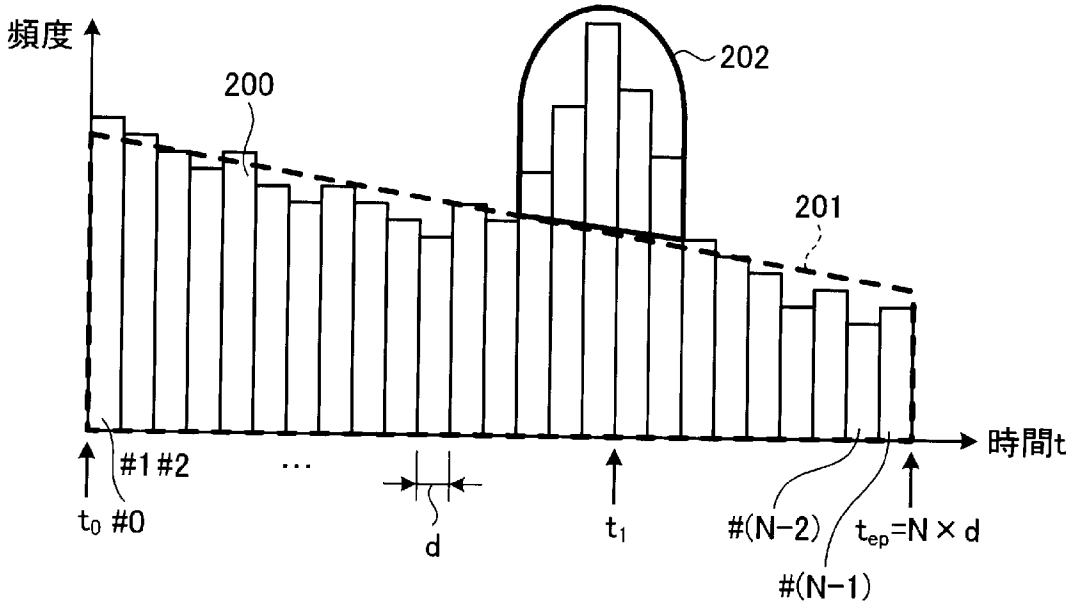
１パルス信号を出力するパルス出力部と、前記パルス出力部から出力される複数の前記第１パルス信号を加算して加算信号に変換する加算部と、前記加算信号を、所定の期間より短い時間間隔で発生する前記加算信号内のパルス信号の数に基づいたパルス幅の第２パルス信号に整形するパルス整形部と、を有する制御回路と、

を備える測距システム。

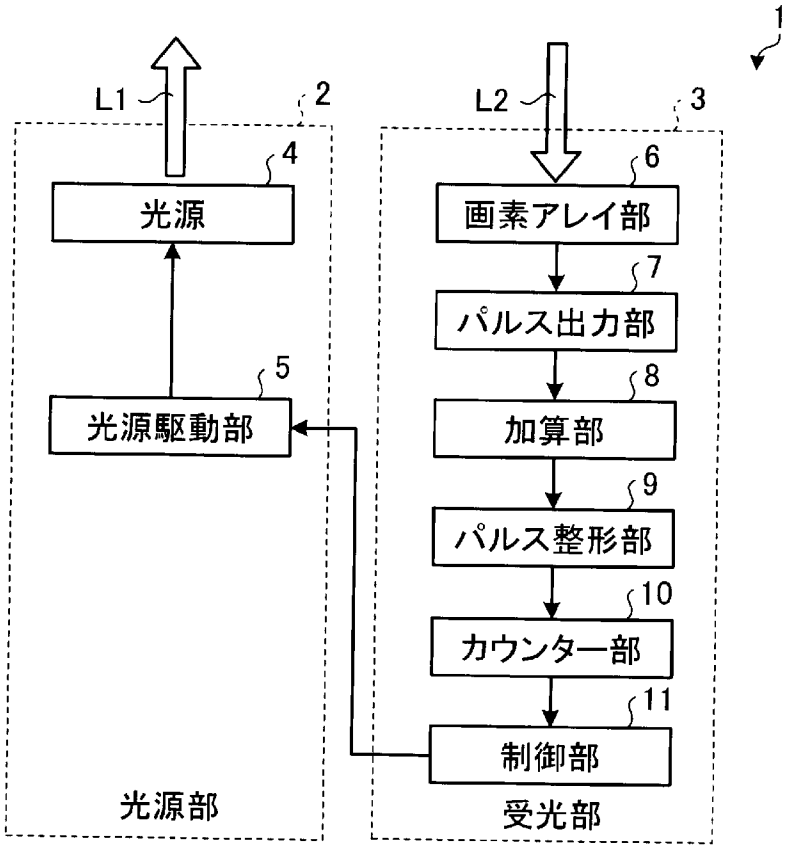
[図1]



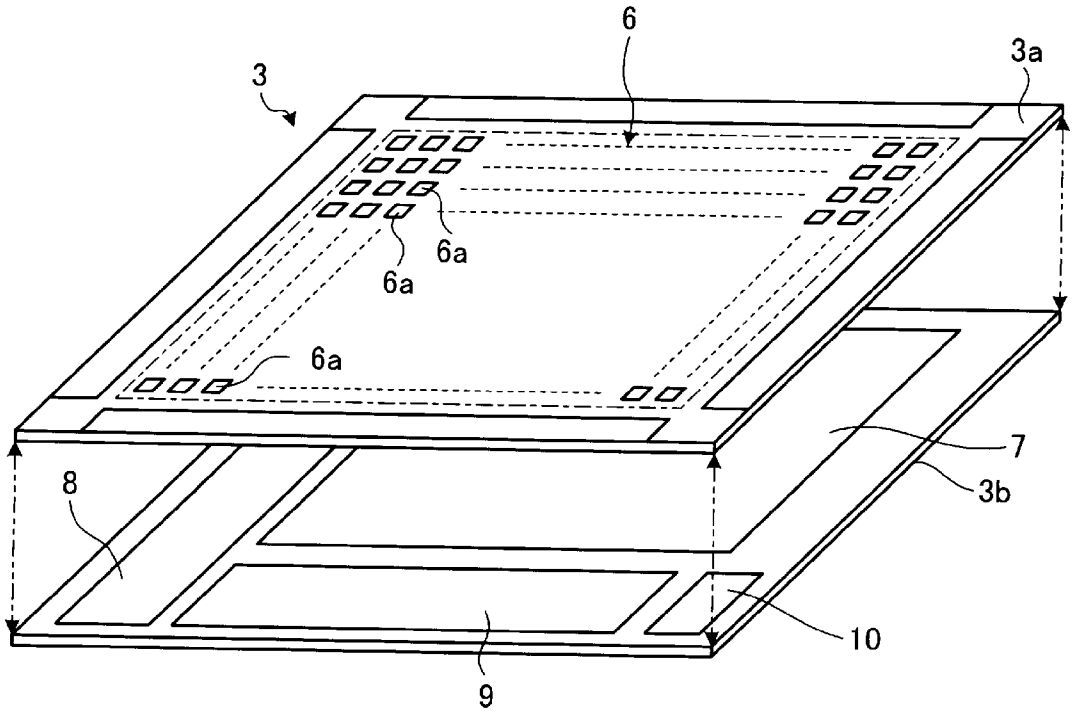
[図2]



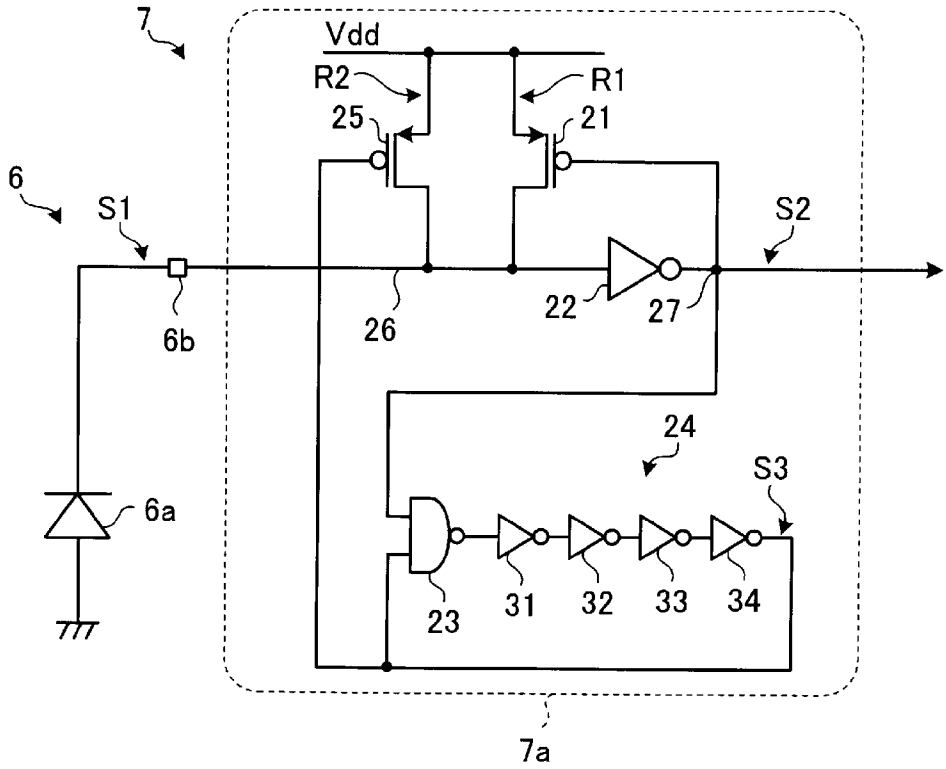
[図3]


1
L1
2
L2
3
4
光源
6
画素アレイ部
7
パルス出力部
5
光源駆動部
8
加算部
9
パルス整形部
10
カウンター部
11
制御部
光源部
受光部

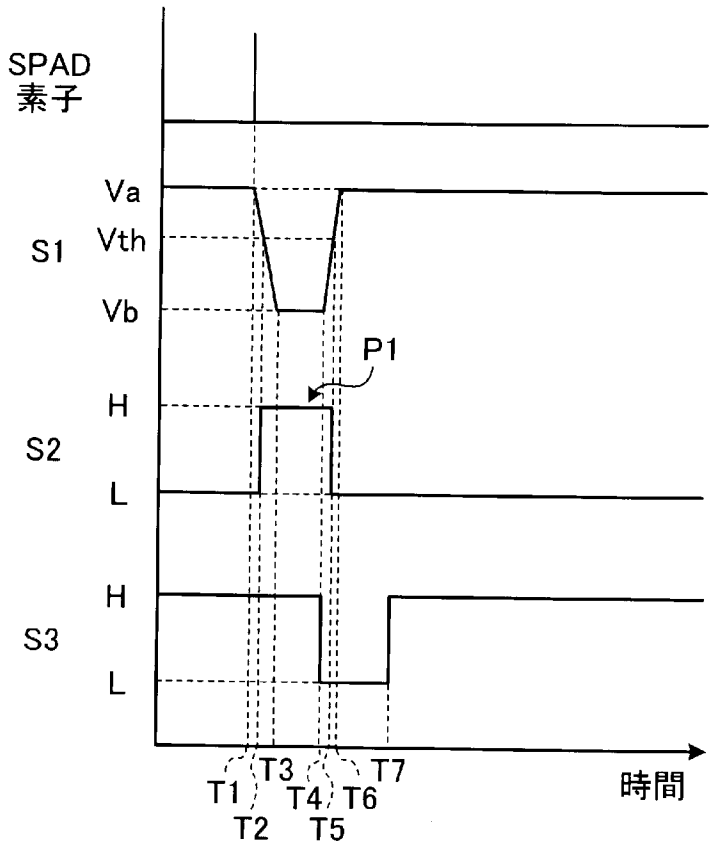
[図4]


6
3a
3
6a
6a
6a
7
3b
8
10
9

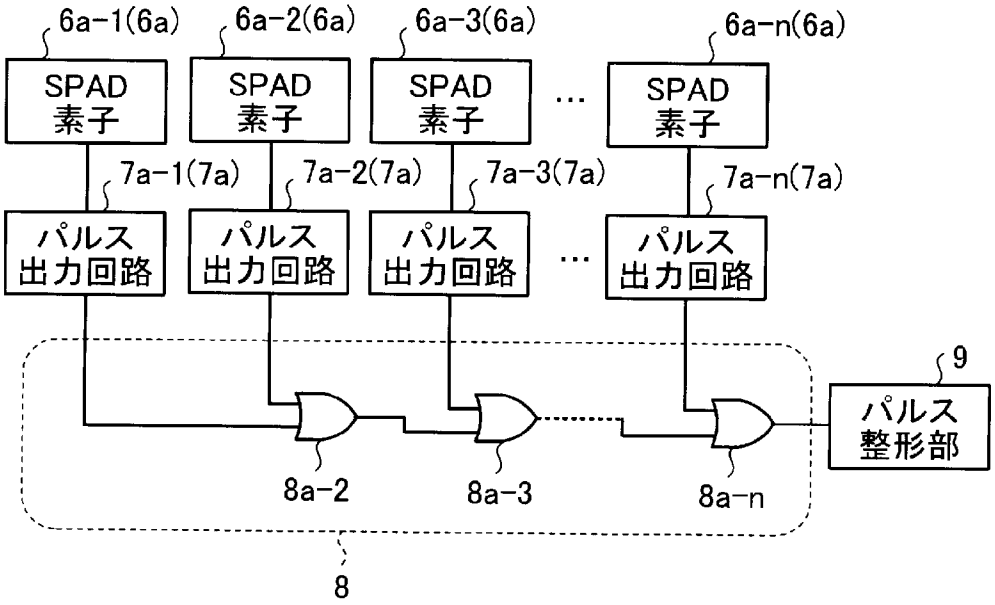
[図5]


7
Vdd
R2
R1
25
21
6
S1
S2
6b
26
22
27
24
S3
6a
23
31
32
33
34
7a

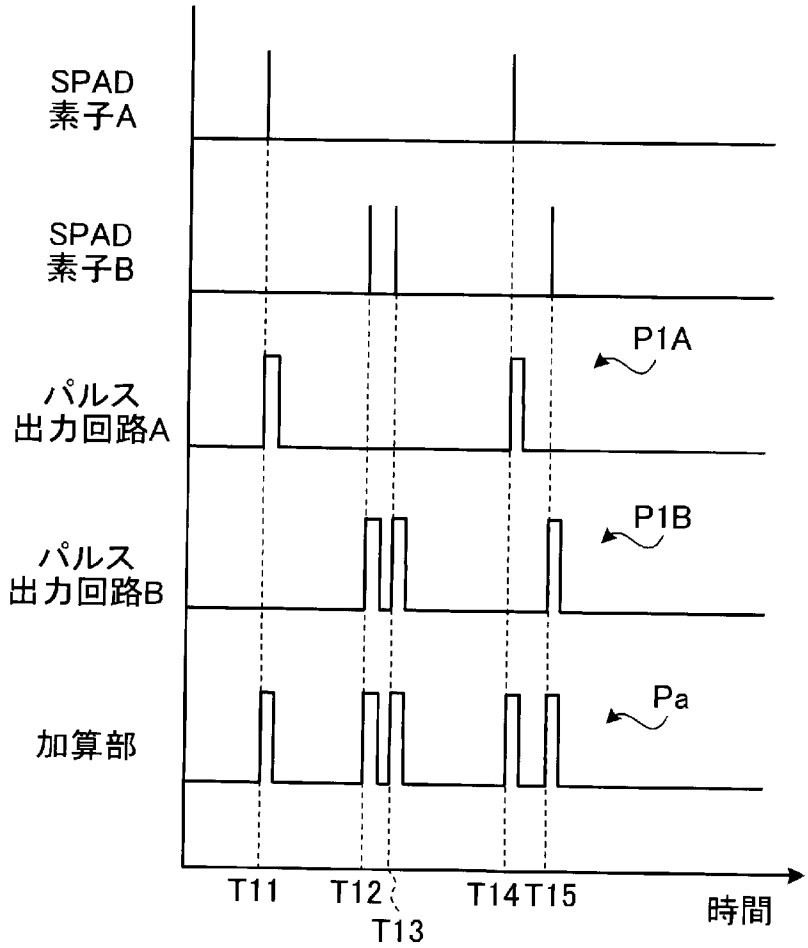
[図6]


SPAD
素子
Va
S1
Vth
Vb
P1
H
S2
L
H
S3
L
T1
T2
T3
T4
T5
T6
T7
時間

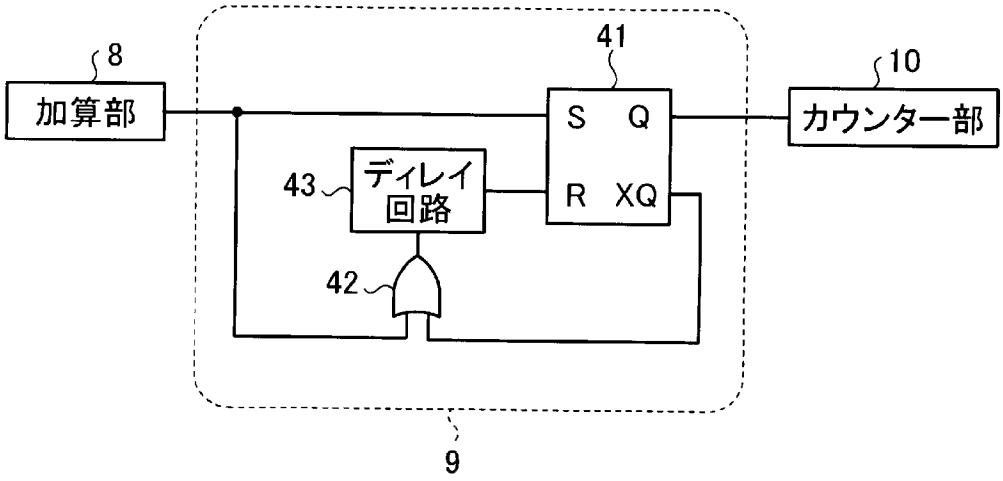
[図7]


6a-1(6a)
6a-2(6a)
6a-3(6a)
6a-n(6a)
SPAD 素子
SPAD 素子
SPAD 素子
…
SPAD 素子
7a-1(7a)
7a-2(7a)
7a-3(7a)
7a-n(7a)
パルス 出力回路
パルス 出力回路
パルス 出力回路
…
パルス 出力回路
9
パルス 整形部
8a-2
8a-3
8a-n
8

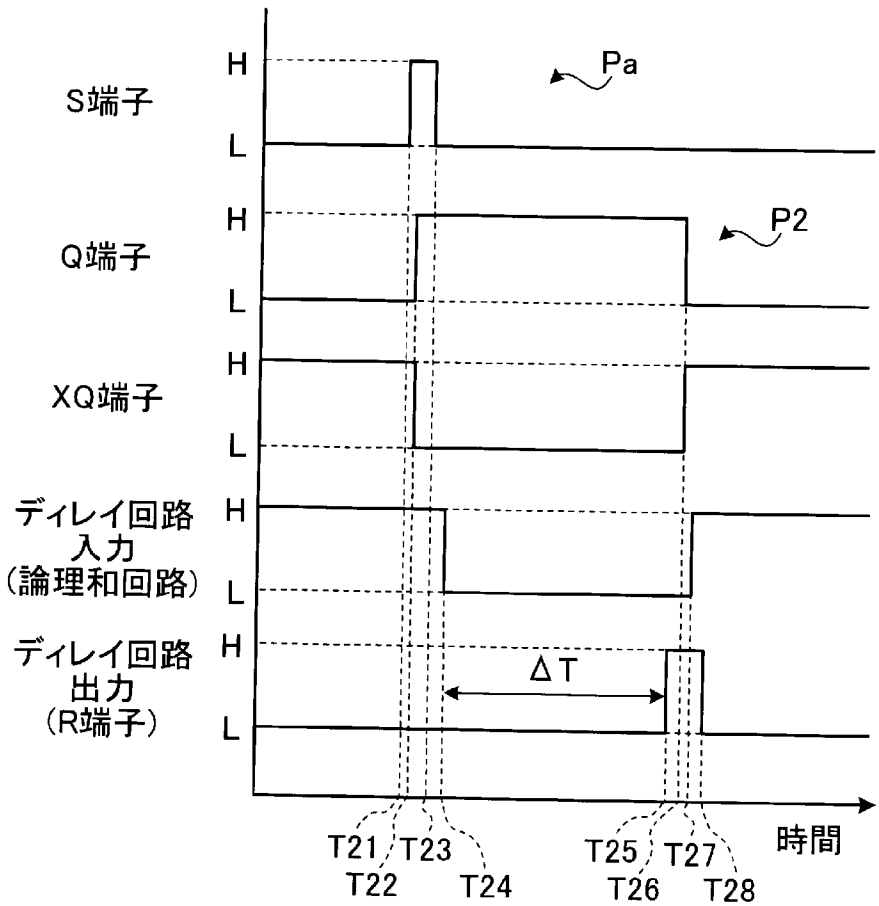
[図8]


SPAD 素子A
SPAD 素子B
P1A
パルス 出力回路A
P1B
パルス 出力回路B
Pa
加算部
T11
T12
T13
T14
T15
時間

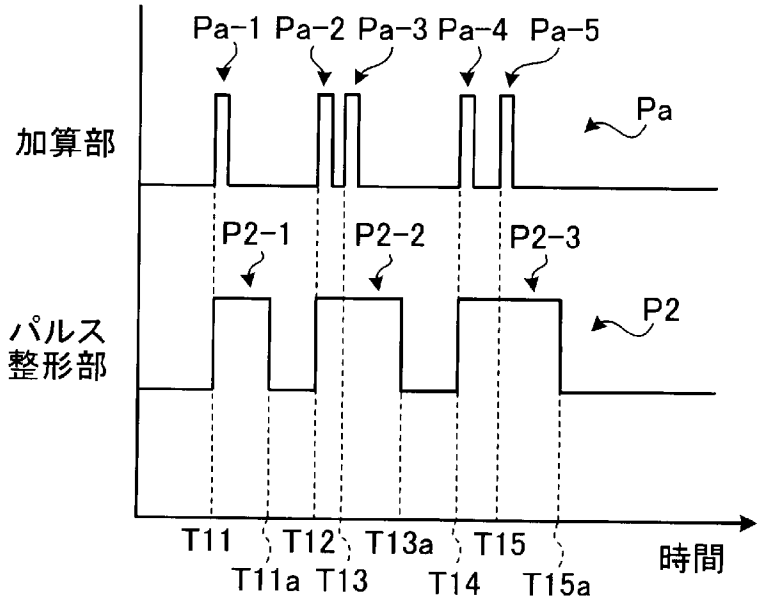
[図9]


8
加算部
41
S Q
R XQ
10
カウンター部
43
ディレイ回路
42
9

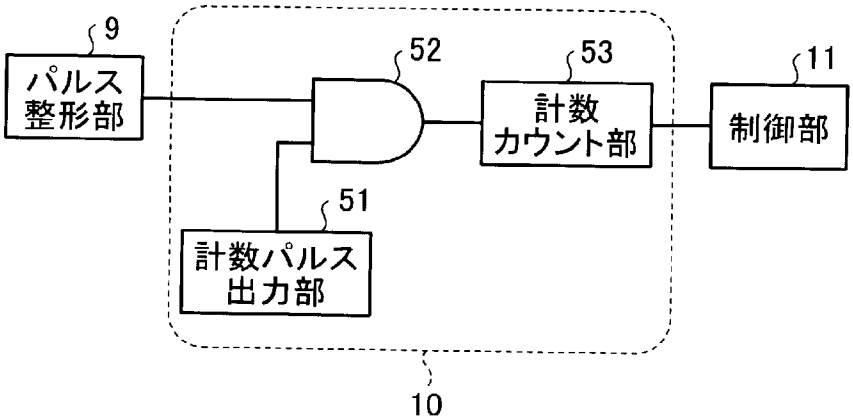
[図10]


S端子
Q端子
XQ端子
ディレイ回路入力（論理和回路）
ディレイ回路出力（R端子）
H
L
Pa
P2
ΔT
時間
T21
T22
T23
T24
T25
T26
T27
T28

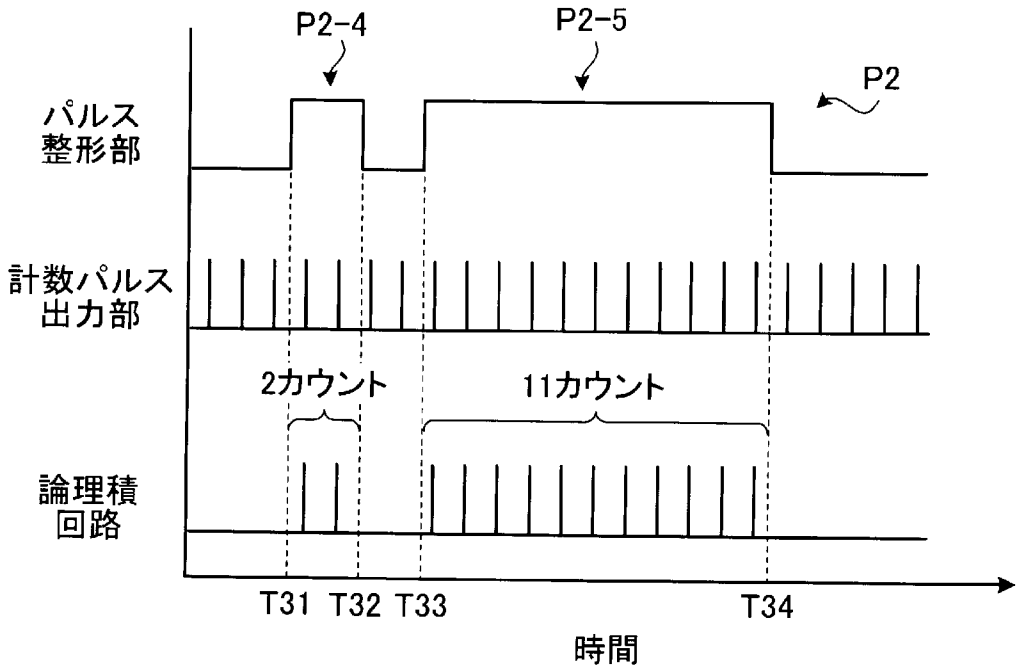
[図11]


Pa-1
Pa-2
Pa-3
Pa-4
Pa-5
加算部
Pa
P2-1
P2-2
P2-3
パルス
整形部
P2
T11
T11a
T12
T13
T13a
T14
T15
T15a
時間

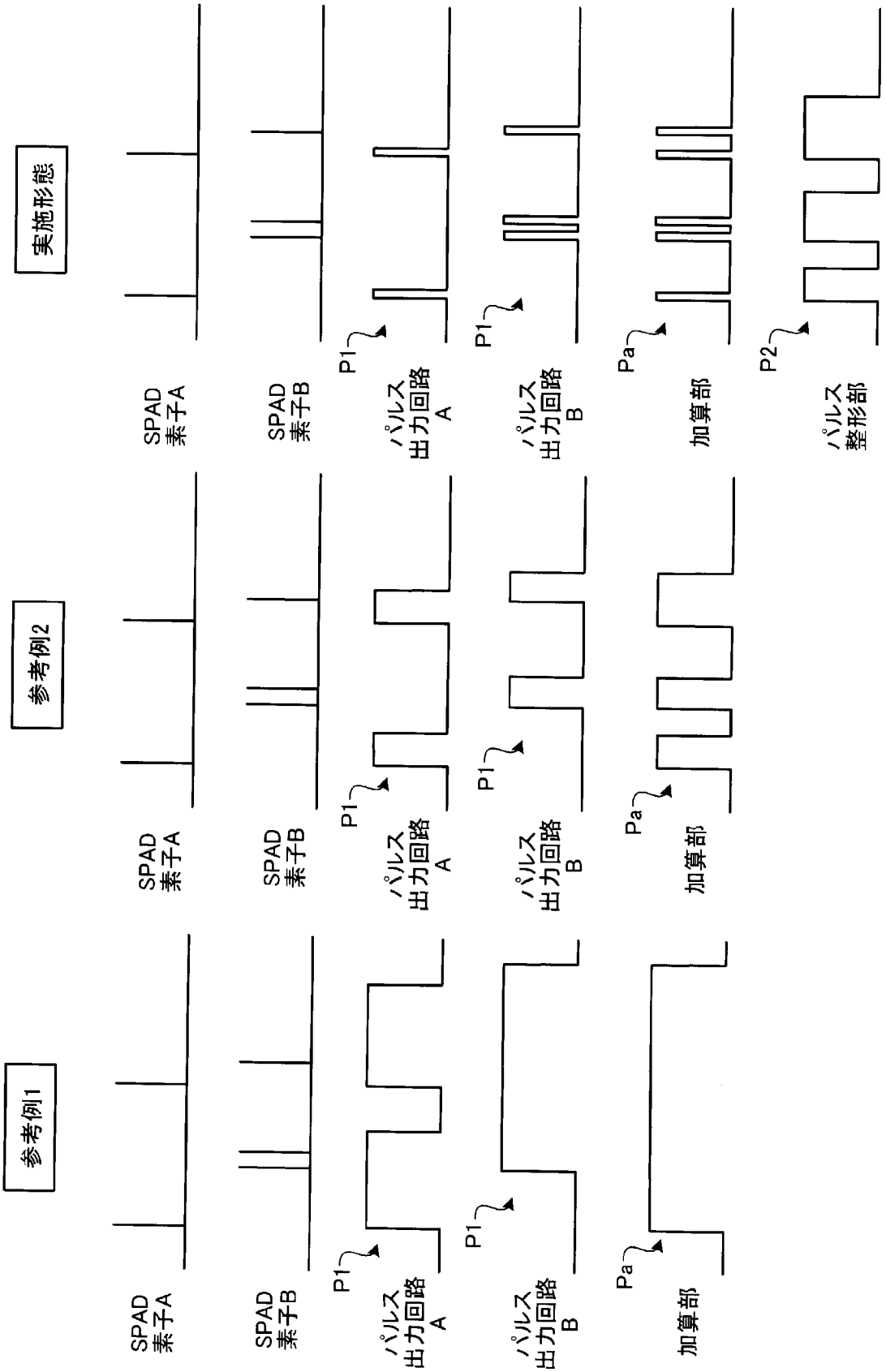
[図12]


9
パルス
整形部
52
53
計数
カウント部
11
制御部
51
計数パルス
出力部
10

[図13]


P2-4
P2-5
P2
パルス
整形部
計数パルス
出力部
2カウント
11カウント
論理積
回路
T31 T32 T33
T34
時間

[図14]


参考例1
SPAD 素子A
SPAD 素子B
P1
パルス 出力回路 A
パルス 出力回路 B
Pa
加算部
参考例2
SPAD 素子A
SPAD 素子B
P1
パルス 出力回路 A
パルス 出力回路 B
Pa
加算部
実施形態
SPAD 素子A
SPAD 素子B
P1
パルス 出力回路 A
パルス 出力回路 B
Pa
加算部
P2
パルス 整形部

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/049480

A. CLASSIFICATION OF SUBJECT MATTER
Int. Cl. G01S17/10(2020.01)i, G01S7/487(2006.01)i
FI: G01S7/487, G01S17/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int. Cl. G01S7/48-G01S7/51, G01S17/00-G01S17/95, G01B11/00-G01B11/30, G01C3/00-G01C3/32, G01J1/00-G01J1/60, H01L21/00-H01L31/18, H01S5/00-H01S5/50, H04N5/30-H04N5/378

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-081254 A (TOYOTA CENTRAL RESEARCH AND DEVELOPMENT LABORATORIES, INC.) 08 May 2014, entire document	1-5
A	JP 2012-060012 A (TOYOTA CENTRAL RESEARCH AND DEVELOPMENT LABORATORIES, INC.) 22 March 2012, entire document	1-5
A	JP 2012-037267 A (HITACHI HIGH-TECHNOLOGIES CORP.) 23 February 2012, entire document	1-5
A	JP 2017-198611 A (CANON INC.) 02 November 2017, entire document	1-5

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
04.02.2020	18.02.2020
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2019/049480

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2014-081254 A	08.05.2014	(Family: none)	
JP 2012-060012 A	22.03.2012	(Family: none)	
JP 2012-037267 A	23.02.2012	US 2013/0114073 A1 WO 2012/017762 A1 DE 112011102595 T	
JP 2017-198611 A	02.11.2017	(Family: none)	

国際調査報告

国際出願番号
PCT/JP2019/049480

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

G01S 17/10(2020.01)i; G01S 7/487(2006.01)i
FI: G01S7/487; G01S17/10

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

G01S 7/48 - G01S 7/51, G01S 17/00 - G01S 17/95, G01B 11/00 - G01B 11/30, G01C 3/00 - G01C 3/32, G01J 1/00 - G01J 1/60, H01L 21/00 - H01L 31/18, H01S 5/00 - H01S 5/50, H04N 5/30 - H04N 5/378

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２０年
日本国実用新案登録公報	１９９６－２０２０年
日本国登録実用新案公報	１９９４－２０２０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2014-081254 A (株式会社豊田中央研究所) 08.05.2014 (2014-05-08) Whole Document	1-5
A	JP 2012-060012 A (株式会社豊田中央研究所) 22.03.2012 (2012-03-22) Whole Document	1-5
A	JP 2012-037267 A (株式会社日立ハイテクノロジーズ) 23.02.2012 (2012-02-23) Whole Document	1-5
A	JP 2017-198611 A (キヤノン株式会社) 02.11.2017 (2017-11-02) Whole Document	1-5

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
04.02.2020	18.02.2020

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
田中　純 2S 7857

電話番号 03-3581-1101 内線 3216

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2019/049480

引用文献	公表日	パテントファミリー文献	公表日
JP 2014-081254 A	08.05.2014	（ファミリーなし）	
JP 2012-060012 A	22.03.2012	（ファミリーなし）	
JP 2012-037267 A	23.02.2012	US 2013/0114073 A1	
		WO 2012/017762 A1	
		DE 112011102595 T	
JP 2017-198611 A	02.11.2017	（ファミリーなし）	