

公告本

289894

75896

申請日期	85 年 2 月 26 日
案 號	85102190
類 別	H04N 41, 2/13, G08G 5/26

A4

C4

289894

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	記憶體控制系統與使用該系統之畫面解碼器
	英 文	Memory control system and picture decoder using the same
二、發明 人	姓 名	(1) 奧万寿男 (2) 坪井幸利 (3) 郡司洋
	國 籍	(1) 日本 (2) 日本 (3) 日本 (1) 日本國神奈川縣鎌倉市城廻五〇二——二〇五
	住、居所	(2) 日本國神奈川縣横浜市泉區領家二丁目一二—二—六〇二 (3) 日本國東京都中野區上高田二——〇——一五—四〇二
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番地
	代 表 人 姓 名	(1) 金井務

裝

訂

線

289894

申請日期	85 年 2 月 26 日
案 號	85102190
類 別	

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	
	英 文	
二、發明 創作人	姓 名	(4) 五十嵐善信
	國 籍	(4) 日本
	住、居所	(4) 日本國埼玉縣新座市野火止五-二五-二七
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

289894

(由本局填寫)

承辦人代碼：
大 類：
I P C分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： 有 ☐ 無主張優先權 ☐
日本 1995 年 2 月 23 日 7-034910 ☒無主張優先權

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明背景：

本發明有關於將壓縮交織畫面之畫面資料並使用高效率編碼系統將其編碼所得的編碼畫面資料予以解碼的畫面解碼器，特別有關於此種畫面解碼器中所使用的記憶體控制系統。

習知技術說明：

由於交錯畫面含有大量數目的畫面資料，因此已有習知技術嘗試根據高效率編碼系統來壓縮編碼畫面資料、再傳輸及／或記錄該編碼資料，以去除冗餘部份來降低資料傳輸成本及／或記錄成本。

高效率編碼系統的一例為MPEG系統，已由ISO／SC29／WG11使之標準化；在Journal of Television Society of Japan 1994年第48卷第1期44-49頁H. Watanabe之文獻"MPEG2/H.262"中，揭示了MPEG系統之高效率編碼技術的一例。

圖2分別示出MPEG系統中視框之顯示次序與編碼次序。如圖2所示，畫面資料視框分組成使用參考畫面無需預測而進行編碼的I（框內）畫面（I1與I2）、僅使用顯示次序在前的畫面作為參考畫面而進行預測的P（預測）畫面（P1、P2）、以及使用顯示次序在前與在後的畫面作為參考畫面而進行預測的B（雙向）畫面（B1、B2、B3、B4、B5、B6）。

圖2中，畫面視框的顯示次序為I1、B1、B2、

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(2)

P 1、B 3、B 4、P 2、B 5、B 6。I 畫面視框 I 1 首先不藉預測而予以顯示，接著使用視框 I 1 與 P 畫面視框 P 1 來預測顯示 B 畫面 B 1。亦即，由於解碼 B 畫面時必須有顯示次序在前與在後的兩個參考畫面，故需要將畫面視框以預定方式改變次序後才能執行解碼。

此外，如圖 3 所示，在 N T S C 訊號的情形中，一個單一畫面對應於一個視框的電視訊號，其中含有 4 8 0 條垂直線 x 7 2 0 個水平像素的亮度訊號與兩種具有 2 4 0 條垂直線 x 3 6 0 個水平像素的色彩訊號。在 P A L 訊號的情形中，則含有 5 7 6 條垂直線 x 7 2 0 個水平像素的亮度訊號與兩種具有 2 8 8 條垂直線 x 3 6 0 個水平像素的色彩訊號。此外，畫面係以巨集區塊 (M B) 為單位接受處理，每一個巨集區塊單位含有 1 6 條垂直線 x 1 6 個水平像素的亮度訊號與兩種具有 8 條垂直線 x 8 個水平像素的色彩訊號，在畫面上由左至右依序水平編碼成巨集區塊單位，如圖 3 所示。

圖 4、5、6 示出根據 M P E G 系統之編碼資料的解碼。如圖 4 所示，在解碼側，依編碼次序供應的編碼資料以每視框時段一個畫面的速率解碼，如圖 4 的上方部份所示。解碼畫面資料暫時儲存在記憶體內，並重排使其次序與顯示次序相同，如圖 4 之下方部份所示。I 1 與 P 1 畫面之解碼資料係用以作為 B 1 畫面解碼時之參考資料，因此 I 1 與 P 1 畫面之兩個畫面的畫面資料必須儲存在記憶體內。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

如上所述，係將一個視框編碼成一個畫面。因此，當以兩個圖場交錯構成一個視框時（例如在電視訊號的情形中），B畫面便無法在其解碼同時予以顯示。由於一個視框必須轉換成一個圖場的資料，資料顯示距離解碼必須延遲至少0.5個視框時段。如此一來，解碼資料必須儲存至記憶體中一次，以將視框資料轉換成圖場資料，因此記憶體必須具有對應於一個畫面的額外記憶體區域，以供此種解碼資料作暫時儲存之用。

圖5示出解碼所需記憶體的一例。圖5所示的記憶體為16M位元的記憶體，其資料寬度為16位元，記憶體面積為512行x2048列。圖5中，記憶體區域以PAL系統的畫面為單位予以劃分。亦即，其中含有三個畫面視框，每一個視框總數佔608列，包括405列之亮度訊號與203列之色彩訊號（小數點以下進位）。其餘224列係作為編碼資料緩衝區，用以在解碼時暫時儲存編碼資料。編碼資料以每視框時段一個畫面的速率從編碼資料緩衝區中讀取，並接受解碼。編碼資料緩衝區的容量為1,835,008位元，此為MPEG系統中所定的上限，以保證在任何編碼器與解碼器的組合下可達成適當的編碼與解碼操作。

另外，圖6示出視框資料至圖場資料的轉換。B畫面解碼資料寫入圖5所示記憶體的B視框區域中，再於一段對應於0.5視框（1圖場）的時間之後，從其中讀取。由於解碼係以巨集區塊為單位來執行，因此解碼資料相對

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(4)

於位址數目呈16線寬的波動。如圖6中實線所示，第一圖場與第二圖場之解碼資料寫入約2個圖場的時段中。另一方面，讀取操作則依圖場次序以掃描線為單位來執行。因此，讀取操作係於位址數目中每兩條線執行一次，故位址數目之讀取速度為寫入速度的約兩倍。

此外，由於如圖6中時段T2至T4所示地，寫入和讀取操作使用相同的記憶體區域，因此必須採取某些手段來避免讀取與寫入的位址衝突。為避免在例如圖6中之時段T3中產生此種衝突，寫入操作必須在讀取操作完成後才開始，且將寫入操作中16線寬的波動考慮在內時，在讀取操作完成後，必須再延遲8條線才能開始寫入操作。在時段T4結束處，寫入操作必須在讀取操作結束的8條線之前完畢。如上所述，為了確保顯示的連續性，讀取操作必須優先執行。因此，若在寫入操作所欲進行的位置發生寫入與讀取間的衝突時，寫入操作便需停止，導致指派給寫入操作及解碼編碼資料的時段也對應的縮短。

如上所述，在習知技術中，可以達成有效運用16M位元容量之畫面解碼器。特別是，由於4M位元或16M位元容量的記憶體已趨普及，故前述習知技術可有效降低畫面解碼器的成本。

另一方面，尚需要OSD(On Screen Display，螢幕上顯示)技術來顯示覆蓋有字元及／或圖像的解碼畫面，作為畫面解碼器的使用者介面。

不過，為了達成此種OSD，在記憶體中需要提供額

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

外的記憶體區域。因此，當上述畫面為PAL系統時，其體積便變得相當大，而所需的記憶體容量便可能超過目前16M位元記憶體的容量。

要理想地執行解碼，容量為1,835,008位元的編碼資料緩衝區為所需要件之一。由於實際上有解碼延遲的情形，因此，編碼資料緩衝區的容量必須比上述容量更大。

最好能夠以單一畫面解碼器來解碼不同大小的編碼畫面資料（例如NTSC系統畫面與PAL系統畫面），並且能夠對於不同大小的畫面所構成的編碼資料之連接部份連續進行解碼操作。

發明節要：

本發明目的之一便是要解決上述習知技術中的問題。

本發明的另一目的是要提供一種具有16M位元記憶體的畫面解碼器，其中設置有供OSD資料使用的記憶體區域以及1,835,008位元以上的編碼資料緩衝區域，以使包括由不同大小的畫面所構成的編碼資料之連接部份的編碼資料之解碼操作得以連續執行。

本發明的再一目的是要提供一種記憶體控制系統，以控制編碼資料相對於畫面解碼器記憶體之寫入與讀取操作，以使包括由不同大小的畫面所構成的編碼資料之連接部份的編碼資料之解碼操作得以連續執行。

為達成上述目的，依據本發明，乃是提供有一種記憶體控制系統，其包含：一個記憶體，包括多個記憶體層，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

其數目對應於具有不同尺寸大小的畫面數目，且具有不同的記憶體區域圖型，每一圖型包括兩個各具有至少1視框容量之參考畫面資料區域、一個將視框結構資料轉換成圖場結構資料的顯示資料區域、一個用以暫時儲存編碼資料的編碼資料緩衝區域、及供螢幕上資料（用以顯示重疊了其他資料的畫面資料）用之OSD資料區域，以及用以自動切換記憶體層的機構，以使顯示資料區域的容量在畫面尺寸較小時至少為1視框，而在畫面尺寸較大時則小於1視框。

不同記憶體部份圖型中的編碼資料緩衝區域安排在相同的位址空間中。

在該多個記憶體層中，畫面尺寸為最大時之記憶體層OSD資料區域的位址空間完全包括畫面尺寸為最小時之記憶體層OSD資料區域的位址空間，而使OSD資料區域的尺寸大小實質正比於編碼畫面的尺寸大小。

此外，在畫面尺寸為最大時之記憶體層中，顯示資料區域分成 $2N + 1$ 個區段，其中 N 為整數。各區段的讀取與寫入操作以畫面資料為單位進行（對應於1視框的 $1 / 4N$ ），而顯示資料區域的容量相等於1視框的 $2(N + 1) / 4N$ 。

兩個參考畫面資料區域中儲存框內編碼中移動補償用的參考資料，於進行移動補償時讀取該資料。顯示資料區域中以編碼區塊為單位寫入視框結構畫面資料，該畫面資料於交錯掃描時同步地讀取成為圖場結構畫面資料。藉由

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明（7）

設置多個記憶體層，使其具有對應於各種編碼畫面大小的不同區域圖型，並使顯示資料區域隨畫面尺寸的增加而減小，便可在有限容量的記憶體中提供編碼資料緩衝區域或 O S D 區域，即使畫面尺寸很大時亦然。

又，在具有配合大小畫面尺寸之不同區域圖型的記憶體層中，其編碼資料緩衝區域在容量與位置上是相同的，因此即使在不同尺寸大小之畫面序列的連接處，也只需供應連續的位址，便可在前一序列編碼資料之後立即執行新的編碼資料序列之寫入與讀取操作。

此外，O S D 區域的尺寸大小係設定成對應於編碼畫面的尺寸大小，故可在整個顯示螢幕上顯示 O S D 資料。

又，由於在具有配合大畫面尺寸之區域圖型的記憶體層中，容量對應於 1 視框的 $2(N+2)/4N$ 之顯示資料區域分成 $2N+1$ 個區段，其中 N 為整數，且各區段的讀取與寫入操作以對應於 1 視框的 $1/4N$ 的畫面資料為單位來進行，故可減少寫入和讀取操作之間會有衝突的區域。因此，解碼時序對於顯示時序的影響便可減至最低。

圖式之簡要說明：

圖 1 示出根據本發明之畫面解碼器的實施例；

圖 2 示出畫面編碼系統；

圖 3 示出待編碼的畫面尺寸；

圖 4 為時間圖，示出解碼與顯示畫面資料；

圖 5 示出畫面解碼器之記憶體區域區分系統的一例；

五、發明說明(8)

圖 6 示出 B 畫面解碼時記憶體寫入與記憶體讀取之間的關係；

圖 7 示出根據本發明之畫面解碼器之第一記憶體區域區分系統的一例；

圖 8 示出根據本發明之畫面解碼器之第二記憶體區域區分系統的一例；

圖 9 示出解碼資料寫入電路的一例與解碼資料讀取電路的一例；

圖 10 示出 B 畫面資料之資料區段區分的一例；

圖 11 示出 B 畫面記憶體區域之記憶體區分的一例；

圖 12 示出，依據本發明，B 畫面解碼時記憶體寫入與記憶體讀取之間的關係；而

圖 13 示出 B 畫面解碼時記憶體寫入與記憶體讀取之間的另一種關係。

較佳實施例之詳細說明：

以下參照附圖來說明本發明的實施例。

圖 1 示出根據本發明之畫面解碼器的一個實施例，其中包含時序控制電路 1、分析／變數長度解碼器 2、解量化／IDCT（反向不連續餘弦轉換）電路 3、移動補償電路 4、顯示電路 5、編碼資料寫入控制電路 6、編碼資料讀取控制電路 7、移動補償資料讀取控制電路 8、解碼資料寫入控制電路 9、顯示資料讀取控制電路 10、OSD 資料讀取控制電路 11 與記憶體 12。

（請先閱讀背面之注意事項再填為本頁）

裝

訂

線

五、發明說明(9)

編碼資料供應給分析／變數長度解碼器2，接著經由編碼資料寫入控制電路6到達記憶體12之編碼資料緩衝區域125（圖7與8），將編碼資料儲存於其中。時序控制電路1之主要功能為調解記憶體12之資料匯流排衝突。編碼資料讀取控制電路7以每視框時段一個畫面（＝視框）的速率，與顯示系統時序同步地，以先進先出方式讀取儲存在編碼資料緩衝區域125內的編碼資料。

從記憶體12中讀取的編碼資料再被供應給分析／變數長度解碼器2。分析／變數長度解碼器2的分析部份抽取編碼資料信頭中的編碼模式資訊並將其供應給其變數長度解碼部份、解量化／IDCT電路3、移動補償電路4、以及顯示電路5，以設定這些電路的操作模式。在分析／變數長度解碼器2的變數長度解碼部份中，將餘弦轉換之係數資料等（經過變數長度編碼）予以解碼傳送至解量化／IDCT電路3。

在解量化／IDCT電路3中，以其解量化部份將係數資料還原成適當的比例，並以其IDCT部份將還原的係數轉換成畫面資料。

移動補償電路4使用分析／變數長度解碼器2所得之編碼資訊中所含的移動向量資訊，經由移動補償資料讀取控制電路8，而從記憶體12中讀取參考畫面資料。此外，該參考畫面資料被加入解量化／IDCT電路3之IDCT部份所產生的畫面資料中，而獲得解碼資料。該解碼資料經由解碼資料寫入電路9寫入記憶體12中。此

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(10)

時，若解碼資料為 I 或 P 畫面資料，便將該解碼資料寫入記憶體 1 2（其中儲存舊資料）的參考畫面區域 1 2 1、1 2 2 中，以更新記憶體中的資料；若為 B 畫面資料，則寫入記憶體 1 2 的 B 畫面區域 1 2 3（圖 7 與 8）中。

寫入記憶體 1 2 中的解碼資料由顯示資料讀取控制電路 1 0 將其讀取傳送至顯示電路 5。同時，OSD 資料讀取控制電路 1 1 從記憶體 1 2 之 OSD 資料區域 1 2 4（圖 7 與 8）中讀取 OSD 資料（容後詳述），並將讀取的 OSD 資料傳送至顯示電路 5。附帶提及，OSD 資料係由 OSD 資料產生電路（未示）所產生，並寫入記憶體 1 2 內。

顯示電路 5 處理從記憶體 1 2 中讀取的解碼資料；例如，可對從記憶體 1 2 中讀取的解碼資料執行像素率轉換，疊上 OSD 資料予以顯示，再輸出作為畫面資料。

圖 7 與 8 示出記憶體 1 2 之記憶體層的記憶體區域圖型。記憶體 1 2 為 1 6 M 位元的記憶體，具有 1 6 位元的資料寬度（亦即 1 6 層），亦即具有 5 1 2（列）x 2 0 4 8（行）的矩陣結構。圖 7 所示圖型適用於垂直尺寸為 4 8 0 線以下的畫面中，圖 8 所示圖型則適用於垂直尺寸為 4 8 0 至 5 7 6 線的畫面中。這兩個記憶體區域圖型可根據圖 1 所示分析／變數長度解碼器 2 所得的解碼資料信頭中所含編碼模式資訊內的畫面尺寸資訊來自動切換。

圖 7 與 8 所示圖型中分別包括第一參考畫面區域

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(11)

1 2 1、第二參考畫面區域 1 2 2、B 畫面區域 1 2 3、O S D 資料區域 1 2 4、和編碼資料緩衝區域 1 2 5。

在圖 7 與 8 所示記憶體區域圖型中，編碼資料緩衝區域 1 2 5 在尺寸上是相等的，且安排在記憶體 1 2 之記憶體層的相同位置處。在此種結構下，即使對於不同畫面尺寸之資料序列的連接部份，亦可將編碼資料連續寫入編碼資料緩衝區域 1 2 5 中及讀取之。此外，如此可獲致尺寸大小為 2,621,440 位元的編碼資料緩衝區域 1 2 5，而可減低編碼延遲以及編碼資料不連續性對於顯示畫面資料的影響。

每一圖型的第一與第二參考畫面區域 1 2 1 與 1 2 2 分別具有適於儲存最大尺寸畫面的容量。在畫面尺寸上限與 N T S C 畫面對應的圖 7 所示實例中，各參考畫面區域 1 2 1 與 1 2 2 的容量分別為 $2 \text{ (位元)} \times 360 \text{ (行)} \times (480 \times 1.5) \text{ (列)} = 4,147,200 \text{ 位元}$ ；而在畫面尺寸上限與 P A L 畫面對應的圖 8 所示實例中，各參考畫面區域 1 2 1 與 1 2 2 的容量分別為 $2 \text{ (位元)} \times 360 \text{ (行)} \times (576 \times 1.5) \text{ (列)} = 4,976,640 \text{ 位元}$ 。當畫面尺寸小於上限時，便將畫面資料由左上方部份開始儲存在所述區域中。

圖 7 與 8 所示圖型的 O S D 資料區域 1 2 4 亦分派至記憶體 1 2 之記憶體層上大致相同的位置處。O S D 區域 1 2 4 的左上角部份相同，且橫向行數皆為 76。不過，圖 7 中之 O S D 資料區域的垂直尺寸為 240 列，而圖 8

(請先閱讀背面之注意事項再填為本頁)

裝

訂

線

五、發明說明 (12)

中則為 2 8 8 列，分別對應於可能畫面尺寸的上限。當例如一列對應於 2 線時，圖 7 中之 O S D 資料區域的尺寸便對應於各為 6 0 6 (像素) x 4 8 0 / 5 7 6 (線) 的 2 個區域，而圖 8 中則對應於各為 2 (位元) x 3 0 3 (像素) x 4 8 0 / 5 7 6 (線) 的 2 個區域。

在圖 7 與 8 所示記憶體區域圖型中，B 畫面區域 1 2 3 相當不同。圖 7 中之 B 畫面區域 1 2 3 分成 3 個區段，而圖 8 中之 B 畫面區域 1 2 3 則並未區分，但圖 7 中 3 個區段 B 畫面區域之總記憶體尺寸相等於圖 8 中單一 B 畫面區域之記憶體尺寸，亦相等於第一畫面區域和第二參考畫面區域的尺寸 (4,147,200 位元，對應於 3 個全視框)。對 B 畫面區域 1 2 3 的畫面資料寫入與讀取可使用參考圖 6 時所述的方法來執行，而顯示電路 5 可依與 I 或 P 畫面相同的方式來處理 B 畫面之框內部份。

在圖 8 所示圖型中，單一 B 畫面區域具有 3,317,760 位元的容量，對應於 1 視框的 2 / 3。在本實施例中，於解碼資料寫入電路 9 中設有特殊的控制電路 (容後詳述)，而在顯示資料讀取電路 10 中設有對應的控制電路。另外，在此記憶體區域圖型中，即使於畫面尺寸很大的情形下，仍可提供大容量的編碼資料緩衝區域。

圖 9 示出解碼資料寫入電路 9 與顯示資料讀取電路 10 的實施例。以下以將 B 畫面之編碼資料相對於圖 8 所示 B 畫面區域 1 2 3 進行寫入與讀取之寫入與讀取功能為例，來說明圖 9 之實施例。解碼資料寫入電路 9 包括緩衝

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明 (13)

電路 9 1、內部區段位址產生電路 9 2、實體位址產生電路 9 3、區段邊界偵測電路 9 4 與記憶體區段次序控制電路 9 5。顯示資料讀取電路 1 0 包括緩衝器電路 1 0 1、顯示位址產生電路 1 0 2、實體位址產生電路 1 0 3、區段邊界偵測電路 1 0 4 與記憶體區段次序控制電路 1 0 5。

以下參考圖 1 0 與 1 1 來說明圖 9 所示電路的操作，其中圖 1 0 示出畫面資料分成區段的區分情形，圖 1 1 示出 B 畫面記憶體區域分成區段的區分情形。

如圖 1 0 所示，B 畫面資料之第一圖場與第二圖場各分成偶數 $2N$ (N 為整數) 個資料區段。亦即，在圖 1 0 所示實例中 $N = 3$ ，第一圖場分成資料區段 1 至 6，第二圖場分成資料區段 7 至 12。於是，B 畫面資料分成 $2 \times 2N = 12$ 個區段。

如圖 1 1 所示，B 畫面區域 1 2 3 分成 $2(N + 1)$ 個記憶體區段，亦即 8 個區段。每一個記憶體區段的容量應大到足以儲存對應的資料區段。各記憶體區段的容量以相同為佳。

回到圖 9，解碼資料寫入電路 9 接受輸入解碼畫面資料、指示解碼畫面資料在顯示螢幕上之位置（以巨集區塊為單位）的巨集區塊位址、以及解碼畫面資料的畫面型式（畫面資訊，例如為 I、P 或 B 畫面，及畫面尺寸大小）。由於當畫面型式為 I 或 P，或其為畫面尺寸大小在 480 線以下之 B 畫面時，如圖 7 與 8 時所述，儲存解碼

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(14)

畫面資料之記憶體區域容量為1視框大小，故不一定需要將畫面資料分段來處理之。不過，為使畫面為B畫面且尺寸大小超過480線時，處理程序能夠共通，故即使在B畫面尺寸大小在480線以下的情形，也執行分段。

內部區段位址產生電路92獲得解碼畫面資料在顯示螢幕上的位置資訊，並且產生指示資料區段內位址之位址訊號。該位址訊號輸入實體位址產生電路93，該電路根據位址訊號、畫面型式資訊、以及（若畫面為尺寸大小超過480線之B畫面時）從記憶體區段次序控制電路95（容後詳述）而來的記憶體區段號數之組合，而將其轉換成記憶體12中的實際位址。

為了補償產生記憶體12實體位址等時所致之延遲，緩衝電路91暫時儲存解碼畫面資料，並且在某些情形下，會重排畫面資料一部份中的資料區段次序。

區段邊界偵測電路94與記憶體區段次序控制電路95僅有在畫面型式為B且尺寸大小超過480線時才發揮作用。當解碼畫面資料位於相鄰資料區段之間的邊界處時，區段邊界偵測電路94提供指示該事實之邊界訊號給記憶體區段次序控制電路95。記憶體區段次序控制電路95根據邊界訊號以及由顯示資料讀取電路10而來之讀取記憶體區段資訊，而決定解碼畫面資料區段所應寫入的記憶體區段號數，並傳送該記憶體區段號數給實體位址產生電路93。

顯示資料讀取電路10另接受同步資訊與畫面型式資

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(15)

訊，並輸出顯示畫面資料。顯示位址產生電路102根據同步資訊而產生顯示位址訊號，並將其供應給實體位址產生電路103。實體位址產生電路103根據顯示位址訊號與畫面型式資訊而產生記憶體12之實際位址（除了所要顯示的畫面資料為尺寸大小超過480線之B畫面的情形外）。

緩衝器電路101儲存從記憶體12讀取的顯示畫面資料，並重排資料區段在畫面資料部份中的次序，以轉換資訊速率等。

區段邊界偵測電路104與記憶體區段次序控制電路105僅有在解碼畫面資料指示為尺寸大小超過480線的B畫面時才發揮作用。當回應於顯示位址訊號而讀取的畫面資料位於相鄰資料區段之間的邊界處時，區段邊界偵測電路104提供指示資料區段邊界之邊界訊號給記憶體區段次序控制電路105。記憶體區段次序控制電路105根據邊界訊號以及由解碼資料寫入電路9而來之寫入記憶體區段資訊，而決定應由那一記憶體區段號數中讀取顯示畫面資料，並將其傳送給實體位址產生電路103。

圖12為記憶體區段次序控制電路95與105之操作的時間圖，示出4N資料區段相對於2(N+1)記憶體區段在時間軸上之寫入和讀取時序。亦即，1圖場時段的畫面資料分成6個實質相等的時段，時段T1-T6對應於第一圖場，T7-T12對應於第二圖場，T13-

(請先閱讀背面之注意事項再填為本頁)

裝

訂

線

五、發明說明(16)

T 1 8 對應於第三圖場，T 1 9 - T 2 4 對應於第四圖場。

圖 1 3 示出記憶體區段數目為 $(M + 1)$ 而資料區段數目為 $2M$ 時 (M 為奇數) 之時間圖，以供作為圖 1 2 的比較例；圖 1 2 中則係有 $2(N + 1)$ 個記憶體區段與 $4N$ 個資料區段。圖 1 3 中 $M = 3$ ，因此有 4 個記憶體區段與 6 個資料區段。同樣地在本例中，B 畫面記憶體區域的容量為 $2/3$ 視框，與圖 1 2 的情形相同，且亦使用圖 8 所示的記憶體區域圖型。圖 1 3 中之記憶體區段尺寸與資料區段尺寸分別為圖 1 2 所示之兩倍，而記憶體區段尺的數目與資料區段的數目則分別為圖 1 2 所示之 $1/2$ 。因此如圖 1 3 所示，一個視框時段分成 3 個實質相等的時段。

請參考圖 1 2，在時段 T 1 - T 6 中，僅進行解碼畫面資料 (B 畫面) 的寫入而無讀取操作。亦即，在此時段中，依圖 4 所示時序讀取參考畫面資料。圖 1 2 中實線表示寫入操作而虛線表示讀取操作。附加於實線和虛線上的數字表示資料區段號數。如圖 1 0 所示，資料區段號數 1 至 6 表示第一圖場的資料，而 7 至 12 表示第二圖場的資料。

在時段 T 1 - T 6 中，第一畫面資料 (資料區段 1, 7, 2, 8, 3, 9) 依序寫入記憶體區段 1 至 6 中。此時段中寫入的畫面資料對應於 $1/2$ 個視框，奇數資料區段的資料為第一圖場的資料，偶數資料區段的資料為第二

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(17)

圖場的資料。在時段 T 7 至 T 8 中，將第一資料（資料區段 4 與 1 0）寫入各記憶體區段 7 與 8 內，並同時從記憶體區段 1 與 3 內讀取資料區段 1 與 2 中的資料。所讀取的記憶體區段 1 與 3 即為圖 9 所示的讀取記憶體區段資訊。由於記憶體區段 1 與 3 以外的其他記憶體區段尚未讀取，故記憶體區段次序控制電路 9 5 在後續時段中決定記憶體區段的號數，以將解碼資料寫入這些記憶體區段中。在時段 T 9 至 T 1 0 中，從記憶體區段 5 與 7 內讀取資料區段 3 與 4，並在下一個時段 T 1 1 至 T 1 2 中，將資料區段 6 與 1 2 寫入記憶體區段 5 與 7 內。在時段 T 1 3 至 T 1 4 中，再將資料區段 1 與 7 寫入記憶體區段 1 與 5 內，等等。依此方式，記憶體區段次序控制電路 9 5 依序決定要寫入資料區段的記憶體區段之號數。

寫入記憶體區段資訊的作用是使資料區段號數與要寫入資料區段的記憶體區段號數對應。例如，假設在時段 T 1 至 T 2 與時段 T 1 3 至 T 1 4 中，第一圖場的資料區段 1 與 7 分別寫入某些記憶體區段內。在此種情形下，記憶體區段次序控制電路 1 0 5 接收寫入區段號數（時段 T 1 至 T 2 中之 1 與 2 和時段 T 1 3 至 T 1 4 中之 1 與 7）作為寫入記憶體區段資訊，並在電路所提供的資料區段—記憶體區段對應表中寫入資料區段與記憶體區段之間的對應關係。例如，在時段 T 1 5 至 T 1 6 中要讀取資料區段 9 與 1 0。此際，由於資料區段 9 寫入記憶體區段 6 與資料區段 1 0 寫入記憶體區段 8 的事實在時段 T 5 至 T 6

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(18)

與時段 T 7 至 T 8 中分別記載至資料區段－記憶體區段對應表內，故記憶體區段次序控制電路 1 0 5 便可決定視框時段中讀取資料的位置與所在資料區段，以從資料區段－記憶體區段對應表中決定儲存所要讀取之資料的記憶體區段號數。

圖 1 3 中以相同於圖 1 2 的規則來使用記憶體區段。圖 1 3 與圖 1 2 在操作上的唯一差別在於寫入與讀取之間的衝突時段。圖 1 2 中，衝突發生於時段 T 1 2 與 T 2 4，與圖 4 所示實例相同，其中將 1 視框的記憶體容量分派給 B 畫面，而衝突發生於視框的最後時段處。另一方面，在圖 1 3 所示實例中，衝突不僅發生於視框的最後時段（T 6，T 1 2），亦發生於第二視框的第一時段 T 7 和時段 T 5 與 T 1 1（對應於螢幕的中心）。這表示當讀取操作為主時，寫入時段必須減少，且 B 畫面的寫入時序（亦即解碼時序）必須改變而與 I 或 P 畫面不同。另一方面，在圖 1 2 所示實例中，資料區段的分割數目和記憶體區段的分割數目均為圖 1 3 所示情形的兩倍，因此 B 畫面的寫入時序（亦即解碼時序）可與 I 或 P 畫面相同。

雖然圖 1 2 與圖 1 3 中的記憶體容量均為 2 / 3 視框，熟習本技術之士應可立刻想到若將資料分成 1 6 個區段、記憶體分成 9 個區段，便可將記憶體容量降低至 9 / 1 6 個視框。此外，雖然本實施例敘述時為就亮度訊號與色度訊號二者來降低記憶體容量，不過亦可僅將其應用至亮度訊號中，而將 1 視框的容量指派給色度訊號。

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明(19)

如前所述，依據本發明，可在16位元的容量內，提供足以儲存PAL系統大畫面的大緩衝區域供編碼資料使用，以及提供OSD使用之資料區域。

此外，可在同空間內設定供不同大小畫面之編碼資料使用的編碼資料緩衝區域，而即使在不同畫面大小之資料序列的連接點，也能執行平滑的解碼操作。

此外，解碼必須停止的時段很短，且可以相同方式進行解碼操作而不論畫面型式(I、P或B)為何。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：

記憶體控制系統與使用該系統之畫面解碼器

爲了在16M位元記憶體內增加供NTSC與PAL系統之畫面訊號使用的編碼資料緩衝區尺寸大小及提供OSD區域，於畫面具有大尺寸時，使記憶體之顯示資料區域爲一個視框的 $2(N+1)/4N$ 倍。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱：

)

六、申請專利範圍

1 . 一種記憶體控制系統，供使用於畫面解碼裝置中，以解碼對交錯畫面進行框內編碼所得的編碼資料，該記憶體控制系統包含：

記憶體機構，包括多個畫面資料記憶體層，其數目對應於編碼畫面的尺寸大小，所述畫面資料記憶體層具有不同的記憶體區域圖型，每一圖型包括兩個各具有至少 1 視框容量之參考畫面資料區域、一個將視框結構資料轉換成圖場結構資料的顯示資料區域、一個用以暫時儲存編碼資料的編碼資料緩衝區域、及供儲存要重疊在解碼畫面上的螢幕上資料用之 O S D 資料區域；以及

用以根據編碼畫面尺寸大小來自動選擇所述記憶體機構之畫面資料記憶體層之一的控制機構，以使顯示資料區域的容量在畫面尺寸較小時至少為 1 視框，而在畫面尺寸較大時則小於 1 視框。

2 . 如申請專利範圍第 1 項之記憶體控制系統，其中所述多個畫面資料記憶體層之編碼資料緩衝區域安排在各畫面資料記憶體層的相同位址空間中。

3 . 如申請專利範圍第 1 項之記憶體控制系統，其中所述畫面資料記憶體層中對應於最大畫面尺寸之 O S D 資料區域的位址空間完全包括所述畫面資料記憶體層中對應於最小畫面尺寸之 O S D 資料區域的位址空間，且該空間實質正比於編碼畫面的尺寸大小。

4 . 如申請專利範圍第 1 項之記憶體控制系統，其中對應於大畫面尺寸之畫面資料記憶體層的顯示資料區域之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

東

六、申請專利範圍

容量為 1 視框的 $2(N+1)/4N$ ，並分成 $2(N+1)$ 個區段，其中 N 為整數；且其中畫面資料於記憶體區段的讀取與寫入操作以對應於 $1/4N$ 視框的畫面資料為單位來進行。

5. 一種畫面解碼器，用以解碼對交錯畫面進行框內編碼所得的編碼資料，該畫面解碼器包含：

記憶體機構，包括多個畫面資料記憶體層，其數目對應於編碼畫面的尺寸大小，所述畫面資料記憶體層具有不同的記憶體區域圖型，每一圖型包括兩個各具有至少 1 視框容量之參考畫面資料區域、一個將視框結構資料轉換成圖場結構資料的顯示資料區域、一個用以暫時儲存編碼資料的編碼資料緩衝區域、及供儲存要重疊在解碼畫面上的螢幕上資料用之 OSD 資料區域；

用以根據編碼畫面尺寸大小來自動選擇所述記憶體機構之畫面資料記憶體層之一的機構，以使顯示資料區域的容量在畫面尺寸較小時至少為 1 視框，而在畫面尺寸較大時則小於 1 視框；

用以寫入解碼畫面資料至所述記憶體機構之編碼資料緩衝區域內的機構；

以先進先出方式從編碼資料緩衝區域中以每視框時段一個畫面的速率讀取編碼資料的機構；

將從編碼資料緩衝區域中讀取的編碼資料予以解碼的機構；

解碼資料寫入所述畫面資料記憶體層之顯示資料記憶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

六、申請專利範圍

體區域內的機構；以及

從所述畫面資料記憶體層之顯示資料記憶體區域內讀取解碼資料的機構。

6．如申請專利範圍第5項之畫面解碼器，其中所述多個畫面資料記憶體層之編碼資料緩衝區域安排在各畫面資料記憶體層的相同位址空間中。

7．如申請專利範圍第5項之畫面解碼器，其中所述畫面資料記憶體層中對應於最大畫面尺寸之OSD資料區域的位址空間完全包括所述畫面資料記憶體層中對應於最小畫面尺寸之OSD資料區域的位址空間，且該空間實質正比於編碼畫面的尺寸大小。

8．如申請專利範圍第5項之畫面解碼器，其中對應於大畫面尺寸之畫面資料記憶體層的顯示資料區域之容量為1視框的 $2(N+1)/4N$ ，並分成 $2(N+1)$ 個區段，其中N為整數；且其中畫面資料於記憶體區段的讀取與寫入操作以對應於 $1/4N$ 視框的畫面資料為單位來進行。

9．如申請專利範圍第5項之畫面解碼器，其中所述解碼資料寫入機構包含一個記憶體區段序列控制機構，可回應於由顯示資料讀取機構供應的讀取記憶體區段資訊來決定寫入區段，且所述顯示資料讀取機構包含一個區段序列控制機構，可回應於由解碼資料寫入機構供應的區段寫入資訊來決定讀取區段。

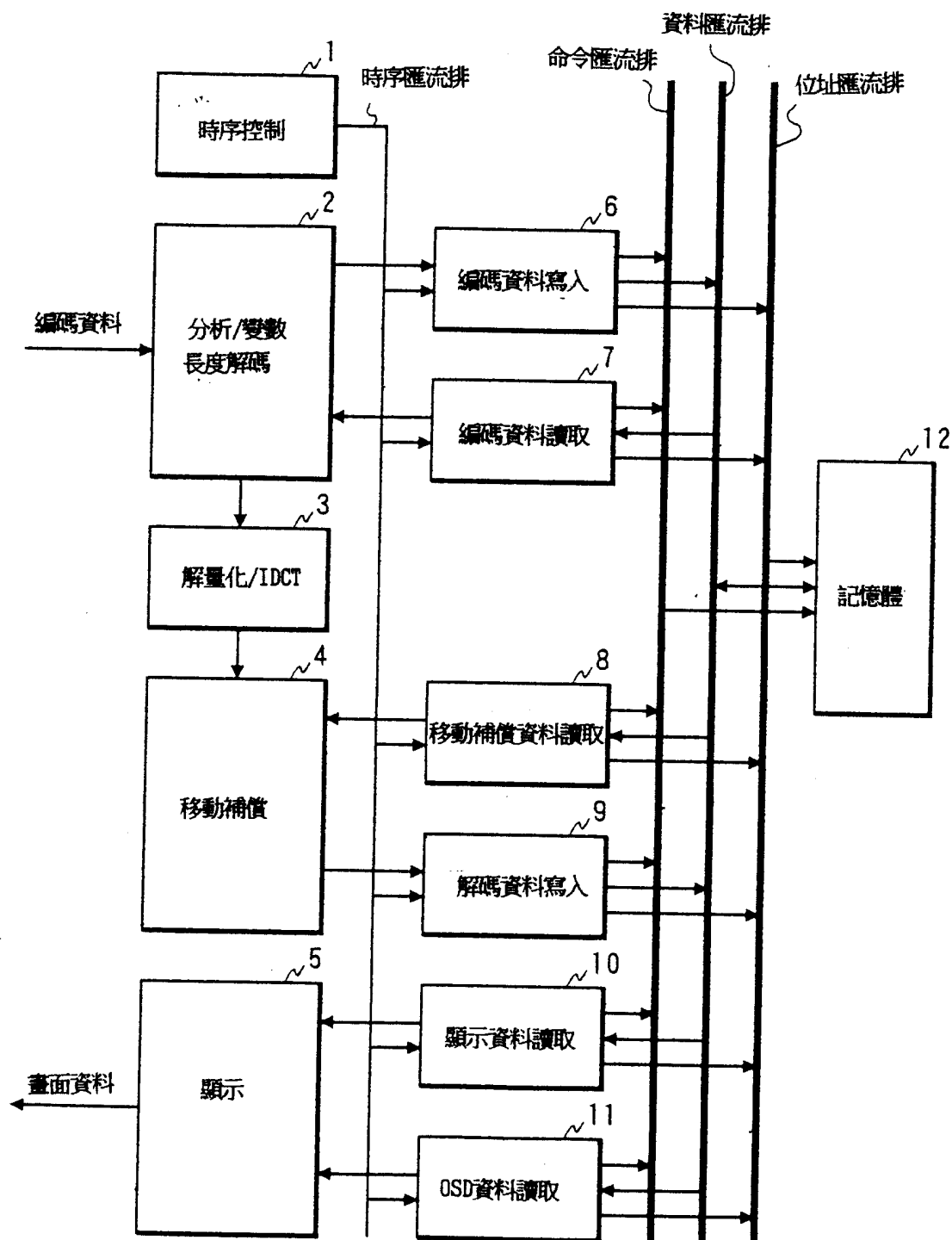
(請先閱讀背面之注意事項再填寫本頁)

裝

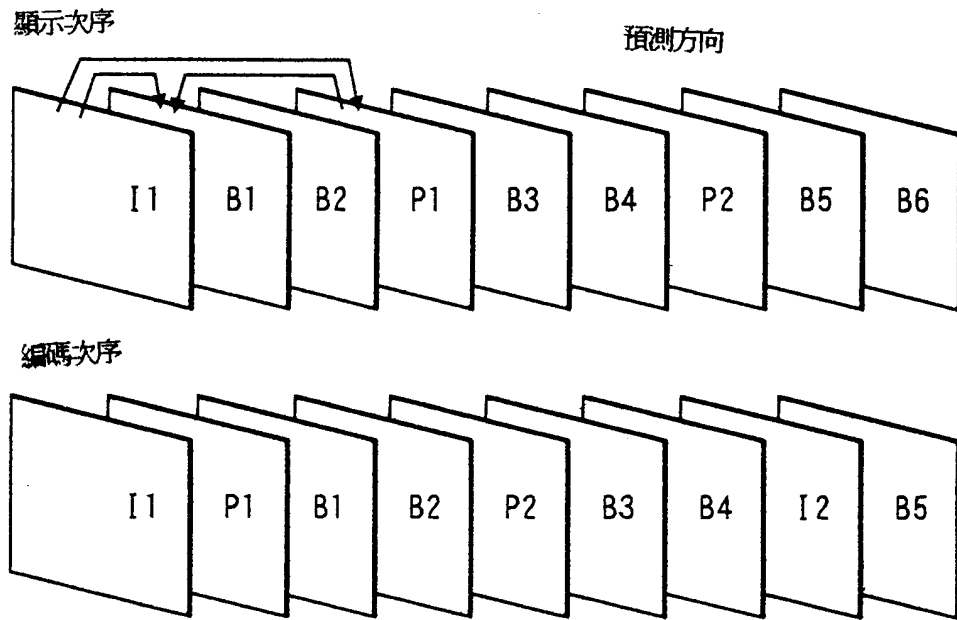
訂

線

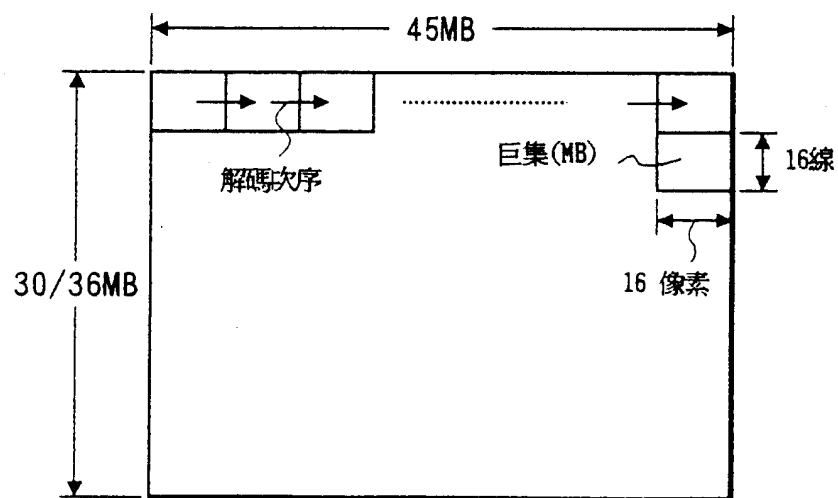
第 1 圖



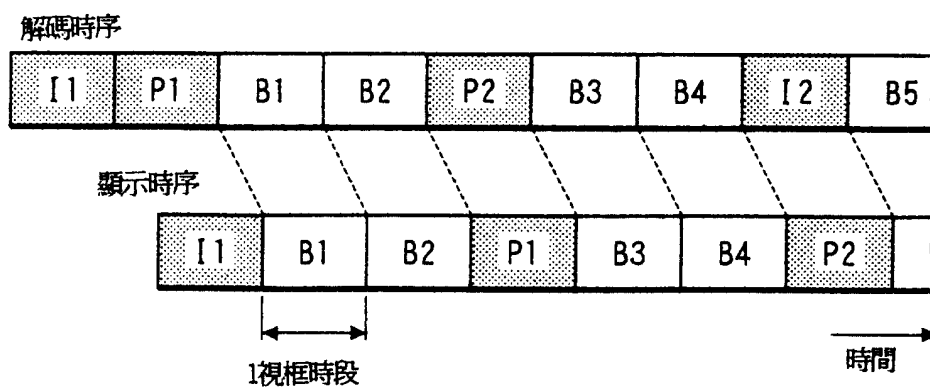
第 2 圖



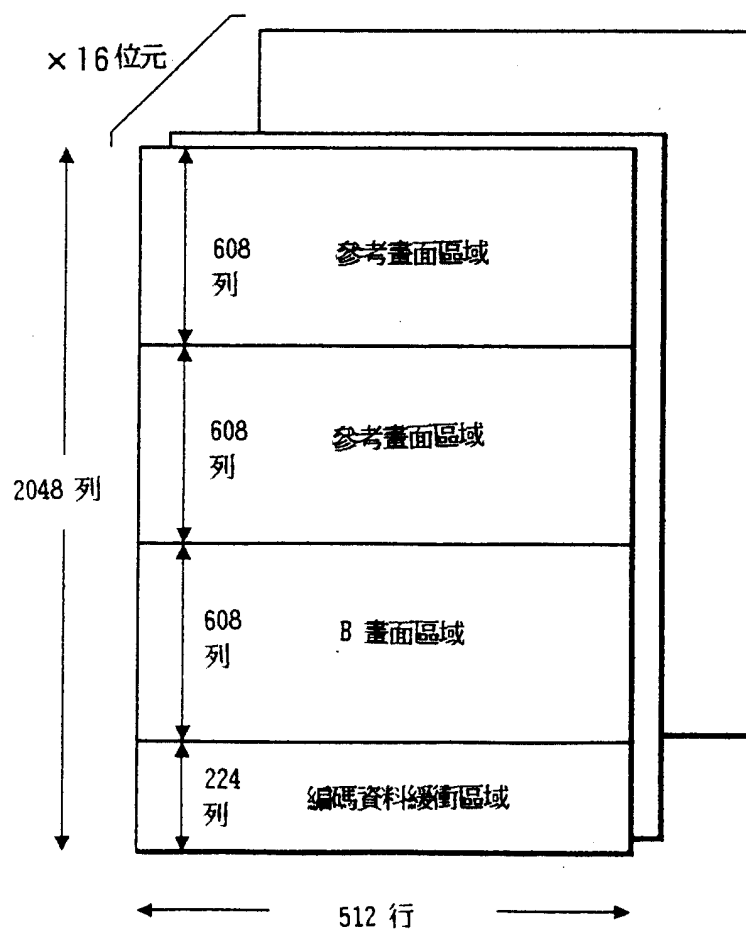
第 3 圖



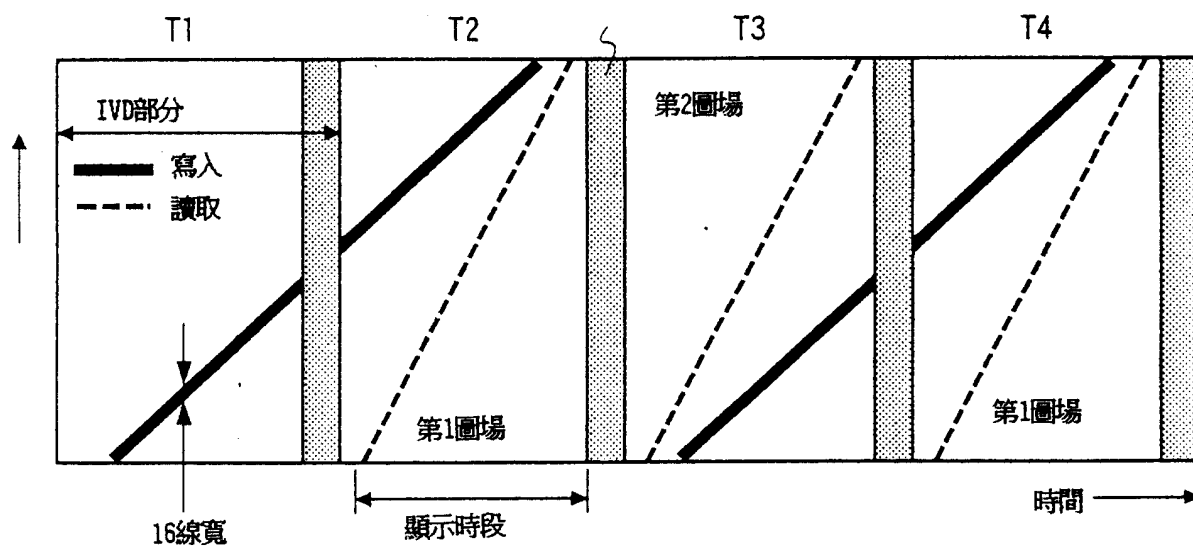
第 4 圖



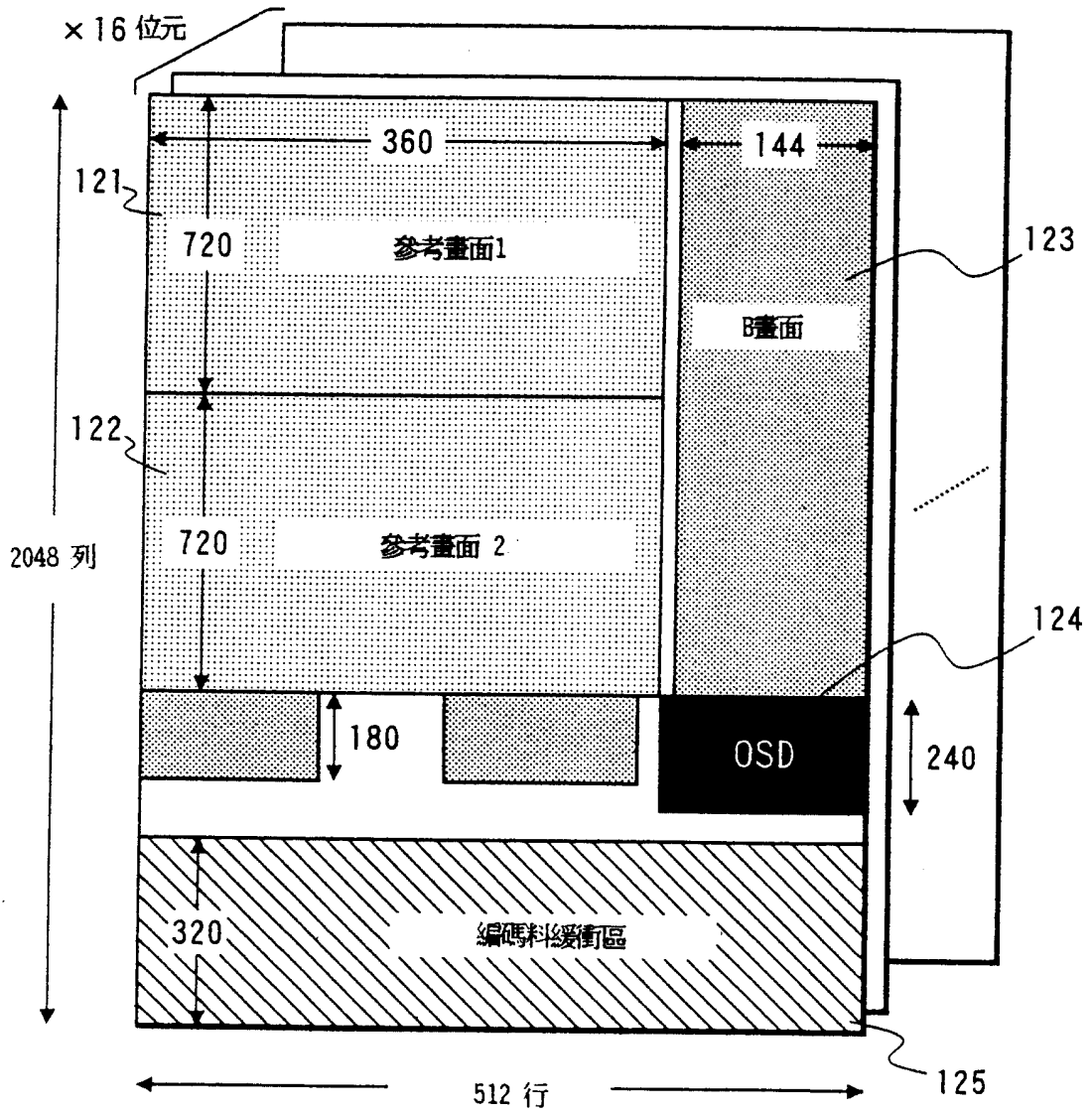
第 5 圖



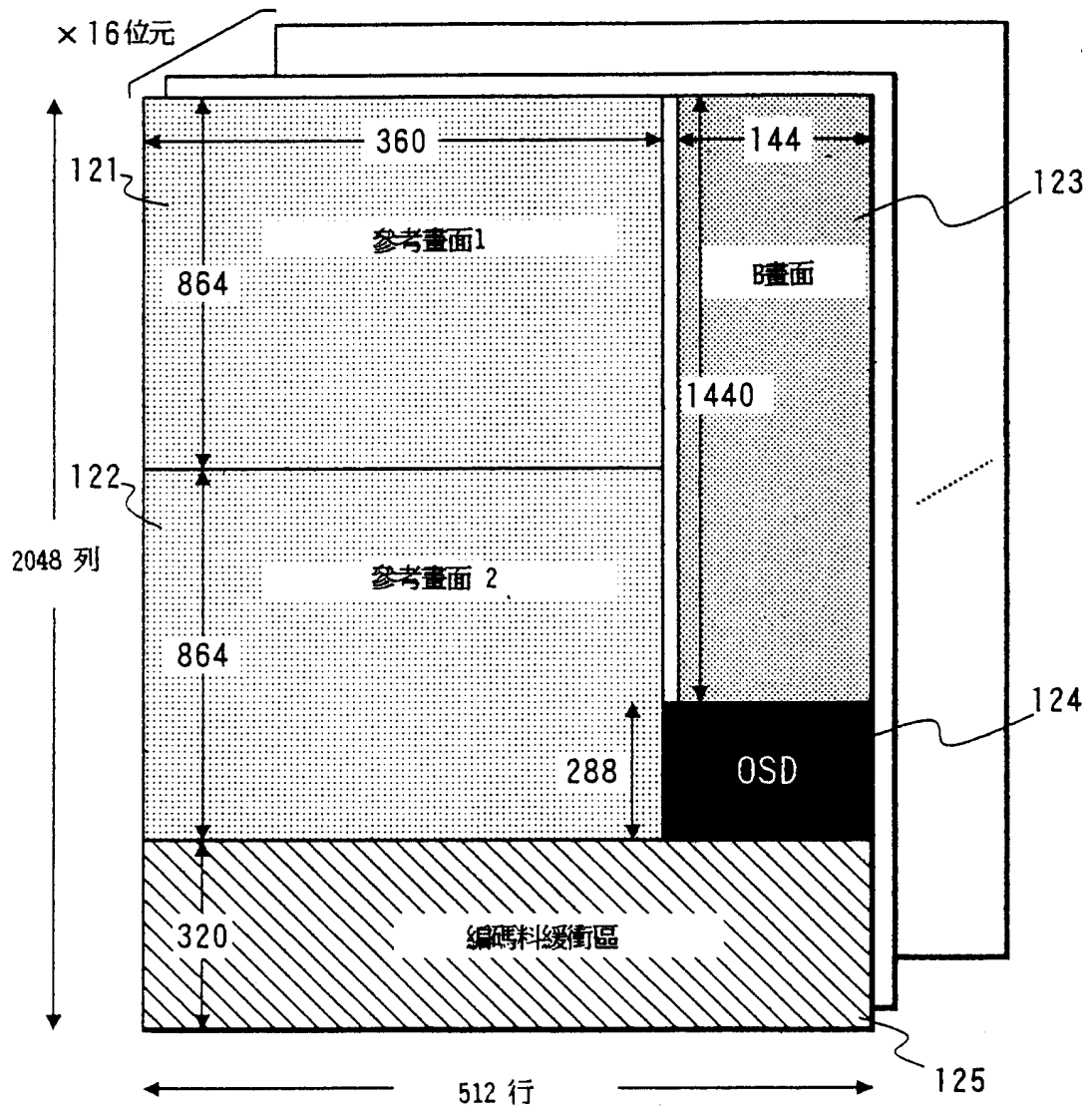
第 6 圖



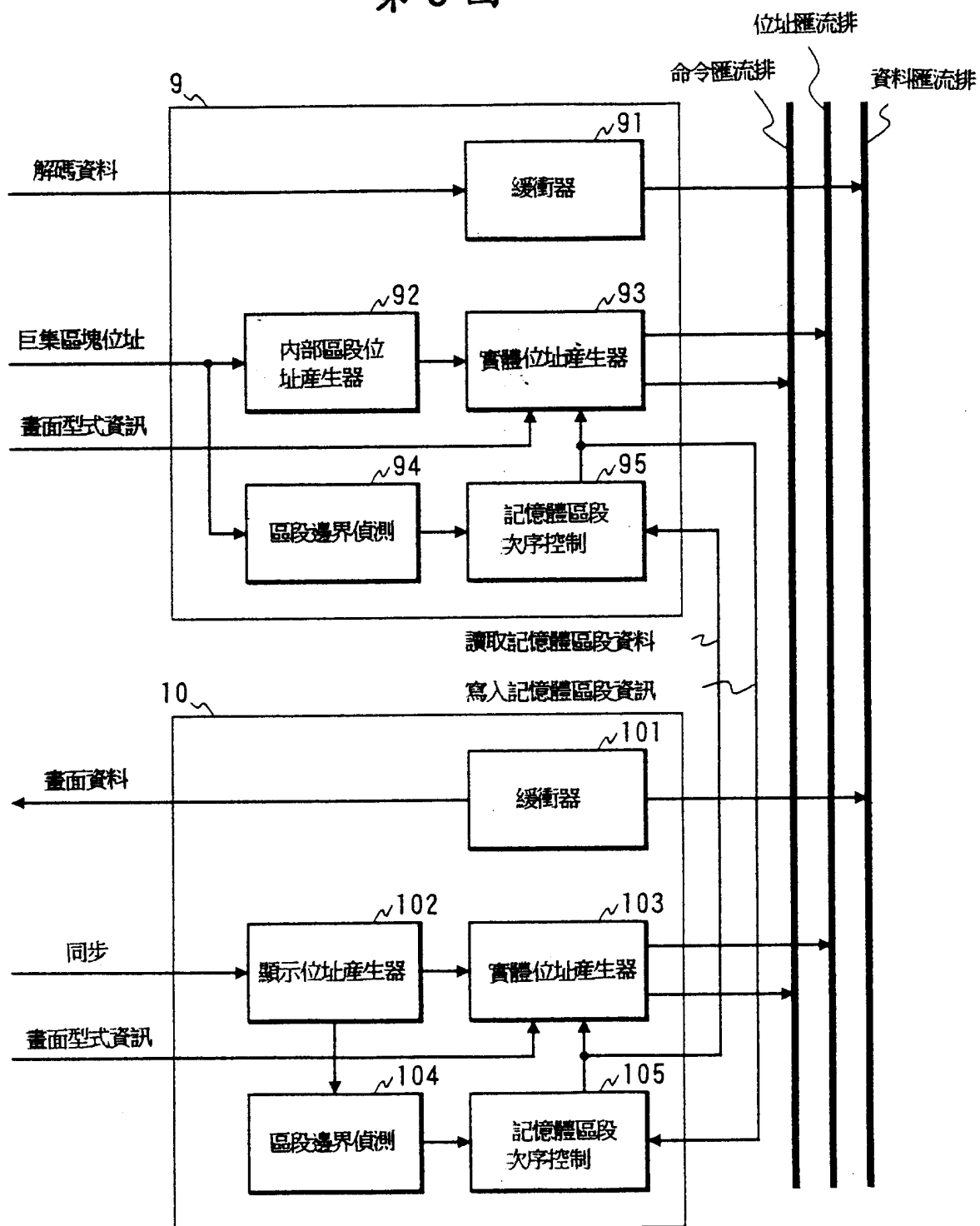
第 7 圖



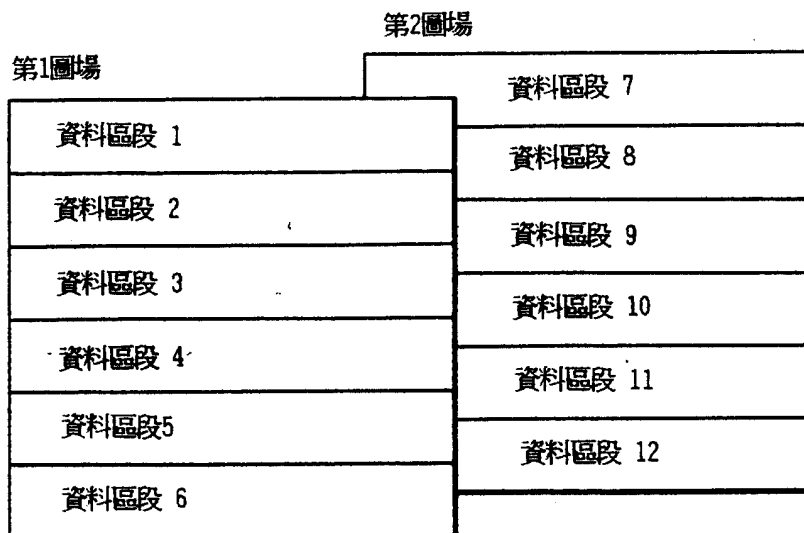
第 8 圖



第 9 圖



第10圖

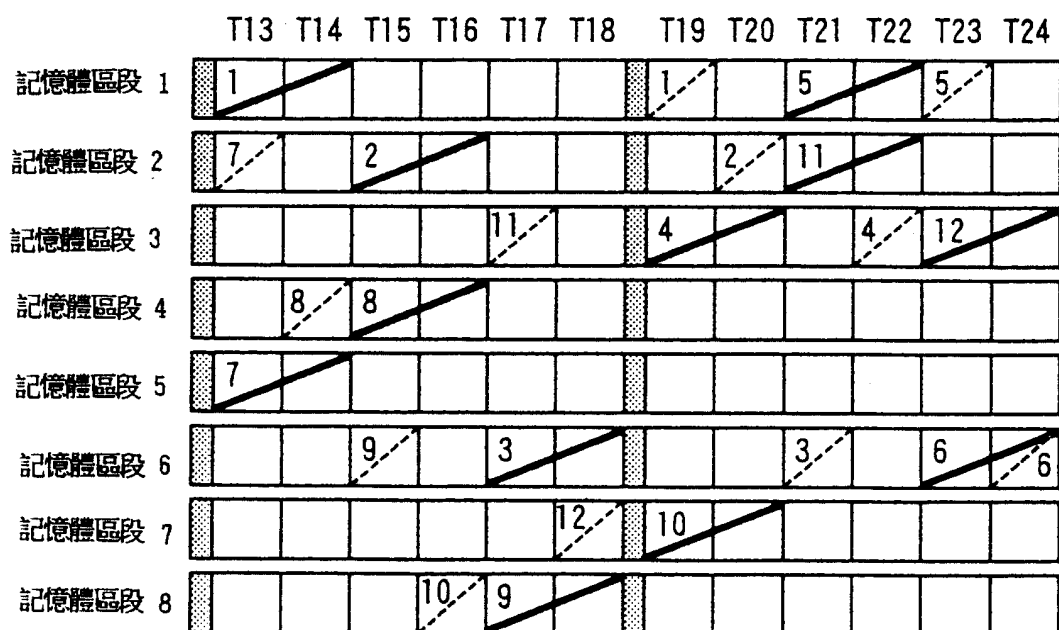
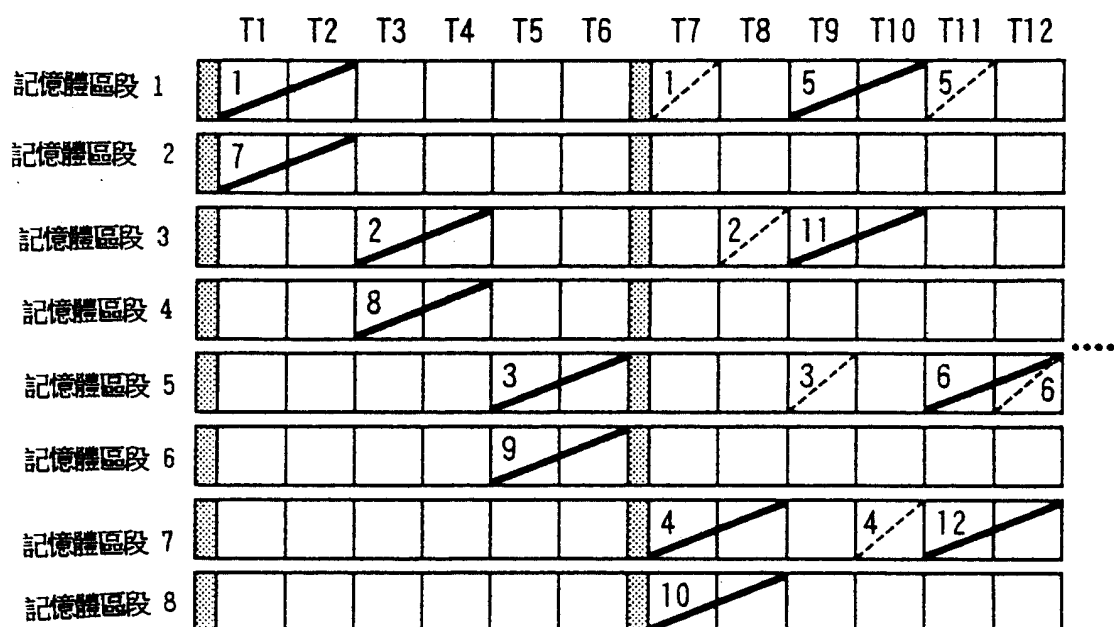


第11圖

B畫面記憶體

記憶體區段 1
記憶體區段 2
記憶體區段 3
記憶體區段 4
記憶體區段 5
記憶體區段 6
記憶體區段 7
記憶體區段 8

第12圖



第13圖

