



(10) **DE 10 2008 052 595 B4** 2011.05.12

(12)

## Patentschrift

(21) Aktenzeichen: **10 2008 052 595.2**

(22) Anmeldetag: **21.10.2008**

(43) Offenlegungstag: **30.04.2009**

(45) Veröffentlichungstag  
der Patenterteilung: **12.05.2011**

(51) Int Cl.: **H01L 21/338** (2006.01)  
**H01L 29/812** (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:

**11/976,590                      25.10.2007      US**

(73) Patentinhaber:

**Northrop Grumman Space & Mission Systems  
Corporation, Los Angeles, Calif., US**

(74) Vertreter:

**Daub, T., Dipl.-Ing., Pat.-Anw., 88662 Überlingen**

(72) Erfinder:

**Smorchkova, Ioulia, Lakewood, Calif., US; Namba,  
Carol, Walnut, Calif., US; Liu, Po-Hsin, Anaheim,  
Calif., US; Coffie, Robert, Camarillo, Calif., US;  
Tsai, Roger, Torrance, Calif., US**

(56) Für die Beurteilung der Patentfähigkeit in Betracht  
gezogene Druckschriften:

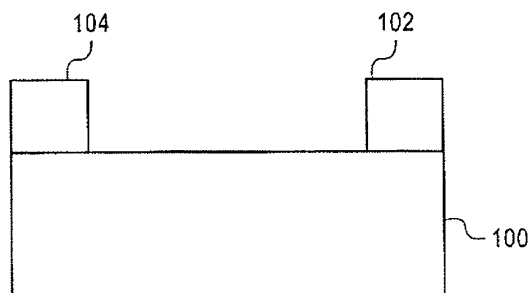
**US    2008/01 24 851    A1**

**US    2007/02 95 993    A1**

(54) Bezeichnung: **Verfahren zur Herstellung eines Halbleiterbauelements als High-Electron-Mobility-  
Transistorhalbleiterbauelement (HEMT) mit feldabschwächender Platte und Halbleiterbauelement**

(57) Hauptanspruch: Verfahren zum Ausbilden eines Halbleiterbauelements auf einem Halbleitersubstrat (100), wobei das Halbleitersubstrat (100) ein Sourcegebiet (104), ein Draingebiet (102) und ein T-Gate (111) enthält, wobei das Verfahren folgendes umfasst:

- Ausbilden einer Lackschicht (114) auf dem Halbleitersubstrat (100);
- Ausbilden eines Fensters (116) in der Lackschicht (114);
- Abscheiden eines Metallfilms (118) durch eine Technik einer gerichteten Abscheidung in dem Fenster (116) und auf der Lackschicht (114) und
- Abheben der Lackschicht (114) zum Ausbilden einer ersten, über einem Abschnitt des T-Gate (111) angeordneten Feldplatte (120), und einer zweiten, auf dem Halbleitersubstrat (100) und in einer Nähe des T-Gate (111) angeordneten Feldplatte (122).



**Beschreibung****ERFINDUNGSGEBIET**

**[0001]** Das Erfindungsgebiet betrifft allgemein ein Halbleiterbauelement und ein Fabrikationsverfahren zu dessen Herstellung und insbesondere ein Halbleiterbauelement, das bei Mikrowellen- und Millimeterwellenfrequenzen arbeitet.

**ALLGEMEINER STAND DER TECHNIK**

**[0002]** Halbleiter mit einem großen Bandabstand wie etwa Nitride der Gruppe III bieten eine Reihe von hervorragenden Eigenschaften, die sie für eine Reihe von Elektronikanwendungen sehr attraktiv machen. Insbesondere hohe Durchschlagfestigkeiten für elektrische Felder, hohe Stromführungsfähigkeiten und hohe Elektronensättigungsgeschwindigkeiten gestatten, dass HEMTs (High Electron Mobility Transistors – Transistoren mit hoher Elektronenmobilität) auf Nitridbasis bei Mikrowellen- und Millimeterwellenfrequenzen einen Betrieb bei sehr hoher Spannung und mit sehr hoher Leistung bereitstellen.

**[0003]** Um die breitskalige Anwendung dieser Technologie zu fördern, müssen Gruppe-III-Nitrid-HEMTs gewissen Metriken wie Mindestarbeitszeitdauer vor einer Leistungsver schlechterung genügen. Ein bestimmter Aspekt, der die Bauelementlebensdauer begrenzt hat, war das Vorliegen von starken elektrischen Feldern in diesen Strukturen, was zu erhöhtem Einfangen von Ladungen und einem übermäßigem Gateleckstrom mit der Beanspruchungszeit führen kann. Diese feldgetriebenen Mechanismen können signifikante Hindernisse darstellen, um eine Bauelementstabilität zu erzielen.

**[0004]** Aus der Druckschrift WO 2006/110511 A2 sind ein HEMT-Bauelement und ein Verfahren zur Herstellung des HEMT-Bauelements auf der Basis von GaN mit einer HEMT-Struktur bekannt, die ein Source-Gebiet, ein Drain-Gebiet und ein T-Gate aufweist, wobei an einer Oberfläche der HEMT-Struktur zwischen dem T-Gate und den Source- und Drain-Gebieten eine von einer dielektrischen Passivierungsschicht gebildete Feldplatte angeordnet ist, durch die eine Abschwächung eines elektrischen Feldes in einem Bereich zwischen dem T-Gate und den Source- und Drain-Gebieten und eine Beeinflussung von Oberflächenzuständen im Drain-Gebiet erzielt werden kann, wodurch eine vergrößerte Durchbruchsspannung des HEMT-Bauelements und eine Verbesserung einer Stromführungsfähigkeit bei hohen Frequenzen erreichbar sind.

**[0005]** Es wäre wünschenswert und stellt sich als Aufgabe, einen Halbleiterbauelementfabrikationsprozess zur Verfügung zu stellen, der durch ein starkes elektrisches Feld induzierte Degradationsmecha-

nismen auf ein Minimum reduzieren und die Herstellung von HEMT-Bauelementen ermöglichen könnte, die sich für einen zuverlässigen Mikrowellen- und Millimeterwellenfrequenzbetrieb eignen. Es wäre weiterhin wünschenswert, dass ein derartiger Halbleiterfabrikationsprozess auch der Produktionseffizienz und dem Komplexitätsniveau von gegenwärtigen Halbleiterbauelementfabrikationsprozessen genügen würde. Es wäre weiterhin wünschenswert, dass ein derartiger Halbleiterfabrikationsprozess Wiederholbarkeit und Robustheit in einer Herstellungsumgebung aufweist.

**KÜRZE DARSTELLUNG DER ERFINDUNG**

**[0006]** Dementsprechend enthält ein Halbleiterbauelement gemäß verschiedenen Ausführungsformen eine Feldplatte zum Minimieren der oben beschriebenen elektrischen Felder und zum Verbessern der Bauelementzuverlässigkeit ohne signifikante Beeinflussung der Bauelementleistung bei Millimeterwellenfrequenzen.

**[0007]** Ein Verfahren zum Ausbilden des Halbleiterbauelements auf einem Halbleitersubstrat einschließlich einem Sourcegebiet, einem Draingebiet, einem T-Gate und einem feldabschwächenden Merkmal gemäß verschiedenen Ausführungsformen beinhaltet: Ausbilden einer Dielektrikumsschicht über dem T-Gate und eines Oberflächenbereichs zwischen dem T-Gate und dem Sourcegebiet und zwischen dem T-Gate und dem Draingebiet; Ausbilden einer Lackschicht auf der Dielektrikumsschicht; Ausbilden eines Fensters in der Lackschicht; Abscheiden eines Metallfilms durch eine Technik einer gerichteten Abscheidung in dem Fenster und auf der Lackschicht und Abheben der Lackschicht zum Ausbilden einer ersten Feldplatte (elektrisch inaktive oder potentialfreie Feldplatte), die über einem Abschnitt des T-Gate angeordnet ist, und einer zweiten Feldplatte (aktive Feldplatte), die auf dem Halbleitersubstrat und in einer Nähe des T-Gate angeordnet ist.

**[0008]** Gemäß dem neuartigen Verfahren kann die Feldplattengeometrie optimiert werden. Insbesondere kann eine präzise Feldplattenplatzierung bezüglich des Gate (innerhalb etwa 0,1 Mikrometern) kombiniert mit ultrakleinen (weniger als 0,2 Mikrometern) aktiven Feldplattenabmessungen erreicht werden. Weiterhin stellt das neuartige Verfahren die Flexibilität des Verbindens der Feldplatte mit entweder der Source- oder der Gateelektrode bereit.

**KURZE BESCHREIBUNG DER ZEICHNUNGEN**

**[0009]** Die beiliegenden Figuren, bei denen sich gleiche Bezugszahlen in den getrennten Ansichten auf identische oder funktional ähnliche Elemente beziehen und die zusammen mit der ausführlichen Beschreibung unten in die Spezifikation integriert sind

und einen Teil dieser bilden, dienen der weiteren Erläuterung verschiedener Ausführungsformen und zur Erklärung verschiedener Prinzipien und Vorteile, alle gemäß der vorliegenden Erfindung.

**[0010]** Die [Fig. 1A–Fig. 1J](#) sind Diagramme, die ein Halbleiterbauelementfabrikationsverfahren gemäß verschiedenen Ausführungsformen darstellen;

**[0011]** [Fig. 2](#) ist ein Diagramm, das ein beispielhaftes Halbleiterbauelement gemäß einer ersten Ausführungsform veranschaulicht;

**[0012]** [Fig. 3](#) ist eine Querschnitts-Rasterelektronenmikroaufnahme, die Gate- und Feldplattenabschnitte des Halbleiterbauelements zeigt;

**[0013]** [Fig. 4A](#) ist ein Diagramm, das simulierte elektrische Oberflächenfelder für verschiedene Konfigurationen des Halbleiterbauelements als Funktion der Länge der aktiven Feldplatte zeigt.

**[0014]** [Fig. 4B](#) ist ein Diagramm, das ein simuliertes elektrisches Oberflächenfeld über einer Dicke der Siliciumnitrid-dielektrikumsschicht unter einer an eine Sourceelektrode angeschlossenen Feldplatte des Halbleiterbauelements zeigt.

**[0015]** [Fig. 5](#) ist ein Diagramm, das eine Leistungsverstärkungsdegradation der verschiedenen Konfigurationen des Halbleiterbauelements gegenüber einer Hochfrequenz(HF)-Beanspruchungszeit darstellt.

**[0016]** [Fig. 6](#) ist ein Diagramm, das ein beispielhaftes Halbleiterbauelement gemäß einer zweiten Ausführungsform darstellt.

#### AUSFÜHRLICHE BESCHREIBUNG

**[0017]** Verschiedene Ausführungsformen eines Halbleiterbauelements und eines Fabrikationsverfahrens zu dessen Erstellung werden unter Bezugnahme auf die Zeichnungen erörtert, in denen gleiche Zahlen sich auf gleiche Komponenten beziehen und in denen eine einzelne Bezugszahl verwendet werden kann, um eine bestimmte exemplarische Ausführung unter mehreren gleichen Komponenten zu bezeichnen.

**[0018]** Unter Bezugnahme auf die [Fig. 1A–Fig. 1J](#) wird ein Halbleiterbauelementfabrikationsverfahren zum Ausbilden eines Halbleiterbauelements mit einer feldabschwächenden Platte (Feldplatte) zum Reduzieren des elektrischen Feldes auf der Oberfläche eines High-Electron-Mobility-Transistors (HEMT) erörtert.

**[0019]** Unter Bezugnahme auf [Fig. 1A](#) wird ein HEMT oder Heterostrukturfeldeffekttransistor

(HFET), die beide hier kollektiv als HEMT bezeichnet werden und bei Mikrowellen- und Millimeterwellenfrequenzen arbeiten können, gemäß herkömmlichen Techniken hergestellt. Der HEMT enthält ein halbisolierendes Substrat wie etwa beispielsweise ein Siliciumcarbid-Substrat (SiC), eine Kanalschicht und eine Elektronenzufuhr- oder Barrierenschicht, die verschiedene Gruppe-III-N-Halbleitermaterialien wie etwa Galliumnitrid (GaN), Aluminiumnitrid (AlN), Indiumnitrid (InN) oder Legierungen davon umfassen kann. Die Verbundbarrierschicht kann auch dünne Dielektrikumsschichten umfassend Siliciumnitrid (SiN), Siliciumdioxid (SiO<sub>2</sub>), Aluminiumoxid (Al<sub>2</sub>O<sub>3</sub>) oder andere isolierende Materialien enthalten. Das halbisolierende Substrat, die Kanalschicht und die Elektronenzufuhrschicht sind der Einfachheit halber alle durch ein einzelnes Halbleitersubstrat **100** dargestellt. Wie der Fachmann versteht, werden Elektronen von der Elektronenzufuhrschicht in die Kanalschicht transferiert und bilden einen Kanal eines zweidimensionalen Elektronengases (2-DEG) zum Führen von Strom zwischen einem Sourcegebiet **104** und einem Draingebiet **102**. Wenngleich dies nicht gezeigt ist, enthalten das Sourcegebiet **104** und das Draingebiet **102** niederohmige Kontakte wie etwa beispielsweise legierte Schichten aus Titan, Aluminium, Nickel und Gold.

**[0020]** Unter Bezugnahme auf [Fig. 1B](#) wird auf dem Halbleitersubstrat **100** eine Elektronenstrahl-(e-Strahl)-Lithographie-(EBL)-Lackschicht **106** gebildet. Die EBL-Lackschicht **106** kann beispielsweise ein zweischichtiger Lackfilm sein, der aus einem Polymethylmethacrylatfilm (PMMA) und einem auf dem PMMA-Film ausgebildeten Copolymerfilm besteht. Die EBL-Lackschicht **106** ist jedoch nicht auf PMMA und Copolymer beschränkt und kann beispielsweise aus anderen elektronenstrahlempfindlichen Lacken wie etwa Polydimethylglutarimid (PMGI), ZEP 520, ZEP 7000 usw. bestehen.

**[0021]** Die Lackschicht **106** kann auf dem Halbleitersubstrat **100** gebildet werden, indem beispielsweise der PMMA-Film und der Copolymerfilm nacheinander auf dem Halbleitersubstrat **100** abgeschieden werden, während es mit einer hohen Geschwindigkeit gedreht wird. Es kann jedoch jeder Lackausbildungsprozess verwendet werden, solange er dazu führt, dass das Halbleitersubstrat **100** gleichmäßig mit der Lackschicht **106** beschichtet ist. Danach kann, wie der Fachmann versteht, die Lackschicht **106** vorgehärtet werden, um Lösungsmittelsuren zu beseitigen.

**[0022]** Unter Bezugnahme auf [Fig. 1C](#) wird EBL auf die Lackschicht **106** angewendet, um in der Lackschicht **106** ein Fenster **108** mit einem Profil auszubilden, bei dem die Breite in einem unteren Abschnitt relativ eng und in einem oberen Abschnitt relativ größer ist. Beispielsweise kann der Elektronen-

strahl direkt auf die Lackschicht **106** angewendet werden (direktes Schreiben), um das Fenster **108** auszubilden. Alternativ kann eine selbsttragende Maske mit einer Floodelektronenkanonenquelle verwendet werden, die einen kollimierten Strahl von Elektronen liefert. Die Maske kann dann direkt auf der Lackschicht **106** abgebildet werden, um dadurch das Fenster **108** zu bilden. Alternativ kann für den Strukturierungsprozess eine optische Lithographie verwendet werden unter Nutzung von Doppelschichten aus verschiedenen Fotolacken.

**[0023]** Unter Bezugnahme auf [Fig. 1D](#) wird ein Metallfilm **110** auf der Lackschicht **106** und in dem Fenster **108** beispielsweise durch einen Aufdampfungsprozess abgeschieden, bei dem ein Metall wie etwa Nickel und Gold oder eine Kombination davon bis zum Verdampfungspunkt erhitzt wird und dann aufgedampft wird, um den Metallfilm **110** zu bilden.

**[0024]** Vor der Metallfilmabscheidung kann eine Nass- oder Trockenvertiefungsätzung in die Barrierenschicht durchgeführt werden, wobei entweder Nass- oder Trockenätztechniken verwendet werden, wie etwa beispielsweise reaktives Ionenätzen (RIE) oder induktiv gekoppeltes Plasmaätzen (ICP).

**[0025]** Unter Bezugnahme auf [Fig. 1E](#) wird die Lackschicht **106** von dem Halbleitersubstrat **100** abgehoben, um dadurch ein Metall-T-Gate **111** auszubilden, das als ein Schottky-Barrierengate zum Modulieren der Schichtkonzentration akkumulierter Elektronen dienen wird. Die Lackschicht **106** kann beispielsweise durch Aufbringen eines flüssigen Abscheiders oder eines chemischen Lösungsmittels wie etwa beispielsweise Aceton oder Methylethylketon oder durch Oxidieren der Lackschicht **106** in einem Sauerstoffplasmasystem abgehoben werden. Das Aufdampfen des Metallfilms **110** und das Abheben der Lackschicht **106** führen dazu, dass das Metall-T-Gate **111** eine pilzartige Gestalt mit einem als Flügelabschnitt bezeichneten breiten Abschnitt auf der Oberseite und einem als ein Gatestiel bezeichneten dünnen Abschnitt am Boden aufweist. Das Metall-T-Gate **111** kann eine Gatestiellänge aufweisen, wobei ein Wert der Gatestiellänge von unter 0,1 Mikrometern erreicht werden kann.

**[0026]** Unter Bezugnahme auf [Fig. 1F](#) wird ein dielektrisches Material auf den Drain- und Sourcegebieten **102**, **104**, dem Metall-T-Gate **111** und Oberflächenabschnitten des Substrats **100** zwischen dem Sourcegebiet **104** und dem Metall-T-Gate **111** und zwischen dem Draingebiet **102** und dem Metall-T-Gate **111** abgeschieden, um eine Dielektrikumschicht **112** auszubilden. Das dielektrische Material kann beispielsweise Siliciumnitrid (SiN), Siliciumdioxid (SiO<sub>2</sub>) oder irgendein anderes Material enthalten, das sich als ein Isolator eignet, der einen hohen Widerstand gegenüber elektrischem Strom aufweist.

Das dielektrische Material kann beispielsweise durch PECVD (Plasma-Enhanced Chemical Vapor Deposition – plasmaunterstützte chemische Abscheidung aus der Dampfphase) oder Sputterabscheidung abgeschieden werden.

**[0027]** Unter Bezugnahme auf [Fig. 1G](#) wird eine zweite Lackschicht **114** auf der Dielektrikumschicht **112** ähnlich der Lackschicht **106** ausgebildet. Unter Bezugnahme auf [Fig. 1H](#) wird ein Feldplattenlithographieprozess wie etwa eine EBL oder Stepperlithographie auf der zweiten Lackschicht **114** durchgeführt, um in der Lackschicht **114** ein Fenster **116** auszubilden. Das Fenster **116** wird so strukturiert, dass ein Gebiet zwischen dem Draingebiet **102** und dem Metall-T-Gate **111** geöffnet wird.

**[0028]** Unter Bezugnahme auf [Fig. 1I](#) wird ein Metallfilm **118** auf der Lackschicht **114** und in dem Fenster **116** abgeschieden, um eine erste und zweite feldabschwächende Platte auszubilden. Der Metallfilm **118** wird bevorzugt durch eine Technik einer gerichteten Abscheidung wie etwa beispielsweise eine Elektronenstrahlaufdampfung durchgeführt. In diesem Fall kann eine Vielzahl von Metallen verwendet werden, wie etwa beispielsweise Titan (Ti), Nickel (Ni), Palladium (Pd), Platin (Pt), Molybdän (Mo), Wolfram (W), Gold (Au) oder eine Kombination davon.

**[0029]** Unter Bezugnahme auf [Fig. 1J](#) wird die Lackschicht **114** von dem Halbleitersubstrat **100** abgehoben, um dadurch die erste und zweite feldabschwächende Platte **120**, **122** auszubilden. Die erste und zweite feldabschwächende Platte **120**, **122** können so ausgebildet werden, dass sie voneinander diskontinuierlich sind, indem die Technik der gerichteten Abscheidung und der Flügelabschnitt des T-Gate **111** als der Schlüsselabbrechpunkt verwendet werden. Die erste feldabschwächende Platte **120**, die in der Regel die größte ist, ist elektrisch inaktiv. Das heißt, sie ist nicht mit irgendeiner Elektrode verbunden und ist einfach auf dem T-Gate **111** potentialfrei, um nicht die Bauelementleistung zu beeinflussen. Im Vergleich dazu ist die zweite feldabschwächende Platte **122**, die in der Regel die kleinste ist, entweder mit dem Sourcegebiet **104** oder dem T-Gate **111** durch das entsprechende Zufuhrdesign verbunden, um die gewünschte Reduktion des elektrischen Feldes mit minimaler Auswirkung auf die Bauelementleistung zu erhalten. Infolge einer Minimierung der aktiven Feldplatte werden parasitäre Kapazitäten zwischen dem T-Gate **111** und dem Source- und Draingebiet **104**, **102** (Cgd, Cgs) signifikant reduziert, um dadurch die Auswirkung der feldabschwächenden Platte auf die Hochfrequenzbauelementverstärkung auf ein Minimum zu reduzieren. Der Abstand zwischen der zweiten feldabschwächenden Platte **122** und dem T-Gate **111** wird durch die T-Gate-Flügelgröße bestimmt, die wiederum durch die

Layoutabmessungen und die EBL-T-Gate-Expositionsdosis gesteuert wird.

**[0030]** Die Dicke der feldabschwächenden Platten ist auf Werte kleiner als die T-Gate-Stielhöhe begrenzt, um einen vollständigen und durchgängigen Feldplattenbruch entlang ihrer Länge sicherzustellen. Die seitlichen Abmessungen der Feldplatte werden durch das Bauelementlayout und die Feldplattenexpositions-dosis gesteuert. Weiterhin kann die Länge des in der Lackschicht **114** während der Feldplattenlithographie ausgebildeten Fensters **116** größer als 0,5 Mikrometer sein und dennoch die Produktion einer zweiten feldabschwächenden Platte **122** mit einer seitlichen Länge von etwa 0,15 Mikrometern oder weniger gestatten. Die große Öffnung gestattet, entweder eine Elektronenstrahl-lithographie oder eine Stepper-Lithographie für die Feldplattenlithographie zu verwenden.

**[0031]** Dadurch kann das neuartige, in [Fig. 1A-Fig. 1J](#) gezeigte Halbleiterfabrikationsverfahren eine feldabschwächende Platte **122** bilden, die das elektrische Feld an der Oberfläche reduziert und dadurch die Bauelementzuverlässigkeit verbessert. Da eine Länge der feldabschwächenden Platte **122** von etwa 0,15 Mikrometern erreicht werden kann, wird sie weiterhin die Bauelementleistung bei Millimeterwellenfrequenzen nicht signifikant beeinflussen. Wie in [Fig. 3](#) gezeigt, bestätigt eine Raster-elektronenmikroaufnahme (REM) eines gemäß dem obigen Prozess hergestellten Halbleiterbauelements das Vorliegen der feldabschwächenden Platte **250** auf dem Halbleitersubstrat in der Nähe des Metall-T-Gates **235**.

**[0032]** Unter Bezugnahme auf [Fig. 2](#) wird ein beispielhaftes Halbleiterbauelement **200** gemäß einer ersten Ausführungsform erörtert. Das Halbleiterbauelement **200** enthält ein halbisolierendes Substrat **205**, das bevorzugt ein Siliciumcarbidsubstrat (SiC) ist, eine Nukleierungsschicht **210**, die bevorzugt aus Aluminiumnitrid (AlN) besteht und über dem halbisolierenden Substrat **205** angeordnet ist, eine über der Nukleierungsschicht **210** angeordnete Kanal- oder Pufferschicht **215** und eine über der Kanalschicht **215** angeordnete Barrierenschicht **220** aufweist. Die Barrierenschicht **220** induziert einen 2-DEG-Kanal an einer Grenzfläche zwischen der Barrierenschicht **220** und der Kanal- oder Pufferschicht **215**.

**[0033]** Das Halbleiterbauelement **200** enthält weiterhin Drain- und Sourcegebiete **225**, **230**, die über der Barrierenschicht **220** angeordnet sind, um eine Verbindung mit niedrigem spezifischen Widerstand durch die Barrierenschicht **220** zu dem 2-DEG-Kanal auszubilden. Ein Metall-T-Gate **235** ist zwischen dem Drain- und Sourcegebiet **225**, **230** und über der Barrierenschicht **220** angeordnet, um einen Schottky-Kontakt zu bilden. Eine bevorzugt aus SiN bestehende

Dielektrikumsschicht **240** beschichtet einen Oberflächenabschnitt der Barrierenschicht **220** zwischen dem Sourcegebiet **230** und dem T-Gate **235**, zwischen dem Draingebiet **225** und dem T-Gate **235**, und das T-Gate **235**.

**[0034]** Eine erste Feldplatte **245** ist über einem Abschnitt der Dielektrikumsschicht **240** auf dem T-Gate **235** angeordnet, und eine zweite Feldplatte **250** ist über der Dielektrikumsschicht **240** und in einer Nähe des T-Gates **235** angeordnet. Wenngleich nicht gezeigt, kann die zweite Feldplatte **250** weiterhin entweder mit dem Sourcegebiet **230** oder dem Metall-T-Gate **235** in der Längsrichtung außer halb des aktiven Bauelementgebiets verbunden sein. Eine seitliche Länge ( $L_{FP}$ ) der zweiten Feldplatte **250** kann 0, 5 Mikrometer oder weniger, bevorzugt kleiner oder gleich 0,15 Mikrometer sein.

**[0035]** Unter Bezugnahme auf [Fig. 4A](#) wurde die Empfindlichkeit des Oberflächenfeldes über der seitlichen Länge  $L_{FP}$  der Feldplatte modelliert für: (an ein Sourcegebiet sourcegeschaltete Feldplatte) das Halbleiterbauelement **200**, bei dem die zweite Feldplatte **250** mit dem Sourcegebiet **230** verbunden war; (an ein Gategebiet gatesgeschaltete Feldplatte) das Halbleiterbauelement **200**, bei dem die zweite Feldplatte **250** mit dem Metall-T-Gate **235** verbunden ist; und (Nur-T-Gate) ein Halbleiterbauelement einschließlich dem T-Gate **235** ohne erste und zweite feldabschwächende Platten. In allen drei Fällen betrug die Dicke der Dielektrikumsschicht **240** 50 nm (fünfhundert Angström). Das Nur-T-Gate-Halbleiterbauelement wies ein Oberflächenfeld von etwa 5,8 MV/cm auf. Im Vergleich dazu wiesen das sourcegeschaltete Feldplatten- und das gatesgeschaltete Feldplattenhalbleiterbauelement Spitzenoberflächenfelder von etwa 4,6 bzw. 4,8 MV/cm auf, wenn  $L_{FP}$  gleich 0,15 Mikrometer betrug. Wenngleich eine Zunahme bei der Dicke des SiN der Dielektrikumsschicht **240** das Oberflächenfeld des sourcegeschalteten Feldplattenhalbleiterbauelements erhöhte, war zudem das Oberflächenfeld, wie in [Fig. 4B](#) gezeigt, immer noch kleiner als das Oberflächenfeld des Nur-T-Gate-Halbleiterbauelements bis zu einer SiN-Dicke von 1000 Angström.

**[0036]** Unter Bezugnahme auf [Fig. 5](#) wurde die Änderung bei der Leistungsverstärkung gemessen für: (1) das Halbleiterbauelement **200**, bei dem die zweite Feldplatte **250** an das Sourcegebiet **230** angeschlossen war und eine seitliche Länge  $L_{FP}$  von 0,20 aufwies; (2) das Halbleiterbauelement **200**, in dem die zweite Feldplatte **250** an das Sourcegebiet **230** angeschlossen war und eine seitliche Länge  $L_{FP}$  von 0,15 aufwies; und (3) ein Halbleiterbauelement einschließlich dem T-Gate ohne erste und zweite feldabschwächende Platten. Die HF-Stressbedingungen für die Messungen betrugen: Frequenz = 40 GHz;  $V_{ds}$  = 25 V;  $I_{ds,q}$  = 200 mA/mm; Kompression = ~2 dB. Die



Bauelementgateperipherie für alle drei Fälle betrug 500 Mikrometer. Das beste Ergebnis für die Bauelementkonfiguration **3** war eine Abnahme bei der Verstärkung von über 0,6 dB in lediglich 20 Stunden. Im Vergleich waren die besten Ergebnisse für die Bauelementkonfigurationen **1** und **2** eine Abnahme der Verstärkung von nur 0,2 dB ungefähr über die gleiche Zeitperiode von 20 Stunden. Die durch die Bauelementkonfigurationen **1**, **2** erreichten Vorteile können weiter demonstriert werden, wenn die Zeitperiode über 100 Stunden verlängert wird.

[0037] Unter Bezugnahme auf [Fig. 6](#) wird ein beispielhaftes Halbleiterbauelement **600** gemäß einer zweiten Ausführungsform erörtert. Das Halbleiterbauelement **600** enthält ein halbisolierendes Substrat **605**, das bevorzugt ein SiC-Substrat ist, und eine Nukleierungsschicht **610**, die bevorzugt aus einem Aluminiumnitrid (AlN) besteht und über dem halbisolierenden Substrat **605** angeordnet ist. Optional kann eine Rücken-Barrierschicht **615**, die bevorzugt aus Aluminiumgalliumnitrid (AlGaIn) besteht, über der Nukleierungsschicht **610** angeordnet sein. Eine Kanalschicht **620** ist über der Rücken-Barrierschicht **615** angeordnet, und eine Barrierschicht **625** ist über der Kanalschicht **620** angeordnet. Eine erste Dielektrikumsschicht **645** ist über der Barrierschicht **625** angeordnet. Wie der Fachmann verstehen sollte, kann die erste Dielektrikumsschicht **645** durch Nass- oder Trockenätztechniken ganz oder teilweise geätzt werden, um darin Öffnungen auszubilden, in denen Drain- und Sourcegebiete **630**, **635** über der Barrierschicht **625** ausgebildet werden können und ein Metall-T-Gate **640** zwischen den Drain- und Sourcegebieten **630**, **635** ausgebildet werden kann. Die Drain- und Sourcegebiete **630**, **635** bilden eine Verbindung mit niedrigem spezifischen Widerstand durch die Barrierschicht **625** zur Kanalschicht **620**. Das Metall-T-Gate **640** bildet einen Schottky-Kontakt zur Kanalschicht **620**. Eine bevorzugt aus Siliciumnitrid (SiN), Aluminiumnitrid (AlN) oder einer Kombination davon bestehende erste Dielektrikumsschicht **645** beschichtet einen Oberflächenabschnitt der Barrierschicht **620** zwischen dem Sourcegebiet **635** und dem T-Gate **640** und zwischen dem Draingebiet **630** und dem T-Gebiet **640** und weist bevorzugt eine Dicke zwischen 3 und 25 Nanometern auf.

[0038] Eine bevorzugt aus SiN bestehende zweite Dielektrikumsschicht **650** beschichtet das T-Gate **640** und die erste Dielektrikumsschicht **645**. Die erste und zweite Feldplatte **655**, **660** sind auf der zweiten Dielektrikumsschicht **650** angeordnet. Die erste Dielektrikumsschicht **645** ist bevorzugt über Molekularstrahlepitaxy (MBE) ausgebildet, und die zweite Dielektrikumsschicht **650** ist bevorzugt durch plasma-unterstütztes CVD ausgebildet.

[0039] Die erste Dielektrikumsschicht **645** schützt die Halbleiteroberfläche vor der Bearbeitungsumgebung, wodurch Oberflächenschäden reduziert und die Entstehung von Haftstellen auf ein Minimum reduziert werden. Die zweite Dielektrikumsschicht **650** liefert eine Metallgatekapselung in passivierendes dielektrisches Material und erhöht die Trennung zwischen der aktiven Feldplatte **660** und der Halbleiteroberfläche auf einen Sollwert.

[0040] Die oben erörterten Vorrichtungen und Verfahren und ihre erfindungsgemäßen Prinzipien sollen und werden ein Halbleiterbauelement mit einer feldabschwächenden Platte zum Minimieren elektrischer Felder mit einem Minimum an Leistungsverstärkungsverlust herstellen, wodurch die Bauelementdurchschlagsspannung heraufgesetzt, das Fangen von Ladungen auf ein Minimum reduziert und der Gateleckstrom reduziert wird. Es kann eine feldabschwächende Platte von 0,1 Mikrometern erreicht werden, wobei diese dennoch den Vorzug eines reduzierten elektrischen Feldes bereitstellt.

[0041] Es wird erwartet, dass der Durchschnittsfachmann angesichts der oben beschriebenen Prinzipien, Konzepte und Beispiele in der Lage sein wird, andere alternative Prozeduren und Konstruktionen zu implementieren, die die gleichen Vorzüge bieten. Beispielsweise könnte die feldabschwächende Platte vor der Ausbildung des T-Gates ausgebildet werden. Das T-Gate kann danach unter Verwendung einer Reihe von isotropen Trockenätzungen ausgebildet werden.

### Patentansprüche

1. Verfahren zum Ausbilden eines Halbleiterbauelements auf einem Halbleitersubstrat (**100**), wobei das Halbleitersubstrat (**100**) ein Sourcegebiet (**104**), ein Draingebiet (**102**) und ein T-Gate (**111**) enthält, wobei das Verfahren folgendes umfasst:

- Ausbilden einer Lackschicht (**114**) auf dem Halbleitersubstrat (**100**);
- Ausbilden eines Fensters (**116**) in der Lackschicht (**114**);
- Abscheiden eines Metallfilms (**118**) durch eine Technik einer gerichteten Abscheidung in dem Fenster (**116**) und auf der Lackschicht (**114**) und
- Abheben der Lackschicht (**114**) zum Ausbilden einer ersten, über einem Abschnitt des T-Gates (**111**) angeordneten Feldplatte (**120**), und einer zweiten, auf dem Halbleitersubstrat (**100**) und in einer Nähe des T-Gates (**111**) angeordneten Feldplatte (**122**).

2. Verfahren nach Anspruch 1, weiterhin umfassend das Ausbilden einer Dielektrikumsschicht (**112**) über dem T-Gate (**111**) und auf einem Oberflächenbereich zwischen dem T-Gate (**111**) und dem Sourcegebiet (**104**) und zwischen dem T-Gate (**111**) und dem Draingebiet (**102**) vor dem Ausbilden der Lackschicht (**114**) auf dem Halbleitersubstrat (**100**).

3. Verfahren nach Anspruch 1, wobei das Abscheiden des Metallfilms (118) durch eine Technik einer gerichteten Abscheidung in dem Fenster (116) weiterhin das Verwenden eines Flügels des T-Gate (111) als einen Brechungspunkt beinhaltet, so dass die zweite Feldplatte (122) von der ersten Feldplatte (120) getrennt wird.

4. Verfahren nach Anspruch 1, wobei das Ausbilden des Fensters (116) in der Lackschicht (114) weiterhin das Ausbilden des Fensters (116) durch Elektronenstrahlolithographie (EBL) oder Stepper-Lithographie beinhaltet.

5. Verfahren nach Anspruch 1, wobei das Abscheiden des Metallfilms (118) und das Abheben der Lackschicht (114) zum Ausbilden der ersten und zweiten Feldplatte (120, 122) weiterhin das Ausbilden der zweiten Feldplatte (122) mit einer seitlichen Länge ( $L_{FP}$ ) in einem Bereich zwischen etwa 0,10–0,20 Mikrometer beinhaltet.

6. Verfahren nach Anspruch 1, wobei das Abscheiden des Metallfilms (118) und das Abheben der Lackschicht (114) zum Ausbilden der ersten und zweiten Feldplatte (120, 122) weiterhin das Ausbilden der ersten Feldplatte (120) als elektrisch inaktiv und das Ausbilden der zweiten Feldplatte (122) als elektrisch an das Sourcegebiet (104) oder das T-Gate (111) angeschlossen umfasst.

7. Verfahren nach Anspruch 1, wobei das Abscheiden des Metallfilms (118) und das Abheben der Lackschicht (114) zum Ausbilden der ersten und zweiten Feldplatte (120, 122) weiterhin das Konfigurieren der zweiten Feldplatte (122) zum Reduzieren eines elektrischen Spitzenfeldes in dem Halbleiterbauelement umfasst.

8. Halbleiterbauelement, umfassend:  
ein halbisolierendes Substrat (205);  
eine über dem halbisolierenden Substrat (205) angeordnete Kanalschicht (215);  
eine über der Kanalschicht (215) angeordnete Barrierenschicht (220), wobei die Barrierenschicht (220) eine 2-DEG-Schicht an einer Grenzfläche zwischen der Barrierenschicht (220) und der Kanalschicht (215) induziert;  
über der Barrierenschicht (220) angeordnete Source- und Draingebiete (230, 225) zum Ausbilden einer Verbindung mit niedrigem spezifischen Widerstand durch die Barrierenschicht (220) zu der 2-DEG-Schicht;  
ein zwischen den Source- und Draingebieten (230, 225) und über der Barrierenschicht (220) angeordnetes T-Gate (235) zum Ausbilden eines Schottky-Kontakts zu der 2-DEG-Schicht;  
eine über einem Abschnitt des T-Gate (235) angeordnete erste Feldplatte (245) und

eine über der Barrierenschicht (220) und in einer Nähe des T-Gate (235) angeordnete zweite Feldplatte (250).

9. Halbleiterbauelement nach Anspruch 8, wobei die zweite Feldplatte (250) mit dem Sourcegebiet (230) oder dem T-Gate (235) verbunden ist.

10. Halbleiterbauelement nach Anspruch 8, weiterhin umfassend eine Dielektrikumsschicht (240), die einen Abschnitt der Barrierenschicht (220) zwischen dem Sourcegebiet (230) und dem T-Gate (235) und zwischen dem Draingebiet (225) und dem T-Gate (235), und das T-Gate (235) beschichtet, wobei die erste und zweite Feldplatte (245, 250) auf der Dielektrikumsschicht (240) angeordnet sind.

11. Halbleiterbauelement nach Anspruch 10, wobei die Dielektrikumsschicht (240) Siliciumnitrid (SiN) umfasst.

12. Halbleiterbauelement nach Anspruch 8, wobei eine seitliche Länge ( $L_{FP}$ ) der zweiten Feldplatte (250) zwischen 0,15 und 0,20 Mikrometer beträgt.

13. Verfahren zum Ausbilden eines Halbleiterbauelements (600) auf einem Halbleitersubstrat, wobei das Halbleitersubstrat ein halbisolierendes Substrat (605), eine über dem halbisolierenden Substrat (605) angeordnete Kanalschicht (620), eine über der Kanalschicht (620) angeordnete Barrierenschicht (625), wobei die Barrierenschicht (625) eine 2-DEG-Schicht an einer Grenzfläche zwischen der Barrierenschicht (625) und der Kanalschicht (620) induziert, eine auf der Barrierenschicht (625) angeordnete erste Dielektrikumsschicht (645), wobei die erste Dielektrikumsschicht (645) ganz oder teilweise geätzt ist, um Öffnungsabschnitte zu enthalten, in denen ein Sourcegebiet (635) und Draingebiet (630) über der Barrierenschicht (625) angeordnet sind, und ein T-Gate (640), das zwischen dem Source- und Draingebiet (635, 630) angeordnet ist, enthält, wobei das Verfahren Folgendes umfasst:

- Beschichten der ersten Dielektrikumsschicht (645) und des T-Gates (640) mit einem zweiten dielektrischen Material zum Ausbilden einer zweiten Dielektrikumsschicht (650);
- Ausbilden einer Lackschicht auf der zweiten Dielektrikumsschicht (650);
- Ausbilden eines Fensters in der Lackschicht;
- Abscheiden eines Metallfilms durch eine Technik einer gerichteten Abscheidung in dem Fenster und auf der Lackschicht und
- Abheben der Lackschicht zum Ausbilden einer über einem Abschnitt des T-Gate (640) angeordneten ersten Feldplatte (655) und einer auf der zweiten Dielektrikumsschicht (650) und in einer Nähe des T-Gate (640) angeordneten zweiten Feldplatte (660).

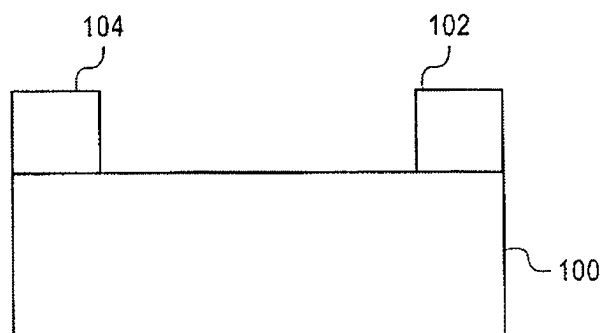
14. Verfahren nach Anspruch 13, wobei das Ausbilden der ersten Dielektrikumsschicht (**645**) weiterhin das Aufwachsen des ersten dielektrischen Materials durch Molekularstrahlepitaxy zu einer Dicke zwischen 3 und 25 Nanometer beinhaltet.

15. Verfahren nach Anspruch 13, wobei das Ausbilden der zweiten Dielektrikumsschicht (**650**) weiterhin das Abscheiden von Siliciumnitrid (SiN) als das zweite dielektrische Material durch plasmaunterstützte chemische Abscheidung aus der Dampfphase (PECVD) beinhaltet.

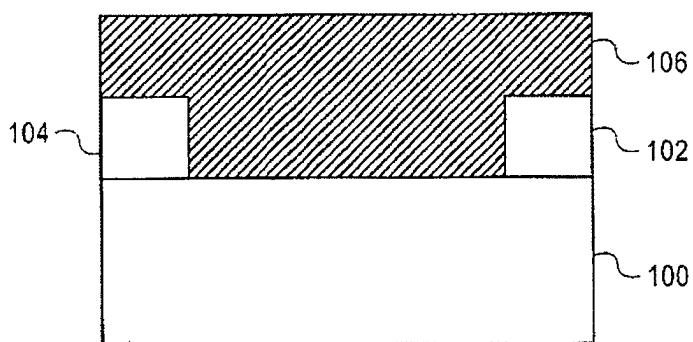
Es folgen 8 Blatt Zeichnungen



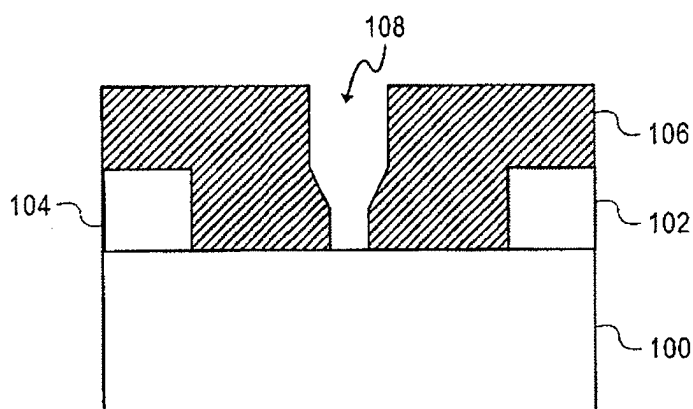
Anhängende Zeichnungen



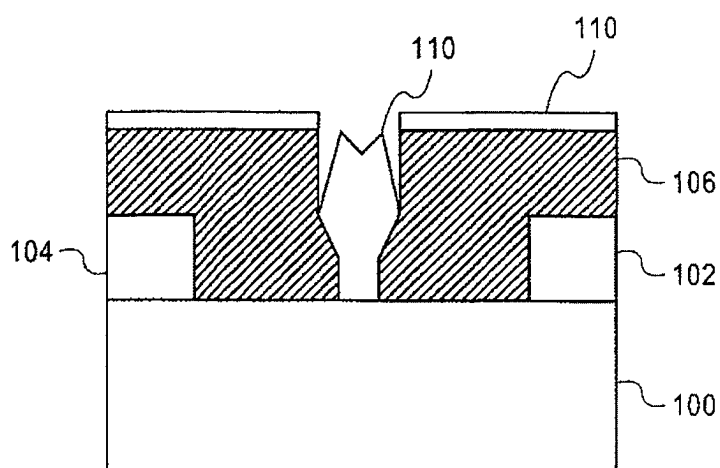
**FIG. 1A**



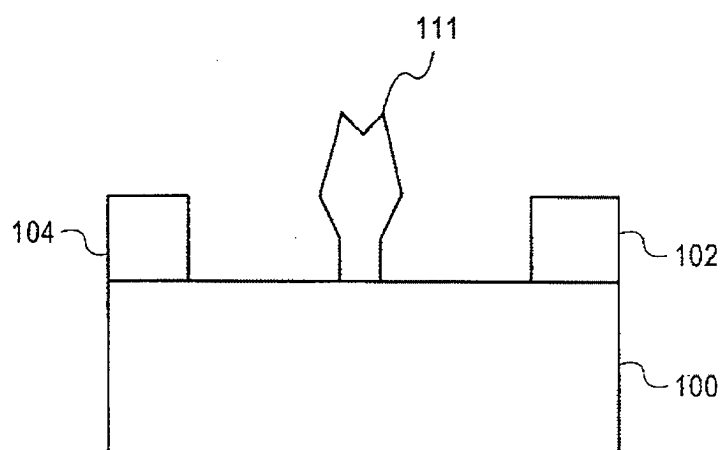
**FIG. 1B**



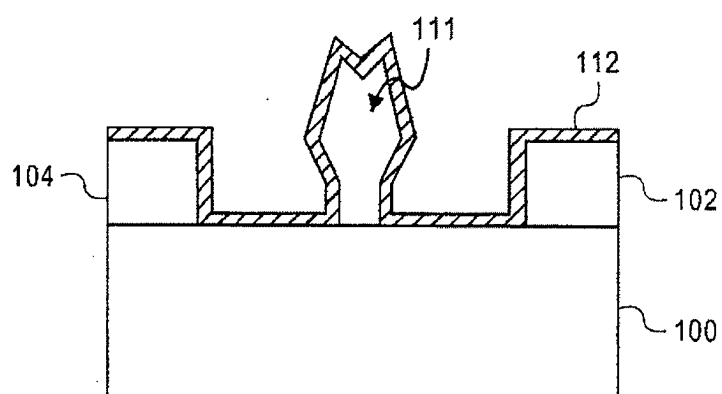
**FIG. 1C**



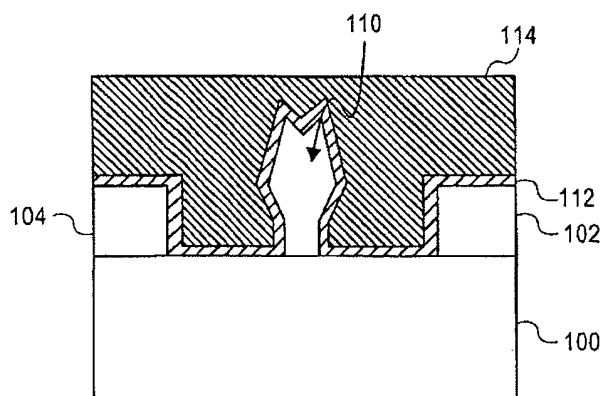
**FIG. 1D**



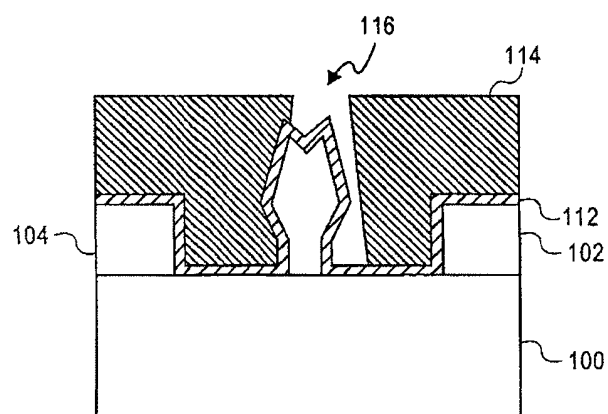
**FIG. 1E**



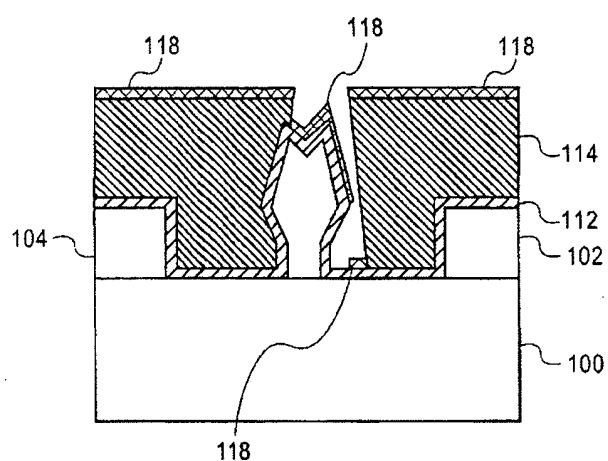
**FIG. 1F**



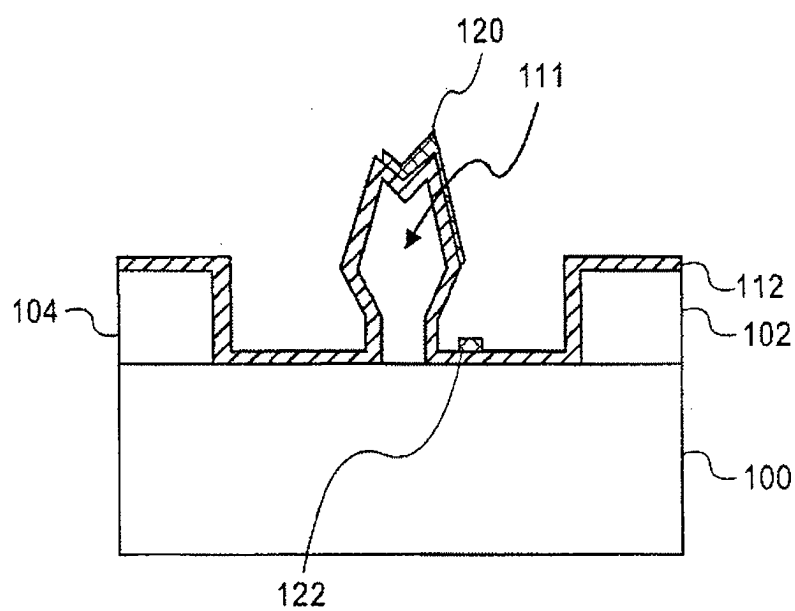
**FIG. 1G**



**FIG. 1H**



**FIG. 1I**



**FIG. 1J**

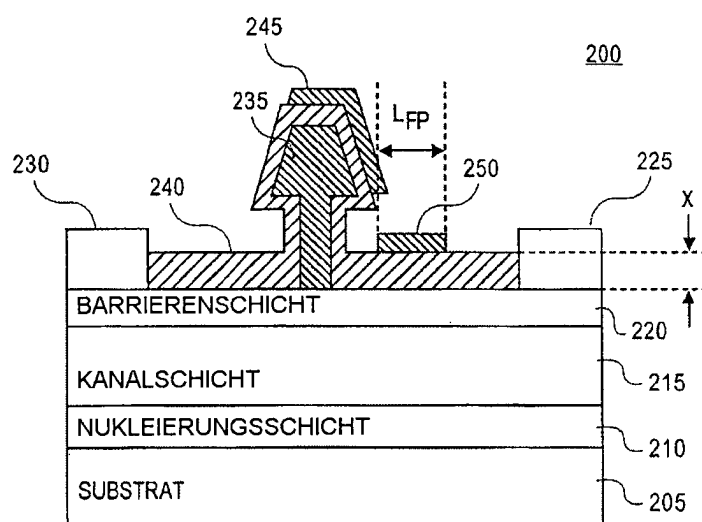


FIG. 2

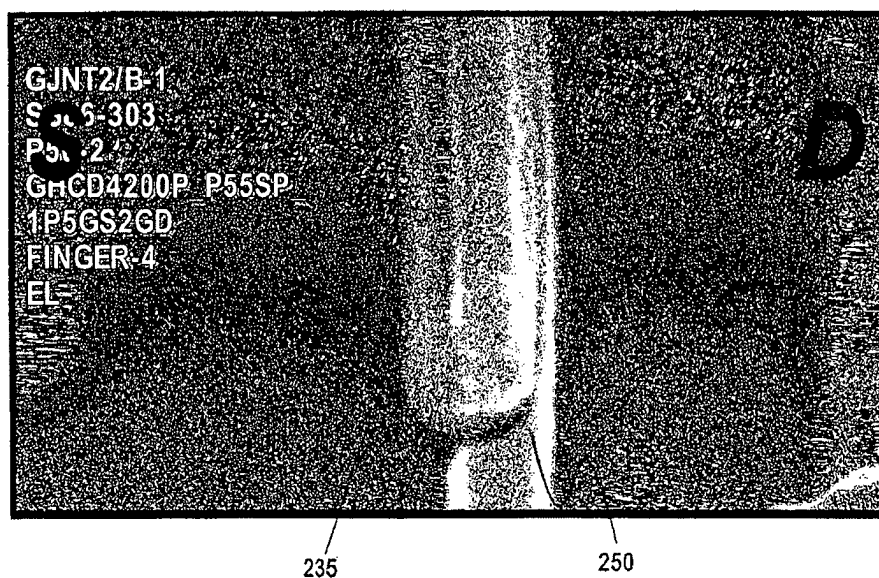


FIG. 3

FIG. 4B

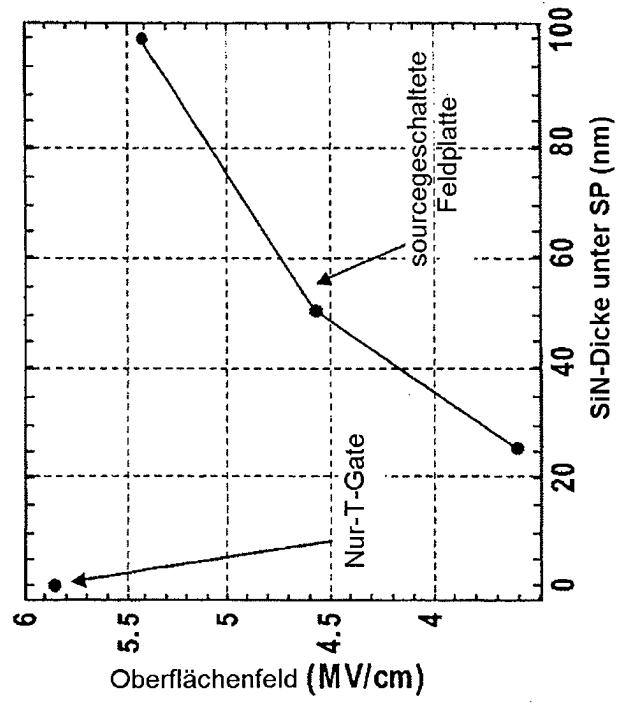
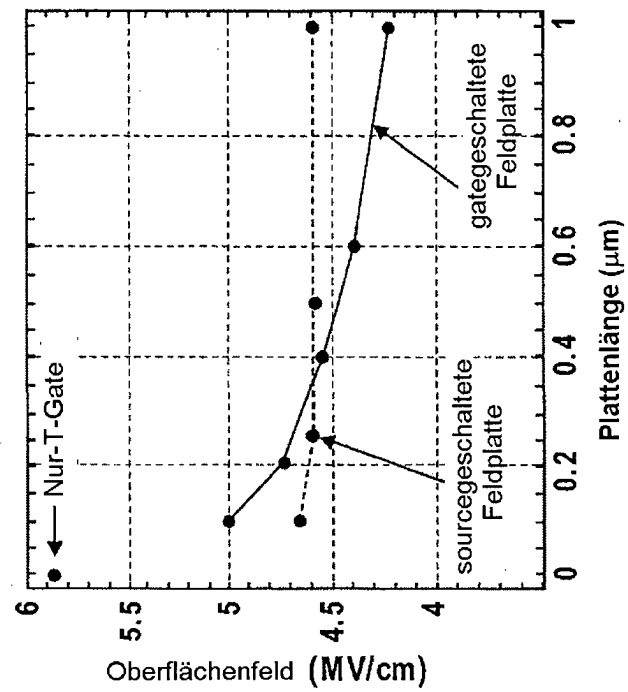
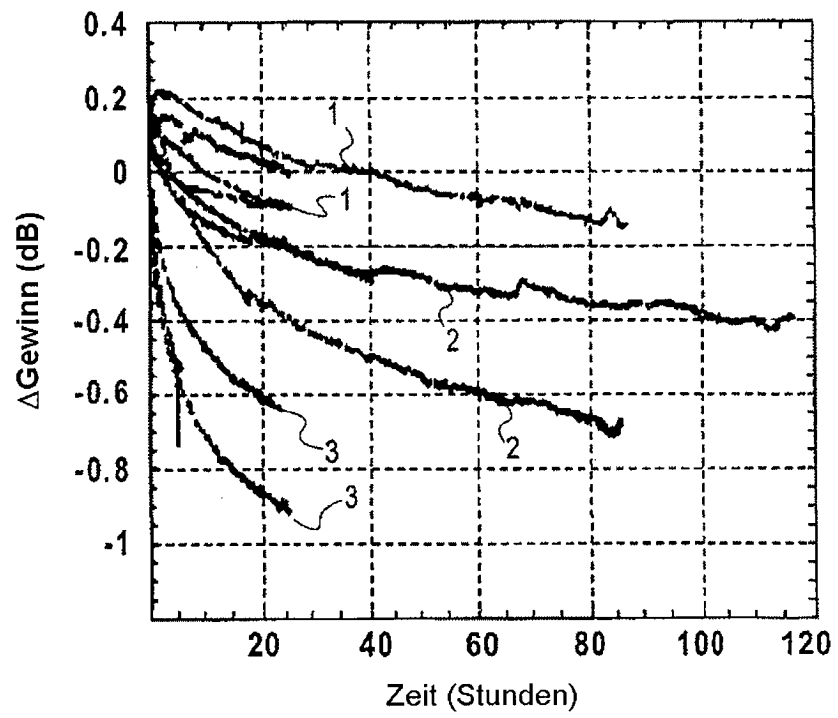


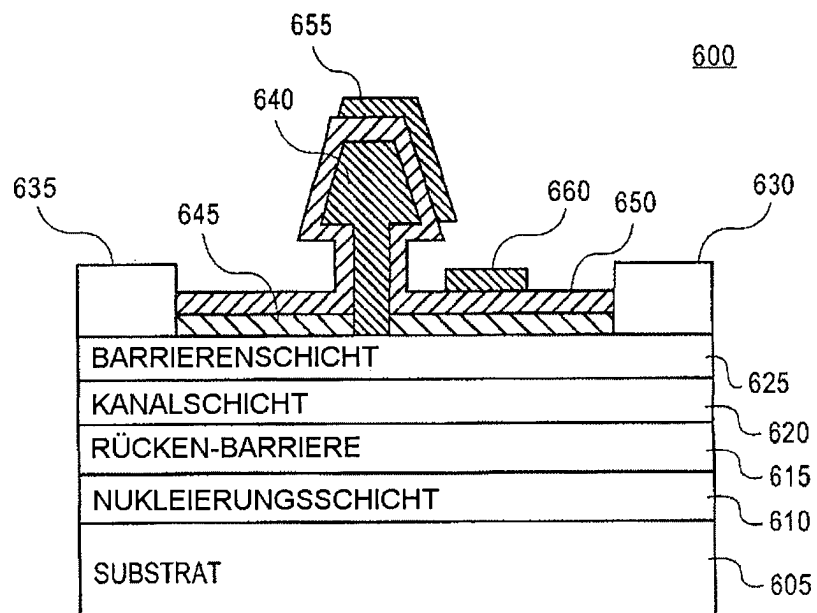
FIG. 4A





**FIG. 5**





**FIG. 6**