

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-191565

(P2017-191565A)

(43) 公開日 平成29年10月19日(2017.10.19)

(51) Int.Cl.		F I		テーマコード (参考)
G06K 9/36	(2006.01)	G06K 9/36		5B029
H04N 5/232	(2006.01)	H04N 5/232	Z	5B062
G06K 7/14	(2006.01)	G06K 7/14	004	5C122
G06F 15/78	(2006.01)	G06F 15/78	560	

審査請求 未請求 請求項の数 12 O L (全 20 頁)

(21) 出願番号	特願2016-82258 (P2016-82258)	(71) 出願人	000002945
(22) 出願日	平成28年4月15日 (2016.4.15)		オムロン株式会社
		(74) 代理人	100155712
			弁理士 村上 尚
		(72) 発明者	玉井 俊規
			京都府京都市下京区塩小路通堀川東入南不
			動堂町801番地 オムロン株式会社内
		(72) 発明者	高山 正広
			京都府京都市下京区塩小路通堀川東入南不
			動堂町801番地 オムロン株式会社内
		Fターム(参考)	5B029 AA03 BB02 BB17 CC01 CC32
			5B062 CC05 DD09
			5C122 EA54 FH14 HB01

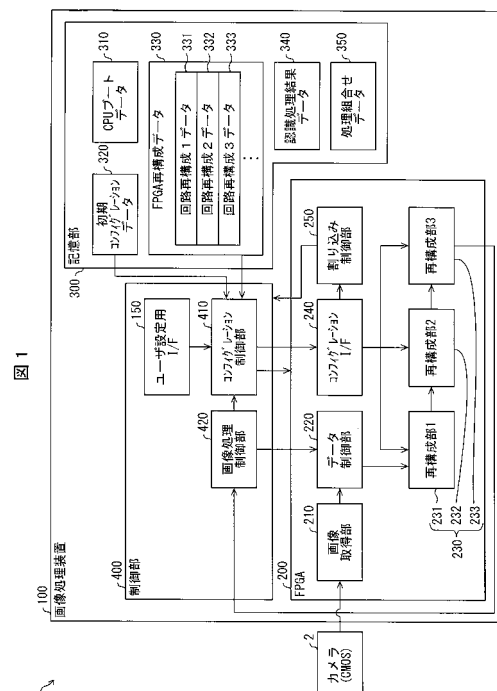
(54) 【発明の名称】 画像処理装置、光学コード読取装置、画像処理方法、情報処理プログラムおよび記録媒体

(57) 【要約】

【課題】ハードウェア回路を大型化することなく、画像処理の実行時間の増加を抑制しつつ認識率を向上させることのできる画像処理を実現する。

【解決手段】コンフィグレーション制御部(410)が、前処理回路が画像処理制御部(420)に画像データを出力した後に、前処理回路の再構成を実行する。認識処理に失敗した場合、画像処理制御部(420)は、再構成が行われた前処理回路から出力された画像データに基づいて再度認識処理を行う。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

外部の撮像装置によって撮像された光学コードを含む入力画像に対して前処理を行い、画像データを出力する前処理回路と、

前記前処理回路から出力された画像データに基づいて光学コードの認識処理を行う認識処理部と、

前記前処理回路の再構成を実行する回路構成制御部と、を備え、

前記回路構成制御部が、前記前処理回路が前記認識処理部に画像データを出力した後に、前記前処理回路の処理内容を変更する再構成を実行するとともに、

前記認識処理部が前記認識処理に失敗した場合に、前記再構成が行われた前記前処理回路から出力された画像データに基づいて、再度前記認識処理を行うことを特徴とする画像処理装置。

10

【請求項 2】

前記回路構成制御部が、前記前処理回路が前記認識処理部に画像データを出力した後に、前記認識処理が実行されている期間において、前記前処理回路の処理内容を変更する再構成を実行することを特徴とする請求項 1 に記載の画像処理装置。

【請求項 3】

前記前処理回路が、前記前処理回路の処理内容を変更する再構成が行われた後に、前記認識処理が実行されている期間において前記前処理を行うことを特徴とする請求項 2 に記載の画像処理装置。

20

【請求項 4】

前記認識処理部が前記認識処理に成功した場合に、前記回路構成制御部が、成功した認識処理時に用いられた処理内容となるように前記前処理回路の再構成を実行し、次の前記入力画像に対する最初の前処理が行われることを特徴とする請求項 1 ~ 3 のいずれか一項に記載の画像処理装置。

【請求項 5】

前記認識処理部が前記認識処理に成功した場合に、成功した認識処理時に用いられた前記前処理回路の処理内容と対応付けて履歴を記録するとともに、

前記回路構成制御部が、前記履歴に基づいて成功率が最も高い前記処理内容となるように前記前処理回路の再構成を実行し、前記入力画像に対する最初の前処理が行われることを特徴とする請求項 1 ~ 3 のいずれか一項に記載の画像処理装置。

30

【請求項 6】

前記認識処理部が前記認識処理に成功した場合に、成功した認識処理時に用いられた前記前処理回路の処理内容と対応付けて履歴を記録するとともに、

前記認識処理部による前記認識処理の失敗が繰り返された場合に、前記回路構成制御部が、前記履歴に基づいて成功率が高い処理内容から順に前記前処理回路の再構成を実行することを特徴とする請求項 1 ~ 5 のいずれか一項に記載の画像処理装置。

【請求項 7】

前記認識処理部が前記認識処理に失敗した場合に、前記再構成が行われた前記前処理回路から出力された画像データに基づいて、前記失敗した認識処理とは異なる内容の認識処理を行うことを特徴とする請求項 1 ~ 6 のいずれか一項に記載の画像処理装置。

40

【請求項 8】

前記前処理回路の処理内容と、前記認識処理の内容との組合せを複数種類記憶する組合せ記憶部をさらに備え、

前記認識処理部は、前記組合せ記憶部を参照して、前記回路構成制御部によって設定された前記前処理回路の処理内容に対応する前記認識処理の内容を実行することを特徴とする請求項 1 ~ 7 のいずれか一項に記載の画像処理装置。

【請求項 9】

撮像装置と、

前記撮像装置から入力画像を取得する請求項 1 ~ 8 のいずれか一項に記載の画像処理装

50

置とを備えることを特徴とする光学コード読取装置。

【請求項 10】

外部の撮像装置によって撮像された光学コードを含む入力画像に対して前処理を行う前処理回路から出力された画像データに基づいて光学コードの認識処理を行う認識処理ステップと、

前記前処理回路の再構成を実行する回路構成制御ステップと、を有し、

前記回路構成制御ステップにおいて、前記前処理回路が画像データを出力した後に、前記前処理回路の処理内容を変更する再構成を実行するとともに、

前記認識処理ステップにおいて、前記認識処理に失敗した場合に、前記再構成が行われた前記前処理回路から出力された画像データに基づいて、再度前記認識処理を行うことを特徴とする画像処理方法。

10

【請求項 11】

請求項 1～8 のいずれか一項に記載の画像処理装置としてコンピュータを機能させるための情報処理プログラムであって、前記各部としてコンピュータを機能させるための情報処理プログラム。

【請求項 12】

請求項 11 に記載の情報処理プログラムを記録したコンピュータ読み取り可能な記録媒体。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は画像処理装置等に関するものであり、詳細には、プログラマブル論理回路を備えた画像処理装置等に関するものである。

【背景技術】

【0002】

従来、商品等の対象物のバーコードや 2 次元コード等の光学コードを読み取って、対象物の識別や管理等を行うコードリーダが知られている。コードリーダは、使用条件（照明条件や汚れ等）が安定していない環境下では読み取りを失敗することが多く、読み取りの精度（認識率）を向上させるための技術が提案されてきた。

【0003】

30

例えば、特許文献 1 に開示された電子部品装着装置は、プリント基板に貼付けされた 2 次元コードの認識率を向上させるため、複数の照明条件で対象物を撮像し、撮像した結果の中で読み取りエラーとならない画像を取得した時の輝度データを用いて照明を制御することにより、鮮明な画像を得るようになっている。

【0004】

また、特許文献 2 に開示された光学コード読取装置は、対象物や環境に応じた画像特徴量を抽出して、カメラ撮影のシャッタースピードを自動調整するようになっている。この光学コード読取装置は、画像特徴量の認識失敗時に、シャッタースピードの自動調整を実行することで、撮影対象物や撮影環境に対応して認識率を向上させている。

【0005】

40

これらの技術は、画像取得時の条件を変更することによって、認識率の高い画像を取得するものである。

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】特開 2009 - 182280 号公報（2009 年 8 月 13 日公開）

【特許文献 2】特開 2004 - 194172 号公報（2004 年 7 月 8 日公開）

【発明の概要】

【発明が解決しようとする課題】

【0007】

50

ところで、光学コード読み取りの認識率を向上させるためには、カメラが画像を取得する際の条件を変更して画像を再取得する以外に、以下のような方法を用いることもできる。

【 0 0 0 8 】

すなわち、光学コードの読み取りに失敗した場合に、読み取りのアルゴリズムを変更することによって、又は、読み取りのアルゴリズムの変更を繰り返すことによって認識率を向上させることができる。

【 0 0 0 9 】

また、読み取りのアルゴリズムにて光学コードの読み取りを実行する前には、カメラが取得した画像に対して前処理が行われる。よって、光学コードの読み取りに失敗した場合に、この前処理を変更することによっても認識率を向上させることができる。

10

【 0 0 1 0 】

しかしながら、光学コード読取装置等において、前処理は高速な処理が要求されるため、前処理回路は、物理的な回路を用いてハードウェアで実現することが一般的であった。このような構成の場合には、取得した画像に応じて前処理内容を変更して認識率を向上させるためには、複数種類の物理的な前処理回路をハードウェアに組み込んでおく必要があり、ハードウェア回路の大型化、コスト高を招来するという問題があった。

【 0 0 1 1 】

一方、マイクロプロセッサ等が実行するソフトウェアによって前処理を実行する場合には、前処理を容易に変更することはできるが、前処理の実行時間がハードウェアと比較して大幅にかかるため、画像処理時間が長くなり、実用的でないという問題があった。

20

【 0 0 1 2 】

本発明は、前記の問題点に鑑みてなされたものであり、その目的は、ハードウェア回路を大型化することなく、画像処理の実行時間の増加を抑制しつつ認識率を向上させることのできる画像処理を実現することにある。

【課題を解決するための手段】

【 0 0 1 3 】

上記の課題を解決するために、本発明の一態様における画像処理装置は、外部の撮像装置によって撮像された光学コードを含む入力画像に対して前処理を行い、画像データを出力する前処理回路と、前記前処理回路から出力された画像データに基づいて光学コードの認識処理を行う認識処理部と、前記前処理回路の再構成を実行する回路構成制御部と、を備え、前記回路構成制御部が、前記前処理回路が前記認識処理部に画像データを出力した後に、前記前処理回路の処理内容を変更する再構成を実行するとともに、前記認識処理部が前記認識処理に失敗した場合に、前記再構成が行われた前記前処理回路から出力された画像データに基づいて、再度前記認識処理を行う。

30

【 0 0 1 4 】

前記の構成によれば、回路構成制御部が、前処理回路が認識処理部に画像データを出力した後に、前記前処理回路の処理内容を変更する再構成を実行する。そのため、複数種類の物理的な前処理回路をハードウェアに組み込んでおく必要なく、前処理の内容を変更することができる。その結果、ハードウェア回路が大型化することがない。

40

【 0 0 1 5 】

また、認識処理部が認識処理に失敗した場合に、前記再構成が行われた前処理回路から出力された画像データに基づいて、認識処理部は認識処理を行う。そのため、前処理回路の処理内容を変更して、認識処理部は認識処理を行うことができる。その結果、認識率を向上させることができる。ここで、この再構成された前処理回路は、マイクロプロセッサ等が実行するソフトウェアによって前処理を実行する場合と比較して高速な処理を行うことができる。そのため、画像処理の実行時間の増加を抑制することができる。

【 0 0 1 6 】

したがって、ハードウェア回路を大型化することなく、画像処理の実行時間の増加を抑制しつつ認識率を向上させることのできる画像処理を実現することができる。

50

【 0 0 1 7 】

好ましくは、前記回路構成制御部が、前記前処理回路が前記認識処理部に画像データを出力した後に、前記認識処理が実行されている期間において、前記前処理回路の処理内容を変更する再構成を実行する。

【 0 0 1 8 】

前記の構成によれば、認識処理部が認識処理に失敗した場合に、前記再構成が行われた前処理回路から出力された画像データに基づいて認識処理部が認識処理を開始するまでの時間を短くすることができる。そのため、画像処理の実行時間の増加を抑制することができる。

【 0 0 1 9 】

好ましくは、前記前処理回路が、前記前処理回路の処理内容を変更する再構成が行われた後に、前記認識処理が実行されている期間において前記前処理を行う。

10

【 0 0 2 0 】

前記の構成によれば、認識処理部が認識処理に失敗した場合に、前記再構成が行われた前処理回路から出力された画像データに基づいて認識処理部が認識処理を開始するまでの時間をより一層短くすることができる。そのため、画像処理の実行時間の増加を抑制することができる。

【 0 0 2 1 】

好ましくは、前記認識処理部が前記認識処理に成功した場合に、前記回路構成制御部が、成功した認識処理時に用いられた処理内容となるように前記前処理回路の再構成を実行し、次の前記入力画像に対する最初の前処理が行われる。

20

【 0 0 2 2 】

前記の構成によれば、成功した認識処理時に用いられた処理内容によって、次の前記入力画像に対する最初の前処理が行われる。そのため、次の入力画像の認識が成功する可能性を高いものとすることができる。その結果、認識率をより一層向上させることができる。

【 0 0 2 3 】

好ましくは、前記認識処理部が前記認識処理に成功した場合に、成功した認識処理時に用いられた前記前処理回路の処理内容と対応付けて履歴を記録するとともに、前記回路構成制御部が、前記履歴に基づいて成功率が最も高い前記処理内容となるように前記前処理回路の再構成を実行し、前記入力画像に対する最初の前処理が行われる。

30

【 0 0 2 4 】

前記の構成によれば、成功した認識処理時に用いられた前記前処理回路の処理内容の履歴が蓄積されていく。そのため、前記履歴に基づいて成功率が最も高い前記処理内容となるように前記前処理回路の再構成を実行することにより、認識率を向上させることができる。

【 0 0 2 5 】

好ましくは、前記認識処理部が前記認識処理に成功した場合に、成功した認識処理時に用いられた前記前処理回路の処理内容と対応付けて履歴を記録するとともに、前記認識処理部による前記認識処理の失敗が繰り返された場合に、前記回路構成制御部が、前記履歴に基づいて成功率が高い処理内容から順に前記前処理回路の再構成を実行する。

40

【 0 0 2 6 】

前記の構成によれば、回路構成制御部が、履歴に基づいて成功率が高い処理内容から順に前記前処理回路の再構成を実行する。そのため、入力画像の認識が成功する可能性が高いと推定される処理内容にて前処理を順に行うことができる。その結果、認識率を向上させることができる。

【 0 0 2 7 】

好ましくは、前記認識処理部が前記認識処理に失敗した場合に、前記再構成が行われた前記前処理回路から出力された画像データに基づいて、前記失敗した認識処理とは異なる内容の認識処理を行う。

50

【 0 0 2 8 】

前記の構成によれば、認識処理部は、種々の内容の認識処理を実行する。そのため、認識率を向上させることができる。

【 0 0 2 9 】

好ましくは、前記前処理回路の処理内容と、前記認識処理の内容との組合せを複数種類記憶する組合せ記憶部をさらに備え、前記認識処理部は、前記組合せ記憶部を参照して、前記回路構成制御部によって設定された前記前処理回路の処理内容に対応する前記認識処理の内容を実行する。

【 0 0 3 0 】

前記の構成によれば、認識処理部は、前処理回路の処理内容と認識処理の内容との組み合わせに基づいて、前処理回路の処理内容に対応した内容にて認識処理を行う。そのため、認識率を向上させることができる。

10

【 0 0 3 1 】

また、上記の課題を解決するために、本発明の一態様における光学コード読取装置は、撮像装置と、前記撮像装置から入力画像を取得する前記画像処理装置とを備える。

【 0 0 3 2 】

前記の構成によれば、ハードウェア回路を大型化することなく、画像処理の実行時間の増加を抑制しつつ認識率を向上させることのできる光学コード読取装置を提供することができる。

【 0 0 3 3 】

20

また、上記の課題を解決するために、本発明の一態様における画像処理方法は、外部の撮像装置によって撮像された光学コードを含む入力画像に対して前処理を行う前処理回路から出力された画像データに基づいて光学コードの認識処理を行う認識処理ステップと、前記前処理回路の再構成を実行する回路構成制御ステップと、を有し、前記回路構成制御ステップにおいて、前記前処理回路が画像データを出力した後に、前記前処理回路の処理内容を変更する再構成を実行するとともに、前記認識処理ステップにおいて、前記認識処理に失敗した場合に、前記再構成が行われた前記前処理回路から出力された画像データに基づいて、再度前記認識処理を行う。

【 0 0 3 4 】

前記の構成によれば、回路構成制御ステップは、前処理回路が認識処理部に画像データを出力した後に、前記前処理回路の処理内容を変更する再構成を実行する。

30

【 0 0 3 5 】

また、認識処理ステップにおいて、認識処理に失敗した場合に、前記再構成が行われた前処理回路から出力された画像データに基づいて、再度認識処理を行う。そのため、前処理回路の処理内容を変更して、認識処理ステップにて認識処理を行うことができる。その結果、認識率を向上させることができる。

【 0 0 3 6 】

したがって、ハードウェア回路を大型化することなく、画像処理の実行時間の増加を抑制しつつ認識率を向上させることのできる画像処理方法を提供することができる。

【 発明の効果 】

40

【 0 0 3 7 】

本発明は、ハードウェア回路を大型化することなく、画像処理の実行時間の増加を抑制しつつ認識率を向上させることのできる画像処理を実現することができるという効果を奏する。

【 図面の簡単な説明 】

【 0 0 3 8 】

【 図 1 】 本発明の実施形態における画像処理装置の概略的な構成を示すブロック図である。

【 図 2 】 前記画像処理装置を含む光学コード読取装置の概要を示す図である。

【 図 3 】 (a) は、従来の画像処理装置における画像処理を模式的に示す図であり、 (b

50

）は、本発明の実施形態における画像処理装置における画像処理を模式的に示す図である。

【図４】前記画像処理装置の画像処理における各部の動作を模式的に示すシーケンス図である。

【図５】前記画像処理装置が実行する画像処理において、認識処理のための、再構成部に実行する回路再構成処理の流れを示すフローチャートである。

【図６】前記画像処理装置における前処理制御処理の流れを示すフローチャートである。

【図７】前記画像処理装置が実行する、再構成部の回路再構成処理の流れを示すフローチャートである。

【図８】前記画像処理装置における認識処理制御処理の流れを示すフローチャートである。

10

【発明を実施するための形態】

【００３９】

以下、本発明の実施形態について、図１から図８に基づいて説明する。図中同一または相当部分には同一符号を付してその説明は繰返さない。本発明の一態様における画像処理装置１００についての理解を容易にするために、先ず、画像処理装置１００を含む光学コード読取装置１の概要を、図２を用いて説明する。

【００４０】

（光学コード読取装置の概要）

図２は、本実施の形態の画像処理装置１００を含む光学コード読取装置１の概要を示す図である。図２に示すように、光学コード読取装置１は、撮像装置としてのカメラ２と、画像処理装置１００とを含んでいる。

20

【００４１】

光学コード読取装置１は、カメラ２が撮像した光学コードを含む画像を、画像処理装置１００が画像処理することによって、光学コードを読み取る、換言すれば光学コードを認識するものである。この光学コードとしては、例えば、バーコードまたは２次元コード等が挙げられるが、とくに限定されるものではない。

【００４２】

カメラ２は、画像情報をアナログ・ディジタル変換するデジタルカメラであり、光電変換用の撮像素子としてＣＭＯＳ（Complementary Metal Oxide Semiconductor）センサを備えている。撮像素子はＣＣＤ（Charge Coupled Device）センサであってもよく、その他のセンサであってもよい。

30

【００４３】

画像処理装置１００は、システムバス１０１に接続された、ＣＰＵ１１０、ＲＯＭ１２０、ＲＡＭ１３０、ＤＤＲ１４０、ユーザ設定用インターフェース（以下、ユーザ設定用Ｉ／Ｆと記す。）１５０、ネットワークＩ／Ｆ１６０、およびＦＰＧＡ２００を含む。

【００４４】

ＣＰＵ１１０は、画像処理装置１００全体の動作を制御する中央演算装置であり、主要な画像処理を行う。ＲＯＭ１２０は不揮発性メモリであり、ＣＰＵ１１０を起動させるためのブートプログラムが格納されている。また、このＲＯＭ１２０には、後述するＦＰＧＡ２００をコンフィギュレーションするための各種データが格納されている。

40

【００４５】

ＲＡＭ１３０は揮発性のメモリであり、ＣＰＵ１１０の作業領域として機能する。また、ＤＤＲ１４０も揮発性のメモリであり、ＦＰＧＡ２００の回路再構成時に作業領域として機能する。ＤＤＲ１４０は、ＲＯＭ１２０よりも高速にデータを読み出すことができるので、ＦＰＧＡ２００の回路再構成時にＲＯＭ１２０に格納されたデータの一部をＤＤＲ１４０へ転送して格納しておくことにより、回路再構成処理をより高速に行うことが可能となる。

【００４６】

ユーザ設定用Ｉ／Ｆ１５０は、ユーザが画像処理装置１００に対する動作指示の入力、

50

および、ユーザに対する情報の提示出力のインターフェースとして機能するものである。ユーザ設定用 I / F 150 は、例えばディスプレイ、タッチパネルなどの画像表示装置、および、キーボード、マウス、ボタンなどの入力装置などに対する入出力を制御する。

【0047】

ネットワーク I / F 160 は、画像処理装置 100 が画像処理した後の各種データを、LAN やインターネット等のネットワーク回線を介して、図示しない外部のサーバ装置や記憶装置へ送信するためのインターフェースである。このネットワーク回線としては、例えば EtherCAT (登録商標) が適用されてもよい。また、ネットワーク I / F 160 は、ネットワーク回線を介して、画像処理装置 100 の外部から各種データを受信するためのインターフェースでもある。

10

【0048】

FPGA 200 は、プログラマブル論理回路の一種であり、カメラ 2 が撮像した光学コードを含む画像を前処理する前処理回路として機能する。この FPGA 200 について、詳しくは後述する。本実施の形態の画像処理装置 100 は FPGA 200 を含んでいるが、FPGA 以外のその他のプログラマブル論理回路が前処理回路となってもよい。

【0049】

ここで、画像の前処理とは、カメラ 2 が撮像した光学コードを含む画像について、光学コードの認識処理を実行する前に行われる様々な処理のことを意味している。前処理は、光学コードを含む画像について、例えば、膨張若しくは収縮する補正、平滑化する補正、台形補正、収差補正、位置補正、または明度補正、等を実行する処理を含む。或いは、前処理は、光学コードを含む画像について、例えば、背景カット、色補正、圧縮、二値化、等を実行する処理を含む。また、前処理は、これらの処理、およびこれら以外の様々な処理を組み合わせで行われ得る。

20

【0050】

前記の各部はシステムバス 101 によって相互に接続されており、高速でデータのやりとりができるようになっている。

【0051】

以上に概要を説明した本実施の形態の画像処理装置 100 について、次に、図 1、図 3、および図 4 を用いて、その詳細を説明していく。

【0052】

30

(本発明の一態様における画像処理装置)

図 1 は、本実施の形態の画像処理装置 100 の概略的な構成を示すブロック図である。

【0053】

図 1 に示すように、画像処理装置 100 は、記憶部 300 と、制御部 400 と、FPGA 200 とを備えている。

【0054】

記憶部 300 は、CPU 110 を起動させるための CPU ブートデータ 310 と、FPGA 200 の初期コンフィグレーションに用いる初期コンフィグレーションデータ 320 と、FPGA 200 の回路再構成に用いる FPGA 再構成データ 330 とを格納している。また、記憶部 300 は、後述する認識処理の結果に関する認識処理結果データ 340 と、前処理と認識処理との組み合わせに関する処理組合せデータ 350 と、をさらに含んでもよい。これら認識処理結果データ 340 および処理組合せデータ 350 について、詳しくは後述する。記憶部 300 は、ROM 120 (図 2 参照) に対応する。

40

【0055】

FPGA 再構成データ 330 は、FPGA 200 の回路再構成に用いるためのデータであって、複数種類の回路再構成データ (回路再構成 1 データ 331、回路再構成 2 データ 332、回路再構成 3 データ 333、...) を含んでいる。

【0056】

制御部 400 は、ユーザ設定用 I / F 150 (図 2 参照) と、コンフィグレーション制御部 410 と、画像処理制御部 420 とを備えている。コンフィグレーション制御部 41

50

0 および画像処理制御部 420 は、例えば、CPU 110 (図 2 参照) によって動作するソフトウェアとして実現される。

【0057】

コンフィグレーション制御部 410 は、先ず、画像処理装置 100 が電源 ON された起動時に、前記初期コンフィグレーションデータ 320 を用いて、FPGA 200 に初期コンフィグレーションを実行する。これは、画像処理装置 100 の電源を切ることにより、FPGA 200 のデータが消えてしまうためである。この初期コンフィグレーションによって、FPGA 200 に前処理回路が構成される。なお、初期コンフィグレーションは、他の方法で行われてもよく、初期コンフィグレーション方法は特に限定されない。

【0058】

前記前処理回路は、画像処理装置 100 が行う画像処理における前処理を実行する。本明細書において、以下では、初期コンフィグレーションが実行された状態 (前処理回路が構成された状態) の FPGA 200 について説明する。

【0059】

また、コンフィグレーション制御部 410 は、画像処理制御部 420 からの指令に基づいて、記憶部 300 に格納されている FPGA 再構成データ 330 から選択した回路再構成データを用いて、前記前処理回路の回路再構成を実行する。

【0060】

画像処理制御部 420 は、FPGA 200 にて前処理された、光学コードを含む画像データに対して、読み取りのアルゴリズムを用いて、光学コードを読み取る。この光学コードを読み取る処理は認識処理ともいう。つまり、画像処理制御部 420 は、光学コードの認識処理を行う認識処理部である。前記読み取りのアルゴリズムは、特定のものに限定されるものではなく、画像処理制御部 420 は、種々の読み取りのアルゴリズムを用いて、前記認識処理を実行することができる。

【0061】

読み取りのアルゴリズムのバリエーション例としては、画像データをモノクロ化または二値化を行う、画像認識における部分画像の抽出処理をループさせる回数を変更する、部分画像のサイズを変更する、粗サーチおよび詳細サーチの各種パラメータを変更する、パターンマッチングの手法および順番を変更する、等が挙げられる。

【0062】

また、読み取りのアルゴリズムは、例えば、画像データの明るさ (平均値など) に応じて変更されるようになっていてもよい。

【0063】

また、画像処理制御部 420 は、FPGA 200 に対して、前処理を行うように指令を出す。また、画像処理制御部 420 は、コンフィグレーション制御部 410 に対して、前処理の内容を変更するために、FPGA 200 の回路再構成を実行するように指令を出す、または、FPGA 200 に対して、回路再構成後の前処理回路にて、同一の画像について前処理を再度行うように指示を出す等、画像処理装置 100 における画像処理の主要な制御を行う。

【0064】

ここで、制御部 400 は、図示しないメモリ転送制御部としてのダイレクトメモリアクセスコントローラ (DMAC) を備えていることが好ましい。この場合には、FPGA 200 の回路再構成処理時に、記憶部 300 から DDR 140 へ、FPGA 再構成データ 330 を DMAC が転送する。また、DMAC が、記憶部 300 から DDR 140 へ、前記認識処理結果データ 340 および処理組合せデータ 350 を転送する。CPU 110 からの指令に基づいて DMAC がデータの転送を行うことにより、CPU 110 の負担が低減する。

【0065】

この場合、コンフィグレーション制御部 410 は、FPGA 再構成データ 330、認識処理結果データ 340、および処理組合せデータ 350 を DDR 140 から読み出すこと

10

20

30

40

50

により、データ転送速度を大幅に（例えば、４倍程度）早くすることができる。

【００６６】

次に、初期コンフィグレーションが実行されて前処理回路が構成された、プログラマブル論理回路としてのＦＰＧＡ２００について、以下に詳細に説明する。

【００６７】

（プログラマブル論理回路）

前処理回路が構成された、プログラマブル論理回路としてのＦＰＧＡ２００は、画像取得部２１０と、データ制御部２２０と、前処理実行部２３０と、コンフィグレーションＩ／Ｆ２４０と、割り込み制御部２５０とを含む。

【００６８】

画像取得部２１０は、カメラ２が撮像した光学コードを含む画像を取得し、データ制御部２２０に転送する。データ制御部２２０は、画像取得部２１０から転送されたデータを、後述する前処理実行部２３０へ制御しながら転送する。また、データ制御部２２０は、画像処理制御部４２０から転送されたデータを、後述する前処理実行部２３０へ制御しながら転送してもよい。

【００６９】

前処理実行部２３０は、例えば３個の再構成部２３１・２３２・２３３を有している。前記再構成部には、例えば、演算変換回路としての画像フィルタが構成されており、画像フィルタによって、画像の前処理が行われる。前処理実行部２３０が有する再構成部の数は、特に限定されるものではない。

【００７０】

前処理実行部２３０は、データ制御部２２０から転送された画像データに対して、前処理を実行して、前処理後のデータを画像処理制御部４２０に出力する。ここで、前処理実行部２３０における前処理の内容は固定されたものではなく、コンフィグレーション制御部４１０が、前記記憶部３００に格納された複数種類の回路再構成データを用いて、ＦＰＧＡ２００の回路再構成を実行することにより、前処理実行部２３０は所望の前処理が行われるように回路再構成される。なお、この回路再構成は、部分再構成であってもよい。

【００７１】

コンフィグレーションＩ／Ｆ２４０は、コンフィグレーション制御部４１０からの指示を受けて、前処理実行部２３０を回路再構成する。割り込み制御部２５０は、コンフィグレーションＩ／Ｆ２４０から、回路再構成に成功したか否かの情報を受け取り、それに基づいて、制御部４００としてのＣＰＵ１１０に対して割り込みを発生させる。

【００７２】

このような構成の本実施の形態の画像処理装置１００における画像処理の流れについて、図３および図４に基づいて、以下に説明する。

【００７３】

（本発明の一態様における画像処理装置が実行する画像処理）

先ず、プログラマブル論理回路を備える従来の画像処理装置９００における画像処理の流れについて説明し、次に、本実施の形態の画像処理装置１００における画像処理の流れを説明する。

【００７４】

図３の（ａ）は、比較例としての画像処理装置９００における画像処理を模式的に示す図である。図３の（ｂ）は、本実施の形態の画像処理装置１００における画像処理を模式的に示す図である。図３の（ａ）および（ｂ）において、時間の流れは左から右である。

【００７５】

図３の（ａ）に示すように、比較例としての画像処理装置９００は、先ず、光学コードを含む画像を、前処理回路が構成されたＦＰＧＡに外部から取り込む。次に、該前処理回路にて、前処理Ａを行う。前処理Ａが行われたデータを用いて、画像処理装置９００のＣＰＵは、認識処理を行う。認識処理が失敗した場合には、画像処理装置９００のＣＰＵは

10

20

30

40

50

、認識処理のリトライを繰り返して、具体的にはリトライ 1 認識処理、リトライ 2 認識処理を行う。

【0076】

ここで、本明細書において、リトライとは、以下のことを意味する。すなわち、或る瞬間に、前処理回路が外部から取り込んだ光学コードを含む画像を画像 I 1 とする。この画像 I 1 に対して前処理を行ったデータについて 1 回目の認識処理を行い、認識に失敗した場合に、画像 I 1 に基づくデータについて行う 2 回目の認識処理を、リトライ 1 認識処理と表現する。また、リトライ 1 認識処理を用いて認識に失敗した場合に、画像 I 1 に基づくデータについてさらに行う 3 回目の認識処理を、リトライ 2 認識処理と表現する。そして、前処理回路が外部から「次に」取り込んだ光学コードを含む画像を画像 I 2 とすれば、画像 I 2 に対する初めての認識処理については、1 回目の認識処理と表現する。

10

【0077】

前記比較例としての画像処理装置 900 とは異なり、本実施の形態の画像処理装置 100 は、以下のように画像処理を行う。

【0078】

図 3 の (b) に示すように、本実施の形態の画像処理装置 100 は、先ず、カメラ 2 が撮像した光学コードを含む画像 I 1 を、FPGA 200 に取り込む。FPGA 200 は、この画像 I 1 について、前処理 A を実行する。

【0079】

前処理 A が実行された画像 I 1 のデータについて、画像処理制御部 420 をソフトウェアとして動作する CPU 110 は、1 回目の認識処理を行う。

20

【0080】

このとき、CPU 110 が認識処理に用いる読み取りのアルゴリズムは、前記前処理 A に対応する読み取りのアルゴリズム A であることが好ましい。この前処理の内容と、認識処理の内容（読み取りのアルゴリズムの内容）との互いの組み合わせは、処理組合せデータ 350（図 1 参照）として記憶部 300 に格納されている。この前処理の内容と認識処理の内容との組合せのパリエーションは、認識結果が良好となる組合せのパターンとして複数記憶されていることが好ましい。なお、処理組合せデータ 350 は、記憶部 300 でなく、別の記憶部に格納されていてもよい。

【0081】

CPU 110 は、この処理組合せデータ 350 に基づいて、前処理の内容に対応する読み取りのアルゴリズムを用いて、1 回目の認識処理を実行する。この場合、前処理の内容に応じて、CPU 110 が実行する読み取りのアルゴリズムが変更されるため、光学コードの認識率が向上する。

30

【0082】

FPGA 200 は、前処理 A が実行された画像 I 1 のデータを CPU 110 に転送した後、回路再構成が実行される。そして、回路再構成後の前処理回路によって、画像 I 1 について前処理 B を実行する。

【0083】

CPU 110 による認識処理が失敗した場合、CPU 110 は、前処理 B が実行された画像 I 1 のデータについて、リトライ 1 認識処理を行う。ここで、CPU 110 がリトライ 1 認識処理に用いる読み取りのアルゴリズムは、前記認識処理と同じであってもよいし、変更されていてもよい。

40

【0084】

また、前記したことと同様の理由により、CPU 110 がリトライ 1 認識処理に用いる読み取りのアルゴリズムは、前処理 B の内容に対応したものであることが好ましい。

【0085】

ここで、前記 FPGA 200 の回路再構成は、CPU 110 による認識処理と並行して行われることが好ましい。そして、前処理 B が、CPU 110 による認識処理と並行して行われることがさらに好ましい。これらのことによれば、CPU 110 による認識処理が

50

失敗した場合、CPU 110 がリトライ 1 認識処理を開始するまでの時間を短くすることができる。

【0086】

そして、FPGA 200 は、前処理 B が実行された画像 I 1 のデータを CPU 110 に転送した後、回路再構成が実行される。その後、回路再構成後の前処理回路によって、画像 I 1 について前処理 C を実行する。

【0087】

CPU 110 によるリトライ 1 認識処理が失敗した場合、CPU 110 は、前処理 C が実行された画像 I 1 のデータについて、リトライ 2 認識処理を行う。前記したことと同様の理由により、CPU 110 がリトライ 2 認識処理に用いる読み取りのアルゴリズムは、前処理 C の内容に対応したものであることが好ましい。

10

【0088】

その後、リトライ 2 認識処理によって認識処理が成功したという認識判定を得た場合には、本実施の形態の画像処理装置 100 が実行する画像処理は、さらに以下のように進行する。

【0089】

すなわち、上述の画像 I 1 に対する一連の画像処理を N 回目の画像処理とすれば、N + 1 回目の画像処理において、カメラ 2 から取り込んだ次の画像 I 2 について、FPGA 200 は、前処理 C を実行する。つまり、N 回目の画像処理において、認識処理に成功したときに実行した前処理の内容にて、FPGA 200 は前処理を実行するようになっている。つまり、ここでは、FPGA 200 は、前処理 C の内容を実行するように回路再構成され、画像 I 2 について、前処理 C を実行する。これによれば、次の画像 I 2 について、1 回目の認識処理の成功率を向上させることができる。なお、N 回目の画像処理と N + 1 回目の画像処理の間において、装置の電源が OFF されていてもよい。

20

【0090】

上記の説明において、前処理 A、前処理 B、前処理 C とは、前処理として実行される処理の内容が変更されていることを意味している。

【0091】

また、CPU 110 による認識処理が成功した場合、当該認識処理に用いた前処理の内容および読み取りのアルゴリズムについての情報を、記憶部 300 の認識処理結果データ 340 に記憶させるようになっていることが好ましい。

30

【0092】

認識処理結果データ 340 は、CPU 110 が認識処理に成功した場合に、そのときの FPGA 200 の前処理の内容を履歴として記録するものである。なお、認識処理結果データ 340 は、CPU 110 が認識処理に成功した場合の前処理の内容と、認識処理に用いた読み取りのアルゴリズムとを対応づけて履歴として記録してもよい。

【0093】

これによれば、画像処理装置 100 が画像処理を行っている状況、すなわち画像処理装置 100 の周辺環境に応じて、画像処理装置 100 が多数の画像について画像処理を行っている間、成功した認識処理時に用いられた前記前処理回路の処理内容の履歴が蓄積されていく。つまり、画像処理装置 100 が用いられている環境に適合する、前処理の内容、または、前処理の内容と認識処理に用いた読み取りのアルゴリズムとの組み合わせを、認識処理の成功率を指針として評価することができる。

40

【0094】

コンフィグレーション制御部 410 は、この認識処理結果データ 340 に基づいて最も成功率が高い前処理内容となるように、FPGA 200 を回路再構成して、FPGA 200 は、前記前処理 A を行うようになっていることが好ましい。これによれば、認識処理の成功率を向上させることができる。

【0095】

また、CPU 110 による認識処理において失敗が繰り返された場合、コンフィグレー

50

ション制御部 410 は、この認識処理結果データ 340 に基づいて、成功率が高い前処理内容から順に、FPGA 200 を回路再構成して、FPGA 200 は、前処理を行うようになっていくことが好ましい。これによれば、入力画像の認識が成功する可能性が高いと推定される処理内容にて前処理を順に行うことができる。

【0096】

以上に説明した本実施の形態の画像処理装置 100 による画像処理の流れについて、図 4 を用いてさらに説明する。

【0097】

図 4 は、本実施の形態の画像処理装置 100 における各部の動作を模式的に示すシーケンス図である。図 4 において、CPU 111 は、CPU 110 において動作する複数のスレッドのうち 1 つに対応し、CPU 112 も、CPU 110 において動作する複数のスレッドのうち 1 つに対応する。なお、CPU 110 が、このようにスレッドを分けておらず、1 つのスレッドにて処理を行うようになっていてもよい。また、図 4 において、上から下に時間が流れる。

【0098】

図 4 に示すように、まず、CPU 112 は、FPGA 200 に対して、カメラ 2 から取り込んだ光学コードを含む画像 I 1 について前処理を実行するように要求する (S10)。このとき、FPGA には、例えば、前処理 A を実行する前処理回路 A が構成されている。

【0099】

FPGA 200 は、前処理回路 A によって、前処理 A を実行する。前処理 A が完了すると、FPGA 200 は、前処理完了通知を CPU 112 に送信すると共に、前処理 A を実行したデータを CPU 111 に転送する (S20)。

【0100】

このとき、CPU 111 は、S20 にて FPGA 200 から受け取ったデータについて、認識処理を開始する。

【0101】

次に、CPU 112 は、DDR 140 から回路再構成データを読み込む (S30)。そして、この回路再構成データを読み込みながら、すでに読み込んだデータについては、FPGA 200 に転送して、FPGA 200 の回路再構成を開始する (S32)。

【0102】

DDR 140 からの回路再構成データの読み込みが終了して (S34)、読み込んだ回路再構成データを用いた FPGA 200 の回路再構成が終了すると、FPGA 200 は、回路再構成終了通知を CPU 112 に送信する (S36)。このとき、FPGA 200 には、例えば、前処理 B を実行する前処理回路 B が構成されている。

【0103】

次に、CPU 112 は、FPGA 200 に対して、画像 I 1 について前処理を実行するように要求する (S38)。

【0104】

FPGA 200 は、前処理回路 B によって、前処理 B を実行する。前処理 B が完了すると、FPGA 200 は、前処理完了通知を CPU 112 に送信すると共に、前処理 B を実行したデータを CPU 111 に転送する (S40)。

【0105】

ここで、前記 S20 ~ S40 と並行して、CPU 111 は、S20 にて FPGA 200 から受け取ったデータについて、1 回目の認識処理を実行している。この 1 回目の認識処理に失敗した場合には、CPU 111 は、S40 にて FPGA 200 から受け取ったデータについて、リトライ 1 認識処理を開始する。

【0106】

その後、S30、S32、S34、S36、S38、S40 と同様の動作が、S50、S52、S54、S56、S58、S60 においてそれぞれ行われる。

【 0 1 0 7 】

以上に構成の詳細等を説明してきた画像処理装置 1 0 0 について、次に、画像処理装置 1 0 0 が実行する処理の流れを、図 5 ~ 図 8 を用いて説明していく。なお、以下に説明することは、画像処理装置 1 0 0 が実行する処理の流れの一例である。

【 0 1 0 8 】

(本発明の一態様における画像処理装置が実行する処理)

図 5 は、本実施の形態の画像処理装置 1 0 0 が実行する画像処理において、認識処理のための、再構成部に実行する回路再構成処理の流れを示すフローチャートである。

【 0 1 0 9 】

図 5 に示すように、画像処理装置 1 0 0 は、認識処理のための、FPGA 2 0 0 の再構成部に対する回路再構成処理を開始する。ここでは、CPU 1 1 2 (図 4 参照) が行う処理について、説明する。

【 0 1 1 0 】

まず、画像処理制御部 4 2 0 が、FPGA 2 0 0 に前処理の実行を要求して、前処理制御処理が行われる (S 1 1 0)。この前処理制御処理について、詳しくは図 6 を用いて後述する。

【 0 1 1 1 】

画像処理制御部 4 2 0 は、前処理が行われた画像データを受け取り、該画像データに対する認識処理の実行を開始する (S 1 2 0)。

【 0 1 1 2 】

画像処理制御部 4 2 0 における認識処理の実行と並行して、または、認識処理の終了後、FPGA 2 0 0 の再構成部の回路再構成処理が行われる (S 1 3 0)。この再構成部の回路再構成処理について、詳しくは図 7 を用いて後述する。

【 0 1 1 3 】

再構成部の回路再構成処理が終了した後、画像処理制御部 4 2 0 は、FPGA 2 0 0 に前処理の実行を要求して、再び前処理制御処理が行われる (S 1 4 0)。この S 1 3 0 および S 1 4 0 と並行して、画像処理制御部 4 2 0 は認識処理を実行していることが好ましい。

【 0 1 1 4 】

画像処理制御部 4 2 0 における認識処理が終了して、光学コードの認識に失敗した場合 (S 1 5 0 で N O) であって、光学コードの認識に失敗して認識処理をリトライした回数が規定回数未満である場合 (S 1 6 0 で N O)、画像処理制御部 4 2 0 は、S 1 4 0 にて前処理を行った画像データに対して、認識処理を実行して、S 1 2 0 から S 1 6 0 までの処理を繰り返す。なお、前記規定回数は、予め設定された回数であればよく、特に制限されない。

【 0 1 1 5 】

画像処理制御部 4 2 0 における認識処理が終了し、光学コードの認識に成功した場合 (S 1 5 0 で Y E S)、または光学コードの認識に失敗して認識処理をリトライした回数が規定回数となった場合 (S 1 6 0 で Y E S)、制御部 4 0 0 は、前処理成功率算出処理を行う (S 1 7 0)。

【 0 1 1 6 】

その後、認識処理のリトライの選択モードが、認識処理の成功率が高い前処理の設定を選択するモードになっている場合 (S 1 8 0 で Y E S)、コンフィグレーション制御部 4 1 0 は、記憶部 3 0 0 の認識処理結果データから、認識処理の成功率が最も高い前処理の設定を読み出して、FPGA 2 0 0 の再構成部の回路再構成処理を実行する (S 1 9 0)。

【 0 1 1 7 】

認識処理のリトライの選択モードが、認識処理の成功率が高い前処理の設定を選択するモードになっていない場合 (S 1 8 0 で N O)、または、S 1 9 0 の処理が終了した場合、画像処理装置 1 0 0 は、認識処理のための、FPGA 2 0 0 の再構成部に対する回路再

10

20

30

40

50

構成処理を終了する。

【 0 1 1 8 】

以下に、図 6 を用いて、上述した前処理制御処理の流れを説明する。

【 0 1 1 9 】

図 6 は、本実施の形態の画像処理装置 1 0 0 における前処理制御処理の流れを示すフローチャートである。

【 0 1 2 0 】

図 6 に示すように、画像処理装置 1 0 0 は、前処理制御処理を開始する。

【 0 1 2 1 】

10
先ず、画像処理制御部 4 2 0 が、F P G A 2 0 0 に前処理の実行を要求して、データ制御部 2 2 0 は再構成部 2 3 1 に画像データを転送し、前処理が実行される (S 2 1 0) 。

【 0 1 2 2 】

前処理が全て終了していない場合 (S 2 2 0 で N O) は、前処理が継続して実行され、前処理が全て終了した場合 (S 2 2 0 で Y E S) 、画像処理装置 1 0 0 は、前処理制御処理を終了する。

【 0 1 2 3 】

以下に、図 7 を用いて、上述した再構成部の回路再構成処理の流れを説明する。

【 0 1 2 4 】

20
図 7 は、本実施の形態の画像処理装置 1 0 0 が実行する、再構成部の回路再構成処理の流れを示すフローチャートである。

【 0 1 2 5 】

図 7 に示すように、先ず、コンフィグレーション制御部 4 1 0 は、F P G A 再構成データ 3 3 0 に含まれる複数種類の回路再構成データから選択した、所望の回路再構成データを F P G A 2 0 0 に送信する (S 3 1 0) 。

【 0 1 2 6 】

30
コンフィグレーション I / F 2 4 0 は、コンフィグレーション制御部 4 1 0 から送信された回路再構成データに基づいて、所望の再構成部の回路再構成を行う。そして、割り込み制御部 2 5 0 は、コンフィグレーション I / F 2 4 0 から回路再構成に成功した旨の情報を受け取った場合に、制御部 4 0 0 としての C P U 1 1 0 に対して回路再構成の成功割り込みを発生させる (S 3 2 0 で Y E S) 。この場合、再構成部の回路再構成は終了する。

【 0 1 2 7 】

一方で、回路再構成の成功割り込みが発生しない場合 (S 3 2 0 で N O) において、割り込み制御部 2 5 0 が、コンフィグレーション I / F 2 4 0 から回路再構成に失敗した旨の情報を受け取っていない場合 (S 3 3 0 で N O) は、コンフィグレーション I / F 2 4 0 は、所望の再構成部の回路再構成を再度実行する。

【 0 1 2 8 】

40
割り込み制御部 2 5 0 が、コンフィグレーション I / F 2 4 0 から回路再構成に失敗した旨の情報を受け取った場合、割り込み制御部 2 5 0 は、制御部 4 0 0 としての C P U 1 1 0 に対して、回路再構成の失敗割り込みを発生させる (S 3 3 0 で Y E S) 。

【 0 1 2 9 】

制御部 4 0 0 としての C P U 1 1 0 は、回路再構成の失敗割り込みが発生した場合に、回路再構成の失敗が 3 回連続している場合 (S 3 4 0 で Y E S) 、再構成部の回路再構成に異常が生じた旨の回路再構成異常処理を実行する (S 3 5 0) 。

【 0 1 3 0 】

回路再構成の失敗が 3 回連続未満の場合 (S 3 4 0 で N O) は、再度、コンフィグレーション制御部 4 1 0 が所望の回路再構成データを F P G A 2 0 0 に送信して、S 3 1 0 から S 3 4 0 までの処理を繰り返す。

【 0 1 3 1 】

以下に、図 8 を用いて、認識処理制御処理の流れについて説明する。

【 0 1 3 2 】

図 8 は、本実施の形態の画像処理装置 1 0 0 における認識処理制御処理の流れを示すフローチャートである。

【 0 1 3 3 】

図 8 に示すように、画像処理装置 1 0 0 は認識処理の制御を開始する。ここでは、C P U 1 1 1 (図 4 参照) が行う処理について、説明する。

【 0 1 3 4 】

まず、C P U 1 1 1 は、前処理が終了していない場合 (S 4 1 0 で N O) 、前処理が終了するまで待機する。

【 0 1 3 5 】

C P U 1 1 1 は、前処理が終了した場合 (S 4 1 0 で Y E S) に、認識処理を開始する (S 4 2 0) 。

【 0 1 3 6 】

認識処理が失敗した場合 (S 4 3 0 で N O) であって、リトライの規定回数が終了していない場合 (S 4 4 0 で N O) は、回路再構成された F P G A 2 0 0 による前処理が終了するまで待機して、回路再構成された F P G A 2 0 0 にて前処理を行った画像データに対して、認識処理を実行して、S 4 2 0 からの処理を行う。

【 0 1 3 7 】

認識処理が成功した場合 (S 4 3 0 で Y E S) 、C P U 1 1 1 の認識処理の制御は終了する。

【 0 1 3 8 】

このように、本実施の形態の画像処理装置 1 0 0 は、外部のカメラ 2 によって撮像された光学コードを含む入力画像に対して前処理を行い、画像データを出力する前処理回路としての F P G A 2 0 0 と、F P G A 2 0 0 から出力された画像データに基づいて光学コードの認識処理を行う画像処理制御部 4 2 0 と、F P G A 2 0 0 の再構成を実行するコンフィグレーション制御部 4 1 0 と、を備えている。コンフィグレーション制御部 4 1 0 は、F P G A 2 0 0 が画像処理制御部 4 2 0 に前処理後の画像データを出力した後に、F P G A 2 0 0 の処理内容を変更する再構成を実行するとともに、画像処理制御部 4 2 0 が前記認識処理に失敗した場合に、前記再構成が行われた F P G A 2 0 0 から出力された画像データに基づいて、再度前記認識処理を行う。

【 0 1 3 9 】

つまり、コンフィグレーション制御部 4 1 0 は、F P G A 2 0 0 が画像処理制御部 4 2 0 に前処理後の画像データを出力した後に、前処理回路を回路再構成して、前処理の内容を変更することができる。そのため、複数種類の物理的な前処理回路をハードウェアに組み込んでおく必要なく、前処理の内容を変更することができる。その結果、ハードウェア回路が大型化することがない。

【 0 1 4 0 】

また、画像処理制御部 4 2 0 が認識処理に失敗した場合に、前記再構成が行われた F P G A 2 0 0 から出力された画像データに基づいて、画像処理制御部 4 2 0 は認識処理を行う。そのため、前処理回路の処理内容を変更して、認識処理部は認識処理を行うことができる。その結果、認識率を向上させることができる。ここで、この再構成された前処理回路は、マイクロプロセッサ等が実行するソフトウェアによって前処理を実行する場合と比較して高速な処理を行うことができる。そのため、画像処理の実行時間の増加を抑制することができる。

【 0 1 4 1 】

したがって、ハードウェア回路を大型化することなく、画像処理の実行時間の増加を抑制しつつ認識率を向上させることのできる画像処理を実現することができる。

【 0 1 4 2 】

以上に詳細を説明した、画像処理装置 1 0 0 の実行する画像処理方法は、以下のように整理することができる。すなわち、画像処理装置 1 0 0 の実行する画像処理方法は、外部

10

20

30

40

50

の撮像装置によって撮像された光学コードを含む入力画像に対して前処理を行う前処理回路から出力された画像データに基づいて光学コードの認識処理を行う認識処理ステップと、前記前処理回路の再構成を実行する回路構成制御ステップと、を有し、前記回路構成制御ステップにおいて、前記前処理回路が画像データを出力した後に、前記前処理回路の処理内容を変更する再構成を実行するとともに、前記認識処理ステップにおいて、前記認識処理に失敗した場合に、前記再構成が行われた前記前処理回路から出力された画像データに基づいて、再度前記認識処理を行う。

【0143】

前記の構成によれば、回路構成制御ステップは、前処理回路が認識処理部に画像データを出力した後に、前記前処理回路の処理内容を変更する再構成を実行する。

10

【0144】

また、認識処理ステップにおいて、認識処理に失敗した場合に、前記再構成が行われた前処理回路から出力された画像データに基づいて、再度認識処理を行う。そのため、前処理回路の処理内容を変更して、認識処理ステップにて認識処理を行うことができる。その結果、認識率を向上させることができる。

【0145】

したがって、ハードウェア回路を大型化することなく、画像処理の実行時間の増加を抑制しつつ認識率を向上させることのできる画像処理方法を提供することができる。

【0146】

なお、本明細書におけるコンフィグレーションという用語は、プログラマブル論理回路の中でFPGAに対して専ら用いられるものである、そのため、画像処理装置がFPGA以外のプログラマブル論理回路を備える場合には、コンフィグレーションに対応する用語に置き換えて、本明細書の内容を理解することができる。

20

【0147】

〔ソフトウェアによる実現例〕

画像処理装置100の制御ブロックは、集積回路（ICチップ）等に形成された論理回路（ハードウェア）によって実現してもよいし、CPU（Central Processing Unit）を用いてソフトウェアによって実現してもよい。

【0148】

後者の場合、画像処理装置100は、各機能を実現するソフトウェアであるプログラムの命令を実行するCPU、上記プログラムおよび各種データがコンピュータ（またはCPU）で読み取り可能に記録されたROM（Read Only Memory）または記憶装置（これらを「記録媒体」と称する）、上記プログラムを展開するRAM（Random Access Memory）などを備えている。そして、コンピュータ（またはCPU）が上記プログラムを上記記録媒体から読み取って実行することにより、本発明の目的が達成される。上記記録媒体としては、「一時的でない有形の媒体」、例えば、テープ、ディスク、カード、半導体メモリ、プログラマブルな論理回路などを用いることができる。また、上記プログラムは、該プログラムを伝送可能な任意の伝送媒体（通信ネットワークや放送波等）を介して上記コンピュータに供給されてもよい。なお、本発明は、上記プログラムが電子的な伝送によって具現化された、搬送波に埋め込まれたデータ信号の形態でも実現され得る。

30

40

【0149】

本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

【符号の説明】

【0150】

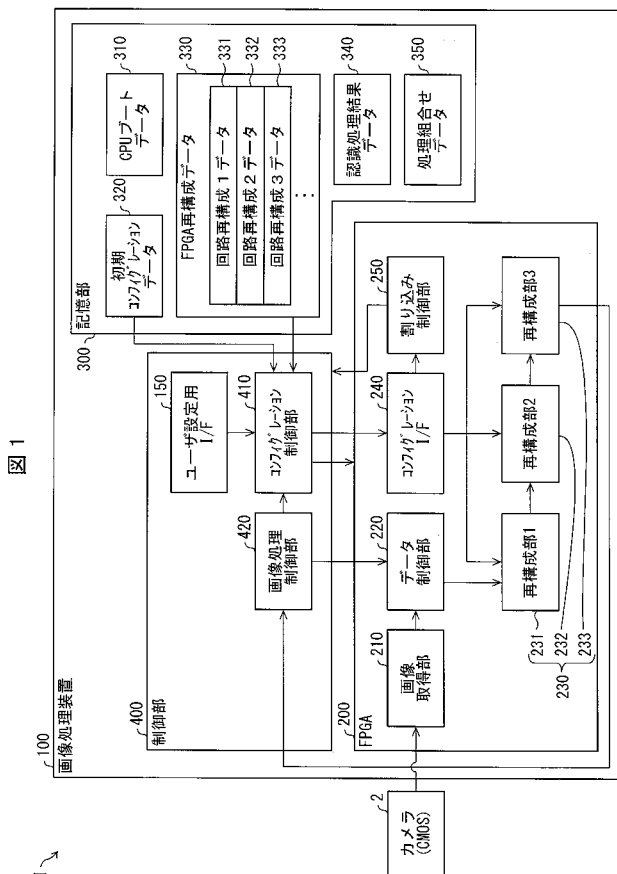
1	光学コード読取装置
2	カメラ（撮像装置）
350	処理組合せデータ（組合せ記憶部）
410	コンフィグレーション制御部（回路構成制御部）

50

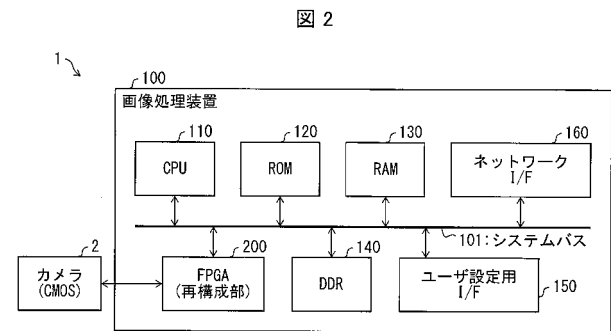
4 2 0

画像処理制御部（認識処理部）

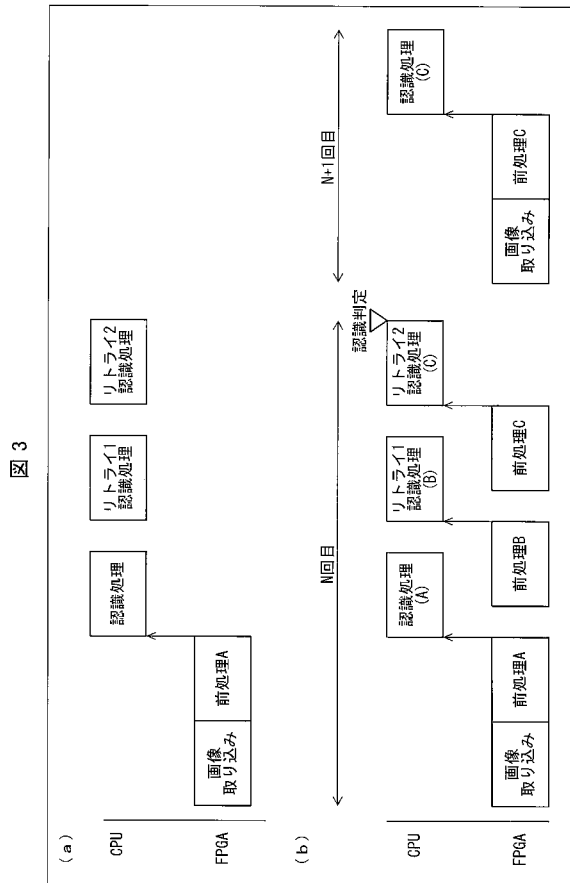
【図 1】



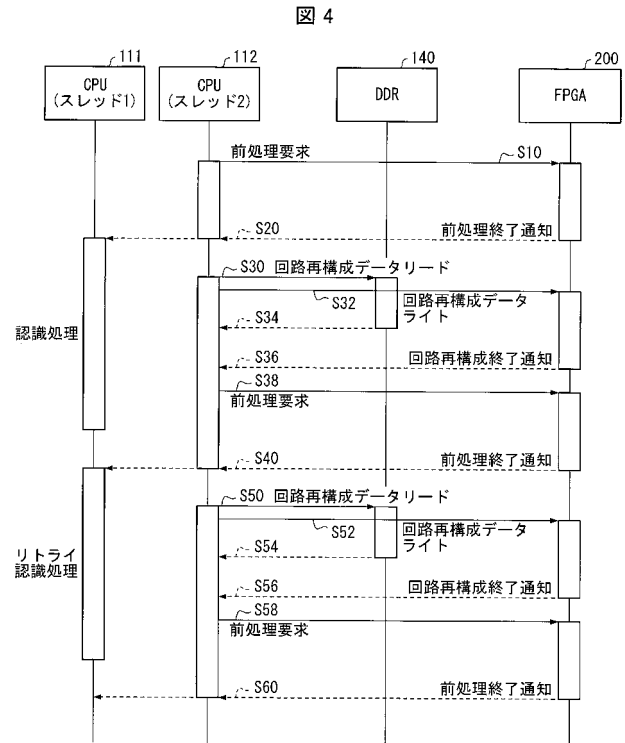
【図 2】



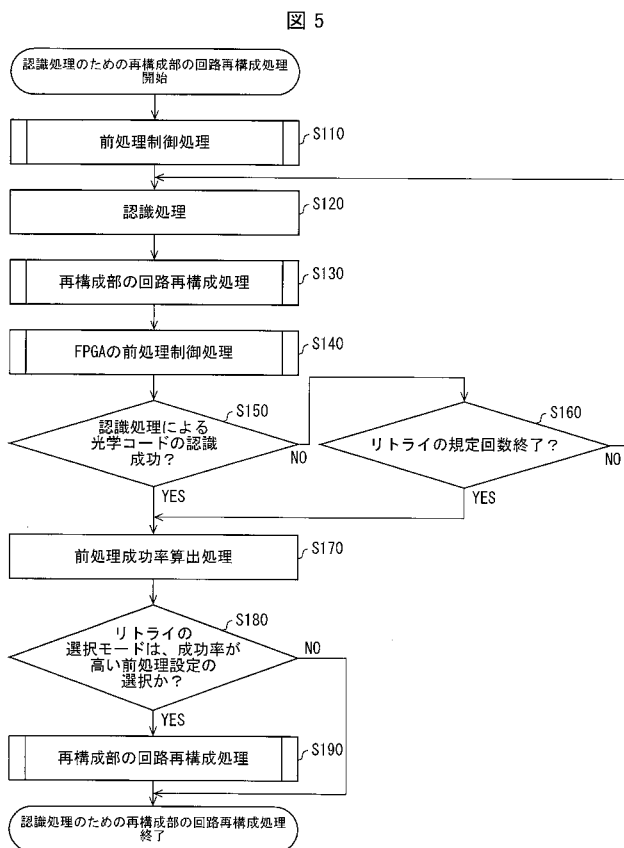
【図 3】



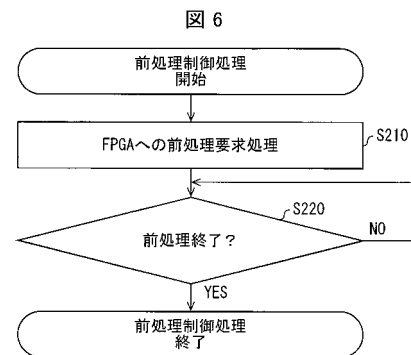
【図 4】



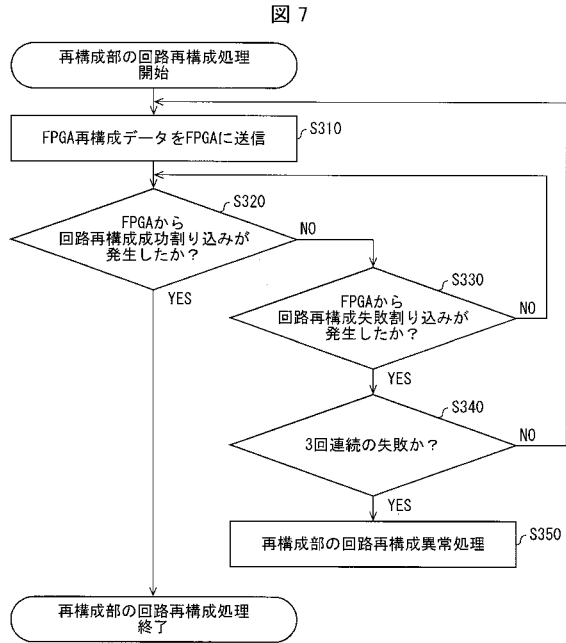
【図 5】



【図 6】



【図 7】



【図 8】

