



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0123915
(43) 공개일자 2018년11월20일

(51) 국제특허분류(Int. Cl.)

H01L 45/00 (2006.01)

(52) CPC특허분류

H01L 45/1253 (2013.01)

H01L 45/145 (2013.01)

(21) 출원번호 10-2017-0058293

(22) 출원일자 2017년05월10일

심사청구일자 2017년05월10일

(71) 출원인

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

김태근

경기도 성남시 분당구 양현로 88 이매촌동부코오
풍아파트 503동 1403호

이병룡

서울특별시 동대문구 무학로49길 38 206호

(74) 대리인

특허법인주원

전체 청구항 수 : 총 15 항

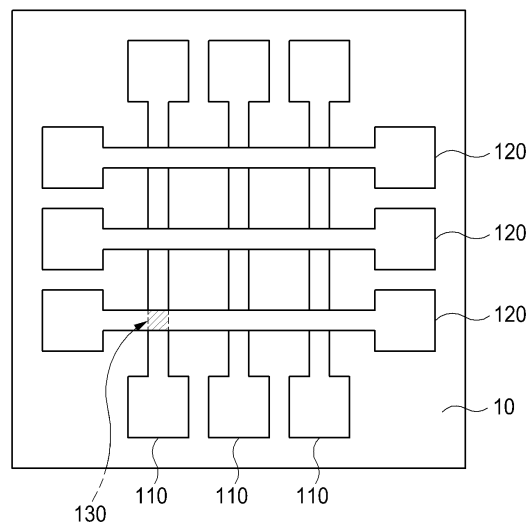
(54) 발명의 명칭 투명하고 유연한 저항 변화 메모리 및 그 제조방법

(57) 요약

본 발명은 OMO 구조의 투명 전극이 적용된 투명하고 유연한 저항 변화 메모리 및 그 제조방법에 관한 것이다.

또한, 본 발명은 기판 상부에 적층되고 산화물층, 금속층 및 산화물층이 순차적으로 적층되는 구조로 형성된 하부 전극 및 상기 하부 전극과 교차하는 형태로 그 상부에 적층되고 산화물층, 금속층 및 산화물층이 순차적으로 적층되는 구조로 형성된 상부 전극을 포함하고, 상기 하부 전극과 상기 상부 전극 간의 교차점에서 상기 하부 전극의 금속층과 상기 상부 전극의 금속층 사이에 위치한 산화물층이 저항 변화층으로 기능하게 함으로써, 우수한 전기전도도를 확보하면서 유연하고 투명한 저항 변화 메모리를 제공할 수 있다.

대표도 - 도1



(52) CPC특허분류

H01L 45/1666 (2013.01)

명세서

청구범위

청구항 1

기관 상부에 적층되고, 산화물층, 금속층 및 산화물층이 순차적으로 적층되는 구조로 형성된 하부 전극; 및
상기 하부 전극과 교차하는 형태로 그 상부에 적층되고, 산화물층, 금속층 및 산화물층이 순차적으로 적층되는 구조로 형성된 상부 전극;을 포함하고,
상기 하부 전극과 상기 상부 전극 간의 교차점에서,
상기 하부 전극의 금속층과 상기 상부 전극의 금속층 사이에 위치한 산화물층이 저항 변화층으로 기능하는 것을 특징으로 하는 저항 변화 메모리.

청구항 2

기관 상부에 적층되고, 산화물층 및 금속층이 순차적으로 적층되는 구조로 형성된 하부 전극; 및
상기 하부 전극과 교차하는 형태로 그 상부에 적층되고, 산화물층, 금속층 및 산화물층이 순차적으로 적층되는 구조로 형성된 상부 전극;을 포함하고,
상기 하부 전극과 상기 상부 전극 간의 교차점에서,
상기 하부 전극의 금속층과 상기 상부 전극의 금속층 사이에 위치한 산화물층이 저항 변화층으로 기능하는 것을 특징으로 하는 저항 변화 메모리.

청구항 3

기관 상부에 적층되고, 산화물층, 금속층 및 산화물층이 순차적으로 적층되는 구조로 형성된 하부 전극; 및
상기 하부 전극과 교차하는 형태로 그 상부에 적층되고, 금속층 및 산화물층이 순차적으로 적층되는 구조로 형성된 상부 전극;을 포함하고,
상기 하부 전극과 상기 상부 전극 간의 교차점에서,
상기 하부 전극의 금속층과 상기 상부 전극의 금속층 사이에 위치한 산화물층이 저항 변화층으로 기능하는 것을 특징으로 하는 저항 변화 메모리.

청구항 4

제 1항 내지 제 3항 중 어느 한 항에 있어서,
상기 저항 변화층은,
상기 상부 전극의 금속층과 상기 하부 전극의 금속층 사이에 인가된 전압에 의해, 상기 저항 변화층 내부에 전도성 필라멘트가 생성되거나 소실되는 것을 특징으로 하는 저항 변화 메모리.

청구항 5

제 4항에 있어서,
상기 하부 전극은,

소정 간격으로 평행하게 배열된 복수의 열로 패터닝되고,

상기 상부 전극은,

상기 하부 전극과 직교하는 형태의 크로스바 어레이(cross bar array) 구조를 이루며, 소정 간격으로 평행하게 배열되는 복수의 열로 패터닝되는 것을 특징으로 하는 저항 변화 메모리.

청구항 6

제 5항에 있어서,

상기 하부 전극의 금속층과 상기 상부 전극의 금속층은,

금(Au), 은(Ag), 구리(Cu), 몰리브덴(Mo) 및 알루미늄(Al) 중 적어도 하나를 포함하는 것을 특징으로 하는 저항 변화 메모리.

청구항 7

제 5항에 있어서,

상기 하부 전극의 산화물층과 상기 상부 전극의 산화물층은,

산화아연(ZnO), 산화타이타늄(TiO₂), 삼산화텅스텐(WO₃), 산화하프늄(HfO₂), 산화알루미늄(Al₂O₃), 질화알루미늄(AlN), 산화몰리브덴(MoO₃), 산화니켈(NiO), Mn-doped tin oxide(MTO), Zn doped tin oxide(ZTO), Ga doped ZnO(GZO), Sn_xO_y, Zr_xO_y, Co_xO_y, Cr_xO_y, V_xO_y, Nb_xO_y, ZnMgBeO, Mg_xO_y, Mg_xN_y, Ti_xN_y, In_xN_y, Ga_xN_y, Ga_xO_y, boron nitride(BN), Ni_xN_y, Si_xN_y, Al doped ZnO(AZO), Mg_xZn_yO_x 및 Cu_xO_y 중 적어도 하나를 포함하는 것을 특징으로 하는 저항 변화 메모리.

청구항 8

(1) 기판 상부에 하부 전극의 형성을 위한 산화물층을 소정의 패턴으로 패터닝하는 단계;

(2) 상기 패터닝된 산화물층의 상부에 동일한 패턴으로 금속층을 패터닝하는 단계;

(3) 상기 패터닝된 금속층의 상부에 동일한 패턴으로 산화물층을 다시 패터닝하여 상기 하부 전극을 형성하는 단계;

(4) 상기 하부 전극과 교차하는 소정의 패턴으로, 상기 하부 전극의 위에 상부 전극의 형성을 위한 산화물층을 패터닝하는 단계;

(5) 상기 상부 전극의 형성을 위한 산화물층의 상부에 동일한 패턴으로 금속층을 패터닝하는 단계; 및

(6) 상기 패터닝된 금속층의 상부에 동일한 패턴으로 산화물층을 다시 패터닝하여 상기 상부 전극을 형성하는 단계;를 포함하고,

상기 제 (3)단계 및 상기 제 (4)단계의 산화물층은 저항변화 물질로 형성된 것을 특징으로 하는 저항 변화 메모리의 제조방법.

청구항 9

(1) 기판 상부에 하부 전극의 형성을 위한 산화물층을 소정의 패턴으로 패터닝하는 단계;

(2) 상기 패터닝된 산화물층의 상부에 동일한 패턴으로 금속층을 패터닝하여 상기 하부 전극을 형성하는 단계;

(3) 상기 하부 전극과 교차하는 소정의 패턴으로, 상기 하부 전극의 위에 상부 전극의 형성을 위한 산화물층을

패터닝하는 단계;

(4) 상기 상부 전극의 형성을 위한 산화물층의 상부에 동일한 패턴으로 금속층을 패터닝하는 단계; 및

(5) 상기 패터닝된 금속층의 상부에 동일한 패턴으로 산화물층을 패터닝하여 상기 상부 전극을 형성하는 단계;
를 포함하고,

상기 제 (3)단계의 산화물층은 저항변화 물질로 형성된 것을 특징으로 하는 저항 변화 메모리의 제조방법.

청구항 10

(1) 기판 상부에 하부 전극의 형성을 위한 산화물층을 소정의 패턴으로 패터닝하는 단계;

(2) 상기 패터닝된 산화물층의 상부에 동일한 패턴으로 금속층을 패터닝하는 단계;

(3) 상기 패터닝된 금속층의 상부에 동일한 패턴으로 산화물층을 패터닝하여 상기 하부 전극을 형성하는 단계;

(4) 상기 하부 전극과 교차하는 소정의 패턴으로, 상기 하부 전극의 위에 상부 전극의 형성을 위한 금속층을 패터닝하는 단계; 및

(5) 상기 패터닝된 금속층의 상부에 동일한 패턴으로 산화물층을 패터닝하여 상기 상부 전극을 형성하는 단계;
를 포함하고,

상기 제 (3)단계의 산화물층은 저항변화 물질로 형성된 것을 특징으로 하는 저항 변화 메모리의 제조방법.

청구항 11

제 8항 내지 제 10항 중 어느 한 항에 있어서,

상기 하부 전극과 상기 상부 전극 간의 교차점에서,

상기 하부 전극의 금속층과 상기 상부 전극의 금속층 사이에 위치한 산화물층이 저항 변화층으로 기능하는 것을
특징으로 하는 저항 변화 메모리의 제조방법.

청구항 12

제 11항에 있어서,

상기 저항 변화층은,

상기 상부 전극의 금속층과 상기 하부 전극의 금속층 사이에 인가된 전압에 의해, 상기 저항 변화층 내부에 전
도성 필라멘트가 생성되거나 소실되는 것을 특징으로 하는 저항 변화 메모리의 제조방법.

청구항 13

제 11항에 있어서,

상기 하부 전극은,

소정 간격으로 평행하게 배열된 복수의 열로 패터닝되고,

상기 상부 전극은,

상기 하부 전극과 직교하는 형태의 크로스바 어레이(cross bar array) 구조를 이루며, 소정 간격으로 평행하게
배열되는 복수의 열로 패터닝되는 것을 특징으로 하는 저항 변화 메모리의 제조방법.

청구항 14

제 11항에 있어서,

상기 하부 전극의 금속층과 상기 상부 전극의 금속층은,

금(Au), 은(Ag), 구리(Cu), 몰리브덴(Mo) 및 알루미늄(Al) 중 적어도 하나를 포함하는 것을 특징으로 하는 저항 변화 메모리의 제조방법.

청구항 15

제 11항에 있어서,

상기 하부 전극의 산화물층과 상기 상부 전극의 산화물층은,

산화아연(ZnO), 산화타이타늄(TiO₂), 삼산화텅스텐(WO₃), 산화하프늄(HfO₂), 산화알루미늄(Al₂O₃), 질화알루미늄(AlN), 산화몰리브덴(MoO₃), 산화니켈(NiO), Mn-doped tin oxide(MTO), Zn doped tin oxide(ZTO), Ga doped ZnO(GZO), Sn_xO_y, Zr_xO_y, Co_xO_y, Cr_xO_y, V_xO_y, Nb_xO_y, ZnMgBeO, Mg_xO_y, Mg_xN_y, Ti_xN_y, In_xN_y, Ga_xN_y, Ga_xO_y, boron nitride(BN), Ni_xN_y, Si_xN_y, Al doped ZnO(AZO), Mg_xZn_yO_x 및 Cu_xO_y 중 적어도 하나를 포함하는 것을 특징으로 하는 저항 변화 메모리의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 OMO 구조의 투명 전극이 적용된 투명하고 유연한 저항 변화 메모리 및 그 제조방법에 관한 것이다.

배경 기술

[0003] 일반적으로, 실리콘(silicon) 기반의 플래시 메모리(flash memory)는 금속-산화물-반도체(metal-oxide-semiconductor) 구조의 전계 효과 트랜지스터(field-effect-transistor)로 구성되어 있는데, 메모리 소자의 미세화(scaling) 한계가 예상됨에 따라, 이를 대체할 수 있는 차세대 메모리를 개발하기 위한 시도가 다양하게 이루어지고 있는 실정이다.

[0004] 최근, 차세대 메모리로 유력하게 대두되고 있는 소자는, 강유전체 메모리(ferroelectric random-access memory, FeRAM), 자기 저항 메모리(magnetic random-access memory, MRAM), 상변화 메모리(phase-change randomaccess memory, PCRAM) 및 저항 변화 메모리(resistive switching memory, ReRAM)가 있다.

[0005] 특히, 전술한 저항 변화 메모리는 비교적 간단한 구조를 갖고, 비휘발성이며, 스위칭이 빠르고, 수명(endurance) 및 메모리 리텐션(retention) 특성이 우수한 장점이 있기 때문에 차세대 메모리 중에서 가장 주목받고 있다.

[0006] 한편, 미래의 전자 시스템에 중요한 이슈로 떠오르고 있는 투명하고 유연한 메모리 소자를 구현하고자, 차세대 메모리인 저항 변화 메모리에 투명 전극인 ITO, IZO 및 GZO를 적용하려는 시도가 이루어지고 있으나, 종래의 투명 전극인 ITO, IZO 및 GZO가 휨에 의해 쉽게 깨지는 특성이 있기 때문에, 투명하고 유연한 저항 변화 메모리의 개발을 곤란하게 하는 문제점이 있다.

[0007] 아울러, 종래의 투명 전극인 ITO, IZO 및 GZO의 전기전도도가 낮다는 점도 투명하고 유연한 저항 변화 메모리의 개발을 어렵게 하는 요인으로 지목되고 있다.

발명의 내용

해결하려는 과제

- [0009] 본 발명은 상기와 같은 문제점을 감안하여 안출된 것으로, 빛에 대한 투과도가 높고 전도성이 우수하면서 유연한 특성을 갖는 저항 변화 메모리 및 그 제조방법을 제공하는데 그 목적이 있다.
- [0010] 본 발명의 목적들은 이상에서 언급한 목적으로 제한되지 않으며, 언급되지 않은 또 다른 목적들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0012] 상기와 같은 목적을 달성하기 위한 본 발명은 기판 상부에 적층되고, 산화물층, 금속층 및 산화물층이 순차적으로 적층되는 구조로 형성된 하부 전극; 및 상기 하부 전극과 교차하는 형태로 그 상부에 적층되고, 산화물층, 금속층 및 산화물층이 순차적으로 적층되는 구조로 형성된 상부 전극;을 포함하고, 상기 하부 전극과 상기 상부 전극 간의 교차점에서, 상기 하부 전극의 금속층과 상기 상부 전극의 금속층 사이에 위치한 산화물층이 저항 변화층으로 기능하는 것을 특징으로 하는 저항 변화 메모리를 제공한다.
- [0013] 또한, 본 발명은 기판 상부에 적층되고, 산화물층 및 금속층이 순차적으로 적층되는 구조로 형성된 하부 전극; 및 상기 하부 전극과 교차하는 형태로 그 상부에 적층되고, 산화물층, 금속층 및 산화물층이 순차적으로 적층되는 구조로 형성된 상부 전극;을 포함하고, 상기 하부 전극과 상기 상부 전극 간의 교차점에서, 상기 하부 전극의 금속층과 상기 상부 전극의 금속층 사이에 위치한 산화물층이 저항 변화층으로 기능하는 것을 특징으로 하는 저항 변화 메모리를 제공한다.
- [0014] 또한, 본 발명은 기판 상부에 적층되고, 산화물층, 금속층 및 산화물층이 순차적으로 적층되는 구조로 형성된 하부 전극; 및 상기 하부 전극과 교차하는 형태로 그 상부에 적층되고, 산화물층, 금속층 및 산화물층이 순차적으로 적층되는 구조로 형성된 상부 전극;을 포함하고, 상기 하부 전극과 상기 상부 전극 간의 교차점에서, 상기 하부 전극의 금속층과 상기 상부 전극의 금속층 사이에 위치한 산화물층이 저항 변화층으로 기능하는 것을 특징으로 하는 저항 변화 메모리를 제공한다.
- [0015] 바람직한 실시예에 있어서, 상기 저항 변화층은, 상기 상부 전극의 금속층과 상기 하부 전극의 금속층 사이에 인가된 전압에 의해, 상기 저항 변화층 내부에 전도성 필라멘트가 생성되거나 소실된다.
- [0016] 바람직한 실시예에 있어서, 상기 하부 전극은, 소정 간격으로 평행하게 배열된 복수의 열로 패터닝되고, 상기 상부 전극은, 상기 하부 전극과 직교하는 형태의 크로스바 어레이(cross bar array) 구조를 이루며, 소정 간격으로 평행하게 배열되는 복수의 열로 패터닝된다.
- [0017] 바람직한 실시예에 있어서, 상기 하부 전극의 금속층과 상기 상부 전극의 금속층은, 금(Au), 은(Ag), 구리(Cu), 몰리브덴(Mo) 및 알루미늄(Al) 중 적어도 하나를 포함한다.
- [0018] 바람직한 실시예에 있어서, 상기 하부 전극의 산화물층과 상기 상부 전극의 산화물층은, 산화아연(ZnO), 산화타이타늄(TiO₂), 삼산화텅스텐(WO₃), 산화하프늄(HfO₂), 산화알루미늄(Al₂O₃), 질화알루미늄(AlN), 산화몰리브덴(MoO₃), 산화니켈(NiO), Mn-doped tin oxide(MTO), Zn doped tin oxide(ZTO), Ga doped ZnO(GZO), Sn_xO_y, Zr_xO_y, Co_xO_y, Cr_xO_y, V_xO_y, Nb_xO_y, ZnMgBeO, Mg_xO_y, Mg_xN_y, Ti_xN_y, In_xN_y, Ga_xN_y, Ga_xO_y, boron nitride(BN), Ni_xN_y, Si_xN_y, Al doped ZnO(AZO), Mg_xZn_yO_z 및 Cu_xO_y 중 적어도 하나를 포함한다.
- [0020] 또한, 본 발명은 (1) 기판 상부에 하부 전극의 형성을 위한 산화물층을 소정의 패턴으로 패터닝하는 단계; (2) 상기 패터닝된 산화물층의 상부에 동일한 패턴으로 금속층을 패터닝하는 단계; (3) 상기 패터닝된 금속층의 상부에 동일한 패턴으로 산화물층을 다시 패터닝하여 상기 하부 전극을 형성하는 단계; (4) 상기 하부 전극과 교차하는 소정의 패턴으로, 상기 하부 전극의 위에 상부 전극의 형성을 위한 산화물층을 패터닝하는 단계; (5) 상기 상부 전극의 형성을 위한 산화물층의 상부에 동일한 패턴으로 금속층을 패터닝하는 단계; 및 (6) 상기 패터닝된 금속층의 상부에 동일한 패턴으로 산화물층을 다시 패터닝하여 상기 상부 전극을 형성하는 단계;를 포함하고, 상기 제 (3)단계 및 상기 제 (4)단계의 산화물층은 저항변화 물질로 형성된 것을 특징으로 하는 저항 변화 메모리의 제조방법을 제공한다.
- [0021] 또한, 본 발명은 (1) 기판 상부에 하부 전극의 형성을 위한 산화물층을 소정의 패턴으로 패터닝하는 단계; (2) 상기 패터닝된 산화물층의 상부에 동일한 패턴으로 금속층을 패터닝하여 상기 하부 전극을 형성하는 단계; (3)

상기 하부 전극과 교차하는 소정의 패턴으로, 상기 하부 전극의 위에 상부 전극의 형성을 위한 산화물층을 패터닝하는 단계; (4) 상기 상부 전극의 형성을 위한 산화물층의 상부에 동일한 패턴으로 금속층을 패터닝하는 단계; 및 (5) 상기 패터닝된 금속층의 상부에 동일한 패턴으로 산화물층을 패터닝하여 상기 상부 전극을 형성하는 단계;를 포함하고, 상기 제 (3)단계의 산화물층은 저항변화 물질로 형성된 것을 특징으로 하는 저항 변화 메모리의 제조방법을 제공한다.

[0022] 또한, 본 발명은 (1) 기판 상부에 하부 전극의 형성을 위한 산화물층을 소정의 패턴으로 패터닝하는 단계; (2) 상기 패터닝된 산화물층의 상부에 동일한 패턴으로 금속층을 패터닝하는 단계; (3) 상기 패터닝된 금속층의 상부에 동일한 패턴으로 산화물층을 패터닝하여 상기 하부 전극을 형성하는 단계; (4) 상기 하부 전극과 교차하는 소정의 패턴으로, 상기 하부 전극의 위에 상부 전극의 형성을 위한 금속층을 패터닝하는 단계; 및 (5) 상기 패터닝된 금속층의 상부에 동일한 패턴으로 산화물층을 패터닝하여 상기 상부 전극을 형성하는 단계;를 포함하고, 상기 제 (3)단계의 산화물층은 저항변화 물질로 형성된 것을 특징으로 하는 저항 변화 메모리의 제조방법을 제공한다.

[0023] 바람직한 실시예에 있어서, 상기 하부 전극과 상기 상부 전극 간의 교차점에서, 상기 하부 전극의 금속층과 상기 상부 전극의 금속층 사이에 위치한 산화물층이 저항 변화층으로 기능한다.

[0024] 바람직한 실시예에 있어서, 상기 저항 변화층은, 상기 상부 전극의 금속층과 상기 하부 전극의 금속층 사이에 인가된 전압에 의해, 상기 저항 변화층 내부에 전도성 필라멘트가 생성되거나 소실된다.

[0025] 바람직한 실시예에 있어서, 상기 하부 전극은, 소정 간격으로 평행하게 배열된 복수의 열로 패터닝되고, 상기 상부 전극은, 상기 하부 전극과 직교하는 형태의 크로스바 어레이(cross bar array) 구조를 이루며, 소정 간격으로 평행하게 배열되는 복수의 열로 패터닝된다.

[0026] 바람직한 실시예에 있어서, 상기 하부 전극의 금속층과 상기 상부 전극의 금속층은, 금(Au), 은(Ag), 구리(Cu), 몰리브덴(Mo) 및 알루미늄(Al) 중 적어도 하나를 포함한다.

[0027] 바람직한 실시예에 있어서, 상기 하부 전극의 산화물층과 상기 상부 전극의 산화물층은, 산화아연(ZnO), 산화타이타늄(TiO₂), 삼산화텅스텐(WO₃), 산화하프늄(HfO₂), 산화알루미늄(Al₂O₃), 질화알루미늄(AlN), 산화몰리브덴(MoO₃), 산화니켈(NiO), Mn-doped tin oxide(MTO), Zn doped tin oxide(ZTO), Ga doped ZnO(GZO), Sn_xO_y, Zr_xO_y, Co_xO_y, Cr_xO_y, V_xO_y, Nb_xO_y, ZnMgBeO, Mg_xO_y, Mg_xN_y, Ti_xN_y, In_xN_y, Ga_xN_y, Ga_xO_y, boron nitride(BN), Ni_xN_y, Si_xN_y, Al doped ZnO(AZO), Mg_xZn_yO_x 및 Cu_xO_y 중 적어도 하나를 포함한다.

발명의 효과

[0029] 전술한 과제해결 수단에 의해 본 발명은 기판 상부에 적층되고 산화물층, 금속층 및 산화물층이 순차적으로 적층되는 구조로 형성된 하부 전극 및 상기 하부 전극과 교차하는 형태로 그 상부에 적층되고 산화물층, 금속층 및 산화물층이 순차적으로 적층되는 구조로 형성된 상부 전극을 포함하고, 상기 하부 전극과 상기 상부 전극 간의 교차점에서 상기 하부 전극의 금속층과 상기 상부 전극의 금속층 사이에 위치한 산화물층이 저항 변화층으로 기능하게 함으로써, 우수한 전기전도도를 확보하면서 유연하고 투명한 저항 변화 메모리를 제공할 수 있는 효과가 있다.

[0030] 또한, 본 발명은 저항 변화층을 형성하는 별도의 공정이 요구되지 않으므로, 제조 공정을 단순화할 수 있고 제조 비용을 절감할 수 있다.

[0031] 또한, 본 발명은 OMO 구조를 갖는 다양한 투명 전극을 하부 전극과 상부 전극으로 활용할 수 있어 기술의 구현이 용이한 효과가 있다.

도면의 간단한 설명

[0033] 도 1 및 도 2는 본 발명의 제 1실시예에 따른 저항 변화 메모리를 설명하기 위한 도면.

도 3은 본 발명의 제 1실시예에 따른 저항 변화 메모리의 단면을 나타내는 도면.

도 4는 본 발명의 제 1실시예에 따른 저항 변화 메모리에서 생성된 전도성 필라멘트를 설명하기 위한 도면.
 도 5 및 도 6은 본 발명의 제 2실시예에 따른 저항 변화 메모리를 설명하기 위한 도면.
 도 7은 본 발명의 제 2실시예에 따른 저항 변화 메모리의 단면을 나타내는 도면.
 도 8은 본 발명의 제 2실시예에 따른 저항 변화 메모리에서 생성된 전도성 필라멘트를 설명하기 위한 도면.
 도 9 및 도 10은 본 발명의 제 3실시예에 따른 저항 변화 메모리를 설명하기 위한 도면.
 도 11은 본 발명의 제 3실시예에 따른 저항 변화 메모리의 단면을 나타내는 도면.
 도 12는 본 발명의 제 3실시예에 따른 저항 변화 메모리에서 생성된 전도성 필라멘트를 설명하기 위한 도면.
 도 13은 본 발명의 제 1실시예에 따른 저항 변화 메모리의 제조방법을 설명하기 위한 도면.
 도 14는 본 발명의 제 2실시예에 따른 저항 변화 메모리의 제조방법을 설명하기 위한 도면.
 도 15는 본 발명의 제 3실시예에 따른 저항 변화 메모리의 제조방법을 설명하기 위한 도면.

발명을 실시하기 위한 구체적인 내용

- [0034] 하기의 설명에서 본 발명의 특정 상세들이 본 발명의 보다 전반적인 이해를 제공하기 위해 나타나 있는데, 이들 특정 상세들 없이 또한 이들의 변형에 의해서도 본 발명이 용이하게 실시될 수 있다는 것은 이 기술분야에서 통상의 지식을 가진 자에게 자명할 것이다.
- [0035] 이하, 본 발명에 따른 바람직한 실시예를 첨부된 도 1 내지 도 15를 참조하여 상세히 설명하되, 본 발명에 따른 동작 및 작용을 이해하는데 필요한 부분을 중심으로 설명한다.
- [0037] 도 1 및 도 2는 본 발명의 제 1실시예에 따른 저항 변화 메모리를 설명하기 위한 도면이고, 도 3은 본 발명의 제 1실시예에 따른 저항 변화 메모리의 단면을 나타내는 도면이며, 도 4는 본 발명의 제 1실시예에 따른 저항 변화 메모리에서 생성된 전도성 필라멘트를 설명하기 위한 도면이다.
- [0038] 도 1 내지 도 4를 참조하면, 본 발명의 제 1실시예에 따른 저항 변화 메모리는, 기판(10) 상부에 적층되고 일정 간격으로 평행하게 배열된 복수의 열로 패터닝되어 형성된 하부 전극(110) 및 그 하부 전극(110)의 상부에 적층되고 하부 전극(110)과 교차하는 복수의 열로 패터닝되어 형성되는 상부 전극(120)을 포함하여 구성된다.
- [0039] 즉, 본 발명의 제 1실시예에 따른 저항 변화 메모리는, 하부 전극(110)과 상부 전극(120)이 서로 직교하는 형태의 크로스바 어레이(cross bar array) 구조로 구현될 수 있다.
- [0040] 하부 전극(110)은 기판(10) 위에 산화물층(111), 금속층(112) 및 산화물층(113)이 순차적으로 적층되는 OMO(oxide-metal-oxide) 구조로 형성될 수 있다.
- [0041] 하부 전극(110)의 금속층(112)은 금(Au), 은(Ag), 구리(Cu), 몰리브덴(Mo) 및 알루미늄(Al) 중 적어도 하나를 포함하는 전도성 금속 물질로서 나노미터 단위의 두께로 형성될 수 있고, 하부 전극(110)의 산화물층(111, 113)은 산화아연(ZnO), 산화타이타늄(TiO₂), 삼산화텅스텐(WO₃), 산화하프늄(HfO₂), 산화알루미늄(Al₂O₃), 질화알루미늄(AlN), 산화몰리브덴(MoO₃), 산화니켈(NiO), Mn-doped tin oxide(MTO), Zn doped tin oxide(ZTO), Ga doped ZnO(GZO), Sn_xO_y, Zr_xO_y, Co_xO_y, Cr_xO_y, V_xO_y, Nb_xO_y, ZnMgBeO, Mg_xO_y, Mg_xN_y, Ti_xN_y, In_xN_y, Ga_xN_y, Ga_xO_y, boron nitride(BN), Ni_xN_y, Si_xN_y, Al doped ZnO(AZO), Mg_xZn_yO_x 및 Cu_xO_y 중 적어도 하나를 포함하는 저항 변화 물질로 형성될 수 있다.
- [0042] 상부 전극(120)은 하부 전극(110)의 상부에 산화물층(121), 금속층(122) 및 산화물층(123)이 순차적으로 적층되는 OMO 구조로 형성되고, 상부 전극(120)의 금속층(122)은 전술한 전도성 금속 물질로 형성될 수 있으며, 상부 전극(120)에 형성되는 산화물층(121, 123)의 경우에도 전술한 저항 변화 물질로 형성될 수 있다.
- [0043] 그리고, 하부 전극(110)과 상부 전극(120) 간의 교차점(130)에 위치하는 상부 전극(120) 최하단의 산화물층(121)과 하부 전극(110) 최상단의 산화물층(113)은 서로 접촉하는 구조로 형성될 수 있다. 이때, 서로 접촉하는 산화물층(113, 121)은 동일한 저항 변화 물질로 형성됨이 바람직하다.

- [0044] 이러한, 하부 전극(110)과 상부 전극(120) 간의 교차점(130)은, 하부 전극(110)의 금속층(112), 하부 전극(110)의 산화물층(113)과 상부 전극(120)의 산화물층(121), 그리고, 상부 전극(120)의 금속층(122)이 순차적으로 적층되어 있는 구조를 형성하게 된다.
- [0045] 이로 인해, 하부 전극(110)의 금속층(112)과 상부 전극(120)의 금속층(122) 사이에 위치하고 저항 변화 물질로 형성되어 있는 산화물층(113, 121)이 저항 변화층으로 기능하여, 상부 전극(120)과 하부 전극(110) 사이에 인가된 전압에 의해 국소적인 전도성 경로인 전도성 필라멘트(F)가 생성되어 그 저항 상태가 고저항 상태(High Resistance State, HRS)에서 저저항 상태(Low Resistance State, LRS)로 변화하는 SET 과정이 이루어질 수 있다.
- [0046] 또한, 저항 변화층으로 기능하는 산화물층(113, 121)에 리셋 펄스 전압이 인가되면, 고저항 상태로 다시 돌아가게 되는데, 이는, 전술한 전도성 필라멘트(F)가 소실됨을 뜻한다. 즉, 저항 변화층으로 기능하는 산화물층(113, 121)의 저항 상태에 따라 '1' 과 '0' 에 해당하는 1비트(bit) 정보를 저장할 수 있는 것이다.
- [0047] 따라서, 본 발명의 제 1실시예에 따른 저항 변화 메모리는 서로 직교하는 하부 전극(110)과 상부 전극(120)의 사이에 저항 변화층을 형성하는 별도의 공정을 수행하지 않더라도, 하부 전극(110)의 일부와 이에 접촉하는 상부 전극(120)의 일부가 저항 변화층으로 기능하는 구조를 제공함으로써, 제조 공정의 단순화를 가능하게 하고 제조 비용도 절감할 수 있다.
- [0048] 아울러, 본 발명의 제 1실시예에 따른 저항 변화 메모리는 OMO 구조의 하부 전극(110)과 상부 전극(120)이 적용됨으로써, 기존의 투명 전극인 ITO, IZO 및 GZO에 비해 전기전도도를 확보하기 용이하고 투명하면서 유연한 메모리 소자를 구현할 수 있는 것이다.
- [0049] 한편, 소정의 열처리를 통해 하부 전극(110)과 상부 전극(120)의 투과도를 향상시키거나, 하부 전극(110)과 상부 전극(120)에 각각 형성되는 산화물층(111, 113, 121, 123)과 금속층(112, 122)의 두께를 조절하는 방식으로 투과도를 더 개선시킬 수도 있다.
- [0050] 또한, 하부 전극(110)과 상부 전극(120)에 형성되는 각각의 산화물층(111, 113, 121, 123)은, 하나의 층으로만 형성될 수 있는 것이 아니라, 적어도 두 개의 층으로 적층된 멀티 레이어 구조로 형성될 수도 있다.
- [0051] 이하에서는, 본 발명의 제 2실시예에 따른 저항 변화 메모리에 대해 설명한다.
- [0053] 도 5 및 도 6은 본 발명의 제 2실시예에 따른 저항 변화 메모리를 설명하기 위한 도면이고, 도 7은 본 발명의 제 2실시예에 따른 저항 변화 메모리의 단면을 나타내는 도면이며, 도 8은 본 발명의 제 2실시예에 따른 저항 변화 메모리에서 생성된 전도성 필라멘트를 설명하기 위한 도면이다.
- [0054] 도 5 내지 도 8을 참조하면, 본 발명의 제 2실시예에 따른 저항 변화 메모리는, 기판(10) 상부에 적층되고 일정 간격으로 평행하게 배열된 복수의 열로 패터닝되어 형성된 하부 전극(210) 및 그 하부 전극(210)의 상부에 적층되고 하부 전극(210)과 교차하는 복수의 열로 패터닝되어 형성되는 상부 전극(220)을 포함하여 구성된다.
- [0055] 즉, 본 발명의 제 2실시예에 따른 저항 변화 메모리의 경우에도, 하부 전극(110)과 상부 전극(120)이 서로 직교하는 형태의 크로스바 어레이 구조로 구현된다는 점에서, 전술한 본 발명의 제 1실시예에 따른 저항 변화 메모리와 유사한 점이 있으나, 하부 전극(210)에 1개의 산화물층(211)이 형성되고 상부 전극(220)에는 2개의 산화물층(221, 223)이 형성된다는 점에서 그 차이가 있을 수 있다.
- [0056] 하부 전극(210)은 기판(10) 위에 산화물층(211) 및 금속층(212)이 순차적으로 적층되는 구조로 형성될 수 있다.
- [0057] 아울러, 하부 전극(210)의 금속층(212)은 금(Au), 은(Ag), 구리(Cu), 몰리브덴(Mo) 및 알루미늄(Al) 중 적어도 하나를 포함하는 전도성 금속 물질로서 나노미터 단위의 두께로 형성될 수 있고, 하부 전극(210)의 산화물층(211)은 산화아연(ZnO), 산화타이타늄(TiO₂), 삼산화텅스텐(WO₃), 산화하프늄(HfO₂), 산화알루미늄(Al₂O₃), 질화알루미늄(AlN), 산화몰리브덴(MoO₃), 산화니켈(NiO), Mn-doped tin oxide(MTO), Zn doped tin oxide(ZTO), Ga doped ZnO(GZO), Sn_xO_y, Zr_xO_y, Co_xO_y, Cr_xO_y, V_xO_y, Nb_xO_y, ZnMgBeO, Mg_xO_y, Mg_xN_y, Ti_xN_y, In_xN_y, Ga_xN_y, Ga_xO_y, boron nitride(BN), Ni_xN_y, Si_xN_y, Al doped ZnO(AZO), Mg_xZn_yO_x 및 Cu_xO_y 중 적어도 하나를 포함하는 저항 변화 물질로 형성될 수 있다.
- [0058] 상부 전극(220)은 하부 전극(210)의 상부에 산화물층(221), 금속층(222) 및 산화물층(223)이 순차적으로 적층되

는 OMO 구조로 형성되고, 상부 전극(220)의 금속층(222)은 전술한 전도성 금속 물질로 형성될 수 있으며, 상부 전극(220)의 산화물층(221, 223)의 경우에도 전술한 저항 변화 물질로 형성될 수 있다.

[0059] 따라서, 하부 전극(210)과 상부 전극(220) 간의 교차점(230)은, 하부 전극(210)의 금속층(212), 상부 전극(220)의 산화물층(221) 및 상부 전극(220)의 금속층(222)이 순차적으로 적층되어 있는 구조를 형성하게 된다.

[0060] 이로 인해, 하부 전극(210)의 금속층(212)과 상부 전극(220)의 금속층(222) 사이에 위치하고 저항 변화 물질로 형성되어 있는 산화물층(221)이 저항 변화층으로 기능하여, 상부 전극(220)과 하부 전극(210) 사이에 인가된 전압에 의해 국소적인 전도성 경로인 전도성 필라멘트(F)가 생성되어 저저항 상태(Low Resistance State, LRS)로 변화하는 SET 과정이 이루어지거나, 리셋 펄스 전압이 인가되면 그 저항 상태가 저저항 상태에서 고저항 상태(High Resistance State, HRS)로 돌아가면서 전도성 필라멘트(F)가 소실되는 리셋 과정이 이루어질 수 있다.

[0061] 즉, 저항 변화층으로 기능하는 산화물층(221)의 저항 상태에 따라 '1' 과 '0' 에 해당하는 1비트(bit) 정보를 저장할 수 있는 것이다.

[0062] 따라서, 본 발명의 제 2실시예에 따른 저항 변화 메모리의 경우에도 별도의 저항 변화층을 형성하는 공정이 요구되지 않으므로, 기존의 투명 전극인 ITO, IZO 및 GZO에 비해 전기전도도를 확보하기 용이하고 투명하면서 유연한 메모리 소자를 구현하면서, 제조 공정의 단순화 및 제조 비용의 절감을 가능하게 한다.

[0063] 이하에서는, 본 발명의 제 3실시예에 따른 저항 변화 메모리에 대해 설명한다.

[0065] 도 9 및 도 10은 본 발명의 제 3실시예에 따른 저항 변화 메모리를 설명하기 위한 도면이고, 도 11은 본 발명의 제 3실시예에 따른 저항 변화 메모리의 단면을 나타내는 도면이며, 도 12는 본 발명의 제 3실시예에 따른 저항 변화 메모리에서 생성된 전도성 필라멘트를 설명하기 위한 도면이다.

[0066] 도 9 내지 도 12를 참조하면, 본 발명의 제 3실시예에 따른 저항 변화 메모리는, 기판(10) 상부에 적층되고 일정 간격으로 평행하게 배열된 복수의 열로 패터닝되어 형성된 하부 전극(310) 및 그 하부 전극(310)의 상부에 적층되고 하부 전극(310)과 교차하는 복수의 열로 패터닝되어 형성되는 상부 전극(320)을 포함하여 구성된다.

[0067] 즉, 본 발명의 제 3실시예에 따른 저항 변화 메모리의 경우에도, 하부 전극(310)과 상부 전극(320)이 서로 직교하는 형태의 크로스바 어레이 구조로 구현될 수 있다. 다만, 본 발명의 제 3실시예에 따른 저항 변화 메모리는, 하부 전극(310)에서 2개의 산화물층(311, 313)이 형성되고, 상부 전극(320)에는 1개의 산화물층(322)이 형성되게 된다.

[0068] 즉, 하부 전극(310)은 기판(10) 위에 산화물층(311), 금속층(312) 및 산화물층(313)이 순차적으로 적층되는 OMO 구조로 형성되는 반면에, 상부 전극(320)은 하부 전극(310)의 상부에 금속층(321) 및 산화물층(322)이 순차적으로 적층된 구조로 형성되게 된다.

[0069] 아울러, 하부 전극(310)과 상부 전극(320)의 금속층(312, 321)은 금(Au), 은(Ag), 구리(Cu), 몰리브덴(Mo) 및 알루미늄(Al) 중 적어도 하나를 포함하는 전도성 금속 물질로서 나노미터 단위의 두께로 형성될 수 있고, 하부 전극(310)과 상부 전극(320)의 산화물층(311, 313, 322)은 산화아연(ZnO), 산화타이타늄(TiO₂), 삼산화텅스텐(WO₃), 산화하프늄(HfO₂), 산화알루미늄(Al₂O₃), 질화알루미늄(AlN), 산화몰리브덴(MoO₃), 산화니켈(NiO), Mn-doped tin oxide(MTO), Zn doped tin oxide(ZTO), Ga doped ZnO(GZO), Sn_xO_y, Zr_xO_y, Co_xO_y, Cr_xO_y, V_xO_y, Nb_xO_y, ZnMgBeO, Mg_xO_y, Mg_xN_y, Ti_xN_y, In_xN_y, Ga_xN_y, Ga_xO_y, boron nitride(BN), Ni_xN_y, Si_xN_y, Al doped ZnO(AZO), Mg_xZn_yO_x 및 Cu_xO_y 중 적어도 하나를 포함하는 저항 변화 물질로 형성될 수 있다.

[0070] 한편, 본 발명의 제 3실시예에 따른 저항 변화 메모리의 경우에도, 하부 전극(310)과 상부 전극(320) 간의 교차점(330)에서 하부 전극(310)의 금속층(312), 하부 전극(310)의 산화물층(313) 및 상부 전극(320)의 금속층(321)이 순차적으로 적층되는 구조가 형성될 수 있다.

[0071] 따라서, 하부 전극(310)의 금속층(312)과 상부 전극(320)의 금속층(321) 사이에 위치하고 저항 변화 물질로 형성되어 있는 산화물층(313)이 저항 변화층으로 기능하면서, 상부 전극(320)과 하부 전극(310) 사이에 인가된 전압에 의해 전도성 필라멘트(F)가 생성되어 그 저항 상태가 고저항 상태(High Resistance State, HRS)에서 저저항 상태(Low Resistance State, LRS)로 변화하는 SET 과정과, 리셋 펄스 전압에 의해 그 저항 상태가 저저항 상태에서 고저항 상태로 돌아가면서 전도성 필라멘트(F)가 소실되는 리셋 과정이 이루어질 수 있으며, 저항 변화

층으로 기능하는 산화물층(313)의 저항 상태에 따라 '1' 과 '0' 에 해당하는 1비트(bit) 정보를 저장할 수 있게 된다.

- [0072] 따라서, 본 발명의 제 3실시예에 따른 저항 변화 메모리의 경우에도, 기존의 투명 전극인 ITO, IZO 및 GZO에 비해 전기전도도를 확보하기 용이하고 투명하면서 유연한 메모리 소자를 구현하는 동시에, 별도의 저항 변화층을 형성하는 공정이 요구되지 않아 제조 공정의 단순화 및 제조 비용의 절감을 가능하게 한다.
- [0074] 도 13은 본 발명의 제 1실시예에 따른 저항 변화 메모리의 제조방법을 설명하기 위한 도면이다.
- [0075] 도 13을 참조하여 설명하면, 먼저, 저항 변화 메모리를 형성할 기판(10)을 준비한다(도 13의 (a)).
- [0076] 다음으로, 그 기판(10) 상부에 복수 개의 열이 평행하게 배열된 소정의 패턴으로 산화물층(111)을 패터닝하고 그 위에 동일한 패턴으로 금속층(112)을 패터닝한 후 다시 동일한 패턴으로 산화물층(113)을 패터닝하여 하부 전극(110)을 형성하게 된다(도 13의 (b)).
- [0077] 그 다음에는, 하부 전극(110)의 상부에 그 하부 전극(110)과 교차하는 복수 개의 열이 평행하게 배열된 패턴으로 산화물층(121)을 패터닝하고 그 위에 동일한 패턴으로 금속층(122)을 패터닝한 후 다시 동일한 패턴으로 산화물층(123)을 패터닝하여 상부 전극(120)을 형성하게 된다(도 13의 (c)).
- [0078] 이때, 하부 전극(110)과 상부 전극(120)의 금속층(112, 122)은 금(Au), 은(Ag), 구리(Cu), 몰리브덴(Mo) 및 알루미늄(Al) 중 적어도 하나를 포함하는 전도성 금속 물질로 형성될 수 있고, 하부 전극(110)과 상부 전극(120)의 산화물층은, 산화아연(ZnO), 산화타이타늄(TiO₂), 삼산화텅스텐(WO₃), 산화하프늄(HfO₂), 산화알루미늄(Al₂O₃), 질화알루미늄(AlN), 산화몰리브덴(MoO₃), 산화니켈(NiO), Mn-doped tin oxide(MTO), Zn doped tin oxide(ZTO), Ga doped ZnO(GZO), Sn_xO_y, Zr_xO_y, Co_xO_y, Cr_xO_y, V_xO_y, Nb_xO_y, ZnMgBeO, Mg_xO_y, Mg_xN_y, Ti_xN_y, In_xN_y, Ga_xN_y, Ga_xO_y, boron nitride(BN), Ni_xN_y, Si_xN_y, Al doped ZnO(AZO), Mg_xZn_yO_x 및 Cu_xO_y 중 적어도 하나를 포함하는 저항 변화 물질로 형성될 수 있다.
- [0079] 그리고, 하부 전극(110)과 상부 전극(120)은 서로 직교하는 형태의 크로스바 어레이(cross bar array) 구조를 이루며, 하부 전극(110)과 상부 전극(120) 간의 교차점에는 하부 전극(110)의 금속층(112), 하부 전극(110)의 산화물층(113)과 상부 전극(120)의 산화물층(121), 그리고, 상부 전극(120)의 금속층(122)이 순차적으로 적층된 구조가 형성된다.
- [0080] 따라서, 하부 전극(110)과 상부 전극(120) 간의 교차점에서, 하부 전극(110)의 금속층(112)과 상부 전극(120)의 금속층(122) 사이에 위치한 산화물층(113, 121)이 저항 변화층으로 기능하여, 상부 전극(120)과 하부 전극(110) 사이에 인가된 전압에 의해 전도성 필라멘트가 생성되어 그 저항 상태가 고저항 상태(High Resistance State, HRS)에서 저저항 상태(Low Resistance State, LRS)로 변화하는 SET 과정과, 리셋 펄스 전압에 의해 그 저항 상태가 저저항 상태에서 고저항 상태로 돌아가면서 전도성 필라멘트(F)가 소실되는 리셋 과정이 이루어질 수 있다.
- [0081] 즉, 하부 전극(110)과 상부 전극(120) 간의 교차점에 위치하여 저항 변화층으로 기능하는 산화물층(113, 121)의 저항 상태에 따라 '1' 과 '0' 에 해당하는 1비트(bit) 정보를 저장할 수 있는 저항 변화 메모리를 제조할 수 있다.
- [0082] 이하에서는, 본 발명의 제 2실시예에 따른 저항 변화 메모리의 제조방법에 대해 설명한다.
- [0084] 도 14는 본 발명의 제 2실시예에 따른 저항 변화 메모리의 제조방법을 설명하기 위한 도면이다.
- [0085] 도 14를 참조하면, 먼저, 저항 변화 메모리를 형성할 기판(10)을 준비한다(도 14의 (a)).
- [0086] 다음으로, 그 기판(10) 상부에 복수 개의 열이 평행하게 배열된 소정의 패턴으로 산화물층(211)을 패터닝하고 그 위에 동일한 패턴으로 금속층(212)을 패터닝하여 하부 전극(110)을 형성한다(도 14의 (b)).
- [0087] 그 다음에는, 하부 전극(110)의 상부에 그 하부 전극(110)과 교차하는 복수 개의 열이 평행하게 배열된 패턴으로 산화물층(221)을 패터닝하고 그 위에 동일한 패턴으로 금속층(222)을 패터닝한 후 다시 동일한 패턴으로 산화물층(223)을 패터닝하여 상부 전극(220)을 형성할 수 있다(도 14의 (c)).

- [0088] 한편, 본 발명의 제 2실시예에 따른 저항 변화 메모리의 제조방법의 경우에도, 전술한 본 발명의 제 1실시예에 따른 저항 변화 메모리의 제조방법에서와 동일한 전도성 금속 물질로 하부 전극(210)의 금속층(212)과 상부 전극(220)의 금속층(222)을 형성할 수 있고, 전술한 저항변화 물질로 하부 전극(210)의 산화물층(211)과 상부 전극의 산화물층(221, 223)을 형성할 수 있다.
- [0089] 아울러, 본 발명의 제 2실시예에 따른 저항 변화 메모리의 제조방법의 경우에도, 전술한 본 발명의 제 1실시예에 따른 저항 변화 메모리의 제조방법에서와 동일하게, 하부 전극(210)과 상부 전극(220) 간의 교차점에서 하부 전극(210)의 금속층(212)과 상부 전극(220)의 금속층(222) 사이에 위치한 산화물층(221)이 저항 변화층으로 기능하여, 상부 전극(220)과 하부 전극(210) 사이에 인가된 전압에 의해 전도성 필라멘트가 생성되어 그 저항 상태가 고저항 상태(High Resistance State, HRS)에서 저저항 상태(Low Resistance State, LRS)로 변화하는 SET 과정과, 리셋 펄스 전압에 의해 그 저항 상태가 저저항 상태에서 고저항 상태로 돌아가면서 전도성 필라멘트(F)가 소실되는 리셋 과정이 이루어질 수 있다.
- [0090] 따라서, 하부 전극(210)과 상부 전극(220) 간의 교차점에 위치하여 저항 변화층으로 기능하는 산화물층(221)의 저항 상태에 따라 '1' 과 '0' 에 해당하는 1비트(bit) 정보를 저장할 수 있는 저항 변화 메모리를 제조할 수 있다.
- [0091] 이하에서는, 본 발명의 제 3실시예에 따른 저항 변화 메모리의 제조방법에 대해 설명한다.
- [0093] 도 15는 본 발명의 제 3실시예에 따른 저항 변화 메모리의 제조방법을 설명하기 위한 도면이다.
- [0094] 도 15를 참조하면, 먼저, 저항 변화 메모리를 형성할 기관(10)을 준비한다(도 15의 (a)).
- [0095] 그 다음, 그 기관(10) 상부에 복수 개의 열이 평행하게 배열된 소정의 패턴으로 산화물층(311)을 패터닝하고 그 위에 동일한 패턴으로 금속층(312)을 패터닝한 후 다시 동일한 패턴으로 산화물층(313)을 패터닝하여 하부 전극(310)을 형성하게 된다(도 15의 (b)).
- [0096] 다음에는, 하부 전극(310)의 상부에 그 하부 전극(310)과 교차하는 복수 개의 열이 평행하게 배열된 패턴으로 금속층(321)을 패터닝한 후, 그 위에 동일한 패턴으로 산화물층(322)을 패터닝하여 상부 전극(320)을 형성하게 된다(도 15의 (c)).
- [0097] 즉, 본 발명의 제 3실시예에 따른 저항 변화 메모리의 제조방법은, 하부 전극(310)의 형성 시 산화물층(311, 313)을 패터닝하는 공정이 2회 수행되고, 상부 전극(320)의 형성 시 산화물층(322)을 패터닝하는 공정이 1회 수행된다.
- [0098] 한편, 본 발명의 제 3실시예에 따른 저항 변화 메모리의 제조방법의 경우에도, 전술한 본 발명의 제 1실시예에 따른 저항 변화 메모리의 제조방법에서 언급된 전도성 금속 물질로 하부 전극(310)의 금속층(312)과 상부 전극(320)의 금속층(321)을 형성할 수 있고, 전술한 본 발명의 제 1실시예에 따른 저항 변화 메모리의 제조방법에서 언급된 저항변화 물질로 하부 전극(310)의 산화물층(311, 313)과 상부 전극의 산화물층(322)을 형성할 수 있으므로, 이에 대한 중복되는 설명은 생략하고자 한다.
- [0099] 아울러, 본 발명의 제 3실시예에 따른 저항 변화 메모리의 제조방법을 통해 제조된 저항 변화 메모리는, 하부 전극(310)과 상부 전극(320) 간의 교차점에서 하부 전극(310)의 금속층(312)과 상부 전극(320)의 금속층(321) 사이에 위치한 산화물층(313)이 저항 변화층으로 기능하여, 상부 전극(320)과 하부 전극(310) 사이에 인가된 전압에 의해 전도성 필라멘트가 생성되어 그 저항 상태가 고저항 상태(High Resistance State, HRS)에서 저저항 상태(Low Resistance State, LRS)로 변화하는 SET 과정과, 리셋 펄스 전압에 의해 그 저항 상태가 저저항 상태에서 고저항 상태로 돌아가면서 전도성 필라멘트(F)가 소실되는 리셋 과정이 이루어질 수 있고, 저항 변화층으로 기능하는 산화물층(313)의 저항 상태에 따라 '1' 과 '0' 에 해당하는 1비트(bit) 정보를 저장할 수 있다.
- [0100] 이상에서는 본 발명의 바람직한 실시예를 예시적으로 설명하였으나, 본 발명의 범위는 이와 같은 특정 실시예에만 한정되는 것은 아니며, 특허청구범위에 기재된 범주 내에서 적절하게 변경 가능한 것이다.

부호의 설명

- [0102] 110, 210, 310 : 하부 전극

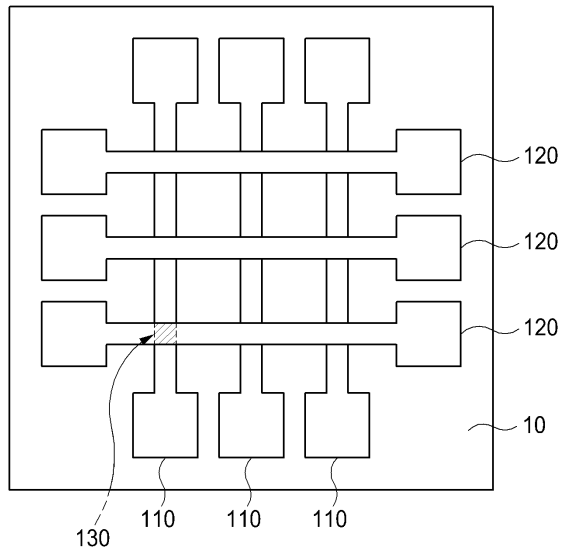
120, 220, 320 : 상부 전극

111, 113, 121, 123, 211, 221, 223, 311, 313, 322 : 산화물층

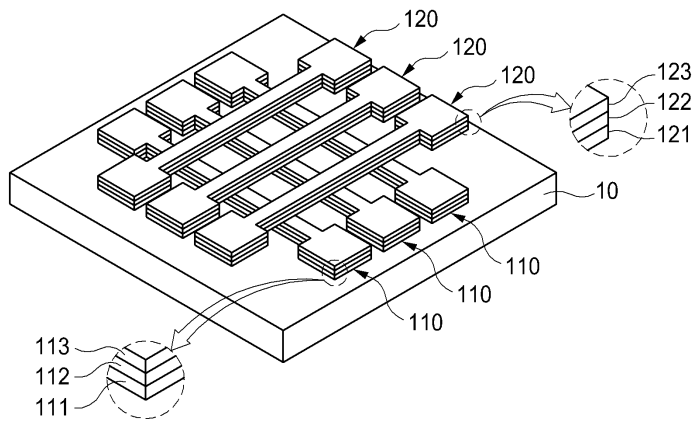
112, 122, 212, 222, 312, 321 : 금속층

도면

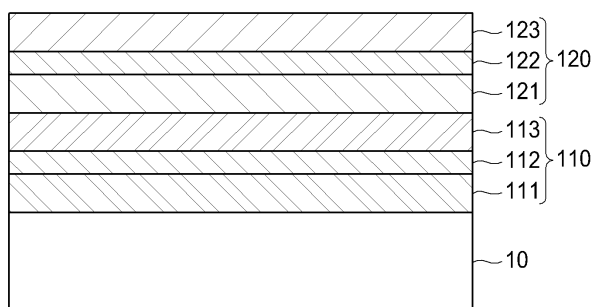
도면1



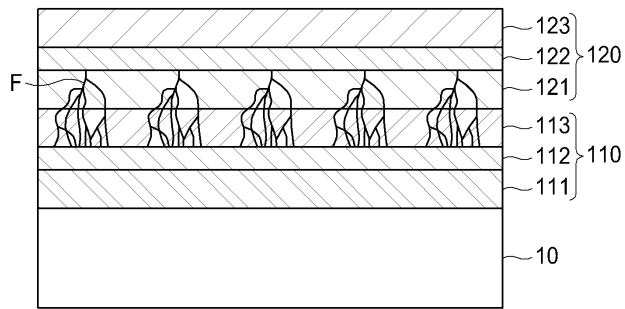
도면2



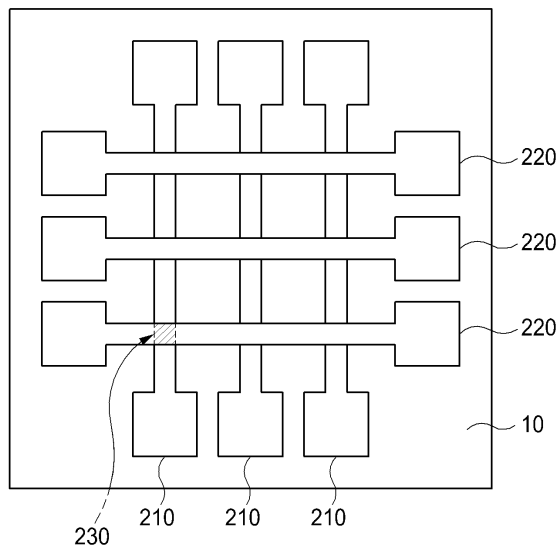
도면3



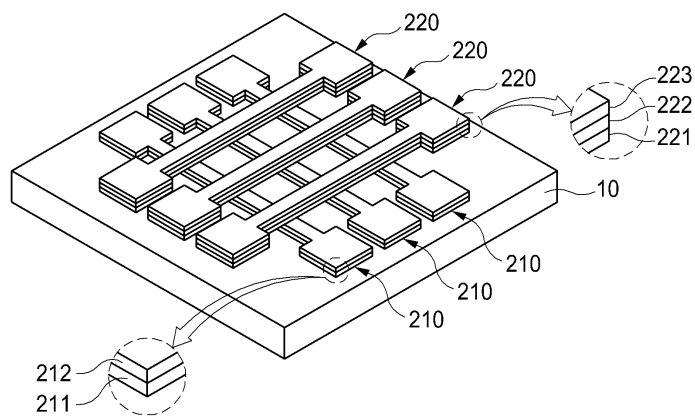
도면4



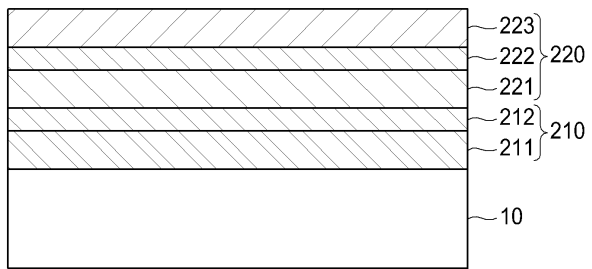
도면5



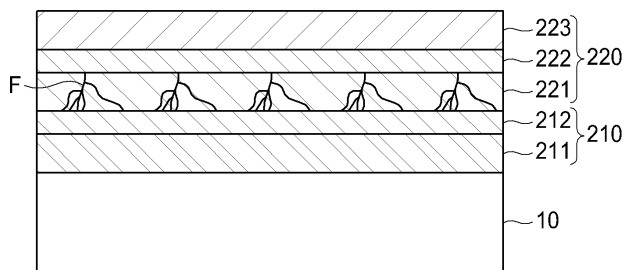
도면6



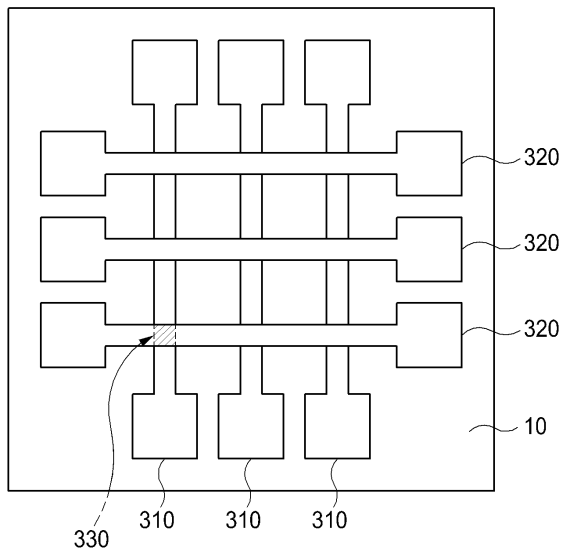
도면7



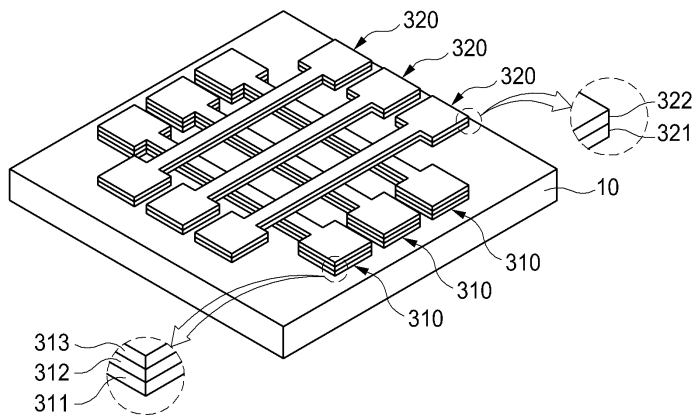
도면8



도면9



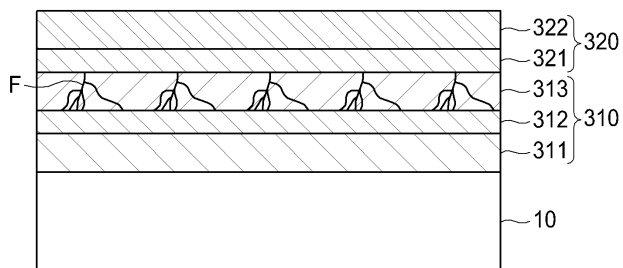
도면10



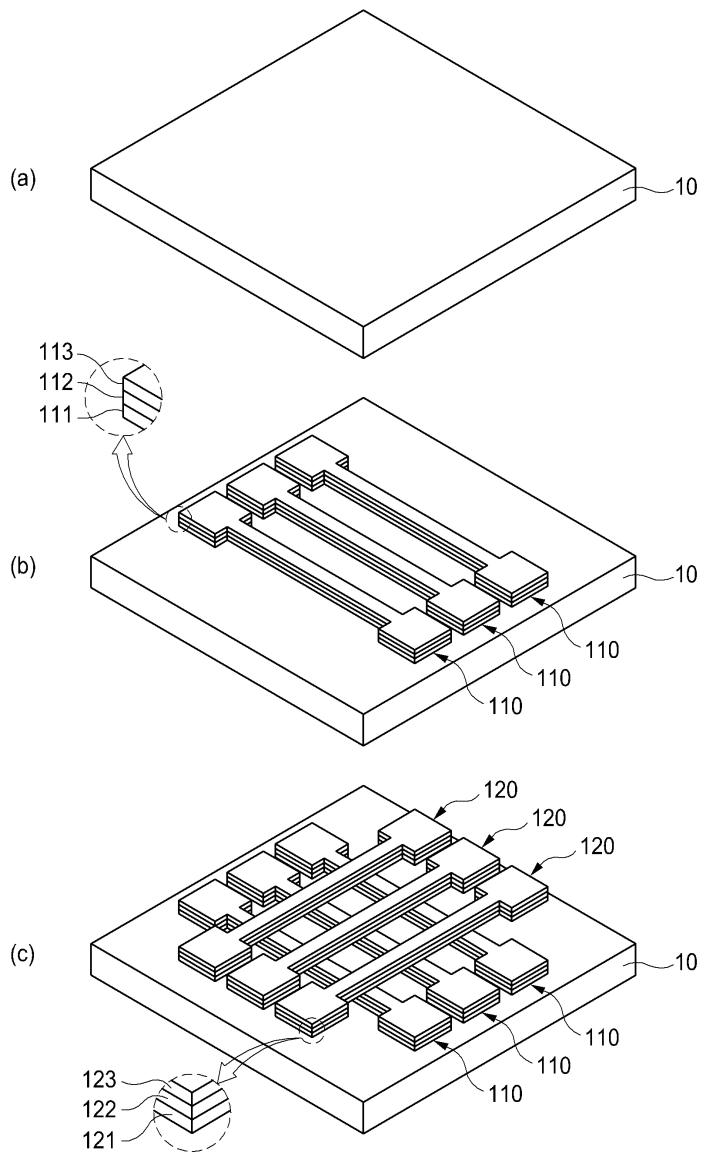
도면11



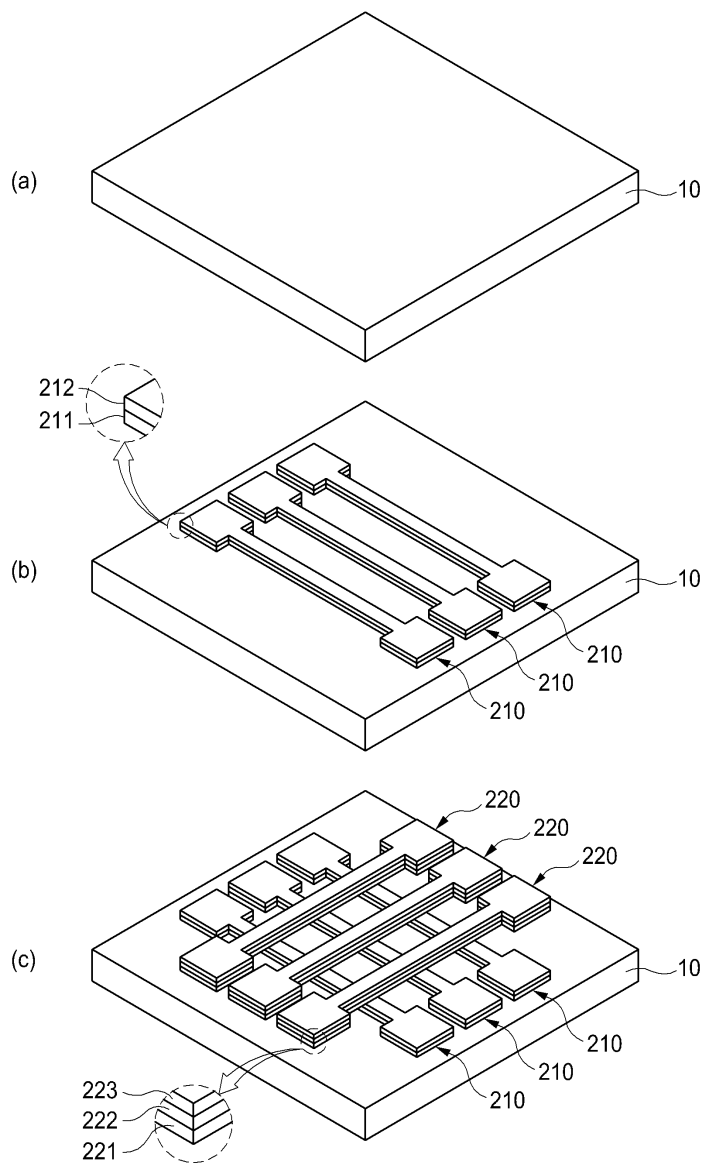
도면12



도면13



도면14



도면15

