



(19) 中華民國智慧財產局

(12) 發明說明書公開本 (11) 公開編號： 200910555

(43) 公開日： 中華民國98(2009) 年 3 月 1 日

(21) 申請案號： 097131488

(22) 申請日： 中華民國97(2008) 年 8 月 18 日

(51) Int. Cl. : H01L23/48 (2006.01)

H02M3/10 (2006.01)

(30) 優先權主張： 2007/08/31 美國

11/849,160

(71) 申請人： 萬國半導體股份有限公司 ALPHA & OMEGA SEMICONDUCTOR LIMITED  
美國

(72) 發明人： 弗蘭茨娃 赫爾伯特 FRANCOIS HEBERT； 張曉天 XIAOTIAN ZHANG； 劉凱 KAI LIU；  
孫明 MING SUN； 安荷 叻刺 ANUP BHALLA

(72) 代理人： 蔡清福

申請實體審查： 有 申請專利範圍項數： 25 項 圖式數： 7 共 60 頁

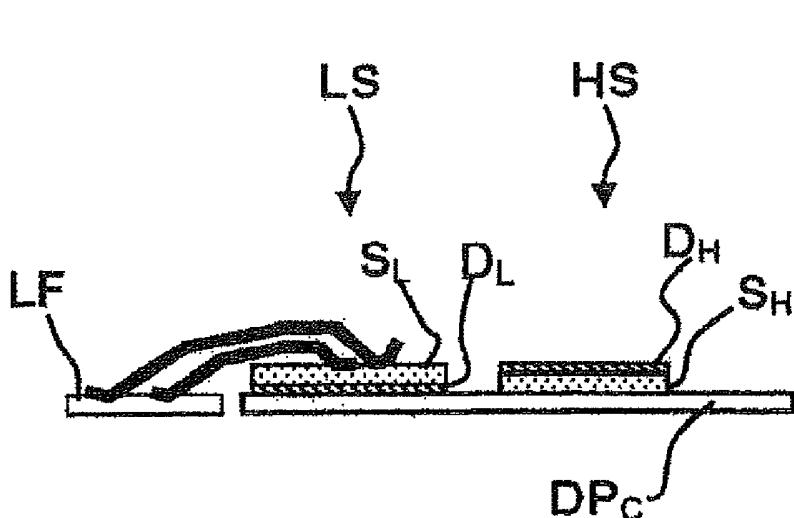
(54) 名稱

用於高效直流一直流功率轉換器的高壓側和低壓側N溝道金屬氧化物半導體場效應電晶體組合封裝

CO-PACKAGED HIGH-SIDE AND LOW-SIDE NMOSFETS FOR EFFICIENT DC-DC POWER CONVERSION

(57) 摘要

本發明公開了一種電路封裝元件。本發明包括一個導電襯底，一個高壓側N溝道金屬氧化物半導體場效應電晶體，其源極位於面向導電襯底表面的一側且具有電接觸；一個低壓側標準N溝道金屬氧化物半導體場效應電晶體，其漏極位於面向導電襯底的一側且具有電接觸。和傳統的封裝相比，高壓側和低壓側N溝道金屬氧化物半導體場效應電晶體的此種組合封裝可以減少封裝包的尺寸、寄生電感和電容。



D<sub>H</sub> : 漏極

D<sub>L</sub> : 漏極

DP<sub>C</sub> : 共同晶片襯墊

LF : 引線框架

S<sub>H</sub> : 源極

S<sub>L</sub> : 源極



(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號： 200910555

(43)公開日： 中華民國98(2009) 年 3 月 1 日

(21)申請案號：097131488

(22)申請日： 中華民國97(2008)年8月18日

(51)Int. Cl. : H01L23/48 (2006.01)

H02M3/10 (2006.01)

(30)優先權主張： 2007/08/31 美國

11/849,160

(71)申請人： 萬國半導體股份有限公司 ALPHA & OMEGA SEMICONDUCTOR LIMITED  
美國

(72)發明人： 弗蘭茨娃 赫爾伯特 FRANCOIS HEBERT；張曉天 XIAOTIAN ZHANG；劉凱 KAI LIU；  
孫明 MING SUN；安荷 叻刺 ANUP BHALLA

(72)代理人： 蔡清福

申請實體審查：有 申請專利範圍項數： 25 項 圖式數： 7 共 60 頁

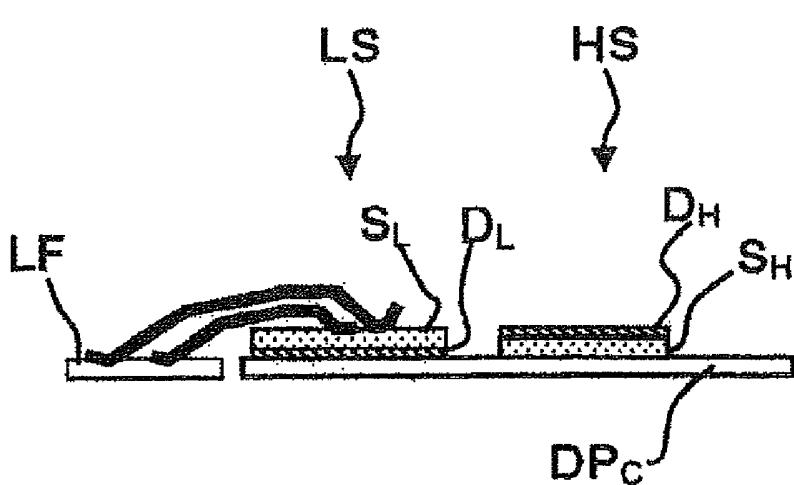
(54)名稱

用於高效直流一直流功率轉換器的高壓側和低壓側N溝道金屬氧化物半導體場效應電晶體組合封裝

CO-PACKAGED HIGH-SIDE AND LOW-SIDE NMOSFETS FOR EFFICIENT DC-DC POWER CONVERSION

(57)摘要

本發明公開了一種電路封裝元件。本發明包括一個導電襯底，一個高壓側N溝道金屬氧化物半導體場效應電晶體，其源極位於面向電導電襯底表面的一側且具有電接觸；一個低壓側標準N溝道金屬氧化物半導體場效應電晶體，其漏極位於面向導電襯底的一側且具有電接觸。和傳統的封裝相比，高壓側和低壓側N溝道金屬氧化物半導體場效應電晶體的此種組合封裝可以減少封裝包的尺寸、寄生電感和電容。



D<sub>H</sub> : 漏極

D<sub>L</sub> : 漏極

DP<sub>C</sub> : 共同晶片襯墊

LF : 引線框架

S<sub>H</sub> : 源極

S<sub>L</sub> : 源極

## 六、發明說明：

### 【發明所屬之技術領域】

本發明涉及半導體元件，尤其涉及用於高效直流-直流功率轉換器的高壓側和低壓側金屬氧化物半導體場效應電晶體（MOSFETs）組合封裝。

### 【先前技術】

為了進一步縮小功率元件的尺寸，提高功率元件的效率和減少直流一直流功率轉換電路中封裝的數量和成本，傳統的技術面臨了一些技術困境和限制。在 MOSFET 功率組件領域大家熟知的是 N 溝道電晶體（NMOSFET），其可被相對於源極電壓的正向柵極電壓驅動而導通。另外，還有 P 溝道 MOSFETs(PMOSFET)其可被相對於源極電壓的負向柵極電壓驅動而導通。

使用 NMOSFET 功率元件的傳統功率轉換器一般最少需要三個元件：柵極驅動器積體電路、高壓側 NMOSFET 和低壓側 NMOSFET。通常，高壓側 NMOSFETs 和低壓側 NMOSFETs 使用兩個不同的分立封裝或者分別設置在同一個封裝內的兩個不同的晶片襯墊上，這種封裝方式就需要更大的封裝空間。使用兩個不同的晶片襯墊還導致了更多的寄生電阻和電容，並且由於晶片襯墊尺寸減小，從而增加了其熱電阻。晶片襯墊是指用來貼附 MOSFET 的裸露的金屬區域。另外，使用功率轉換器的元件的小型化趨勢使得晶片襯墊的可用尺寸越來越小，結果導致了低壓側和高

壓側晶片尺寸縮小，其導致了漏源開態電阻的增加。

第 1 圖是現有技術用於功率轉換器的包括低壓側和高壓側 NMOSFETs 的封裝的俯視圖。如第 1 圖所示，高壓側標準垂直雙擴散金屬氧化物半導體場效應電晶體（VDMOSFET）102 有一個漏極連接到位於底面上的漏極襯墊（未顯示），該襯墊面向導電的第一晶片襯墊 106。漏極襯墊可通過一個導電環氧層 118 連接到第一晶片襯墊 106。第二低壓側標準 VDMOSFET 104 用作低壓側 NMOSFET。在本文中，除非明確指出其他情況，VDMOSFET 是指 N 溝道 VDMOSFET。而標準 VDMOSFET 是指底部漏極 VDMOSFET，除了明確指出的例外情況，一般是指源極形成於晶片的頂部而漏極形成於襯底處的 VDMOSFET。傳統的 VDMOSFET 組件是底部漏極。低壓側標準 VDMOSFET 104 有一個漏極通過底部漏極襯墊（未顯示）電連接和物理連接於晶片襯墊 108，連接方式採用諸如導電環氧層 120 或者其他晶片貼附方式如焊料球或者共晶粘結。位於高壓側標準 VDMOSFET 102 的背向第一晶片襯墊 106 側的頂面上的源極襯墊 107，通過鍵合線 114 電連接到源極引線 110。類似地，低壓側標準 VDMOSFET 104 的頂部源極襯墊 109 通過鍵合線 116 電連接於源極引線 112。通過位於 NMOSFETs 102,104 背向晶片襯墊 106, 108 一側的柵極襯墊 103, 105 可分別電連接到高壓側 NMOSFET 102 和低壓側 NMOSFET 104 的柵極。在功率轉換封裝中，高壓側源極和低壓側漏極一般是互相連接的。

在傳統封裝中，上述連接是通過第二晶片襯墊 108 和高壓側 VDMOSFET102 的源極襯墊 107 之間的額外鍵合線 122 實現的。額外鍵合線 122 增加了寄生電感，從而妨礙了高效運轉。這個封裝包括一個模塑膠將所有的元件包裝起來。封裝的邊界用虛線 101 指示出來。

為了隔離第一晶片襯墊和第二晶片襯墊 106、108，他們必須被安裝到一個電絕緣材料上並且相互之間間隔有寬度為 D 的間隙。兩個隔離晶片襯墊 106 和 108 之間的寬度 d 導致了可用的晶片放置區的減少。為了在較小的區域內安裝 NMOSFETs，需要使用更小的高壓側和低壓側 NMOSFET。這就導致了高壓側和低壓側晶片尺寸的減少，並因此增加了漏極開態電阻  $R_{ds-on}$ 。晶片襯墊尺寸的減少還導致了熱電阻的增加。

如果一個是 NMOSFET，而另一個是 PMOSFET，那麼高壓側和低壓側 MOSFET 可以設置在同一個晶片襯墊上。然而由於 PMOSFET 上通孔的移動性較低，P 溝道 MOSFET (PMOFET) 的性能比 N 溝道 MOSFET(NMOSFET) 的性能要差很多。這是本領域內的技術人員所熟知的。

### 【發明內容】

本發明的目的是提供一種用於高效直流-直流功率轉換器的高壓側和低壓側 N 溝道金屬氧化物半導體場效應電晶體組合封裝。本發明的優點是可以進一步縮小功率元件的尺寸、寄生電感和電容，並能提高功率元件的效率和減少

直流—直流功率轉換電路中封裝的數量和成本。

為達上述目的，本發明公開了一種電路封裝元件，其特徵在於，該電路封裝元件包括一個共同晶片襯墊；一個具有源極電觸點的第一垂直 N 溝道金屬氧化物半導體場效應電晶體，所述的源極位於面向共同晶片襯墊表面的一側且電接觸該共同晶片襯墊；一個具有漏極電觸點的第二垂直 N 溝道金屬氧化物場效應電晶體，所述的漏極位於面向共同晶片襯墊的一側且電接觸該共同晶片襯墊。

所述的第一 N 溝道金屬氧化物半導體場效應電晶體是一個高壓側 N 溝道金屬氧化物半導體場效應電晶體，所述的第二 N 溝道金屬氧化物半導體場效應電晶體是一個低壓側 N 溝道金屬氧化物半導體場效應電晶體。

所述的高壓側 N 溝道金屬氧化物半導體場效應電晶體包括一個底部源極 N 溝道橫向雙擴散 N 溝道金屬氧化物半導體場效應電晶體，而所述的低壓側 N 溝道金屬氧化物半導體場效應電晶體包括一個底部漏極 N 溝道垂直雙擴散 N 溝道金屬氧化物半導體場效應電晶體。

所述的高壓側 N 溝道金屬氧化物半導體場效應電晶體的柵極襯墊和漏極襯墊都位於高壓側 N 溝道金屬氧化物半導體場效應電晶體背對共同晶片襯墊的一側，而所述的柵極襯墊和漏極襯墊分別電連接到各自的柵極引線。

所述的第二 N 溝道金屬氧化物半導體場效應電晶體的柵極襯墊和源極襯墊分別通過若干鍵合線分別連接到各自的柵極引線和源極引線。

所述的高壓側 N 溝道金屬氧化物半導體場效應電晶體的漏極襯墊和低壓側 N 溝道金屬氧化物半導體場效應電晶體的源極襯墊分別位於高壓側 N 溝道金屬氧化物半導體場效應電晶體和低壓側 N 溝道金屬氧化物半導體場效應晶體背對共同晶片襯墊的一側，而所述的各自的漏極襯墊和源極襯墊則分別通過第一和第二連接金屬板連接到漏極和源極引線。

所述的第一連接金屬板包括若干形成於其上的第一凹槽，該凹槽將漏極引線連接到高壓側 N 溝道金屬氧化物半導體場效應電晶體的漏極襯墊，該凹槽置於連接金屬板上以提供和漏極的連接；所述的第二連接金屬板包括若干第二凹槽，該凹槽將源極引線連接到低壓側 N 溝道金屬氧化物半導體場效應電晶體的源極襯墊，該凹槽置於連接金屬板上以提供和源極的連接。

所述的若干第一凹槽和第二凹槽分別焊接到漏極襯墊和源極襯墊上。

所述的高壓側 N 溝道金屬氧化物半導體場效應電晶體的柵極襯墊和低壓側 N 溝道金屬氧化物半導體場效應電晶體的柵極襯墊分別通過鍵合線連接到柵極引線，所述的高壓側 N 溝道金屬氧化物半導體場效應電晶體的柵極襯墊和低壓側 N 溝道金屬氧化物半導體場效應電晶體的柵極襯墊則分別通過高壓側和低壓側連接金屬板連接到柵極引線。

所述的高壓側柵極連接金屬板包括一個形成在其上的凹槽，該凹槽置於和高壓側 N 溝道金屬氧化物半導體場效

應電晶體上的柵極襯墊接觸的位置；所述的低壓側柵極連接金屬板包括一個形成在其上的凹槽，該凹槽將柵極引線連接到低壓側 N 溝道金屬氧化物半導體場效應電晶體上的柵極襯墊，凹槽置於和低壓側 N 溝道金屬氧化物半導體場效應電晶體上的柵極襯墊接觸的位置。

所述的凹槽焊接到低壓側 N 溝道金屬氧化物半導體場效應電晶體的柵極襯墊上。

所述的高壓側 N 溝道金屬氧化物半導體場效應電晶體的漏極襯墊位於背對共同晶片襯墊上的一側，所述的低壓側 N 溝道金屬氧化物半導體場效應電晶體的源極襯墊位於背對共同晶片襯墊的一側，所述的漏極襯墊和源極襯墊分別通過一根或者多根鋁電源排線連接到漏極引線和源極引線。

所述的高壓側 N 溝道金屬氧化物半導體場效應電晶體和低壓側 N 溝道金屬氧化物半導體場效應電晶體的柵極襯墊分別通過鍵合線電連接到柵極引線，所述的高壓側 N 溝道金屬氧化物半導體場效應電晶體和低壓側 N 溝道金屬氧化物半導體場效應電晶體的柵極襯墊分別通過連接金屬板或者電源排線連接到柵極引線。

所述高壓側 N 溝道金屬氧化物半導體場效應電晶體是一個底部漏極 N 溝道金屬氧化物半導體場效應電晶體，其在底部上具有一個或者多個漏極襯墊，以及一個柵極襯墊，在頂部有一個或者多個源極襯墊，以倒裝晶片的方式安裝在共同晶片襯墊上，倒裝晶片是指晶片頂部接近並

面向共同晶片襯墊，即柵極襯墊和一個或多個源極襯墊接近並面向共同晶片襯墊。

所述的高壓側倒裝 N 溝道金屬氧化物半導體場效應電晶體的漏極襯墊和低壓側 N 溝道金屬氧化物半導體場效應電晶體的一個或者多個源極襯墊分別通過相應的高壓側和低壓側連接金屬板電連接到相應的漏極引線和源極引線。

所述的倒裝晶片連接金屬板包括若干形成在連接金屬板之上的凹槽，該凹槽被應用於將漏極引線連接到高壓側倒裝 N 溝道金屬氧化物半導體場效應電晶體的一個或者多個漏極襯墊，該凹槽位於與漏極襯墊接觸的位置。

所述的高壓側倒裝 N 溝道金屬氧化物半導體場效應電晶體還包括利用一個或者多個焊料球形成的柵極和源極之間的電連接。

所述的低壓側源極連接金屬板包括一個連接金屬板，該連接金屬板上若干形成於其上的凹槽，所述的連接班將源極引線耦合到低壓側 N 溝道金屬氧化物半導體場效應電晶體的源極襯墊，所述的凹槽位於與一個或者多個源極襯墊接觸的位置上。

位於低壓側源極連接金屬板上的若干凹槽被焊接到低壓側 N 溝道金屬氧化物半導體場效應電晶體上的一個或者多個源極襯墊上，所述的低壓側 N 溝道金屬氧化物半導體場效應電晶體的柵極通過低壓側柵極連接金屬板電連接到柵極引線，所述的低壓側柵極連接金屬板具有形成在其上的凹槽，所述的凹槽將柵極引線耦合到相應的低壓側 N 溝

道金屬氧化物半導體場效應電晶體上的柵極襯墊，所述的凹槽位於與柵極襯墊接觸的位置。

所述的低壓側柵極連接金屬板上的凹槽焊接到柵極襯墊。

低壓側 N 溝道金屬氧化物半導體場效應電晶體的源極通過一根或者多根電源排線或者夾子連接到源極引線，而所述的低壓側 N 溝道金屬氧化物半導體場效應電晶體的柵極通過一根導電線或者夾子連接到柵極引線。

所述的高壓側倒裝 N 溝道金屬氧化物半導體場效應電晶體的漏極通過一導電排線或者導電夾子連接到一個或者多個漏極引線，而所述的高壓側倒裝 N 溝道金屬氧化物半導體場效應電晶體的柵極通過一個焊料球電連接到柵極引線。

本發明公開了一種電路封裝元件，包括一個共同晶片襯墊；一個具有源極電觸點的高壓側 N 溝道金屬氧化物半導體場效應電晶體，其源極位於面向共同晶片襯墊表面的一側且電接觸該共同晶片襯墊；所述的高壓側 N 溝道金屬氧化物半導體場效應電晶體包括一個底部源極 N 溝道橫向雙擴散金屬氧化物半導體場效應電晶體；一個具有漏極電觸點的低壓側標準 N 溝道金屬氧化物半導體場效應電晶體，其漏極位於面向共同晶片襯墊的一側且電接觸該共同晶片襯墊；所述的低壓側 N 溝道金屬氧化物半導體場效應電晶體是一個垂直雙擴散金屬氧化物半導體場效應電晶體。

本發明公開了一種電路封裝元件，包括一個共同晶片襯墊；一個具有源極電觸點的高壓側 N 溝道金屬氧化物半導體場效應電晶體，其源極位於面向共同晶片襯墊表面的一側且電接觸該共同晶片襯墊，所述的高壓側 N 溝道金屬氧化物半導體場效應電晶體以倒裝結構的方式安裝在共同晶片襯墊；一個具有漏極電觸點的低壓側標準 N 溝道金屬氧化物半導體場效應電晶體，其漏極位於面向共同晶片襯墊的一側且電接觸該共同晶片襯墊，所述的低壓側 N 溝道金屬氧化物半導體場效應電晶體是垂直雙擴散金屬氧化物半導體場效應電晶體。

本發明公開了一種電路封裝元件，包括：一個共同晶片襯墊；一個具有源極電觸點的高壓側 N 溝道金屬氧化物半導體場效應電晶體，其源極位於面向共同晶片襯墊的一側且電接觸該共同晶片襯墊；一個具有漏極電觸點的低壓側標準 N 溝道金屬氧化物半導體場效應電晶體，其漏極位於面向共同晶片襯墊的一側且電接觸該共同晶片襯墊；一個金屬氧化物半導體場效應電晶體驅動器積體電路，該金屬氧化物半導體場效應電晶體驅動器積體電路具有耦合到高壓側 N 溝道金屬氧化物半導體場效應電晶體柵極的高壓側柵極驅動器輸出和一個耦合到低壓側 N 溝道金屬氧化物半導體場效應電晶體的柵極的低壓側柵極驅動器。

本發明具有以下效果和優點：

- 1.可以進一步縮小功率元件的尺寸。
- 2.可以減少寄生電感和電容。

3. 可以能提高功率元件的效率。
4. 可以減少直流—直流功率轉換電路中封裝的數量和成本。

### 【實施方式】

雖然為了說明本發明，以下詳細的說明包括很多具體細節，但本領域內的普通技術人員都會理解對於本發明細節的變化和修改都包含在本發明的範圍以內。因此，以下描述的本發明的實施例不喪失一般性，並且對所述的發明未施加任何限制。

如上文所討論的，使用 NMOSFET 功率元件的功率轉換器典型地包括三個部件：一個柵極驅動器積體電路，一個高壓側 NMOSFET 和一個低壓側 NMOSFET。傳統方式中，高壓側和低壓側 NMOSFETs 設置在同一個封裝中的兩個獨立晶片襯墊上。減少元件數量的一個可能的方法就是使用 PMOSFET 和 NMOSFET 功率元件的組合封裝。如果，例如，高壓側功率元件是一個 PMOSFET 元件，而低壓側功率元件是一個 NMOSFET 元件，則兩個功率元件就可以被貼附在同一個晶片襯墊上。不幸的是，PMOSFET 元件的性能比 NMOSFET 元件的性能要差很多。結果導致使用 PMOSFET 和 NMOSFET 元件的功率轉換電路具有較高的直流電阻和較低的效率。然而，在低壓側和高壓側底部漏極 NMOSFETs 的傳統安裝方式中，由於使用了連接高壓側 NMOSFET 源極和低壓側 NMOSFET 漏極的鍵合線，從而

導致了不良的寄生電感。傳統 NMOSFETs 的源極設置在頂部而漏極設置在底端。對於諸如高壓側低壓側功率轉換器之類的電路，這種設置需要將 NMOSFETs 安裝在兩個不同的晶片襯墊上，這樣就增加了熱電阻且導致了安裝晶片的可用空間減少。

本發明的實施例通過使用 NMOSFET 元件作為在高壓側和低壓側 NMOSFETs，從而克服了由於使用安裝在電壓轉換電路封裝中共同襯底上的 PMOSFET 和 NMOSFET 功率元件所導致的低效率和高電阻的缺點。本發明的實施例通過將一個底部漏極低壓側 NMOSFET 元件和一個高壓側 NMOSFET 元件安裝到同一個晶片襯墊上並且高壓側 NMOSFET 組件的源極面向同一個晶片襯墊，從而克服了傳統上由於將底部漏極高壓側和低壓側 NMOSFETs 安裝到不同的晶片襯墊上所帶來的寄生電感的缺點。本發明的實施例通過將一個底部漏極低壓側 NMOSFET 元件和一個高壓側 NMOSFET 元件安裝到同一個晶片襯墊上並且高壓側 NMOSFET 組件的源極面向同一個晶片襯墊，從而克服了傳統上將高壓側和低壓側晶片安裝在不同的晶片襯墊上所帶來的熱電阻的增加和 NMOSFET 晶片空間減少的缺點。

在本發明的一個實施例中，高壓側和低壓側 NMOSFETs 可被結合在同一個導電襯底或者晶片襯墊上。高壓側和低壓側 NMOSFETs 封裝在一起，且高壓側 NMOSFET 的源極端和低壓側 NMOSFET 的漏極端面向共同襯底的表面。根據本發明的一個實施例，功率轉換器電

路封裝包括一個安裝在共同晶片襯墊上的高壓側的底部源極 NMOSFET 和一個底部漏極安裝在共同晶片襯墊的低壓側的標準 VDMOSFET。

除非明確指出其他類型，此處所指的 VDMOSFET 是指 N 溝道 VDMOSFET。另外，除非明確指出其他類型，此處所指的標準 VDMOSFET 是指底部漏極 VDMOSFET，也就是，漏極形成於襯底。舉例說明，低壓側標準 VDMOSFET 可以是在本文中引用的申請號為 5998833 的美國專利所公開的隔離柵極溝槽（SGT）雙擴散金屬氧化物半導體（DMOS），還可以是標準垂直槽柵極 DMOS，例如從加州桑尼維爾的萬國半導體（AOS）獲得的型號為 AO4922 的器件，還可以是在此處引用的申請號為 4344081 的美國專利中公開過的標準垂直平面 MOSFET，或者還可以是在本文中引用的正在申請中的申請號為 11/444,853，申請日為 2006 年 5 月 31 日的名稱為“平面分立柵極高性能 MOSFET 結構和製造方法”中描述的平面分立柵極垂直 MOSFET。溝槽 DMOS 可能產生較低的電阻率 ( $R_{ds-on} * \text{尺寸}$ ) 從而達到最好的性能。通過使用隔離柵極溝槽 DMOS 技術可以達到低電容。

根據一個實施例，高壓側底部源極 NMOSFET 是一個橫向雙擴散 MOSFET(LDMOSFET)，如引用了所有公佈文件的在申請中的申請日為 2006 年 7 月 27 日，申請號為 11494830，名稱為“底部源極 LDMOSFET 結構和方法”的美國專利中所描述的底部源極 LDMOSFET。底部源極

LDMOSFET 有一個漏極位於頂部，源極—形成於襯底——位於底部。第 2A 圖-第 2B 圖是根據本發明一個實施例中的高壓側和低壓側 NMOSFET 電路封裝元件的俯視圖。第 2A 圖-第 2B 圖中，所示的此類功率轉換器電路元件和在本發明中的其他地方所描述的其他功率轉換器電路都可被應用到多種使用高壓側和低壓側元件的不同應用中。此類應用包括但不限於功率轉換器電路，音頻放大器電路，射頻(RF)放大電路和運算放大器(op-amp)輸出狀態。例如，第 2A 圖-第 2B 圖所示的此類電路封裝元件可被用於並且不限於功率轉換電路。

如第 2A 圖所示，在封裝組件 200 中，底部源極 N 溝道 LDMOSFET202 位於共同晶片襯墊 206 的高壓側，而低壓側標準 N 溝道 VDMOSFET204 位於共同晶片襯墊 206 的低壓側。除非明確指出其他情況，在此處所指的高壓側 LDMOSFET 是指高壓側 N 溝道底部源極 LDMOSFET，也就是漏極形成在晶片的頂部，而源極形成在晶片的襯底處一位於晶片的底部。高壓側 LDMOSFET202 安裝在共同晶片襯墊 206 上，其源極面向、物理貼附且電連接到共同晶片襯墊 206 上，例如，通過一個導電黏合層 208，如導電環氧層或者，更好的用焊料球來進行連接。低壓側標準 VDMOSFET204 同樣通過一個導電黏合層 210 如導電環氧層或者更好的用焊料球物理貼附和電連接於共同晶片襯墊 206，且低壓側標準 VDMOSFET204 的漏極面向共同晶片襯墊 206。位於高壓側 LDMOSFET202 和低壓側標準

VDMOSFET204 背向共同晶片襯墊 206 的一側上的柵極襯墊 203, 205 分別通過各自的鍵合線 224 和 226 連接到柵極引線 220 和 222。位於背向共同晶片襯墊 206 一側的高壓側 LDMOSFET202 的漏極襯墊 207，通過鍵合線 214 電連接到各自的漏極引線 212。類似的，低壓側標準 VDMOSFET204 的源極襯墊 209 通過鍵合線 216 分別電連接於各自的源極引線 218。在此處使用的術語“柵極襯墊”，“漏極襯墊”和“源極襯墊”是指 MOSFET 相對暴露和導電的區域，其分別和 MOSFET 的柵極，源極和漏極區電接觸。除非明確說明，在以下圖中，封裝被裝在一個未顯示的模塑膠中。

第 2B 圖—第 2C 圖描述了功率轉換電路封裝元件 201 中高壓側和低壓側 NMOSFETs 的組合封裝，其類似於第 2A 圖中所示的封裝，但在此封裝中，高壓側 LDMOSFET202 的頂部漏極襯墊 207 和低壓側標準 VDMOSFET204 的頂部源極襯墊 209 分別連接到共同漏極引線 217 和共同源極引線 219。

第 2D 圖是一個如第 2A 圖-第 2C 圖所示的高壓側和低壓側 MOSFETs 安裝在共同襯底上的功率轉換電路 230 的電路圖。如第 2D 圖所示，高壓側 LDMOSFET202 的漏極  $D_{HS}$  電耦合到輸入電壓  $V_{IN}$ ，高壓側 LDMOSFET202 的源極  $S_{HS}$  電耦合到低壓側標準 VDMOSFET204 的漏極  $D_{LS}$ 。低壓側標準 VDMOSFET204 的源極  $S_{LS}$  電耦合到接地引腳 PGND。高壓側 LDMOSFET202 的柵極 ( $G_{HS}$ ) 和低壓側標準 VDMOSFET204 的柵極 ( $G_{LS}$ ) 分別電耦合到高壓側柵極

電壓  $V_{GHS}$  和低壓側柵極電壓  $V_{GLS}$ 。高壓側和低壓側 MOSFETs202 和 204 置於如虛線框 211 所指的模塑膠中。由通常用於功率轉換電路的 MOSFET 驅動器積體電路 (IC) 232 來提供柵極電壓  $V_{GHS}, V_{GLS}$ 。市場上可以買到的可被用於 MOSFET 驅動器積體電路 232 的 MOSFET 包括但不限於 Intersil 公司生產的型號為 LSL6207 的高壓同步整流降壓 MOSFET 驅動器和美國加州 Semtech 公司生產型號為 SC1205 的高速同步功率 MOSFET 驅動器。

在不喪失一般性的情況下舉例說明，MOSFET 驅動器積體電路 232 具有輸入端，該輸入端包括啟動輸入 EN，脈寬調節輸入 PWM，正電源電壓 VS，接地引腳 PGND 和一個漏極引腳 DRN。另外，MOSFET 驅動器積體電路 232 包括輸出引腳，如高壓側柵極驅動器 TG，低壓側柵極驅動器 BG 和一個引導電壓引腳 BST。一個適合的源極電壓（例如 +5V）為電壓引腳 VS 供電。在一些實施例中，電壓源極和接地引腳 PGND 之間可連接一電容。MOSFET 驅動器可以這樣配置，就是當有一個足夠的電壓應用於啟動針腳 EN，MOSFET 驅動器 232 內部電路將被啟動。用於脈寬調製解調輸入 PWM 的脈寬調製信號為 MOSFET 驅動器積體電路 232 提供驅動器信號。

高壓側柵極驅動器 TG 耦合到高壓側 MOSFET202 的柵極  $G_{HS}$ ，從而提供高壓側柵極電壓  $V_{GHS}$ 。同樣的，低壓側柵極驅動器 BG 耦合到低壓側 MOSFET204 的柵極  $G_{LS}$  來提供低壓側柵極電壓  $V_{GLS}$ 。漏極引腳 DRN 連接在高壓側

MOSFET292 的源極  $S_{HS}$  和低壓側 MOSFET204 的漏極  $D_{LS}$  之間，從而為高壓側柵極驅動器 TG 提供一個回路。自舉電壓引腳 BST 為高壓側柵極 MOSFET202 提供浮動自舉電壓。在一些應用中，自舉電容  $C_B$  耦合在自舉電壓引腳 BST 和漏極引腳 DRN 之間。電容器 C 電耦合在  $V_{IN}$  和輸出電壓  $V_{SW}$ （開關電壓）之間，一個肖特基二極體  $D_{SCH}$  電耦合在開關電壓  $V_{SW}$  和接地引腳 PGND 之間，接地引腳連接於源極接地端 SGND。集成的肖特基二極體通過減少低壓側體二極體恢復損失，減少開關時的振盪等來提高電路性能。注意到肖特基二極體集成在低壓側 MOSFET 組件 204 上。MOSFETs 和肖特基二極體的組合封裝的例子包括但是不局限於 SRFET<sup>TM</sup> 家族產品，如可以從加利福尼亞桑尼維爾的萬國半導體公司獲得的型號為 AOL1412 的器件。

第 2E 圖、第 2F 圖中的截面圖和第 2G 圖、第 2H 圖展示了高壓側 NMOSFE HS 和低壓側 NMOSFET LS 的組合封裝的優點。在現有技術第 2E 圖中，高壓側 NMOSFET HS 和低壓側 NMOSFET LS 都是底部漏極 NMOSFETS，其分別位於兩個電絕緣的晶片襯墊  $DP_H, DP_L$  上。低壓側 MOSET 的漏極  $D_L$  面向低壓側晶片襯墊  $DP_L$ 。高壓側 MOSFET 的漏極  $D_H$  面向高壓側晶片襯墊  $DP_H$ 。雖然圖中未顯示，高壓側和低壓側 NMOSFETs HS、LS 晶片襯墊  $DP_H, DP_L$  和引線框架 LF 都包裝在一個模塑膠中。低壓側 NMOSFET 的源極  $S_L$  電耦合在引線框架 LF。低壓側 NMOSFET 的漏極  $D_L$  通過鍵合線 BW 耦合到高壓側 NMOSFET 的源極  $S_H$ ，該鍵

合線 BW 電接觸於低壓側晶片襯墊  $DP_L$ 。如第 2G 圖所示，是由於鍵合線 BW 的緣故導致寄生電感  $L_1$ 。對比而言，如第 2F 圖所示，高壓側 NMOSFET HS 和低壓側 MOSFET LS 組合封裝於一個共同晶片襯墊  $DP_{CS}$  上，且高壓側 NMOSFET 的源極面向共同晶片襯墊  $DP_C$ ，由於去掉了鍵合線因此除去了如第 2H 圖所示的寄生電感  $L_1$ 。雖然圖中未顯示，高壓側和低壓側 NMOSFETs HS, LS，共同晶片襯墊  $DP_C$ ，以及引線框架 LF 用一個模塑膠包裝起來。注意到出於簡化的原因，在第 2G 圖和第 2H 圖中由於外部連接而產生的寄生電容和電感被忽略了。

在一些實施例中，使用平面 MOSFET 導致了超低的連接電容。理論上，高壓側 MOSFETR，或者低壓側 MOSFETR，又或者兩者都是可以是平面的。在一個優選實施例中，高壓側 MOSFET 可以是平面元件，其和具有隔離柵極溝槽 DMOS 結構的低壓側 MOSFET 組合在一起，例如其可以是申請號為 5998833 的美國專利所示的類型，更可能是用於低壓側 MOSFET LS 的集成肖特基二極體。

第 3 圖是根據本發明一個實施例中所述的具有高壓側和低壓側 NMOSFETs 組合封裝的平面鍵合功率轉換電路封裝 300 的俯視圖，所述的 NMOSFETs 包括一個高壓側底部源極 LDMOSFET 和線連接柵極。如第 3 圖所示，高壓側 LDMOSFET302 和低壓側標準（底部漏極）VDMOSFET304 組合封裝在一個共同晶片襯墊 306 上。高壓側 LDMOSFET302 和低壓側標準 VDMOSFET304 分別通過各

自的導電層 308 和 310 電連接到共同晶片襯墊 306 上。導電層 308 和 310 可以是導電黏合層，例如，導電環氧層或者更好用焊料球。分別置於各襯墊底部的高壓側 LDMOSFET302 的源極襯墊和低壓側標準 VDMOSFET304 的漏極襯墊，被設置為面向共同晶片襯墊 306。高壓側 LDMOSFET302 和低壓側標準 VDMOSFET304 的柵極襯墊 303、305 分別通過各自的鍵合線 328、330 連接到柵極引線 324 和 326。

位於高壓側 LDMOSFET302 背向第一晶片襯墊 306 一側的漏極襯墊 307，通過第一連接金屬板 312 電連接到漏極引線 320。同樣的，位於低壓側標準 VDMOSFET304 背向共同晶片襯墊 306 一側的源極襯墊 309，通過第二連接金屬板 314 電連接到源極引線 322。第一連接金屬板 312 包括若干漏極凹槽 315 和錨定孔 317。第二連接金屬板 314 包括若干源極凹槽 316 和錨定孔 318。漏極凹槽 315 位於並且是衝壓在或者洞開在第一連接金屬板 312 上，這樣可以在回流焊接的過程中與高壓側 LDMOSFET302 上的漏極襯墊 307 對準。同樣地，源極凹槽 316 位於並且是衝壓在或者洞開在第二連接金屬板 314 上，因此可以在回流焊接的過程中與低壓側標準 VDMOSFET304 的源極襯墊 309 對準。軟焊料可被放置到漏極凹槽 315 和源極凹槽 316 中，並分通過凹槽 315、316 上的通孔（未顯示）流到高壓側 LDMOSFET302 上的漏極襯墊 307 和低壓側標準 VDMOSFET304 上的源極襯墊 309，從而分別在高壓側

LDMOSFET302 的漏極與漏極引線 320 之間以及低壓側標準 VDMOSFET304 的源極和源極引線 322 之間形成電性互聯。

第 4 圖是根據本發明的一個實施例中的具有高壓側和低壓側 NMOSFETs 組合封裝的金屬板連接功率轉換電路封裝 301 的俯視圖，其中，NMOSFETs 包括一個高壓側 LDMOSFET 和一個金屬板連接柵極。第 4 圖所示的金屬板連接高壓側和低壓側 NMOSFET 組合封裝元件類似於第 3 圖所示的封裝，但是第 4 圖中底部源極 LDMOSFET302 和低壓側標準 VDMOSFET304 上的柵極襯墊 303 和 305 分別通過柵極連接金屬板 336 和 338 電連接到柵極引線 324 和 326。高壓側柵極金屬板 336 包括一個凹槽 332，該凹槽 332 其位於且衝壓或者洞開在高壓側柵極連接金屬板 336 上，因此可以在回流焊接過程中與高壓側底部源極 LDMOSFET302 上，的柵極襯墊 303 對準。低壓側柵極連接金屬板 338 包括一凹槽 334，該凹槽 334 位於且是衝壓或者洞開在低壓側柵極連接金屬板 338 上，因此可以在回流焊接過程中與低壓側標準 VDMOSFET304 上的柵極襯墊 305 對準。高壓側 LSMOSFET302 的柵極襯墊 303 和柵極連接金屬板 336 之間的電互聯，以及低壓側標準 VDMOSFET304 的柵極襯墊 305 和柵極連接金屬板 338 之間的電互聯可以通過在柵極襯墊 303 和 305 的外部開口沉積軟焊劑來形成，軟焊劑擠壓在柵極凹槽 332 和 334 周圍可以減少壓力和阻力。

關於使用如上第 3 圖和第 4 圖所描述的利用包含凹槽的連接金屬板形成的互連的詳細描述可以在正在申請中的名稱為“包含凹槽金屬板互連的半導體封裝”（ Semiconductor Package Having Dimpled Plate Interconnection）申請號為 11/799474 申請日為 2007 年 4 月 30 日申請人為孫明（案號為 AOS025）的美國專利中獲得，其完整的公開檔作為參考在此處引用。

本發明的前幾個實施例中使用了一個底部源極 NMOSFET 作為高壓側 NMOSFET。此處的“底部源極” MOSFET 是指製成的 MOSFET 中，其源極區和/或相關的源極襯墊位於晶片底部，而其他區域（柵極和漏極）和/或他們相關的襯墊位於源極和/或源極襯墊的頂部。一個底部源極 MOSFET 的例子在本文中引用的申請號為 11/495803 的美國專利申請中進行了描述。相比而言，“標準”（或者底部漏極）MOSFET，其漏極區域和/或相關的漏極襯墊形成在晶片的底部而其他區域（源極和柵極）和/或其相關的襯墊形成在漏極區域和/或漏極襯墊的頂部。根據本發明的一個實施例，高壓側 MOSFET 可是標準（底部漏極）VDMOSFET，其以倒裝晶片的結構安裝在共同晶片襯墊上，其中，底部漏極襯墊位於背向共同晶片襯墊的一側，而源極襯墊安裝在面向共同晶片襯墊的反面。在此類實施例中的高壓側 VDMOSFET 可以是個平面分立柵極垂直 MOSFET、隔離柵極溝槽垂直 MOSFET、標準溝槽 VDMOSFET 或標準溝槽 DMOS。

第 5A 圖是包含高壓側和低壓側 NMOSFETs 金屬板連接組合封裝的功率轉換電路封裝 500 的俯視圖，其中 NMOSFETs 包括一個以倒裝晶片形成安裝的具有金屬板連接柵極的高壓側標準（底部漏極）VDMOSFET502。如第 5A 圖所示，倒裝高壓側標準 VDM6OSFET5026 和一個低壓側標準 VDMOSFET504 封裝在一個共同晶片襯墊 506 上。如第 5B 圖-第 5C 圖所示，高壓側 VDMOSFET502 以其柵極襯墊 503 和源極襯墊 511 位於面向共同晶片襯墊 506 的一側這種倒裝結構安裝。在下文中，高壓側 VDMOSFET 是指具有倒裝結構的高壓側標準（底部漏極）VDMOSFET。源極襯墊 511 通過倒裝晶片焊料球 530 電連接於共同晶片襯墊 506。在這個實施例中，高壓側 VDMOSFE502 的柵極襯墊 503 電連接到柵極引線 528，其位於靠近共同晶片襯墊 506 的高壓側 VDMOSFET502 的下面。柵極襯墊 503 和柵極引線 528 之間的電連接可以通過諸如一個或者多個晶片極封裝(CSP)或者倒裝晶片焊料球 526 來實現，該 CSP 或倒裝晶片焊料球放在高壓側 VDMOSFET502 和柵極引線 528 之間且與柵極襯墊 503 對準來提供電連接。

在倒裝結構中，高壓側 VDMOSFET502 的漏極襯墊 507 位於背向共同晶片襯墊 506 的一側。漏極襯墊 507 通過一個倒裝晶片連接金屬板 512 電連接到漏極引線 532。倒裝晶片連接金屬板 512 包括若干漏極凹槽 515 和錨定孔 517。漏極凹槽 515 位於且衝壓或者洞開在倒裝晶片連接金屬板 512

上，因此可以在回流焊接過程中與高壓側 VDMOSFET502 上的漏極襯墊對準。軟焊劑被襯墊到漏極凹槽 515 中，並且通過漏極凹槽 515 上的通孔（未顯示）流動到高壓側 VDMOSFET502 的漏極襯墊，從而在漏極襯墊 507 和漏極引線 532 之間形成電連接。晶片極封裝/倒裝晶片焊料球 530 置於高壓側 VDMOSFET502 和共同晶片襯墊 506 之間來形成源極電連接。晶片極封裝/倒裝晶片焊料球 526 和 530 可以是直徑為 100um 的銅柱或者焊料球。

和第 4 圖所示的低壓側標準 VDMOSFET304 類似，標準 VDMOSFET504 的源極襯墊 509 通過低壓側標準源極連接金屬板 514 電連接到源極引線 534。低壓側源極連接金屬板 514 包括若干源極凹槽 516 和錨定孔 518。源極凹槽 516 位於且衝壓在或者洞開在第二連接金屬板 514 上，因此在回流焊接過程中，與源極襯墊 509 對準。低壓側標準 VDMOSFET504 的柵極襯墊 505 通過一個柵極金屬板 522 電連接到柵極引線 524。柵極金屬板 522 包括一個凹槽 520，凹槽 520 位於且衝壓在或者洞開在柵極金屬板 522 上，因此在回流焊接過程中和柵極襯墊 505 對準。軟焊料沉積到源極凹槽 516 和柵極凹槽 520 中，通過源極凹槽 516 上的通孔（未顯示）流動到源極襯墊 509，從而在源極襯墊 509 和源極引線 534 之間形成電連接。低壓側標準 VDMOSFET504 的漏極襯墊 513 面向並且電連接到共同晶片襯墊 506。低壓側標準 VDMOSFET504 通過一個導電環氣層 510 電接觸於共同晶片襯墊 506。

第 5B 圖是第 5A 圖中，具有高壓側和低壓側 MOSFETs 金屬板連接組合封裝功率轉換電路封裝 500 沿著線 B-B 的截面圖，其中 MOSFETs 具有一個高壓側倒裝晶片 VDMOSFET502。如第 5A 圖所示，高壓側 VDMOSFET502 以倒裝晶片方式安裝，因此其源極面向共同晶片襯墊 506。如第 5B 圖所示，CSP/倒裝晶片焊料球 530 位於高壓側 VDMOSFET502 和共同晶片襯墊 506 之間，從而在高壓側 VDMOSFET502 的源極襯墊 511 和共同晶片襯墊 506 之間形成電連接。第 5C 圖是第 5A 圖中具有高壓側和低壓側 MOSFETs 金屬板連接組合封裝的功率轉換電路封裝 500 沿著線 C-C 的截面圖，其中 NMOSFETs 具有一個高壓側倒裝 VDMOSFET502。如第 5C 圖 所示，CSP/倒裝晶片焊料球 530 位於高壓側 VDMOSFET502 和共同晶片襯墊 506 之間以形成源極襯墊 511 和共同晶片襯墊 506 之間的電連接，而晶片極封裝倒裝晶片焊料球 526 設置在柵極引線 528 和高壓側 VDMOSFET502 之間，並且與高壓側 VDMOSFET502 的柵極襯墊 503 對準，以形成柵極襯墊 503 和柵極引線 528 之間的電連接。

第 6 圖是具有高壓側和低壓側 NMOSFETs 組合封裝的功率轉換電路封裝 600 的電路俯視圖，其中，MOSFETs 具有鋁電源排線互聯。如第 6 圖所示，底部源極高壓側 LDMOSFET602 和低壓側標準 VDMOSFET604 共同封裝在一個共同晶片襯墊 606 上。底部源極高壓側 LDMOSFET602 的漏極襯墊 607 利用一根或多根鋁電源排連電連接到漏極

引線 620。同樣地，低壓側標準 VDMOSFET604 的源極襯墊 609 也通過一根或者多根鋁電源排線電連接到源極引線 622。高壓側 LDMOSFET602 和低壓側標準 VDMOSFET604 的柵極襯墊 603 和 605 分別通過各自的鋁電源排線 614 和 615 電連接到各自的柵極引線 616 和 618。鋁電源排線 612、613 和鋁線 614、615 都可以使用超聲波加熱連接到襯墊和引線。作為選擇，柵極襯墊 603、605 可以通過鍵合線，連接金屬板或者鋁電源排線（未顯示）電連接到各自的柵極引線 616、618。

第 7 圖上將具有倒裝或倒裝晶片配置安裝的高壓側標準 VDMOSFET 和低壓側標準 VDMOSFET 通過鋁電源排線互聯的組合封裝的功率轉換電路封裝 700 的電路圖。如第 7 圖所示，倒裝高壓側 VDMOSFET702 和一個傳統安裝的低壓側標準 VDMOSFET704 共同封裝在一個共同晶片襯墊 706 上。高壓側 VDMOSFET702 的漏極襯墊 707 通過鋁電源排線或者夾子 708 電連接到漏極引線 720。焊料球 712 位於高壓側 VDMOSFET702 的下面從而達到高壓側 VDMOSFET702 的源極襯墊 711 和共同晶片襯墊 706 之間，從而和高壓側 VDMOSFET702 的柵極襯墊 703 和柵極引線 716 之間的電性互聯。

低壓側 VDMOSFET704 的源極襯墊 709 通過一根鋁電源排線或者夾子 710 電連接到源極引線 722。低壓側 VDMOSFET704 的柵極襯墊 705 可以通過一根鋁電源排線或者夾子 714 電連接到柵極引線 718。作為替換，柵極襯墊

703, 705 可以通過鍵合線、連接金屬板或者鋁電源排線（未顯示）電連接到各自的柵極引線 716, 718。

鋁電源排線和鋁線都可以通過超聲波加熱連接到襯墊或者引線上。

本發明的實施例和現有技術比起來，可以使高壓側和低壓側 NMOSFET 封裝於較小的空間中。對於 NMOSFETS 來說，較小的封裝空間可以使功率轉換電路或者元件的配置做的更小且價格更加低廉。另外，使用共同晶片襯墊可以較大程度的減少甚至消滅傳統封裝所導致的寄生電感。

雖然上文對本發明的優選實施例進行了完整的描述，但是還可以使用各種替代，修改和等效形式。例如，高壓側和低壓側 NMOSFETS 指定了特定的電晶體型號，例如：LDMOSFET 和 VDMOSFET。這些是優選實施例，但是不能說明本發明僅限於此類電晶體型號。理論上，任何型號的垂直 NMOSFET 都可以使用，只要其漏極和源極位於實施例中所描述中的相同位置。

另外，雖然以上描述了應用於功率轉換電路一個實施例，但是本發明的實施例並不局限于此類應用。本發明的實施例可以被應用於任何情形，只要兩個垂直 NMOSFETs 中的其中一個的漏極電連接到另一個的源極。

因此，本發明的範圍不應通過上文的描述確定，而是應該通過附後的申請專利範圍及其等效內容的全部範圍確定。任何技術特徵不論是否優選都可以和任何其他不論是否優選的技術特徵組合。在附後的申請專利範圍中，除非

200910555

另有明確的指定，原文中的不定冠詞"A"或"An"指該冠詞之後的專案的數量為一個或多個。附後的申請專利範圍不應解釋為其包括方法加功能的限制，除非這樣的限制在所給出的申請專利範圍中明確地指出。

【圖式簡單說明】

第 1 圖是現有技術用於功率轉換器的高壓側和低壓側 NMOSFETs 封裝的俯視圖；

第 2A 圖-第 2B 圖是根據本發明一個實施例中具有高壓側和低壓側 NMOSFETs 的電路封裝元件的俯視圖；

第 2C 圖是第 2B 圖電路封裝元件的立體圖；

第 2D 圖是功率轉換電路的電路圖，此功率轉換電路可用於連接如第 2A 圖-第 2C 圖所示的高壓側和低壓側 NMOSFET 電路封裝元件；

第 2E 圖是現有技術中高壓側和低壓側 NMOSFET 電路封裝元件的側視橫截面圖；

第 2F 圖是根據本發明的一個實施例中高壓側和低壓側 NMOSFET 電路封裝元件的側視橫截面圖；

第 2G 圖是現有技術高壓側和低壓側 NMOSFET 電路封裝元件的等效電路圖；

第 2H 圖是根據本發明一個實施例中高壓側和低壓側 NMOSFET 電路封裝元件的等效電路圖；

第 3 圖是根據本發明的一個實施例中的具有高壓側和低壓側 NMOSFETs 組合封裝的金屬板連接電路封裝的俯視圖，NMOSFETs 具有線連接柵極的高壓側底部源極橫向雙擴散 MOSFET(LDMOSFET)；

第 4 圖是根據本發明的一個實施例中的使用金屬板連接柵極將高壓側和低壓側 NMOSFET 進行組合封裝的電路封裝元件的俯視圖；

第 5A 圖是根據本發明的一個實施例中的具有高壓側和低壓側 NMOSFET 金屬板連接組合封裝的電路封裝元件的俯視圖，其中高壓側 NMOSFET 以倒裝晶片結構進行封裝；

第 5B 圖是沿著第 5A 圖中線 B-B 的橫截面圖；

第 5C 圖是沿著第 5A 圖中線 C-C 的橫截面圖；

第 6 圖是根據本發明的一個實施例中的具有用鋁電源排線互聯的高壓側和低壓側 NMOSFETs 的組合封裝的電路封裝元件的俯視圖；

第 7 圖是根據本發明的一個實施例中的具有高壓側和低壓側 NMOSFETs 組合封裝的電路封裝元件的俯視圖，高壓側底部源極或者倒裝晶片垂直 MOSFET 用鋁電源排線互聯。

## 【主要元件符號說明】

BG	低壓側柵極驅動器
BST	引導電壓引腳
BW、114、116、214、216、鍵合線 224、226、328、330	
C	電容器
C <sub>B</sub>	電容
d	寬度
DRN	漏極引腳
D <sub>SCH</sub>	肖特基二極體
D <sub>L</sub> 、D <sub>H</sub> 、D <sub>LS</sub>	漏極
DP <sub>C</sub> 、DP <sub>CS</sub> 、DP <sub>H</sub> 、DP <sub>L</sub> 、共同晶片襯墊 206、306、506、706	
G <sub>HS</sub> 、G <sub>LS</sub>	柵極
LF	引線框架
NMOSFET	N 溝道電晶體
PGND	接地引腳
S <sub>L</sub> 、S <sub>H</sub> 、S <sub>H</sub> 、S <sub>LS</sub>	源極
SGND	源極接地端
TG	高壓側柵極驅動器
V <sub>IN</sub>	電壓
V <sub>GHS</sub>	高壓側柵極電壓
V <sub>GLS</sub>	低壓側柵極電壓
VS	電壓引腳
V <sub>SW</sub>	開關電壓
VDMOSFET	垂直雙擴散金屬氧化物半導體 場效應電晶體

101	虛線
102	高壓側標準 VDMOSFET
103、105、203、205、303、	柵極襯墊
305、503、603、605、703、	
705	
104	低壓側標準 VDMOSFET
106、108、306	晶片襯墊
107、109、209、309、509、	源極襯墊
511、609、709、711	
110、112、218、322、722、	源極引線
219	
118、120、510	導電環氣層
122	額外鍵合線
200	封裝組件
201	功率轉換電路封裝元件
202、302、502、602、	高壓側 LDMOSFET
702	
204、304、504、604、	低壓側標準 N 溝道
704	VDMOSFET
207、307、507、513、	漏極襯墊
707	
208、210	導電黏合層
212、217、320、532、620、	漏極引線
622、720	

220、222、324、326、	柵極引線
508、524、616、618、	
716、718	
230	功率轉換電路
300	平面鍵合功率轉換電路封裝
301	金屬板連接功率轉換電路封裝
302	高壓側 LDMOSFET
304	低壓側標準 VDMOSFET
308、310	導電層
312	第一連接金屬板
314	第二連接金屬板
315、515	漏極凹槽
316、516	源極凹槽
317、318、518	錨定孔
332、334、506、520	凹槽
336、338、522	柵極連接金屬板
500	功率轉換電路封裝
512	倒裝晶片連接金屬板
514	低壓側源極連接金屬板
526、530、712	晶片焊料球
612、613、614、615	鋁電源排線
708、710	夾子

200910555

## 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：097131488

※ 申請日期：97年8月18日

※IPC 分類：  
H01L23/48 (2006.01)  
H02M3/10 (2006.01)

### 一、發明名稱：(中文/英文)

用於高效直流-直流功率轉換器的高壓側和低壓側 N 溝道金屬氧化物半導體場效應電晶體組合封裝 /Co-Packaged High-Side and Low-Side NMOSFETS for Efficient DC-DC Power Conversion

### 二、中文發明摘要：

本發明公開了一種電路封裝元件。本發明包括一個導電襯底，一個高壓側 N 溝道金屬氧化物半導體場效應電晶體，其源極位於面向導電襯底表面的一側且具有電接觸；一個低壓側標準 N 溝道金屬氧化物半導體場效應電晶體，其漏極位於面向導電襯底的一側且具有電接觸。和傳統的封裝相比，高壓側和低壓側 N 溝道金屬氧化物半導體場效應電晶體的此種組合封裝可以減少封裝包的尺寸、寄生電感和電容。

### 三、英文發明摘要：

A circuit package assembly is disclosed. The assembly includes a conductive substrate; a high-side n-channel metal oxide semiconductor field effect transistor (NMOSFET) having a source on a side facing a surface of the conductive substrate and in electrical contact therewith and a low-side standard n-channel metal oxide semiconductor field effect transistor (NMOSFET) having a drain on a side facing the conductive substrate and in electrical contact therewith. Co-packaging of high-side and low-side NMOSFETs in this manner may reduce package size and parasitic inductance and capacitance compared to conventional packaging.

## 七、申請專利範圍：

1. 一種電路封裝元件，包括  
一個共同晶片襯墊；  
一個具有源極電觸點的第一垂直N溝道金屬氧化物半導體場效應電晶體，所述的源極位於面向共同晶片襯墊表面的一側且電接觸該共同晶片襯墊；  
一個具有漏極電觸點的第二垂直N溝道金屬氧化物場效應電晶體，所述的漏極位於面向共同晶片襯墊的一側且電接觸該共同晶片襯墊。
2. 如申請專利範圍第1項所述的電路封裝元件，其特徵在於，所述的第一N溝道金屬氧化物半導體場效應電晶體是一個高壓側N溝道金屬氧化物半導體場效應電晶體，所述的第二N溝道金屬氧化物半導體場效應電晶體是一個低壓側N溝道金屬氧化物半導體場效應電晶體。
3. 如申請專利範圍第2項所述的電路封裝元件，其特徵在於，所述的高壓側N溝道金屬氧化物半導體場效應電晶體包括一個底部源極N溝道橫向雙擴散N溝道金屬氧化物半導體場效應電晶體，而所述的低壓側N溝道金屬氧化物半導體場效應電晶體包括一個底部漏極N溝道垂直雙擴散N溝道金屬氧化物半導體場效應電晶體。
4. 如申請專利範圍第2項所述的電路封裝元件，其特徵在於，所述的高壓側N溝道金屬氧化物半導體場效應

電晶體的柵極襯墊和漏極襯墊都位於高壓側 N 溝道金屬氧化物半導體場效應電晶體背對共同晶片襯墊的一側，而所述的柵極襯墊和漏極襯墊分別電連接到各自的柵極引線。

5. 如申請專利範圍第 1 項所述的電路封裝元件，其特徵在於，所述的第二 N 溝道金屬氧化物半導體場效應電晶體的柵極襯墊和源極襯墊分別通過若干鍵合線分別連接到各自的柵極引線和源極引線。
6. 如申請專利範圍第 2 項所述的電路封裝元件，其特徵在於，所述的高壓側 N 溝道金屬氧化物半導體場效應電晶體的漏極襯墊和低壓側 N 溝道金屬氧化物半導體場效應電晶體的源極襯墊分別位於高壓側 N 溝道金屬氧化物半導體場效應電晶體和低壓側 N 溝道金屬氧化物半導體場效應晶體背對共同晶片襯墊的一側，而所述的各自的漏極襯墊和源極襯墊則分別通過第一和第二連接金屬板連接到漏極和源極引線。
7. 如申請專利範圍第 6 項所述的電路封裝元件，其特徵在於，所述的第一連接金屬板包括若干形成於其上的第一凹槽，該凹槽將漏極引線連接到高壓側 N 溝道金屬氧化物半導體場效應電晶體的漏極襯墊，該凹槽置於連接金屬板上以提供和漏極的連接；所述的第二連接金屬板包括若干第二凹槽，該凹槽將源極引線連接到低壓側 N 溝道金屬氧化物半導體場效應電晶體的源極襯墊，該凹槽置於連接金屬板上以提供和源極的連

接。

- 8 · 如申請專利範圍第 7 項所述的電路封裝元件，其特徵在於，所述的若干第一凹槽和第二凹槽分別焊接到漏極襯墊和源極襯墊上。
- 9 · 如申請專利範圍第 8 項所述的電路封裝元件，其特徵在於，所述的高壓側 N 溝道金屬氧化物半導體場效應電晶體的柵極襯墊和低壓側 N 溝道金屬氧化物半導體場效應電晶體的柵極襯墊分別通過鍵合線連接到柵極引線，所述的高壓側 N 溝道金屬氧化物半導體場效應電晶體的柵極襯墊和低壓側 N 溝道金屬氧化物半導體場效應電晶體的柵極襯墊則分別通過高壓側和低壓側連接金屬板連接到柵極引線。
- 10 · 如申請專利範圍第 9 項所述的電路封裝元件，其特徵在於，所述的高壓側柵極連接金屬板包括一個形成在其上的凹槽，該凹槽置於和高壓側 N 溝道金屬氧化物半導體場效應電晶體上的柵極襯墊接觸的位置；所述的低壓側柵極連接金屬板包括一個形成在其上的凹槽，該凹槽將柵極引線連接到低壓側 N 溝道金屬氧化物半導體場效應電晶體上的柵極襯墊，凹槽置於和低壓側 N 溝道金屬氧化物半導體場效應電晶體上的柵極襯墊接觸的位置。
- 11 · 如申請專利範圍第 10 項所述的電路封裝元件，其特徵在於，所述的凹槽焊接到低壓側 N 溝道金屬氧化物半導體場效應電晶體的柵極襯墊上。

- 12 · 如申請專利範圍第 2 項所述的電路封裝元件，其特徵在於，所述的高壓側 N 溝道金屬氧化物半導體場效應電晶體的漏極襯墊位於背對共同晶片襯墊上的一側，所述的低壓側 N 溝道金屬氧化物半導體場效應電晶體的源極襯墊位於背對共同晶片襯墊的一側，所述的漏極襯墊和源極襯墊分別通過一根或者多根鋁電源排線連接到漏極引線和源極引線。
- 13 · 如申請專利範圍第 12 項所述的電路封裝元件，其特徵在於，所述的高壓側 N 溝道金屬氧化物半導體場效應電晶體和低壓側 N 溝道金屬氧化物半導體場效應電晶體的柵極襯墊分別通過鍵合線電連接到柵極引線，所述的高壓側 N 溝道金屬氧化物半導體場效應電晶體和低壓側 N 溝道金屬氧化物半導體場效應電晶體的柵極襯墊分別通過連接金屬板或者電源排線連接到柵極引線。
- 14 · 如申請專利範圍第 2 項所述的電路封裝元件，其特徵在於，所述高壓側 N 溝道金屬氧化物半導體場效應電晶體是一個底部漏極 N 溝道金屬氧化物半導體場效應電晶體，其在底部上具有一個或者多個漏極襯墊，以及一個柵極襯墊，在頂部有一個或者多個源極襯墊，以倒裝晶片的方式安裝在共同晶片襯墊上，倒裝晶片是指晶片頂部接近並面向共同晶片襯墊，即柵極襯墊和一個或多個源極襯墊接近並面向共同晶片襯墊。
- 15 · 如申請專利範圍第 14 項所述的電路封裝元件，其特徵

在於，所述的高壓側倒裝 N 溝道金屬氧化物半導體場效應電晶體的漏極襯墊和低壓側 N 溝道金屬氧化物半導體場效應電晶體的一個或者多個源極襯墊分別通過相應的高壓側和低壓側連接金屬板電連接到相應的漏極引線和源極引線。

- 16· 如申請專利範圍第 12 項所述的電路封裝元件，其特徵在於，所述的倒裝晶片連接金屬板包括若干形成在連接金屬板之上的凹槽，該凹槽被應用於將漏極引線連接到高壓側倒裝 N 溝道金屬氧化物半導體場效應電晶體的一個或者多個漏極襯墊，該凹槽位於與漏極襯墊接觸的位置。
- 17· 如申請專利範圍第 16 項所述的電路封裝元件，其特徵在於，所述的高壓側倒裝 N 溝道金屬氧化物半導體場效應電晶體還包括利用一個或者多個焊料球形成的柵極和源極之間的電連接。
- 18· 如申請專利範圍第 17 項所述的電路封裝元件，其特徵在於，所述的低壓側源極連接金屬板包括一個連接金屬板，該連接金屬板上若干形成於其上的凹槽，所述的連接班將源極引線耦合到低壓側 N 溝道金屬氧化物半導體場效應電晶體的源極襯墊，所述的凹槽位於與一個或者多個源極襯墊接觸的位置上。
- 19· 如申請專利範圍第 18 項所述的電路封裝元件，其特徵在於，位於低壓側源極連接金屬板上的若干凹槽被焊接到低壓側 N 溝道金屬氧化物半導體場效應電晶體上

的一個或者多個源極襯墊上，所述的低壓側 N 溝道金屬氧化物半導體場效應電晶體的柵極通過低壓側柵極連接金屬板電連接到柵極引線，所述的低壓側柵極連接金屬板具有形成在其上的凹槽，所述的凹槽將柵極引線耦合到相應的低壓側 N 溝道金屬氧化物半導體場效應電晶體上的柵極襯墊，所述的凹槽位於與柵極襯墊接觸的位置。

- 20· 如申請專利範圍第 19 項所述的電路封裝元件，其特徵在於，所述的低壓側柵極連接金屬板上的凹槽焊接到柵極襯墊。
- 21· 如申請專利範圍第 14 項所述的電路封裝元件，其特徵在於，低壓側 N 溝道金屬氧化物半導體場效應電晶體的源極通過一根或者多根電源排線或者夾子連接到源極引線，而所述的低壓側 N 溝道金屬氧化物半導體場效應電晶體的柵極通過一根導電線或者夾子連接到柵極引線。
- 22· 如申請專利範圍第 21 項所述的電路封裝元件，其特徵在於，所述的高壓側倒裝 N 溝道金屬氧化物半導體場效應電晶體的漏極通過一導電排線或者導電夾子連接到一個或者多個漏極引線，而所述的高壓側倒裝 N 溝道金屬氧化物半導體場效應電晶體的柵極通過一個焊料球電連接到柵極引線。
- 23· 一種電路封裝元件，包括：  
一個共同晶片襯墊；

一個具有源極電觸點的高壓側 N 溝道金屬氧化物半導體場效應電晶體，其源極位於面向共同晶片襯墊表面的一側且電接觸該共同晶片襯墊；所述的高壓側 N 溝道金屬氧化物半導體場效應電晶體包括一個底部源極 N 溝道橫向雙擴散金屬氧化物半導體場效應電晶體；一個具有漏極電觸點的低壓側標準 N 溝道金屬氧化物半導體場效應電晶體，其漏極位於面向共同晶片襯墊的一側且電接觸該共同晶片襯墊；所述的低壓側 N 溝道金屬氧化物半導體場效應電晶體是一個垂直雙擴散金屬氧化物半導體場效應電晶體。

24· 一種電路封裝元件，包括：

一個共同晶片襯墊；

一個具有源極電觸點的高壓側 N 溝道金屬氧化物半導體場效應電晶體，其源極位於面向共同晶片襯墊表面的一側且電接觸該共同晶片襯墊，所述的高壓側 N 溝道金屬氧化物半導體場效應電晶體以倒裝結構的方式安裝在共同晶片襯墊；

一個具有漏極電觸點的低壓側標準 N 溝道金屬氧化物半導體場效應電晶體，其漏極位於面向共同晶片襯墊的一側且電接觸該共同晶片襯墊，所述的低壓側 N 溝道金屬氧化物半導體場效應電晶體是垂直雙擴散金屬氧化物半導體場效應電晶體。

25· 一種電路封裝元件，包括：

一個共同晶片襯墊；

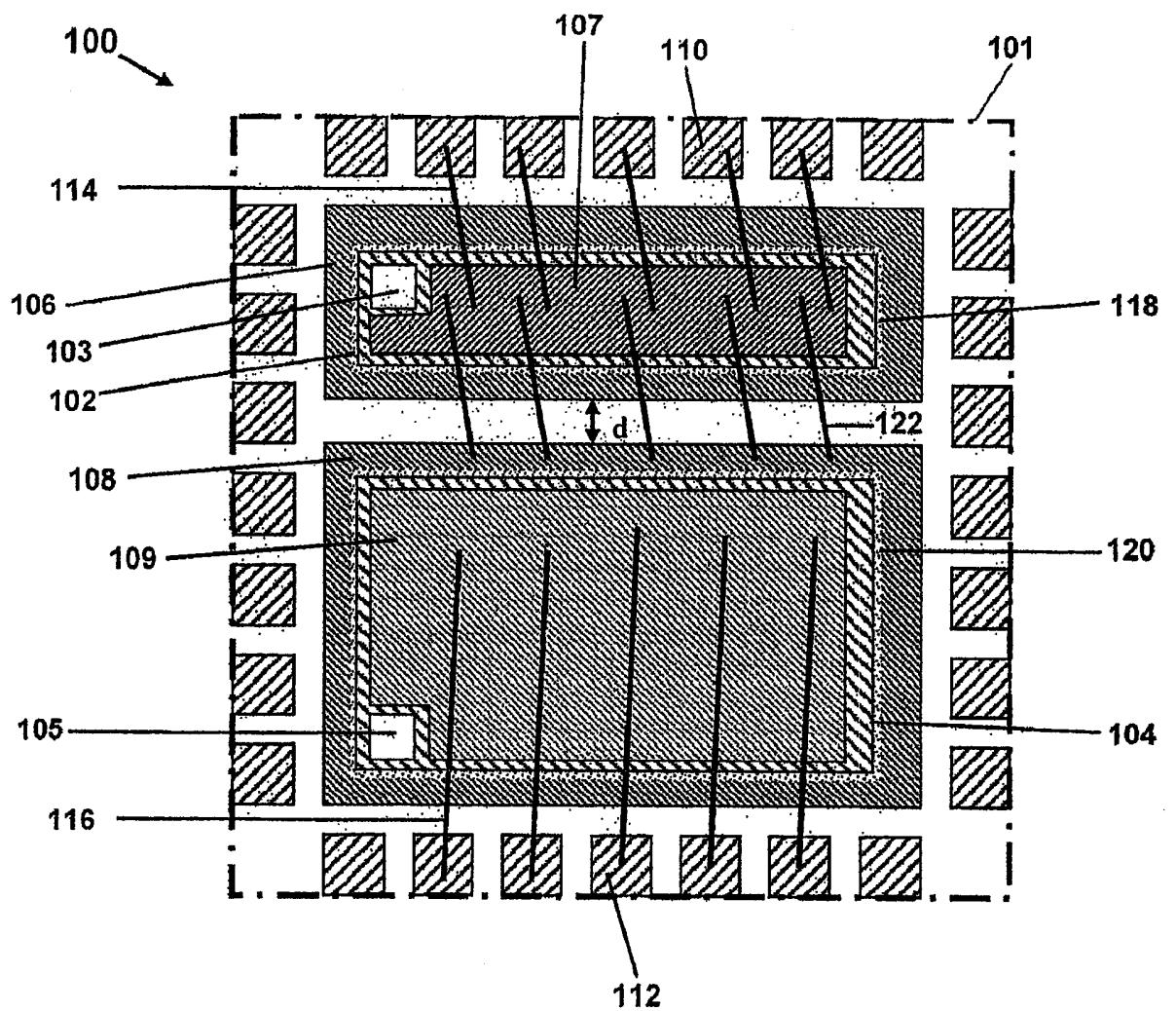
一個具有源極電觸點的高壓側 N 溝道金屬氧化物半導體場效應電晶體，其源極位於面向共同晶片襯墊的一側且電接觸該共同晶片襯墊；

一個具有漏極電觸點的低壓側標準 N 溝道金屬氧化物半導體場效應電晶體，其漏極位於面向共同晶片襯墊的一側且電接觸該共同晶片襯墊；

一個金屬氧化物半導體場效應電晶體驅動器積體電路，該金屬氧化物半導體場效應電晶體驅動器積體電路具有耦合到高壓側 N 溝道金屬氧化物半導體場效應電晶體柵極的高壓側柵極驅動器輸出和一個耦合到低壓側 N 溝道金屬氧化物半導體場效應電晶體的柵極的低壓側柵極驅動器。

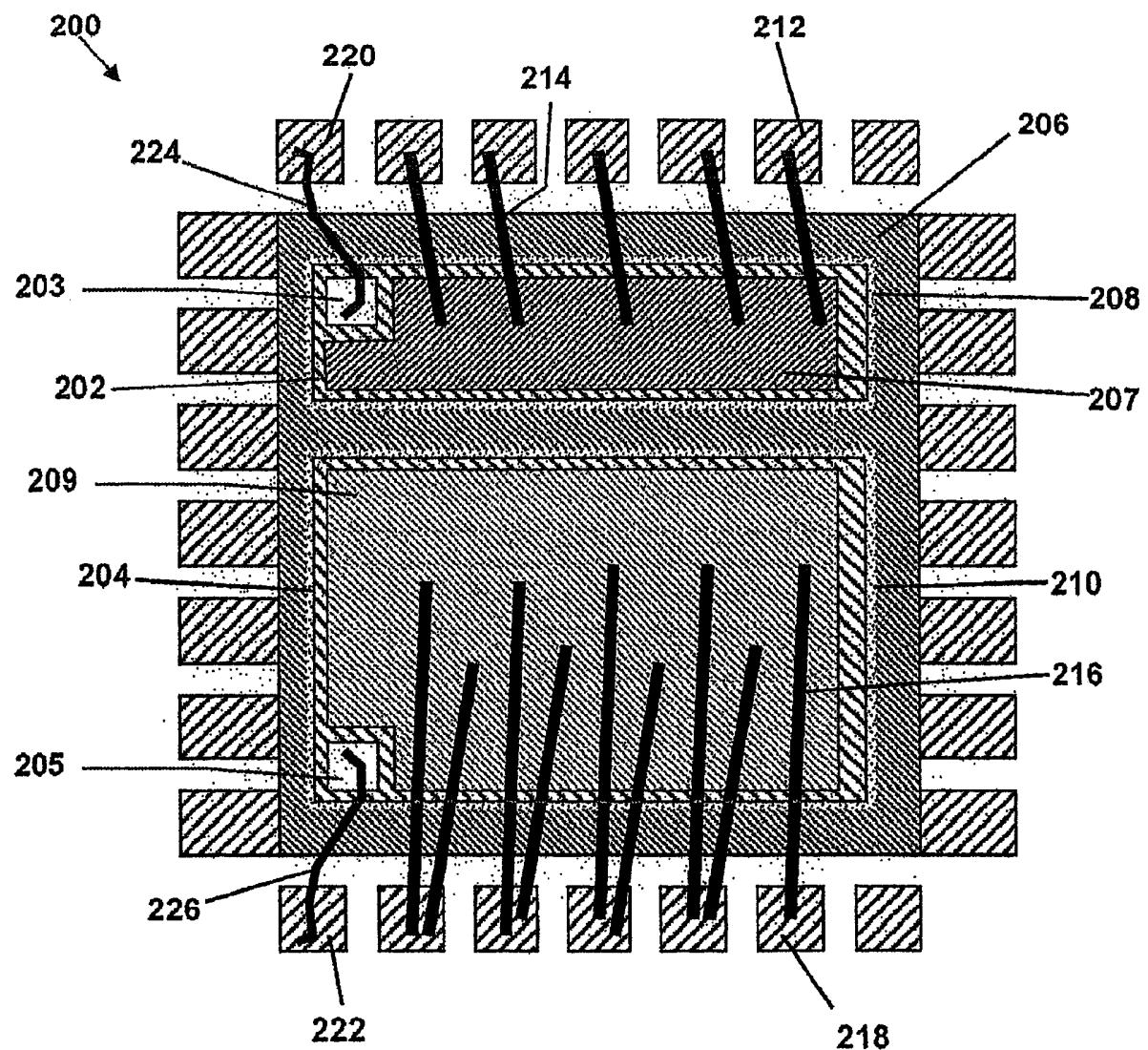
200910555

十一、圖式：



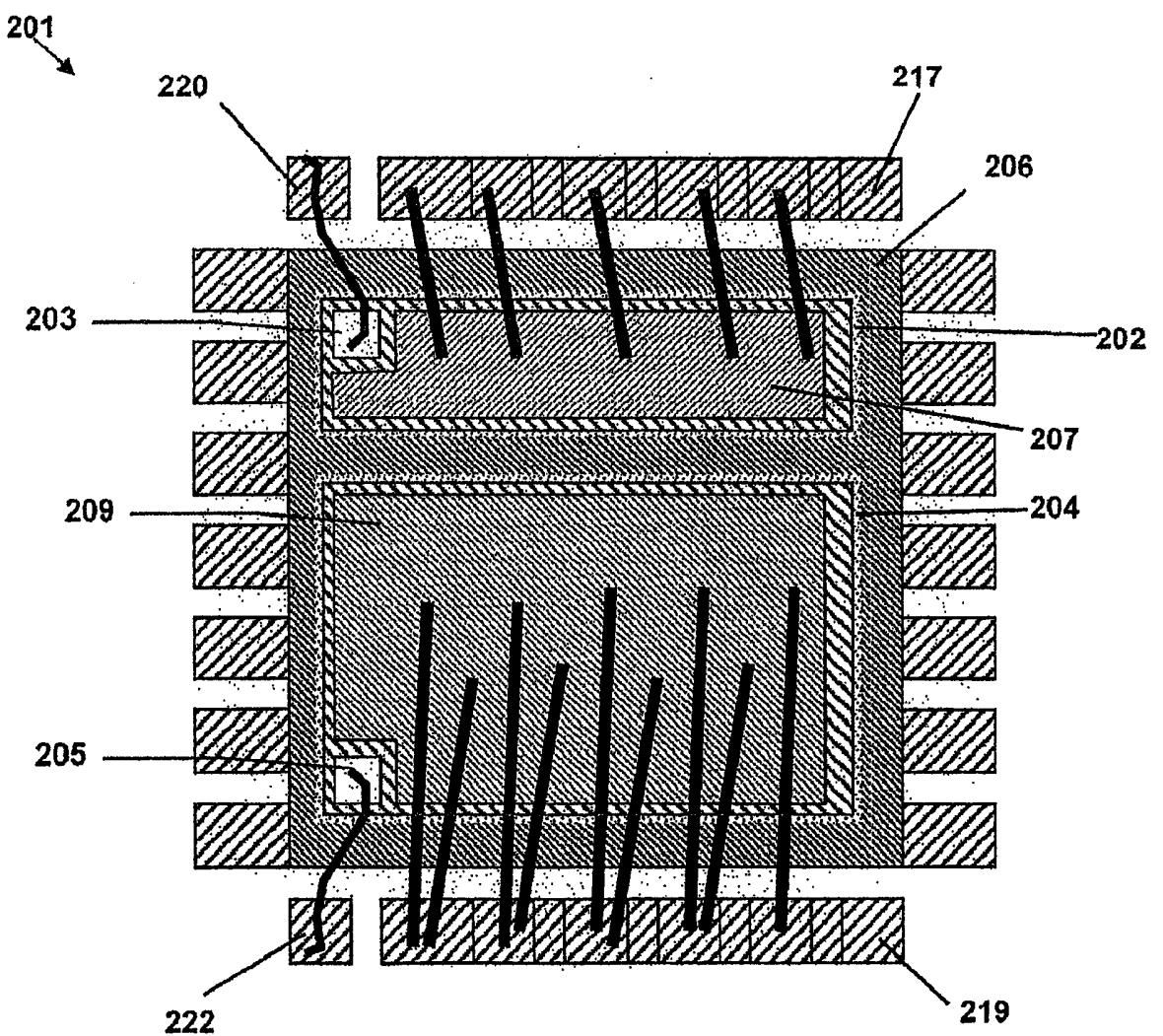
第 1 圖

200910555



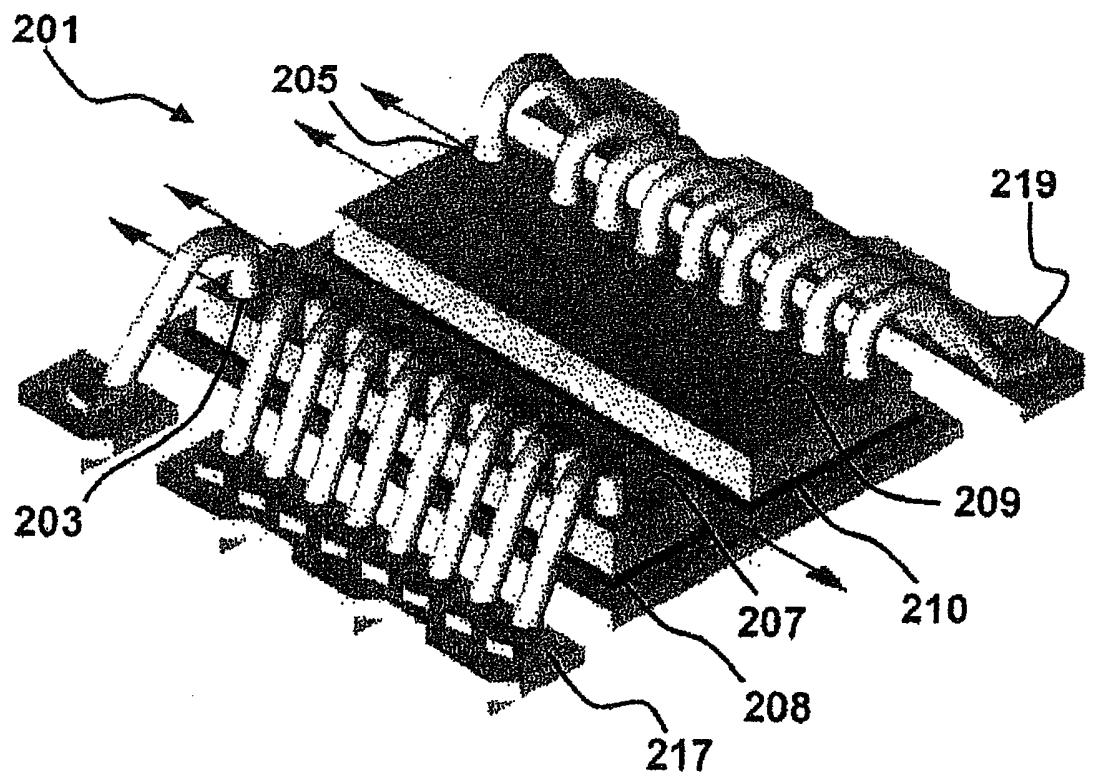
第 2A 圖

200910555



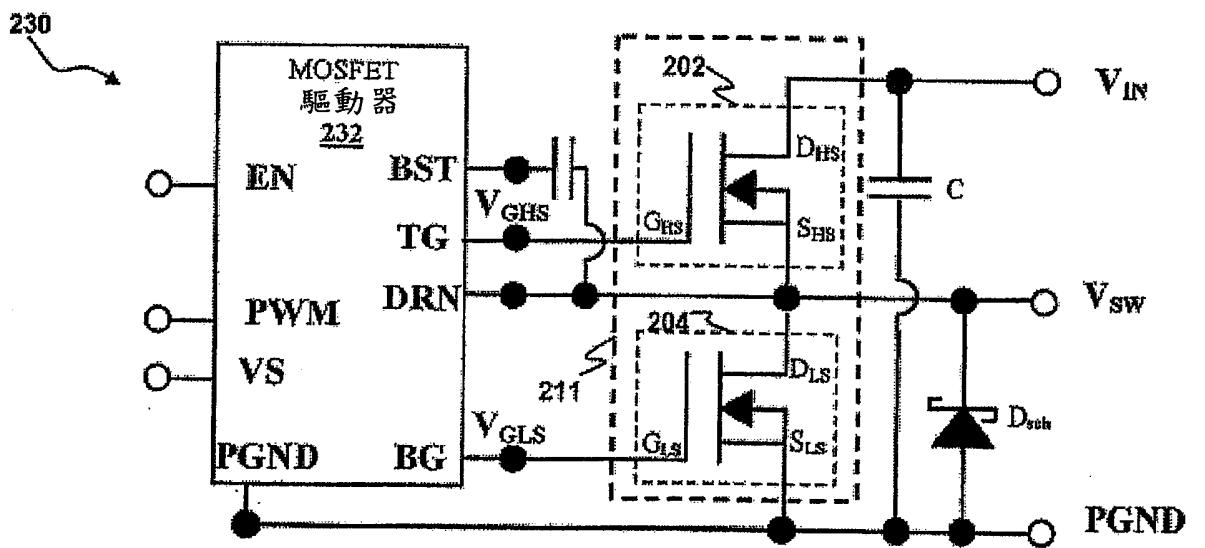
第 2B 圖

200910555



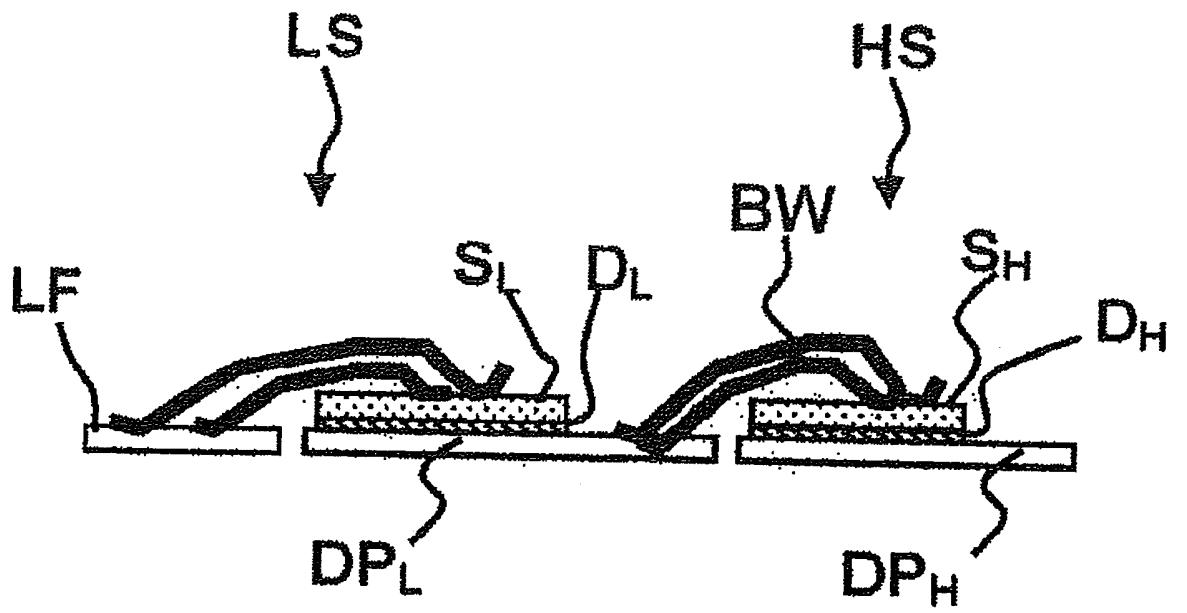
第 2C 圖

200910555



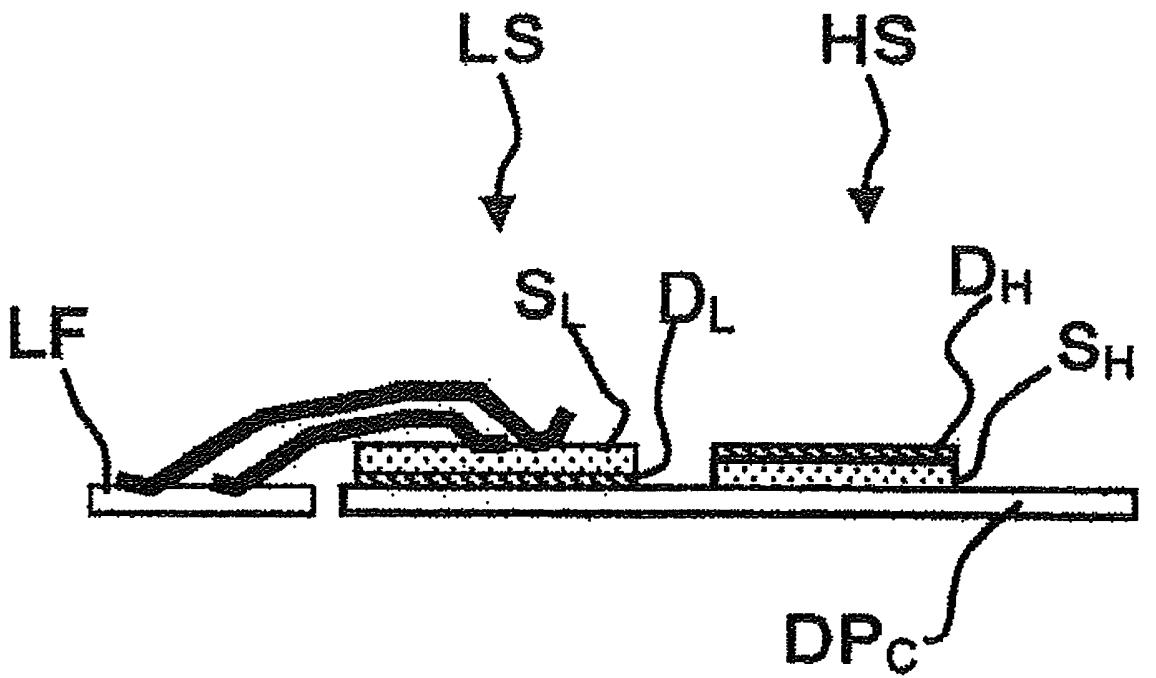
第 2D 圖

200910555



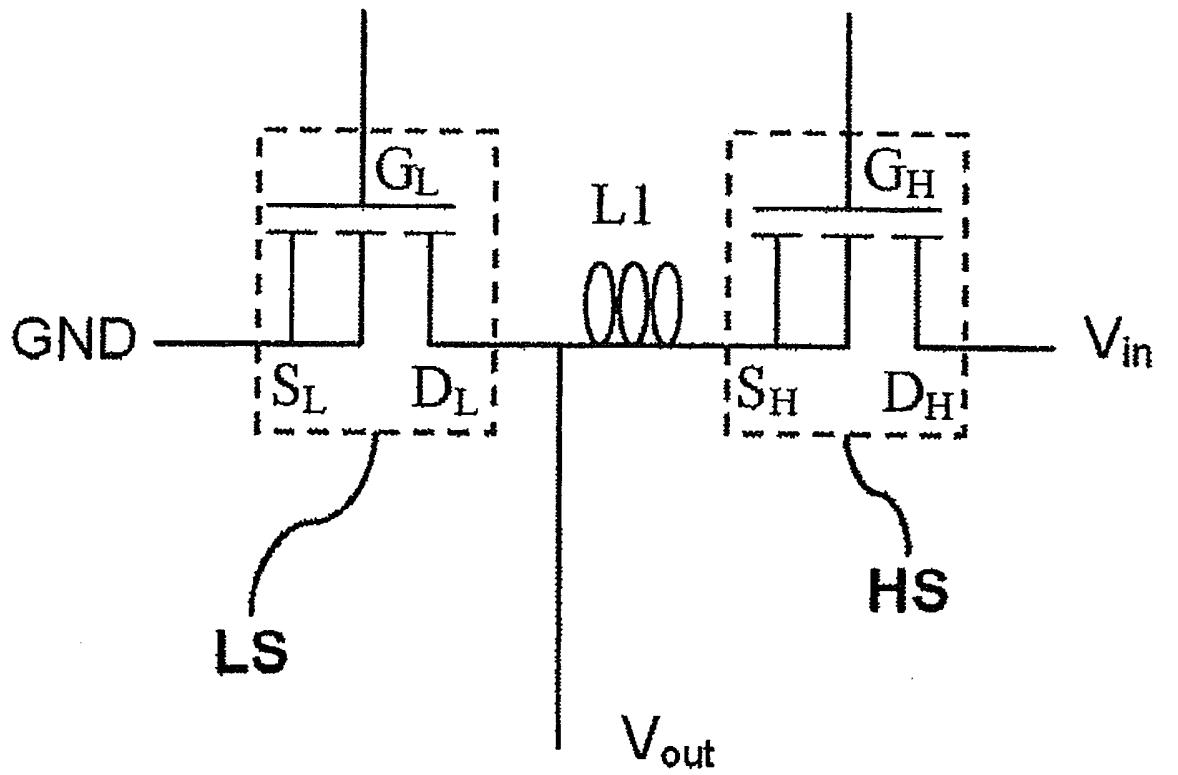
第 2E 圖

200910555



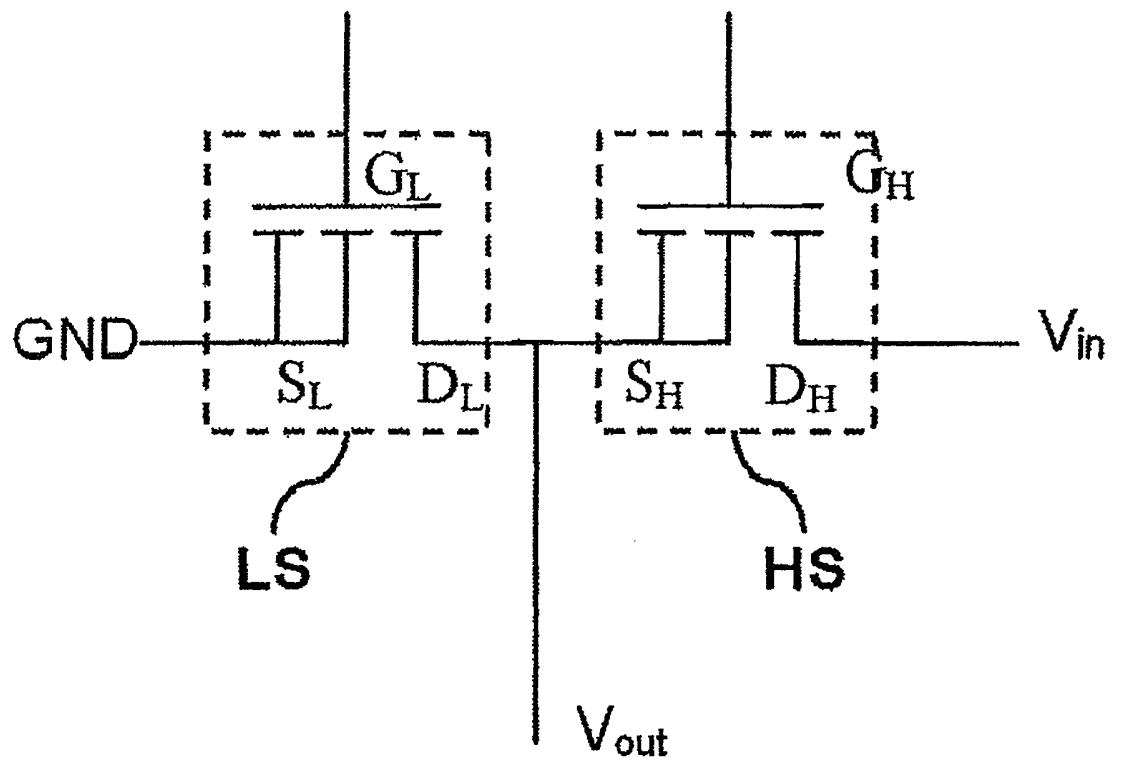
第 2F 圖

200910555

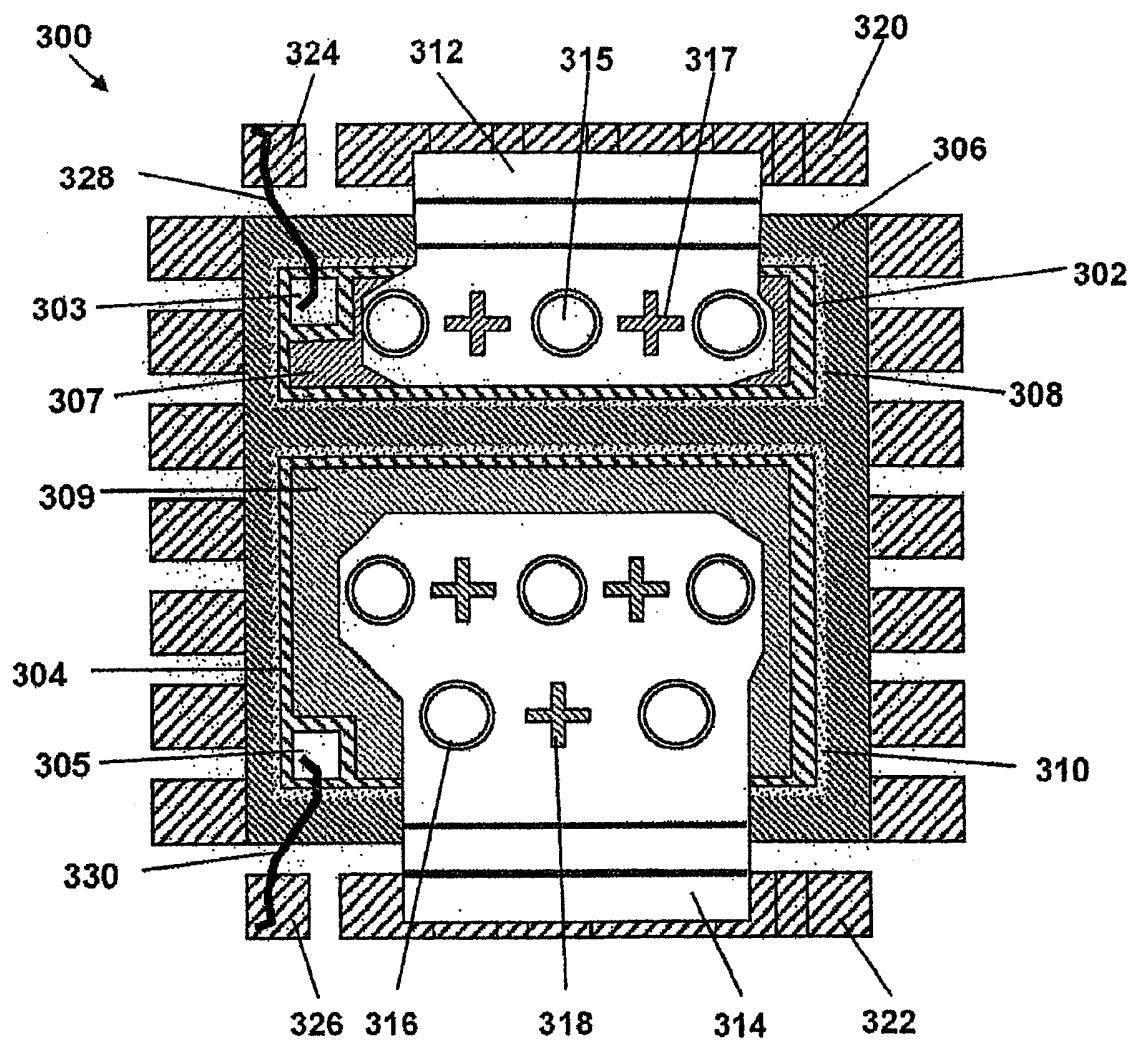


第 2G 圖

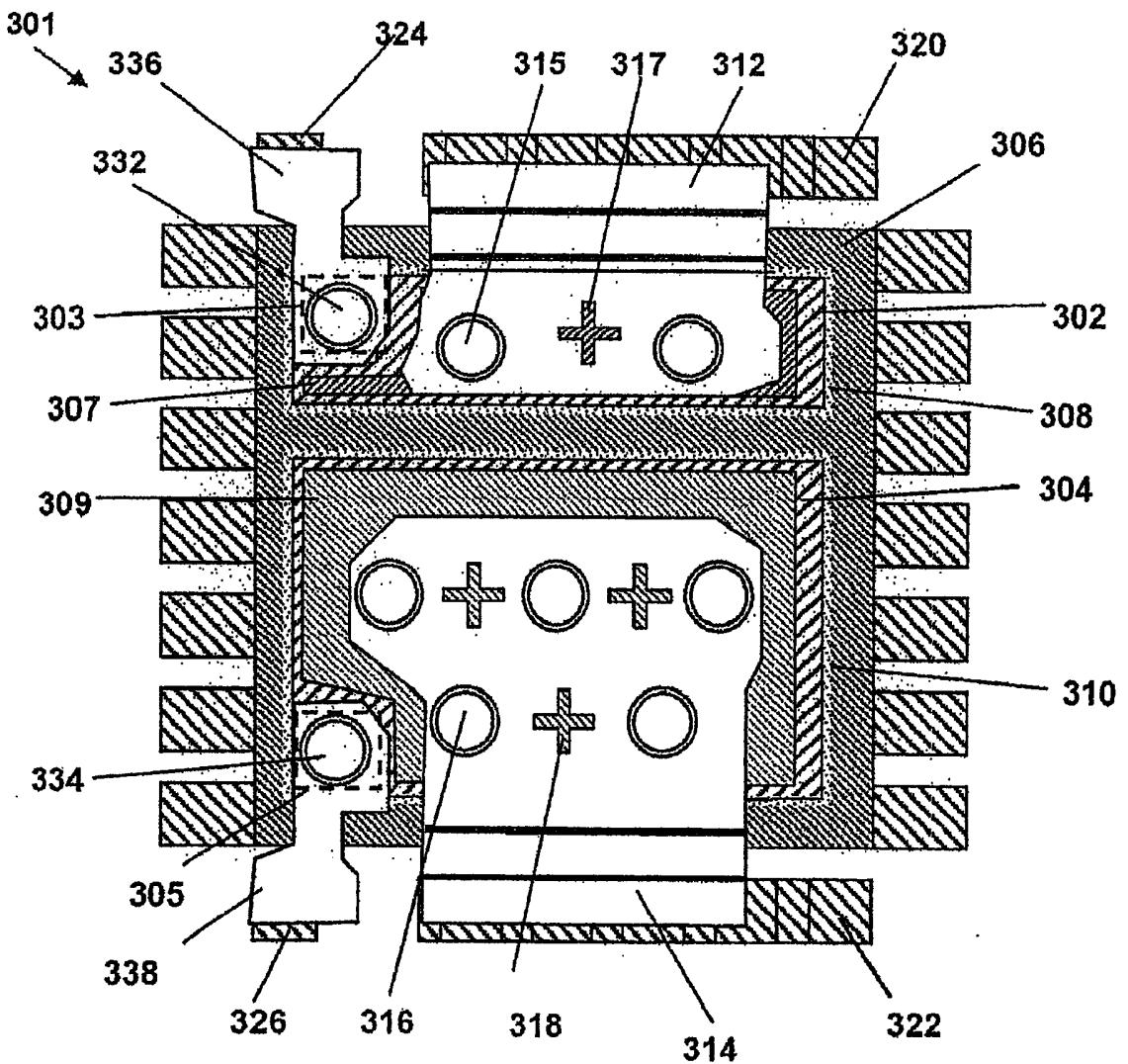
200910555



第 2H 圖

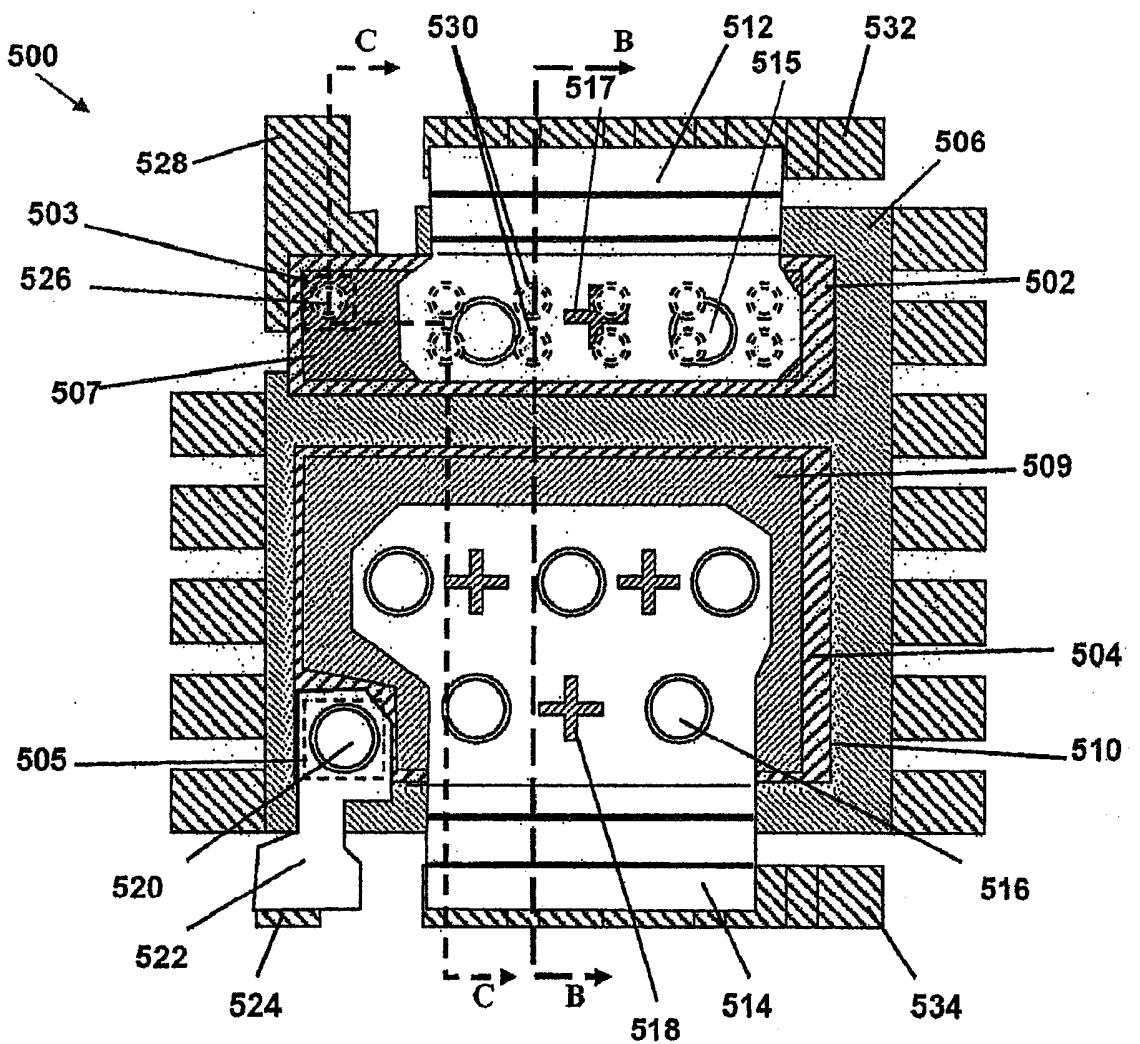


第3圖



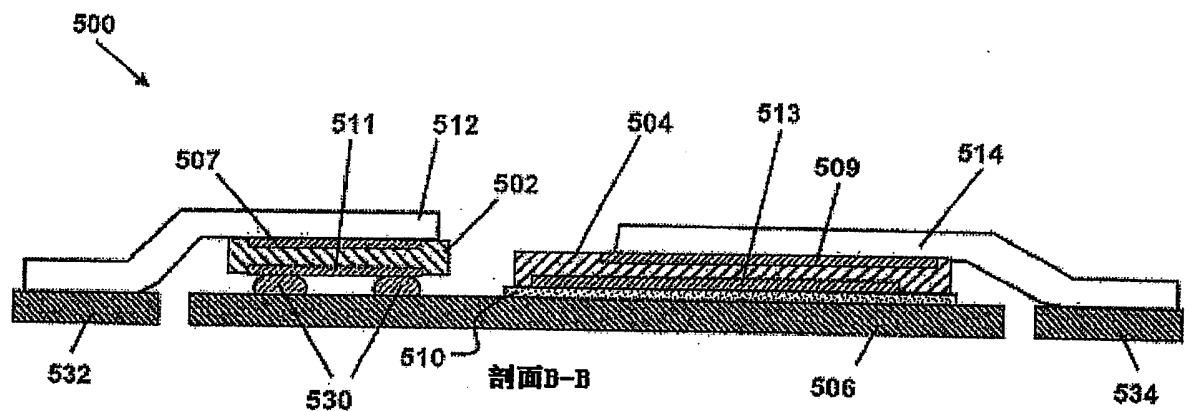
第 4 圖

200910555

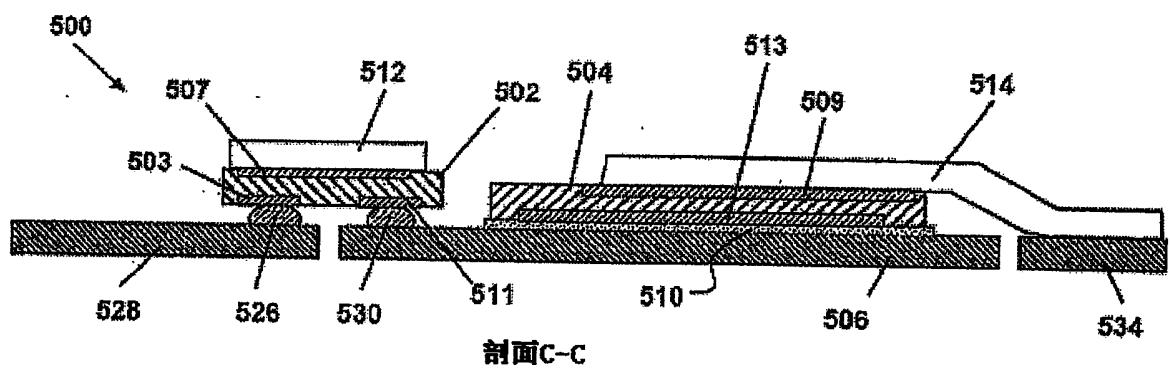


第 5A 圖

200910555

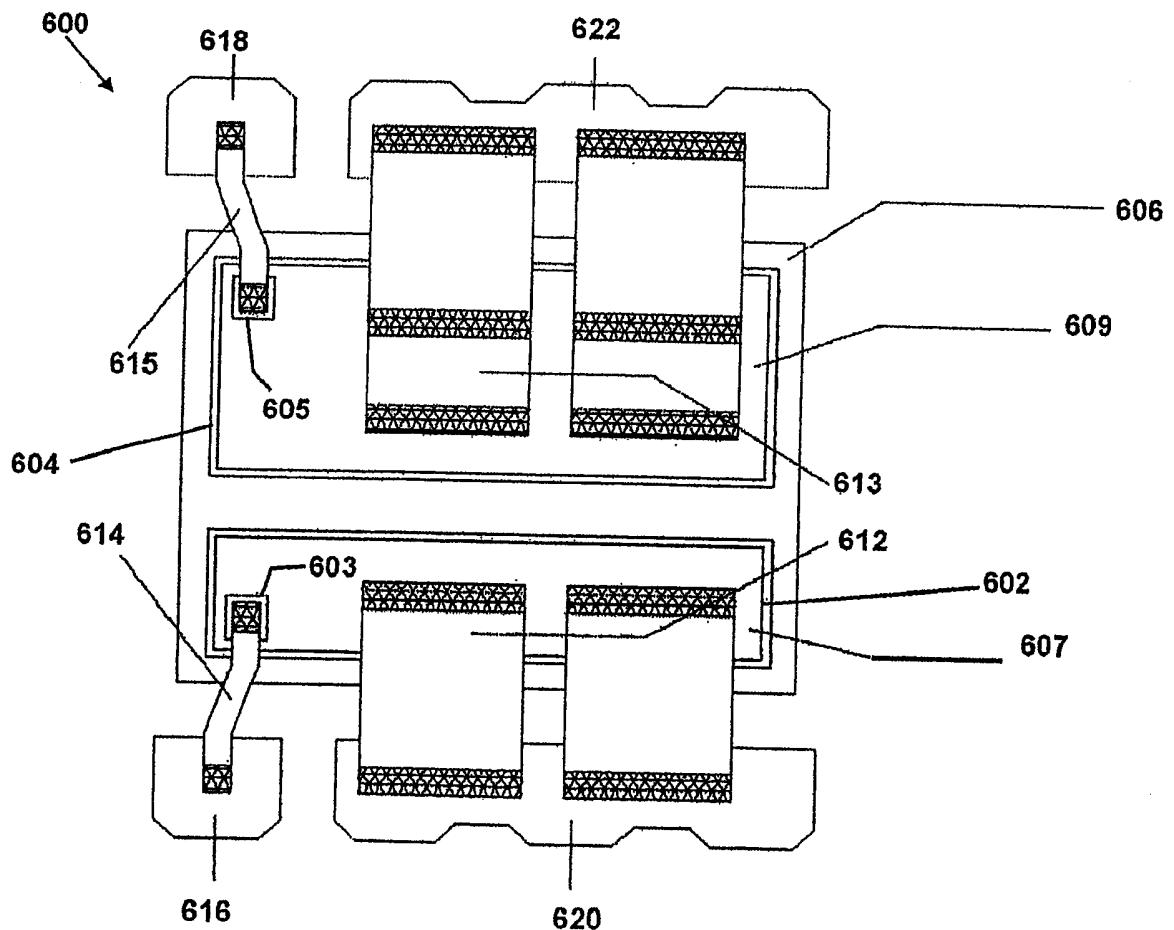


第 5B 圖



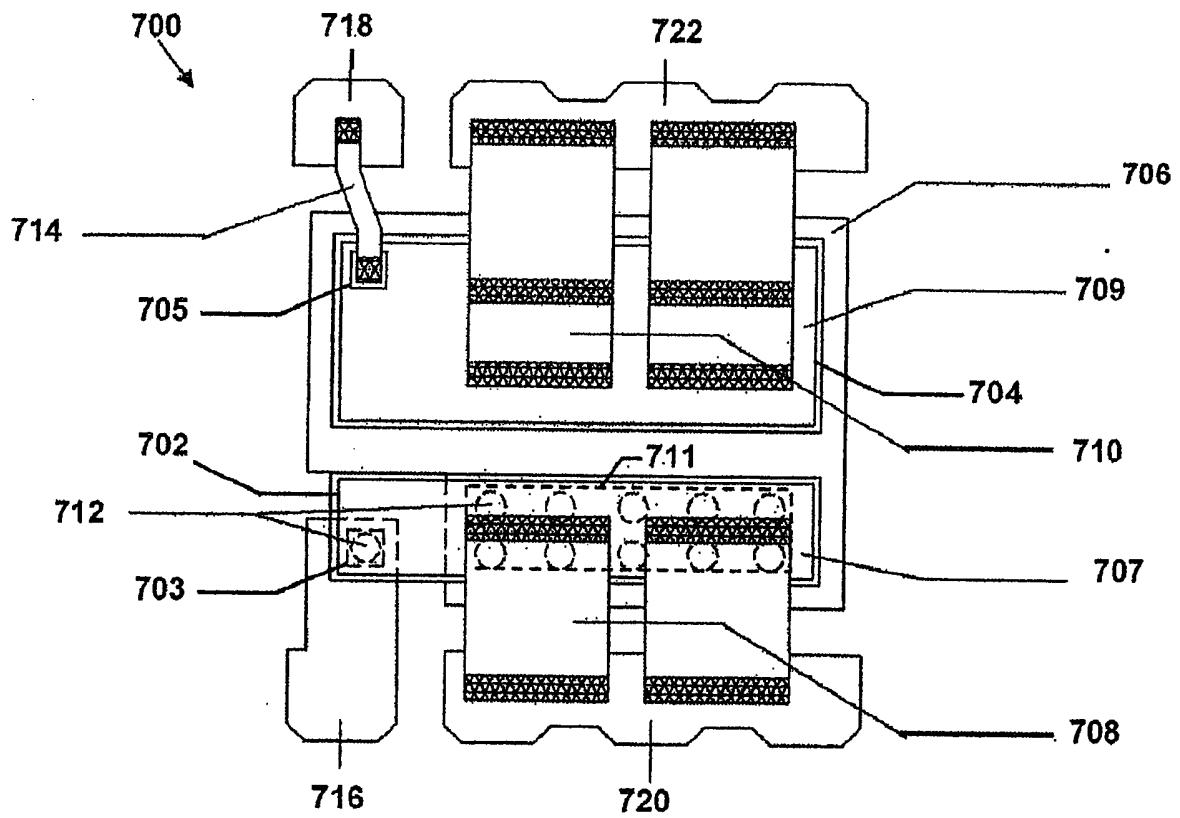
第 5C 圖

200910555



第6圖

200910555



第 7 圖

200910555

**四、指定代表圖：**

(一)本案指定代表圖為：第（ 2F ）圖。

(二)本代表圖之元件符號簡單說明：

LF	引線框架
S <sub>L</sub> 、S <sub>H</sub>	源極
D <sub>L</sub> 、D <sub>H</sub>	漏極
DP <sub>C</sub>	共同晶片襯墊

**五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：**