



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년12월27일
(11) 등록번호 10-1004213
(24) 등록일자 2010년12월20일

(51) Int. Cl.

H01L 27/115 (2006.01) *H01L 21/8247* (2006.01)

(21) 출원번호 10-2008-0039938

(22) 출원일자 2008년04월29일

심사청구일자 2008년04월29일

(65) 공개번호 10-2008-0102957

(43) 공개일자 2008년11월26일

(30) 우선권주장

JP-P-2007-00134085 2007년05월21일 일본(JP)

(56) 선행기술조사문헌

KR100369876 B1

JP2006135341 A

(73) 특허권자

르네사스 일렉트로닉스 가부시키가이샤

일본 가나가와쿄 가와사끼시 나카하라구 시모누마
베 1753

(72) 발명자

야스이 간

일본 도쿄도 지요다구 마루노우찌 1조메 6-1 가부
시키가이샤히타치세이사쿠쇼 지적재산권본부 내
이시마루, 테쓰야일본 도쿄도 지요다구 마루노우찌 1조메 6-1 가부
시키가이샤히타치세이사쿠쇼 지적재산권본부 내
(뒷면에 계속)

(74) 대리인

이중희, 장수길

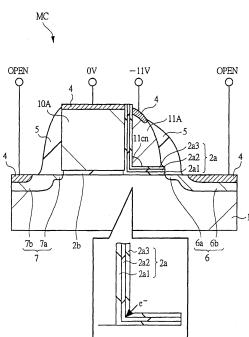
전체 청구항 수 : 총 15 항

심사관 : 김기환

(54) 반도체 장치

(57) 요 약

게이트 절연막 내에 전하 축적부를 포함하는 불휘발성 메모리 셀을 갖는 반도체 장치에서, 불휘발성 메모리 영역의 면적을 축소한다. 메모리 게이트 전극(11A)에, 국소적으로 전계가 집중되는 코너부(11cn)를 형성하고, 메모리 게이트 전극(11A) 내의 전하를 FN 터널 동작에 의해 게이트 절연막(2a) 내의 전하 축적부에 주입하는 소거 방식을 이용한다. FN 터널에 의해 소거 시의 소비 전류를 저감할 수 있기 때문에, 메모리 모듈의 전원 회로 면적을 저감할 수 있다. 또한, 기입 디스터브 내성을 향상시킬 수 있기 때문에, 보다 간이한 메모리 어레이 구성을 채용해서 메모리 어레이 면적을 저감할 수 있다. 양자의 효과를 합하여 메모리 모듈의 면적을 대폭 저감하여 제조 코스트를 저감할 수 있다. 또한, 기입 소거의 주입 전하 중심이 일치하기 때문에 재기입 내성이 향상된다.

대 표 도 - 도25

1 : 반도체 기판
2a : 게이트 축연막(메모리 게이트 절연막)
2b : 소거 층
10A : 삼백 게이트 전극
11A : 메모리 게이트 전극
MC : 메모리 셀

(72) 발명자

히사모또, 디그

일본 도쿄도 지요다구 마루노우찌 1조메 6-1 가부
시키가이사히타치세이사쿠쇼 지적재산권본부 내

시마모또, 야스히로

일본 도쿄도 지요다구 마루노우찌 1조메 6-1 가부
시키가이사히타치세이사쿠쇼 지적재산권본부 내

특허청구의 범위

청구항 1

반도체 기판과, 상기 반도체 기판의 주면 위에 형성된 제1 게이트 절연막과, 상기 제1 게이트 절연막 내에 형성된 절연막의 전하 축적부와, 상기 제1 게이트 절연막 위에 형성된 메모리 게이트 전극과, 상기 반도체 기판의 주면 위에 제2 게이트 절연막을 개재하여 형성된 게이트 전극을 구비하고, 상기 메모리 게이트 전극은, 상기 게이트 전극의 측벽측에 형성된 사이드월 구성으로 되어 있는 불휘발성 메모리 셀을 포함하고,

상기 불휘발성 메모리 셀의 소거 동작은, 상기 메모리 게이트 전극에서 상기 게이트 전극에 접하는 측에 형성된 각부측으로부터 상기 전하 축적부에 전하를 국소적으로 주입하는 것으로 행해지고,

상기 불휘발성 메모리 셀의 기입 동작은, 상기 각부측의 상기 전하 축적부에 상기 반도체 기판으로부터 상기 전하와 반대의 극성을 갖는 반대 극성 전하를 국소적으로 주입하는 것으로 행해지고,

상기 소거 동작에서의 상기 전하의 상기 전하 축적부에의 주입 위치와, 상기 기입 동작에서의 상기 반대 극성 전하의 상기 전하 축적부에의 주입 위치가 겹쳐져 있는 것을 특징으로 하는 반도체 장치.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 메모리 게이트 전극의 상기 각부는 90도보다 작은 예각부를 갖는 것을 특징으로 하는 반도체 장치.

청구항 4

제1항에 있어서,

상기 메모리 게이트 전극은, 실리콘에 의해 형성되어 있고,

상기 메모리 게이트 전극의 상기 각부는, 상기 메모리 게이트 전극의 측벽을 산화함으로써, 90도보다 작은 예각부를 갖도록 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 5

제1항에 있어서,

상기 반도체 기판은, n형의 반도체 영역을 갖고 있고,

상기 메모리 게이트 전극은, n형의 실리콘에 의해 형성되어 있고,

상기 전하 축적부에의 전하 주입으로서,

상기 반도체 기판의 상기 n형의 반도체 영역으로부터 상기 전하 축적부에 정공을 주입하는 구성과,

상기 메모리 게이트 전극으로부터 상기 전하 축적부에 전자를 주입하는 구성을 갖는 것을 특징으로 하는 반도체 장치.

청구항 6

제5항에 있어서,

상기 메모리 게이트 전극으로부터 상기 전하 축적부에 전자를 주입하는 동작에서,

상기 전하 축적부를 포함하는 상기 제1 게이트 절연막에 인가되는 전계의 절대값이 $7\text{MV}/\text{cm}$ 이상, $11\text{MV}/\text{cm}$ 이하로 되도록, 상기 메모리 게이트 전극에 부전위를 인가하는 것을 특징으로 하는 반도체 장치.

청구항 7

제1항에 있어서,

상기 반도체 기판은, p형의 반도체 영역을 갖고 있고,
상기 메모리 게이트 전극은, p형의 실리콘에 의해 형성되어 있고,
상기 전하 축적부에의 전하 주입으로서,
상기 반도체 기판의 상기 p형의 반도체 영역으로부터 상기 전하 축적부에 전자를 주입하는 구성과,
상기 메모리 게이트 전극으로부터 상기 전하 축적부에 정공을 주입하는 구성을 갖는 것을 특징으로 하는 반도체 장치.

청구항 8

제7항에 있어서,
상기 메모리 게이트 전극으로부터 상기 전하 축적부에 정공을 주입하는 동작에서,
상기 전하 축적부를 포함하는 상기 제1 게이트 절연막에 인가되는 전계의 절대값이 $7\text{MV}/\text{cm}$ 이상, $11\text{MV}/\text{cm}$ 이하로 되도록, 상기 메모리 게이트 전극에 정전위를 인가하는 것을 특징으로 하는 반도체 장치.

청구항 9

제1항에 있어서,
상기 반도체 기판은, p형의 반도체 영역을 갖고 있고,
상기 메모리 게이트 전극은, n형의 실리콘에 의해 형성되어 있고,
상기 전하 축적부에의 전하 주입으로서,
상기 반도체 기판의 상기 p형의 반도체 영역으로부터 상기 전하 축적부에 전자를 주입하는 구성과,
상기 메모리 게이트 전극으로부터 상기 전하 축적부에 정공을 주입하는 구성을 갖는 것을 특징으로 하는 반도체 장치.

청구항 10

제1항에 있어서,
상기 반도체 기판은, n형의 반도체 영역을 갖고 있고,
상기 메모리 게이트 전극은, p형의 실리콘에 의해 형성되어 있고,
상기 전하 축적부에의 전하 주입으로서,
상기 반도체 기판의 상기 n형의 반도체 영역으로부터 상기 전하 축적부에 정공을 주입하는 구성과,
상기 메모리 게이트 전극으로부터 상기 전하 축적부에 전자를 주입하는 구성을 갖는 것을 특징으로 하는 반도체 장치.

청구항 11

제1항에 있어서,
상기 전하 축적부는, 실리콘 질화막에 의해 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 12

제1항에 있어서,
상기 전하 축적부는, 알루미늄 산화막에 의해 형성되어 있는 것을 특징으로 하는 반도체 장치.
상기 전하 축적부는, 실리콘 산질화막에 의해 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 14

제1항에 있어서,

상기 전하 축적부는, 절연막 내에, 상기 절연막의 막 두께보다도 작은 직경의 실리콘 나노 크리스탈을 함유하는 막에 의해 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 15

제1항에 있어서,

상기 제1 게이트 절연막은, 실리콘 산화막, 전하 축적부 및 실리콘 산화막을 순서대로 겹쳐 쌓은 적층 구성을 갖는 것을 특징으로 하는 반도체 장치.

청구항 16

제1항에 있어서,

상기 제1 게이트 절연막은, 상기 반도체 기판의 주면측으로부터, 실리콘 산화막 및 전하 축적부를 순서대로 겹쳐 쌓은 적층 구성을 되어 있는 것을 특징으로 하는 반도체 장치.

명세서**발명의 상세한 설명****기술 분야**

[0001]

본 발명은, 반도체 장치 기술에 관한 것으로, 특히, EEPROM(Electrically Erasable Programmable Read Only Memory)이나 플래시 메모리 등과 같은 전기적 기입·소거가 가능한 불휘발성 메모리 중, 게이트 절연막 내에 전하 축적부를 포함하는 불휘발성 메모리 셀을 갖는 반도체 장치에 적용하기에 유효한 기술에 관한 것이다.

배경기술

[0002]

EEPROM이나 플래시 메모리 등과 같은 전기적 기입·소거가 가능한 불휘발성 메모리는, 온 보드로 프로그램의 재기입이 가능하여, 개발 기간의 단축, 개발 효율의 향상이 가능하다. 이 때문에, 소량 단품종 생산에의 대응, 발송처별 튜닝, 출하 후의 프로그램 업데이트 등, 다양한 요구에 대응 가능하다.

[0003]

특히, 근년에는, 불휘발성 메모리와 MPU(Micro Processing Unit) 등과 같은 논리 회로를 내장한 마이크로컴퓨터에의 니즈가 크다. 불휘발성 메모리와 논리 회로를 동일한 반도체 기판 위에 혼재함으로써, 고기능의 반도체 장치를 실현하는 것이 가능하게 되기 때문이다. 이와 같은 혼재형의 반도체 장치는, 내장형 마이크로컴퓨터로서, 산업용 기계, 가전품, 자동차 탑재 장치 등에 광범위하게 이용되고 있다. 일반적으로는, 혼재된 불휘발성 메모리에, 그 마이크로컴퓨터가 필요로 하는 프로그램이 저장되어, 수시, 판독되도록 되어 있다.

[0004]

또한, 불휘발성 메모리는, 휴대성, 내충격성 등이 우수하고, 전기적으로 일괄 소거가 가능하기 때문에, 근년, 휴대형 퍼스널 컴퓨터나 디지털 스틸 카메라 등의 소형 휴대 정보 기기의 기억 장치로서 급속히 수요가 확대되고 있다. 그를 위해서는 메모리 셀 면적의 축소에 의한 비트 코스트의 저감이 중요한 요소이며, 이를 실현하기 위해서 다양한 메모리 셀 구조가 제안되어 있다.

[0005]

현재, 실용화되어 있는 불휘발성 메모리 셀은, 전하의 축적에 의해 임계값 전압이 변화되는 기억용의 MOS(Metal Oxide Semiconductor)형 트랜ジ스터를 이용하고 있다. 기억용 MOS형 트랜ジ스터의 전하 유지 방식에는, 전기적으로 고립된 도전성의 다결정 실리콘에 전하를 축적하는 플로팅 게이트 방식과, 질화 규소막과 같은 전하를 축적하는 성질을 갖는 절연막에 전하를 축적하는 MONOS 방식이 있다.

[0006]

플로팅 게이트 방식은 휴대 전화용의 프로그램 저장용 플래시 메모리나 데이터 저장용 대용량 플래시 메모리 등에 널리 이용되고 있으며, 전하 유지 특성이 좋다. 그러나, 미세화에 수반하여 플로팅 게이트의 전위 제어에 필요한 용량 결합비의 확보가 어렵게 되어, 구조가 복잡화되고 있다. 유지 전하의 리크를 억제하기 위해서는 플로팅 게이트를 둘러싸는 산화막의 두께는 8nm 정도 이상 필요로 되어 있어, 고속화 및 고집적화를 목적으로 한 미세화의 한계가 근접하고 있다. 또한, 도전체에 전하를 축적하기 때문에, 플로팅 게이트 주위의 산화막에

1개소라도 리크 패스로 되는 결함이 있으면 극단적으로 전하 유지 수명이 저하된다.

[0007] 한편, MONOS 방식은 일반적으로는 전하 유지 특성이 플로팅 게이트에 비하여 뒤떨어지고, 임계값 전압은 시간의 대수로 저하되어 가는 경향이 있다. 이 때문에 예전부터 알려진 방식이면서 일부의 제품에서만 실용화되는 것에 그치고 있었다. 그러나, 절연체에 전하를 축적하는 이산적 기억 방식이기 때문에 몇개의 리크 패스가 있어도 전체 유지 전하가 상실되지 않고, 산화막 결함에 강하다. 따라서 8nm 이하의 얇은 산화막도 적용 가능하여 미세화에 적합한 것, 저화률로 일어나는 결함에 의한 극단적인 유지 수명 저하가 없기 때문에 신뢰성 예측이 용이한 것, 메모리 셀 구조가 단순해서 논리 회로부와 혼재하기 쉬운 것 등으로부터 근년 미세화의 진전에 따라서 다시 주목받고 있다.

[0008] [특허 문현 1] 미국 특허 제5768192호

[0009] [특허 문현 2] 일본 특개2004-186452호 공보

[0010] [특허 문현 3] 일본 특개2004-111749호 공보

[0011] [특허 문현 4] 미국 특허 제6940757호

발명의 내용

해결 하고자하는 과제

[0012] 상기 MONOS 방식의 메모리 셀에서 가장 심플한 것으로서, 예를 들면 미국 특허 제5768192호(특허 문현 1)에는, NROM 구조가 개시되어 있다. 도 1은 본 발명자가 검토한 NROM의 단면도를 도시하고 있다.

[0013] NROM 구조는, 반도체 기판(1)의 주면 위에 형성되는 MOS형 트랜지스터의 게이트 절연막(2a)을, 절연막(2a1, 2a2, 2a3)(예를 들면 실리콘 산화만, 실리콘 질화막 및 실리콘 산화막)의 ONO막 구조로 치환한 구조이며, 기입에는 채널 핫 일렉트론 주입(CHE)을, 소거에는 밴드간 터널에 의한 핫 홀 주입 방식(BTBT: Band-to-Band tunneling)을 이용한다.

[0014] 게이트 절연막(2a) 위에는, 게이트 전극(3)이 형성되어 있다. 게이트 전극(3)은, 예를 들면 다결정 실리콘막에 의해 형성되어 있고, 그 상층에는 실리사이트층(4)이 형성되어 있다. 게이트 전극(3)의 측면에는, 사이트월 스페이서(5)가 형성되어 있다. 또한, 반도체 기판(1)의 주면에서 게이트 전극(3)의 너비 방향 양측에 확산층(6, 7)이 형성되어 있다. 이 확산층(6, 7)의 상층에는 실리사이드층(4)이 형성되어 있다. 이 NROM 구조는, 형성 프로세스가 심플하기 때문에 미세화나 논리 회로부와의 혼재에 적합하다.

[0015] 이와는 별도로 논리용 회로와의 혼재에 적합한 구조로서, 선택용 MOS형 트랜지스터와 기억용 MOS형 트랜지스터를 갖는 스플리트 게이트형 메모리 셀을 들 수 있다. 이 구조에서는 주입 효율이 양호한 소스 사이드 인젝션 (SSI) 방식을 채용할 수 있기 때문에 기입의 고속화와 전원부 면적의 저감이 도모되는 것, 메모리 셀 선택 트랜지스터 및 이것에 접속되는 트랜지스터를 소자 면적이 작은 저압계의 트랜지스터로 구성할 수 있기 때문에 주변 회로의 면적을 저감할 수 있는 것으로부터 혼재 용도에 적합하다.

[0016] 특히 미세화에 적합한 스플리트 게이트 구조로서, 자기 정합을 이용하여 한쪽의 MOS형 트랜지스터를 사이드월로 형성하는 구조가 있다. 이 경우, 포토리소그래피의 위치 결정 마진이 불필요한 것, 자기 정합으로 형성하는 트랜지스터의 게이트 길이는 포토리소그래피의 최소 해상 치수 이하로 할 수 있는 것으로부터, 2종의 트랜지스터의 각각을 포토마스크로 형성하는 구조에 비하여 보다 미세한 메모리를 실현할 수 있다. 그 중에서도, 예를 들면 일본 특개2004-186452호 공보(일본 특원2002-352040호, 특허 문현 2)에 개시되는 자기 정합 게이트층을 MONOS 구조로 형성한 메모리 셀은, 고속의 논리 회로와의 혼재에 적합하다. 도 2는 본 발명자가 검증한 메모리 셀로서, 자기 정합 게이트층을 MONOS 구조로 한 메모리 셀의 단면도를 도시하고 있다.

[0017] 반도체 기판(1)의 주면 위에는, 선택 트랜지스터와 메모리 트랜지스터가 인접한 상태로 배치되어 있다. 선택 트랜지스터는, 반도체 기판(1)의 주면 위에 형성된 게이트 절연막(2b)과, 그 위에 형성된 선택 게이트 전극(10A)을 갖고 있다. 게이트 절연막(2b)은 산화막의 단체막에 의해 형성되고, 선택 게이트 전극(10A)은 다결정 실리콘막에 의해 형성되어 있다.

[0018] 이 선택 게이트 전극(10A)의 측벽층으로서, 반도체 기판(1)의 주면 위에는, 게이트 절연막(2a)을 개재하여 사이드월 구조의 메모리 게이트 전극(11)이 형성되어 있다. 메모리 게이트 전극(11)은, 다결정 실리콘막에 의해 형성되어 있다.

- [0019] 이와 같은 메모리 셀은 구조상, 선택 게이트 전극(10A)측을 먼저 형성하기 때문에, 반도체 기판 계면의 품질이 양호한 상태에서, 선택 트랜지스터와, 동시에 형성하는 논리 회로부의 트랜지스터와의 게이트 절연막을 형성할 수 있다. 계면 품질에 민감한 고속 동작용의 박막 게이트의 트랜지스터를 먼저 작성할 수 있기 때문에, 혼재하는 논리 회로부의 트랜지스터와 선택 트랜지스터의 성능이 향상된다. 기억된 정보의 관독은 고성능의 선택 트랜지스터의 동작만으로 가능하고, 이것에 접속되는 트랜지스터도 모두 박막의 저압계로 구성할 수 있기 때문에, 관독의 고속화와 회로 면적의 저감이 도모된다.
- [0020] 도 3은 상기 스플리트 게이트형 MONOS 메모리 셀을 이용한 메모리 어레이 구성을 도시하고 있다. 각 메모리 셀 MC는, 메모리 게이트 전극(11A)과 선택 게이트 전극(10A)을 갖고 있고, 서로 인접하는 메모리 셀 MC의 각각의 메모리 게이트 전극(11A)에 인접하는 확산층(6)(이하, 소스선 SL(SL1, SL2)이라고도 함)을 공유하도록 배치되어 있다.
- [0021] 상기 소스선 SL은, 워드선 CG(CG1, CG2), MG(MG1, MG2)에 대하여 평행하게 연장된 상태로 형성되어 있다. 워드선 CG는, 복수의 선택 게이트 전극(10A)과 전기적으로 접속되고, 워드선 MG는, 복수의 메모리 게이트 전극(11A)과 전기적으로 접속되어 있다. 이를 워드선 CG, MG에 직교하는 비트선 BL(BL1, BL2)은, 각 메모리 셀 MC의 선택 게이트 전극(10A)에 인접하는 확산층(7)(이하, 드레인이라고도 함)에 전기적으로 접속되어 있다.
- [0022] 도 4는 도 3의 메모리 어레이 구성의 레이아웃 평면도를 도시하고 있다. 메모리 어레이에는, 도 4의 상하 방향으로 연장되는 복수의 워드선 CG, MG가, 도 4의 좌우 방향을 따라서 원하는 간격마다 배치되어 있다. 워드선 CG, MG는 서로 인접한 상태에서 배치되어 있다. 메모리 셀 MC는, 파선으로 둘러싸는 영역에 형성되어 있다. 해칭은 소자 분리부(12)를 나타내고 있다.
- [0023] 다음으로, 도 3의 메모리의 동작을 도 5~도 7에 의해 설명한다. 도 5는 메모리의 동작 시의 전형적인 전압 조건을 나타내고 있다. 도 6은 기입 동작 시의 메모리 셀의 단면도, 도 7은 소거 동작 시의 메모리 셀의 단면도를 도시하고 있다.
- [0024] 기입은, 도 5 및 도 6에 도시하는 바와 같이, 소스 사이드 주입 방식(SI 방식)에 의해, 메모리 게이트 전극(11A)과 소스선 SL에 각각, 예를 들면 9V, 5V 정도를 인가한 상태에서 선택 게이트를 약반전시켜, 선택 게이트 전극(10A)과 메모리 게이트 전극(11A) 사이에 생기는 강한 전계에 의해 핫 일렉트론을 발생시켜, 메모리 트랜지스터의 게이트 절연막(2a)(ONO막)에 주입한다.
- [0025] 소거는, 도 5 및 도 7에 도시하는 바와 같이, 밴드간 터널에 의한 핫 홀 주입 방식(BTBT 방식)을 이용한다. 메모리 게이트 전극(11A)에, 예를 들면 -6V, 소스선 SL에, 예를 들면 6V 정도의 역바이어스로 되는 전압을 인가해서 소스측의 확산층(6)의 단부에 생기는 강한 전계로 밴드간 터널에 의한 핫 홀을 발생시켜, 메모리 트랜지스터의 게이트 절연막(2a)(ONO막)에 주입한다.
- [0026] 기입된 정보를 관독할 때에는, 메모리 게이트 전극(11A)에, 예를 들면 0V, 선택 게이트 전극(10A)에, 예를 들면 1.5V, 드레인에, 예를 들면 1V를 인가하여, 드레인에 흐르는 전류의 대소에 의해 판정한다.
- [0027] 또한, 스플리트 게이트형 MONOS 메모리의 소거 방법으로서는, 상기의 BTBT 방식 이외에, 메모리 게이트 전극에, 예를 들면 15V 정도의 높은 정전압을 인가해서 전체면으로부터 전자를 뽑아내는 방법이 있다. 메모리 게이트 전극측에 전자를 뽑아내기 위해서, 막 구성은 톱 산화막이 없는 MNOS 구조 혹은 톱 산화막이 얇은 MONOS 구조를 취한다. 전체면 뽑기 방식은 고전압이 필요하며, 또한 메모리 게이트 전극(11A)과 인접하는 선택 게이트 전극(10A) 사이의 전자를 뽑아내기 어렵기 때문에, 예를 들면 일본 특개2004-111749호(특허 문현 3)에 개시되는 바와 같이 측벽에 테이퍼를 형성해서 전계를 제어하는 경우가 있다. 또한, 테이퍼 형성에 의해 전계 제어하는 방식으로서, 보텀 산화막측으로부터 전하를 주입하는 미국특허 제6940757호(특허 문현 4)에 개시되는 방식도 있지만, 특성에 영향이 큰 보텀 산화막의 열화 외에, 메모리 셀 구조, 메모리 어레이 구성이 표준적인 스플리트 게이트 방식과 크게 상이하여 고속화가 어렵다고 하는 문제가 있다.
- [0028] 스플리트 게이트형 MONOS 메모리 셀의 제조 프로세스는 표준 CMOS 프로세스와의 정합성도 양호하고, 마이크로컴퓨터 등에의 탑재에 적합하다. 본 발명자가 검토한 스플리트 게이트형 MONOS 메모리 셀과 CMOS로직 프로세스를 혼재하는 반도체 장치의 제조 프로세스 플로우를 도 8~도 16에 예시한다. 각각 도면의 좌측은 메모리 영역(메모리 어레이)의 주요부 단면을, 우측은 CMOS를 형성하는 로직 영역의 주요부 단면을 도시하고 있다.
- [0029] 도 8은, 실리콘(Si) 단결정으로 이루어지는 반도체 기판(1)의 주면 위에, 산화 실리콘막으로 이루어지는 게이트 절연막(2b)과, 다결정 실리콘막으로 이루어지는 게이트 전극 재료(10)를 성막한 단계이다. 메모리 영역의 선택

트랜지스터와 로직부의 트랜지스터는 게이트 절연막(2b)을 공통화하고 있다. 도면에서는 생략하지만 이전 단계로서, 통상의 방법을 이용하여 소자 분리 구조를 형성하고 있다.

[0030] 도 9는, 계속해서 포토리소그래피와 드라이 에칭에 의해 메모리 영역의 선택 트랜지스터의 게이트 전극(10A)을 형성한 단계이다. 이 단계에서는 로직 영역의 게이트 전극 재료(10)는 패터닝하지 않는다.

[0031] 계속해서, 도 10은, SiO_2 막, Si_3N_4 막, SiO_2 막의 3층 구조의 ONO막(게이트 절연막(2a))을 퇴적한 단계이다. 계속해서, 도 11은, 메모리 게이트 전극 재료로 하기 위해서 제2 전극 재료로서 불순물을 도프한 아몰퍼스 실리콘을 퇴적하고, 이것을 드라이 에칭으로 에치백해서 선택 게이트 전극(10A)의 양 측벽에만 사이드월로서 아몰퍼스 실리콘막을 남겨 메모리 게이트 전극(11A)을 형성한 단계이다. 계속해서, 도 12는, 선택 게이트 전극(10A)의 양 측벽의 메모리 게이트 전극(11A) 중, 한쪽의 불필요한 메모리 게이트 전극(11A)을 드라이 에칭에 의해 제거하고, 또한 그 하층의 게이트 절연막(2a)을 제거함으로써, 선택 게이트 전극(10A)의 한쪽의 측벽에만 메모리 게이트 전극(11A)을 형성한다.

[0032] 다음으로, 로직 영역의 게이트 전극 재료(10)를 포토리소그래피와 드라이 에칭을 이용하여 패터닝함으로써, 도 13에 도시하는 바와 같이, 로직 영역에 게이트 전극(10B)을 형성한다. 계속해서, 메모리 영역에, 불순물을 도입함으로써, 저불순물 농도의 n형의 확산층(6a, 7a)을 형성하고, 로직 영역에, 불순물을 도입함으로써, 저불순물 농도의 확산층(15a, 15a)을 형성한다. 계속해서, 반도체 기판(1)의 주면 위에 SiO_2 에 의해 형성되는 절연막을 퇴적한 후, 이것을 에치백함으로써, 도 14에 도시하는 바와 같이, 메모리 영역의 선택 게이트 전극(10A), 메모리 게이트 전극(11A) 및 로직 영역의 게이트 전극(10B)의 측벽에 사이드월(5)을 형성한다. 계속해서, 메모리 영역에, 불순물을 도입함으로써, 고불순물 농도의 n형의 확산층(6b, 7b)을 형성해서 소스, 드레인용의 확산층(6, 7)을 형성한다. 또한, 로직 영역에, 불순물을 도입함으로써, 고불순물 농도의 확산층(15b, 15b)을 형성해서 소스, 드레인용의 확산층(15)을 형성한다.

[0033] 다음으로, 도 15에 도시하는 바와 같이, 선택 게이트 전극(10A), 게이트 전극(10B), 메모리 게이트 전극(11A) 및 확산층(6b, 7b, 15b)의 상면에, 예를 들면 코발트 실리사이드로 이루어지는 실리사이드층(4)을 형성해서 각 부의 저저항화를 도모한다. 그 후, 도 16에 도시하는 바와 같이, 반도체 기판(1)의 주면 위에, 1층째의 절연막(16)을 퇴적한 후, 그 상면을 평탄화하고, 컨택트홀(17)을 형성한다. 이 후에 표준적인 3~6층 정도의 메탈 배선 형성 프로세스를 거치지만, 설명은 생략한다.

[0034] 그런데, 상기한 바와 같은 NROM 구조의 MONOS 메모리 셀도, 스플리트 게이트 구조의 MONOS 메모리 셀도, 미세화에 적합하고 표준 CMOS 프로세스와의 친화성이 양호한 반면, 이하의 과제가 있는 것을 본 발명자는 발견했다.

[0035] 첫번째는 소거 동작에 밴드간 터널에 의한 핫 홀 주입 방식(BTBT 방식)을 이용한 것으로, 소거 시의 소비 전류가 커지기 쉬운 것을 들 수 있다. 도 7을 예로 들면, 확산층(6)과 메모리 게이트 전극(11)에는, 각각 6V와 -6V의 전압이 인가되어, 밴드간 터널에 의해 발생한 홀의 일부가 가속되어 메모리 게이트 전극 방향으로 주입되지만, 대부분은 반도체 기판(1)에 흘러 쓸모없는 전류로 된다. 그 값은 수 $\mu\text{A}/\text{셀}$ 에도 달하고, 동시 소거 비트수에 의하지만 소거를 위해서 대형 전원이 필요한 원인으로 된다. 또한, 전하 유지 특성을 향상시키기 위한 기입 레벨 향상이나 소거 속도를 향상시킬 위한 소거 전압 증가도 소거 전류를 증가시킨다. 따라서, 시스템의 고성능화도 전원의 차지 펌프 회로의 대형화로 이어져, 메모리 모듈의 회로 면적이 증가되어 간다.

[0036] 두번째는, 확산층 접합으로부터의 리크 전류가 많기 때문에 디스터브 내성이 뒤떨어지는 과제가 있다. NROM 구조도 스플리트 게이트 구조 MONOS도, 기입은 각각 CHE 혹은 SSI에 의한 핫 캐리어를 이용한다. 확산층 접합으로부터의 리크 전류가 이것에 섞여 주입되면 오기입의 디스터브 모드로 된다. 리크 전류 저감에는 확산층 접합의 완화가 유효하지만, 밴드간 터널을 발생시키기 위해서 확산층 접합은 어느 정도 급준할 필요가 있어, BTBT 방식의 소거를 이용하는 한 양립이 어렵다. 결과로서 디스터브 내성의 부족을 보충하기 위해서, 메모리 어레이의 분할 단위를 미세하게 설계해서 디스터브 시간을 단축하는 대응책을 취할 필요가 있어, 메모리 모듈의 회로 면적이 증가한다.

[0037] 본 발명의 목적은, 게이트 절연막 내에 전하 축적부를 포함하는 불휘발성 메모리 셀을 갖는 반도체 장치에서, 불휘발성 메모리 영역의 면적을 축소할 수 있는 기술을 제공하는 것에 있다.

[0038] 본 발명의 상기 및 그 밖의 목적과 신규의 특징은, 본 명세서의 기술 및 첨부 도면으로부터 명백하게 될 것이다.

과제 해결수단

- [0039] 본원에서 개시되는 발명 중, 대표적인 것의 개요를 간단히 설명하면, 다음과 같다.
- [0040] 즉, 본 발명은, 게이트 절연막 내에 전하 축적부를 포함하는 불휘발성 메모리 셀을 갖는 반도체 장치에서, 상기 게이트 절연막 위의 게이트 전극에 국소적인 물리 형상의 변화부를 형성하고, 그 변화부에 적절한 전위를 인가함으로써 상기 게이트 전극으로부터 상기 전하 축적부에 FN 터널에 의해 전하를 주입하여, 데이터를 소거하도록 한 것이다.

효과

- [0041] 본원에서 개시되는 발명 중, 대표적인 것에 의해 얻어지는 효과를 간단히 설명하면 이하와 같다.
- [0042] 즉, 게이트 절연막 내에 전하 축적부를 포함하는 불휘발성 메모리 셀을 갖는 반도체 장치에서, 상기 게이트 절연막 위의 게이트 전극에 국소적인 물리 형상의 변화부를 형성하고, 그 변화부에 적절한 전위를 인가함으로써 상기 게이트 전극으로부터 상기 전하 축적부에 FN 터널에 의해 전하를 주입하여, 데이터를 소거함으로써, 소거 동작 시에 흐르는 전류를 무시할 수 있을 만큼 작게 할 수 있으며, 또한 그 특성이 확산층 접합에 의존하지 않으므로 접합을 완화할 수 있으므로, 불휘발성 메모리 영역의 면적을 축소할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0043] 상기의 과제는, 소거 동작에 벤드간 터널에 의한 핫 홀 주입 방식(BTBT 방식)을 이용하는 것에 기인하고 있다. 해결을 위해서는, 소거 전류가 적고, 또한 급준한 확산층 접합이 불필요한 소거 방식으로 대체할 수 있으면 된다.
- [0044] 해결 수단으로서, 소거에 FN 터널 동작을 이용하는 방법이 있다. FN 터널 방식이면, 동작 시에 흐르는 전류량은 무시할 수 있을 만큼 작고, 또한 그 특성은 확산층 접합에 의존하지 않기 때문에 접합을 완화할 수 있다. 한편, FN 터널 동작을 일으키기 위해서는 높은 전계가 필요하고, 평坦한 막 구조와 전하 유지 특성으로부터 필요로 하는 두께를 고려하면 15~20V라고 하는 높은 전압이 필요하게 된다. 이에 대해서는 오히려 전원 회로 면적이 증가될 가능성이 있다. 저전압으로 FN 터널 동작을 일으키기 위해서는, 국소적인 물리 형상의 변화부에서 전계가 집중되는 성질을 이용하여 높은 전계가 발생하는 형상을 만들어 넣으면 된다. 그 방법으로서, 게이트 전극에 볼록부를 형성하는 구성 및 제조 프로세스를 이용할 수 있다.

- [0045] 구체적으로는, 우선, 스플리트 게이트 구조의 경우에는, 메모리 게이트 전극의 코너부를 이용한다. 메모리 게이트 전극의, 인접하는 제어 게이트 전극의 절연막에 접하는 코너 부분에서는 적절한 전위를 인가하면 FN 터널에 의해 전하를 주입할 수 있다. 전하의 주입량을 늘리기 위해서 상기 코너부를 예각으로 형성할 수도 있다. 상기 코너부에 주입된 전하를 상쇄하는 역극성의 전하 주입도 소스 사이드 인젝션(SSI)을 이용하면 가능하다. 이 때문에 기입과 소거의 동작을 실현할 수 있다.

- [0046] NROM 구조의 경우에는, 메모리 게이트 전극의 측면을 불균일하게 산화하여, 메모리 게이트 전극의 코너부를 예각으로 형성함으로써, FN 터널 동작을 일으키는 것이 가능하다.

- [0047] 메모리 게이트 전극의 코너부의 예각 형성 프로세스와, 전하 주입에 필요한 전위의 관계에 대해서는 복수의 기술적 선택지가 있고, 이하에 가능한 조합과 효과에 대해서 설명한다.

- [0048] 또한, 이하의 실시 형태에서는 편의상 그 필요가 있을 때에는, 복수의 실시 형태로 분할해서 설명하지만, 특별히 명시한 경우를 제외하고, 한쪽은 다른 쪽의 일부 또는 전부의 변형예, 상세, 보충 설명 등의 관계에 있다. 또한, 본 실시 형태를 설명하기 위한 전체 도면에서 동일 기능을 갖는 것은 동일한 부호를 붙이도록 하고, 그 반복 설명은 가능한 한 생략하도록 하고 있다. 이하, 본 발명의 실시 형태를 도면에 기초하여 상세하게 설명한다.

- [0049] (실시 형태 1)

- [0050] 본 실시 형태 1의 반도체 장치는, 예를 들면 마이크로컴퓨터로 대표되는 논리 연산 회로와, 불휘발성 메모리 회로를 동일한 반도체 기판 위에 갖는 반도체 장치이다. 본 실시 형태 1의 반도체 장치의 불휘발성 메모리 회로의 메모리 셀(불휘발성 메모리 셀)은, 자기 정합 스플리트 게이트 구조의 MONOS 메모리이다. 메모리 셀의 기본 구성은, 상기 도 2 등에서 설명한 바와 같다. 메모리 어레이 구성은 도 3에, 메모리 셀 MC의 레이아웃은 도 4에 도시한 바와 같다. 도 4 내의 파선으로 둘러싸는 부분이 1개의 메모리 셀 MC에 해당한다. 서로 인접하는

메모리 셀 MC끼리의 선택 게이트 전극(10A)과 메모리 게이트 전극(11A)의 배치는 항상 좌우 대칭으로 된다. 또한, 전술하고 있는 용어이지만, 여기서 메모리 게이트 전극은, 전하를 트랩하는 막(ONO막, 전하 축적부)을 절연 막으로서 갖는 층의 MOS 트랜지스터의 게이트 전극을 가리킨다. 또한, 선택 게이트 전극은, 팬독 시에 이것을 선택하는 역할을 하는 층의 MOS 트랜지스터의 게이트 전극을 가리킨다.

[0051] 처음에 본 실시 형태의 반도체 장치의 제조 방법을 도 17~도 22에 의해 설명한다. 도 17~도 22는, 본 실시 형태의 반도체 장치의 제조 공정 중의 주요부 단면도를 도시하고 있다. 도 17~도 22에서, 좌측은 메모리 영역(메모리 어레이)의 주요부 단면을, 우측은 CMOS(Complementary MOS)를 형성하는 로직 영역의 주요부 단면을 도시하고 있다. 본 실시 형태의 반도체 장치의 제조 방법은, 상기 도 8~도 16을 이용하여 설명한 반도체 장치의 제조 플로우에 준하기 때문에, 상이한 부분을 중심으로 설명한다. 또한, 반도체 장치의 제조에는, 예를 들면 90nm 노드의 프로세스 룰을 채용했다.

도 17에 도시하는 바와 같이, 통상의 방법을 이용하여, 예를 들면 흠형의 분리부와 같은 소자 분리부(12)를 반도체 기판(1)의 주면에 형성한 후, 예를 들면 p형의 실리콘(Si) 단결정에 의해 형성된 반도체 기판(1)에서, nMOS부 Qn에는, 예를 들면 p형 불순물의 봉소(B)를 이온 주입해서 p형 웨尔 PW를 형성하고, pMOS부 Qp 및 메모리 영역에는, 예를 들면 n형 불순물의 인(P)을 이온 주입해서 n형 웨爾 NW를 형성한다. 그 후, 후막의 고내압 MOS부의 채널 이온 주입과 게이트 산화막 형성을 행한 후, 로직 영역과 메모리 영역의 임계값 전압 조정용의 채널 이온 주입도 행한다.

[0053] 계속해서, 도 18에 도시하는 바와 같이, 선택 트랜지스터와 로직 영역의 트랜지스터의 공통의 게이트 절연막(2b)으로 되는 열산화막을, 예를 들면 800°C에서 두께 2nm 성막하고, 예를 들면 다결정 실리콘막으로 이루어지는 게이트 전극 재료(10)를 두께 220nm 퇴적했다. 이 게이트 전극 재료(10)의 성막은, 예를 들면 불순물 도프 없이, 성막 온도 640°C에서 행하였다. 게이트 전극 재료(10)에의 불순물의 도프는 계속되는 이온 주입으로 행하여, pMOS부 Qp의 게이트 전극 부분에는, 예를 들면 봉소(B)를, nMOS부 Qn에는, 예를 들면 인(P)을 각각, 예를 들면 1×10^{15} atoms/cm², 6×10^{15} atoms/cm² 주입하여, p+형의 게이트 전극부와, n+형의 게이트 전극부를 구별하여 만들었다. 메모리 영역의 선택 트랜지스터로 되는 게이트 전극부분은 p+형의 게이트 전극으로 되도록 pMOS부 Qp과 같은 조건에서, 예를 들면 봉소를 주입했다.

[0054] 다음으로, 게이트 전극 재료(10)를, 포토리소그래피와 드라이 에칭을 이용하여 패터닝함으로써, 도 19에 도시하는 바와 같이, 게이트 전극(10A, 10Bn, 10Bp)의 패턴을 형성한다. 계속해서, 반도체 기판(1)을, 예를 들면 3nm 회생 산화한 후에, 메모리 영역만 메모리 트랜지스터의 임계값 전압 조정을 위한 카운터 이온 주입으로서, 반도체 기판(1)의 표층에, 예를 들면 붕소(BF²⁺)를 주입했다.

[0055] 계속해서, 도 20에 도시하는 바와 같이, 전하 축적부로서, 예를 들면 SiO₂막/Si₃N₄막/SiO₂막(각각 두께는, 예를 들면 4nm/8nm/5nm)의 3층으로 이루어지는 게이트 절연막(2a)(ONO막, 메모리 게이트 절연막)을 퇴적했다. 게이트 절연막(2a)의 SiO₂막은 기판측 및 게이트 전극측 모두, 예를 들면 ISSG 산화법(InSitu Steam Generation)을 이용하여 900°C에서 성막했다. 이 때, 반도체 기판(1)측의 SiO₂막 형성 후에는, 예를 들면 일산화질소(NO) 처리에 의해 계면 강화도 행하였다. 게이트 절연막(2a)의 Si₃N₄막은 CVD(Chemical Vapor Deposition)법에 의해 성막했다.

[0056] 여기서, 게이트 절연막(2a) 내의 상기 절연막(2a2)은, 전하를 주로 축적하는 주전하 축적부이다. 절연막(2a2)의 구성재를, 여기서는, Si₃N₄막(실리콘 질화막)으로 기재하지만, Si₃N₄막의 화학 양론비는 성막 조건에 의존하기 때문에 표현은 염밀한 것이 아니라, Si₃N₄막으로 표현하는 경우라도, SixNy로 표현되는 것도 포함하고 있는 것으로 한다. 또한, 전하의 트랩막으로서는 다양한 재료에 가능성이 있지만, 반도체 프로세스와의 친화성으로부터 Si₃N₄막을 표준으로서 이용하고 있다.

[0057] 계속해서, 게이트 절연막(2a) 위에, 메모리 게이트 전극 재료로 하기 위해서 제2 전극 재료로서 불순물을 도프 한 아몰퍼스 실리콘막을 퇴적한 후, 이것을 이방성 드라이 에칭으로 에치백함으로써, 도 20에 도시하는 바와 같이, 선택 게이트 전극(10A) 및 게이트 전극(10Bn, 10Bp)의 각각의 양 측벽에 사이드월 형상으로 아몰퍼스 실리콘막을 남겨 메모리 게이트 전극(11A)을 형성한다. 메모리 게이트 전극(11A)의 불순물은, 예를 들면 인을 4×10^{20} atoms/cm² 이상 도프하여, n+형의 게이트 전극으로 했다.

- [0058] 그 후, 포토리소그래피와 드라이 에칭을 이용하여, 도 21에 도시하는 바와 같이, 메모리 영역에서는 선택 게이트 전극(10A)의 한쪽, 로직 영역에서는 게이트 전극(10Bn, 10Bp)의 각각 양측의 불필요한 메모리 게이트 전극(11A)을 제거한다. 또한, 노출된 잉여의 게이트 절연막(2a)(ONO막)을 드라이 에칭 및 웨트 에칭에 의해 제거한다. 메모리 게이트 전극(11A)에는, 선택 게이트 전극(10A)에 인접하는 층(게이트 절연막(2a)에 접하는 층)에 코너부(각부)(11cn)가 형성된다.
- [0059] 그 후, 익스텐션 영역을 형성하기 위해서, 메모리 영역에는, 예를 들면 붕소(BF^{2+})를 7keV, $6 \times 10^{13} \text{ atoms/cm}^2$, 로직 영역의 pMOS부 Qp에는, 예를 들면 붕소(BF^{2+})를 5keV, $1 \times 10^{14} \text{ atoms/cm}^2$, 로직 영역의 nMOS부 Qn에는, 예를 들면 비소(As)를 5keV, $6 \times 10^{14} \text{ atoms/cm}^2$ 의 이온 주입을 행하였다. 메모리 영역에서는, 메모리 게이트 전극(11A)의 보호와 사이드월 단부로부터의 불순물 빠져나감 방지를 위해서, 불순물의 도즈량을, 로직 영역측의 불순물의 도즈량보다도 적게 하고 있다.
- [0060] 이에 의해, 도 22에 도시하는 바와 같이, 메모리 영역에, 익스텐션용의 저불순물 농도의 n형의 확산층(6a, 7a)을 형성하고, 로직 영역의 nMOS부 Qn에, 익스텐션용의 저불순물 농도의 확산층(15na, 15na)을 형성하고, 로직 영역의 pMOS부 Qp에, 익스텐션용의 저불순물 농도의 확산층(15pa, 15pa)을 형성한다.
- [0061] 계속해서, 반도체 기판(1)의 주면 위에 SiO_2 에 의해 형성되는 절연막을 퇴적한 후, 이것을 에치백함으로써, 메모리 영역의 게이트 전극(10A, 11A) 및 로직 영역의 게이트 전극(10Bn, 10Bp)의 측벽에 사이드월(5)을 형성한다.
- [0062] 그 후, 고농도 확산층을 형성하기 위해서, 메모리 영역과, 로직 영역의 pMOS부 Qp에 공통으로, 예를 들면 붕소(B^+)를 15keV, $1 \times 10^{13} \text{ atoms/cm}^2$ 의 조건으로 주입했다. 또한 로직 영역에서는, 예를 들면 붕소(BF^{2+})를 20keV, $2 \times 10^{15} \text{ atoms/cm}^2$ 의 조건으로, 메모리 영역에서는, 예를 들면 붕소(BF^{2+})를 15keV, $1 \times 10^{15} \text{ atoms/cm}^2$ 의 조건으로 주입했다. 메모리 영역에서는, 메모리 게이트 전극(11A)의 보호와 사이드월 단부로부터의 불순물 빠져나감 방지를 위해서, 불순물의 주입 에너지 및 도즈량을, 로직 영역측의 불순물의 주입 에너지 및 도즈량보다도 작게 하고 있다. 이에 의해, 메모리 영역에, 고불순물 농도의 n형의 확산층(6b, 7b)을 형성해서 소스, 드레인용의 확산층(6, 7)을 형성한다. 또한, 로직 영역의 pMOS부 Qp에, 고불순물 농도의 확산층(15pb, 15pb)을 형성해서 소스, 드레인용의 확산층(15p)을 형성한다.
- [0063] 또한, 로직 영역의 nMOS부 Qn에는, 예를 들면 비소를 50keV, $2 \times 10^{15} \text{ atoms/cm}^2$ 의 조건으로, 예를 들면 인을 40keV, $1 \times 10^{13} \text{ atoms/cm}^2$ 의 조건으로 주입했다. 이에 의해, 로직 영역의 nMOS부 Qn에, 고불순물 농도의 확산층(15nb, 15nb)을 형성해서 소스, 드레인용의 확산층(15n)을 형성한다.
- [0064] 또한, 상기 익스텐션과 고농도 확산층의 형성 시에, 각각 메모리 영역과 로직 영역의 pMOS부 Qp의 이온 주입 조건을 바꾸는 것은 공정 증가로 이어진다. 그러나, 메모리 게이트 전극(11A)의 n⁺형 게이트 전극이, 이것에 자기 정합적으로 이온 주입하는 익스텐션과 고농도 확산층의 p형 불순물에 의해 극성이 반전되지 않도록 배려하여, 주입 에너지와 도즈량의 이온 주입 조건을 완화하고 있는 것에 주의가 필요하다. 여기까지로 메모리 영역의 기본적인 구조는 완성된다. 이 이후는, 상기 도 15 및 도 16을 이용하여 설명한 바와 마찬가지로, 열처리, 실리사이드화를 거쳐, 3~6층의 배선 공정(절연막 형성, 컨택트부 형성, 배선 재료 형성)을 반복하는 표준적 프로세스를 행한다. 또한, 상기의 공정간에는, 통상 이용되는 방법으로 수시, 세정 공정 내지는 검사 공정을 개재시키고 있다.
- [0065] 다음으로, 게이트 절연막 내에 전하 축적부를 갖는 본 실시 형태의 반도체 장치의 불휘발성 메모리 셀 MC의 동작 방법을 설명한다.
- [0066] 본 실시 형태의 메모리 셀은 MOS 트랜지스터로서 본 캐리어의 도전형이 nMOS와 반대인 pMOS를 이용한다. 관독 시의 동작 상태를 도 23에 도시했다. pMOS형이기 때문에 기본적으로 반도체 기판(1)과 소스(확산층(6))를 동일 전위로 하고 게이트 전극에 부전압을 인가하면 온 전류가 흐른다. 여기서는 그와는 달리, 반도체 기판(1)과 소스(확산층(6))에, 예를 들면 전원 전압 1.5V를 인가하고, 선택 게이트 전극(10A) 및 메모리 게이트 전극(11A)이 상대적으로, 예를 들면 마이너스 방향의 0V인 경우에 온 전류가 흐르는 사용 방법을 행한다. 이것은 로직 영역과 마찬가지로 부전압을 이용하지 않고 제어하기 위해서이다. 이 메모리 셀 MC의 게이트 절연막(2a)(ONO막)의 절연막(2a2)(실리콘 질화막, 주전하 축적부)에 전자, 혹은 홀을 주입하면 메모리 트랜지스터측의 임계값 전압이

변화되어, 불휘발성의 정보 기억이 행해진다.

[0067] 판독 시의 오프 상태의 판정은 메모리 셀 MC의 오프 리크 전류가 일정값이하인지의 여부가 조건이며, 임계값 전압이 기준 이하로 되는 것만의 홀을 주입한다. 온 상태의 판정은 반대로 일정 이상의 온 전류가 흐르는지의 여부가 조건이며, 필요한 양의 전자를 주입한다. 온 전류의 절대값은 판독 동작 주파수로 결정되고, 예를 들면 통상의 $20\mu\text{A}$ 정도의 동작이면, 예를 들면 $5\mu\text{A}/\text{bit}$ 로 된다. 예를 들면 고속의 $50\sim80\text{MHz}$ 로 판독하는 경우에는, 예를 들면 $10\sim30\mu\text{A}/\text{bit}$ 가 요구된다. 메모리 셀 MC의 트랜지스터가 pMOS형인 본 방식은, 동일 치수이면 배의 판독 전류가 얻어지는 nMOS형을 이용하는 방식에 비하여 원리적으로 온 전류에서 불리하지만, 메모리 게이트 길이가, 예를 들면 50nm 정도로 극도로 짧아 채널 저항이 적은 사이드월 게이트인 것, 전자는 홀에 비하여 주입하기 쉽기 때문에 임계값 전압을 보다 크게 상승(pMOS의 전류는 증가하는 방향)시킬 수 있는 것 등으로부터, 예를 들면 $20\mu\text{A}/\text{bit}$ 정도의 전류값이 얻어져, 대부분의 용도에 대응할 수 있다.

[0068] 기입 시의 동작 상태를 도 24에 도시했다. 기입에는 상기와 동일한 소스 사이드 인젝션(SSI)을 이용하지만, 전자가 아니라 홀을 게이트 절연막(2a)(주로 절연막(2a2))에 주입한다. 메모리 게이트 전극(11A)에, 예를 들면 $-9V$, 소스(확산층(6))에, 예를 들면 $-5V$ 를 인가한 상태에서, 선택 게이트 전극(10A)과 드레인(확산층(7))에, 예를 들면 각각 $-1V$ 와 $-0.5V$ 를 인가해서 선택 게이트 전극(10A) 아래에 약반전 상태를 만들어내고, 메모리 게이트 전극(11A) 아래의 반전 상태부에 걸리는 소스 전압과의 사이에서 발생하는 고전계에 의해 핫 홀을 발생시켜, 메모리 게이트 전극(11A)의 큰 부전압에 의해 게이트 절연막(2a)(ONO막의 주로 절연막(2a2)(실리콘 질화막, 주전하 축적부))에 홀을 효율적으로 주입할 수 있다. 상기 검토예에서 이용하는 밴드간 터널에서의 홀 주입에 비하여 SSI는 주입 효율이 높기 때문에, 동일한 홀을 주입하는 경우라도 게이트 절연막(2a)(ONO막)에 주는 데미지를 저감할 수 있다. 여기서, 홀 주입에 의해 임계값 전압의 절대값이 저하된 상태를 이 메모리 셀 MC에서의 기입 상태로 정의한다. 각 메모리 셀 MC에 기입을 행할지의 여부는, 비트선에 연결되어 있는 드레인 전압의 대소에 의해 선택 게이트 전극(10A) 아래에 흐르는 전류를 제어함으로써 결정할 수 있다.

[0069] 소거 시의 동작 상태를 도 25에 도시했다. 소거 시의 동작은 메모리 게이트 전극(11A)에만, 예를 들면 $-11V$ 의 부전압을 인가하고, 다른 단자는, 예를 들면 $0V$ 또는 오픈으로 한다. 여기서는 회로상의 형편으로부터 소스(확산층(6)) 및 드레인(확산층(7))을, 예를 들면 오픈으로 하고, 선택 게이트 전극(10A)과 반도체 기판(1)을, 예를 들면 $0V$ (접지)로 했다. 메모리 게이트 전극(11A)과 반도체 기판(1)의 전위차로부터 게이트 절연막(2a)(ONO막)에 「평균적으로」 걸리는 전계는, 예를 들면 $8\text{MV}/\text{cm}$ 이다. 이 값은 결코 작지는 않지만, 소거 시간 내에 FN 터널 동작에 의해 전하를 주입하기 위해서는 불충분하다. 그러나, 메모리 게이트 전극(11A)에서, 선택 게이트 전극(10A)의 측면의 게이트 절연막(2a)에 접하는 측면과, 반도체 기판(1)의 주면 위의 게이트 절연막(2a)에 접하는 면이 교차하는 부분에 형성되는 코너부(11cn)에서는 등전위면이 급격하게 변화되기 때문에 전계가 국소적으로 집중되어, 예를 들면 고속의 FN 터널 동작에 필요한 $10\text{MV}/\text{cm}$ 이상의 전계가 얻어진다. 따라서, 메모리 게이트 전극(11A)의 코너부(11cn)로부터는 게이트 절연막(2a)(ONO막)의 절연막(2a2)(주전하 축적부)에 전자가 주입되어, 임계값 전압의 절대값이 상승하여, 소거 동작이 행해진다.

[0070] 여기서, 전계와 FN 터널 전류의 관계를 도 26에 도시했다. FN 터널 전류는 $J=AE^2 \exp(-B/E)$ (E: 전계, A, B: 상수)로 표현되고, 전계에 대하여 지수적으로 변화되기 때문에 급준하게 상승한다. 따라서, 상기에 나타내는 바와 같이 $8\text{MV}/\text{cm}$ 에서는 전하 주입이 불충분하고, $10\text{MV}/\text{cm}$ 이상에서 실질적인 주입이 일어난다. 여기서, 게이트 절연막(2a)(ONO막)의 평탄부에 평균적으로 $11\text{MV}/\text{cm}$ 이상의 전계가 걸리면 전체면에서 과잉의 전하 주입이 생기기 때문에 바람직하지 못하다. 본 실시 형태의 국소 전계 집중에 의한 전하 주입의 효과를 얻기 위해서는, 메모리 게이트 전극(11A)과 반도체 기판(1)의 전위차에 의해 게이트 절연막(2a)(ONO막)의 평탄부에 걸리는 전계의 값이 평균적으로 $7\text{MV}/\text{cm}$ 이상 또한 $11\text{MV}/\text{cm}$ 로 되도록 설계하는 것이 바람직하다. 이 때, 전체면 주입은 억제되면서, 국소 전계 집중에 의한 전하 주입이 일어난다.

[0071] 이 디바이스의 소거 특성(임계값 전압-소거 시간)을, 메모리 게이트 전압을 파라미터로 측정한 결과를 도 27에 나타냈다. 소스 전압 V_s =선택 게이트 전압 V_{cg} =드레인 전압 V_d =기판 전압 $V_{sub}=0V$ 이다.

[0072] 구조상, 부전압을 인가한 메모리 게이트 전극(11A)을 공유하는 동일한 워드 선 상의 메모리 셀 MC는 모두 동시에 소거되지만, 플래시 메모리는 소거를 일괄로 행하기 때문에 문제점은 없다. 또한, FN 터널의 소거 전류는 거의 제로이기 때문에 소거 블록 상의 메모리 게이트 전극(11A)을 모두 동시에 소거할 수 있다.

[0073] 이상의 판독, 기입 및 소거 상태의 전압을 도 28에 통합해서 나타냈다. 또한, 도 28은, 반도체 기판(1)의 전위를 전원 전압 V_{cc} 로 하여 부전압을 사용하지 않고 판독하는 경우, 또한, 메모리 게이트 전극(11A)은 바이어스

리텐션 상태로 하는 경우이다.

[0074] (실시 형태 2)

상기 실시 형태 1의 변형예로서, 본 실시 형태 2의 반도체 장치를 도 29에 의해 설명한다. 도 29는, 본 실시 형태 2의 반도체 장치의 메모리 셀 MC의 단면도이다. 또한, 상위점을 명확하게 하기 위해서, 동작 전압을 도 30에 나타냈다. 또한, 도 30은, 반도체 기판(1)의 전위를 전원 전압 Vcc로 하고 부전압을 사용하지 않고 판독하는 경우, 또한, 메모리 게이트 전극(11A)은 바이어스가 없는($V_{mg}=V_{sub}$) 리텐션 상태로 하는 경우이다.

[0076] 판독 시에 메모리 게이트 전극(11A)에 인가하는 전압을, 예를 들면 반도체 기판(1)과 동일한 전원 전압 1.5V로 설정하고 있다. 상기 실시 형태 1과의 상위점은, 판독 시의 메모리 게이트 전압 V_{mg} 뿐이며, 이것을 기판측 전압과 동일하게 함으로써, 판독 시의 메모리의 게이트 절연막(2a)(ONO막)에 걸리는 전계(전극 전위-기판 전위)를 빼어 제로로 할 수 있다. 이 결과, 전계에 의한 전하의 빠짐이 억제되어, 전하 유지 특성이 향상된다. 단점으로서, 메모리 셀 MC의 임계값 전압을 더욱 상승시킬 필요가 있다. 이 때문에, 서브 쓰레숄드 특성의 저하를 허용하여 카운터의 채널 이온 주입량을 늘리거나, 재기입 내성에의 부하 증가를 허용하여 소거 시의 주입 전자량을 증가할 필요가 있다. 어떤 대응을 취하던, 목표 사양에 따라서 적절한 설계를 행하는 것이 가능하다.

[0077] (실시 형태 3)

본 실시 형태 3은, 상기 실시 형태 1의 반도체 장치의 구조의 변형예이다. 본 실시 형태 3의 반도체 장치의 제조 플로우 중 상위가 있는 부분을 도 31 및 도 32에 의해 설명한다.

[0079] 우선, 상기 실시 형태 1의 도 17~도 19에서 설명한 공정과 동일한 제조 프로세스를 거친다. 이 단계에서, 반도체 기판(1)의 주면 위에는 게이트 절연막(2b)을 개재하여 선택 게이트 전극(10A)이 형성되어 있다.

[0080] 계속해서, 본 실시 형태 3에서는, 예를 들면 800°C에서 6nm의 웨트 산화를 행함으로써, 도 31에 도시하는 바와 같이, 선택 게이트 전극(10A)의 측면, 상면 및 반도체 기판(1)의 주면에, 산화 실리콘으로 이루어지는 절연막(20a, 20b, 20c)을 형성한다. 이 경우, 불순물 농도가 높은 선택 게이트 전극(10A)에서, 측벽 중앙부가 특히 많이 산화되는 한편, 선택 게이트 전극(10A)의 단부(특히 하단부)는 응력의 영향으로 산화 속도가 억제된다. 이와 같이 불순물 농도와 응력에 의해 산화 속도에 차가 생기는 결과, 선택 게이트 전극(10A)의 절연막(20a)은 방추형으로 된다.

[0081] 그 후, 반도체 기판(1)의 주면의 절연막(20c)을 제거한 후, 상기 실시 형태 1과 마찬가지로, 메모리부의 임계값 전압 조정을 위한 카운터 이온 주입, 게이트 절연막(2a)(ONO막)의 성막, 불순물을 도프한 아몰퍼스 실리콘막의 퇴적과 에치백, 잉여의 게이트 절연막(2a)(ONO막)의 제거, 익스텐션 형성, 산화막 사이드월 형성, 고농도 확산층 형성, 실리사이드화 등의 공정 등을 거쳐, 도 32에 도시하는 메모리 셀 MC를 형성한다.

[0082] 본 실시 형태 3에서는, 선택 게이트 전극(10A)의 측면에 방추형으로 형성된 절연막(20a)에 의해 메모리 게이트 전극(11A)의 코너부(11cn)(메모리 게이트 전극(11A)에서, 선택 게이트 전극(10A)의 측면의 게이트 절연막(2a)에 접하는 측면과, 반도체 기판(1)의 주면 위의 게이트 절연막(2a)에 접하는 면이 교차하는 부분에 형성되는 각부)가 보다 예각(90도보다 작은 예각부)으로 형성된다. 그 결과, 소거 동작에서, 메모리 게이트 전극(11A)의 코너부(11cn)에 상기 실시 형태 1의 경우보다 더 전계가 집중되기 때문에, 효율적인 소거 동작이 가능하게 된다. 실제의 제품에서는, 이 성능 향상을 소거의 고속화보다 소거 시 인가 전압의 저감에 이용함으로써, 회로 면적의 축소나 신뢰성의 향상을 달성한다고 하는 것이 행해진다.

[0083] (실시 형태 4)

[0084] 본 실시 형태 4는, 상기 실시 형태 1의 반도체 장치의 구조의 변형예이다. 본 실시 형태 4의 반도체 장치의 제조 플로우 중 상위가 있는 부분을 도 33에 의해 설명한다.

[0085] 우선, 상기 실시 형태 1의 도 17~도 18에서 설명한 공정과 동일한 제조 프로세스를 거친 후, 메모리 영역의 선택 게이트 전극을 패턴 형성하기 위한 포토리소그래피를 행하고, 드라이 에칭에 의해 선택 게이트 전극(10A)을 가공한다. 이 때, 드라이 에칭 조건을 상기 실시 형태 1과는 변경하고, 게이트 에칭 공정의 종반에서, 선택 게이트 전극(10A)의 하단부(반도체 기판(1)측)가 역테이퍼 형상으로 되도록 하는 가공을 행한다. 그를 위한 방법은 해당 사업자에게는 공지이다. 구체적으로는 가공의 종반에서, 측벽 퇴적물을 감소시킨다고 하는 이방성을 저감하는 조건으로 되도록 가스종이나 온도 및 플라즈마 조건을 변경한다.

[0086] 이 결과, 선택 게이트 전극(10A)의 측벽에는, 완성형을 도 33에 도시하는 바와 같이, 역테이퍼 형상부(10A1)가

형성된다. 즉, 선택 게이트 전극(10A)의 하단부는, 반도체 기판(1)의 주면으로부터 멀어짐에 따라서 선택 게이트 전극(10A)의 폭(너비 방향 치수)이 점차로 커지도록 형성되어 있다. 그 결과, 선택 게이트 전극(10A)의 측벽에 게이트 절연막(2a)을 개재하여 인접하는 메모리 게이트 전극(11A)의 코너부(11cn)는, 보다 예각(90도보다 작은 예각부)으로 형성된다.

[0087] 선택 게이트 전극(10A)의 형성 시에는, 로직 영역의 MOS 트랜지스터의 게이트 전극의 측벽도 동시에 역테이퍼 형상이 형성되어 의도하지 않은 특성의 변화가 생기는 것을 피하기 위해서, 로직 영역 전체를 포토리소그래피의 레지스트로 커버한다. 로직 영역의 게이트 가공은, 그 후에 지금과 반대의 방식으로, 메모리 영역을 레지스트로 커버해서 가공한다. 이 결과, 상기 실시 형태 3과 마찬가지의 효과가 얻어진다.

[0088] 또한, 선택 게이트 전극(10A)의 측벽의 테이퍼는, 반드시 선택 게이트 전극(10A)의 하단부에만 형성할 필요는 없고, 선택 게이트 전극(10A)의 측벽 전체가 역테이퍼 형상으로 되도록 형성해도 된다.

[0089] (실시 형태 5)

[0090] 본 실시 형태 5는, 상기 실시 형태 1의 반도체 장치와 동일한 스플리트 게이트 구조의 불휘발성 메모리 셀 MC를 갖지만, 상기 실시 형태 1과 달리, 메모리 게이트 전극을 자기 정합이 아닌 프로세스를 이용하여 형성하는 것이다.

[0091] 우선, 상기 실시 형태 1의 도 17~도 19에서 설명한 공정과 동일한 제조 프로세스를 거친 후, 상기 실시 형태 1에서 설명한 것과 마찬가지로, 희생 산화, 메모리부의 임계값 전압 조정을 위한 카운터 이온 주입, 게이트 절연막(2a)(ONO막)의 성막을 행한 후, 도 34에 도시하는 바와 같이, 예를 들면 불순물을 도프한 아몰퍼스 실리콘에 의해 형성된 게이트 전극 재료(11)를 퇴적한다.

[0092] 계속해서, 본 실시 형태 5에서는, 상기 실시 형태 1과 달리 게이트 전극 재료(11)를 직접 에치백하지 않고, 포토리소그래피에 의해 레지스트에 의한 마스크를 형성하고, 그 마스크를 에칭 마스크로 하여 게이트 전극 재료(11)에 대하여 드라이 에칭 처리를 실시함으로써, 도 35에 도시하는 바와 같이, 메모리 게이트 전극(11B)을 패턴 형성한다. 여기서, 상기 마스크의 오정렬 폭이 선택 게이트 전극(10A)의 폭(너비 방향 치수) 내에 들어가도록 설계하고, 메모리 게이트 전극(11B)의 일부는 선택 게이트 전극(10A) 위에 올라앉은 형태로 형성된다. 그 후, 상기 실시 형태 1과 마찬가지의 공정을 거쳐서 메모리 셀 MC를 형성한다.

[0093] 메모리 셀 MC의 동작 방식에 대해서는 상기 실시 형태 1, 2와 마찬가지이다. 단, 이 구조의 경우에는, 메모리 게이트 전극(11B)의 게이트 길이 L_g 를 충분히 길게 설계할 수 있기 때문에, 온 전류는 저하되지만, 단채널 특성이 향상된다. 그 결과, 오프 리크 전류나 특성 변동을 억제할 수 있기 때문에, 저소비 전력용 디바이스에 적합하다.

[0094] (실시 형태 6)

[0095] 본 실시 형태 6의 반도체 장치도 스플리트 게이트 구조의 불휘발성 메모리 셀 MC를 갖는다. 단, 본 실시 형태 6의 경우에는, 메모리 게이트 전극을, 선택 게이트 전극보다도 먼저 형성함과 함께, 상기 실시 형태 5와 마찬가지로 자기 정합이 아닌 프로세스를 이용하여 형성한다.

[0096] 우선, 반도체 기판(1)을, 예를 들면 800°C에서 3nm 희생 산화하고, 채널에의 이온 주입을 행한 후, 도 36에 도시하는 바와 같이, 반도체 기판(1)의 주면 위에 게이트 절연막(2a)을 형성한다. 게이트 절연막(2a)은, 절연막(2a1, 2a2, 2a3)을 하층부터 순서대로 적층한 구성을 갖고 있다. 절연막(2a1)은, 예를 들면 실리콘 산화막(SiO_2 막)에 의해 형성되어 있고, 두께는 4nm 정도이다. 절연막(2a2)은, 예를 들면 실리콘 질화막(Si_3N_4 막)에 의해 형성되어 있고, 그 두께는, 예를 들면 8nm 정도이다. 절연막(2a3)은, 예를 들면 실리콘 산화막(SiO_2 막)에 의해 형성되어 있고, 두께는 5nm 정도이다.

[0097] 계속해서, 게이트 절연막(2a) 위에, 메모리 게이트 전극 형성용의 게이트 전극 재료(11)를 퇴적한다. 게이트 전극 재료(11)는, 예를 들면 다결정 실리콘에 의해 형성되어 있고, 그 두께는, 예를 들면 200nm이다. 게이트 전극 재료(11)의 성막은, 예를 들면 불순물로서, 예를 들면 인을 $4 \times 10^{20} \text{ atoms/cm}^3$ 도프하고, 성막 온도를, 예를 들면 610°C로 하여 행하였다.

[0098] 그 후, 게이트 전극 재료(11)의 상면 위에, 캡막(21)을 형성한다. 캡막(21)은, 예를 들면 실리콘 산화막에 의해 형성되어 있고, 그 두께는, 예를 들면 50nm이다.

- [0099] 다음으로, 게이트 전극 재료(11)에 대하여, 메모리 게이트 전극 형성을 위한 포토리소그래피와 드라이 에칭을 행함으로써, 도 37에 도시하는 바와 같이, 메모리 게이트 전극(11C)을 형성한다. 계속해서, 반도체 기판(1)의 주면 위에 메모리 게이트 전극(11C)을 덮도록, 예를 들면 실리콘 산화막에 의해 형성된 절연막을 퇴적한 후, 이것을 에치백함으로써, 메모리 게이트 전극(11C)의 측면에 상기 절연막으로 형성되는 작은 사이드월 스페이서(22)를 형성한다.
- [0100] 다음으로, 반도체 기판(1)에 대하여 희생 산화 처리를 실시한 후, 예를 들면 800°C의 열산화 처리를 실시함으로써, 도 38에 도시하는 바와 같이, 예를 들면 두께 2nm 정도의 실리콘 산화막에 의해 형성된 게이트 절연막(2b)을 형성한다. 이 게이트 절연막(2b)은, 메모리 영역의 선택 게이트 트랜지스터와, 로직 영역의 트랜지스터에서 공통의 게이트 절연막으로 된다. 계속해서, 반도체 기판(1)의 주면 위에, 예를 들면 두께 220nm 정도의 다결정 실리콘막을 퇴적한 후, 그 다결정 실리콘막에서 메모리 영역과 로직 영역의 pMOS부 Qp의 게이트 전극 형성부에는, 예를 들면 붕소를 이온 주입하고, 로직 영역의 nMOS부 Qn에는, 예를 들면 인을 이온 주입한다.
- [0101] 다음으로, 상기 다결정 실리콘막을 포토리소그래피 및 드라이 에칭에 의해 패터닝함으로써, 메모리 영역에 선택 게이트 전극(10C), 로직 영역에 게이트 전극(10Bn, 10Bp)(도 22 참조)을 형성한다. 계속해서, 상기와 마찬가지로, 익스텐션 형성, 산화막 사이드월 형성, 고농도 확산층 형성, 실리사이드화까지를 행함으로써, 메모리 셀 MC가 완성된다.
- [0102] 본 실시 형태 6의 경우, 메모리 트랜지스터를 먼저 형성함으로써, 메모리 영역의 게이트 절연막(2a)(ONO막)의 산화막 품질을 향상시킬 수 있기 때문에, 전하 유지 특성을 향상시킬 수 있는 것, 메모리 트랜지스터의 채널부에의 카운터 이온 주입이 불필요해지기 때문에 단채널 특성을 향상시킬 수 있다고 하는 장점이 얻어진다. 단채널 특성의 향상은 오프 리크를 저감해서 저소비 전력용 디바이스에 적합한 특성을 얻음과 함께 디스터브 특성도 향상시킬 수 있기 때문에, 회로 면적이 작은 메모리 어레이 설계가 가능하게 된다.
- [0103] (실시 형태 7)
- [0104] 본 실시 형태 7의 반도체 장치는, NROM 구조의 MONOS 메모리이다.
- [0105] 우선, 상기 실시 형태 6과 마찬가지로, 반도체 기판(1)을, 예를 들면 800°C에서 3nm 희생 산화하고, 채널부의 이온 주입을 행한 후, 상기 도 36에서 도시한 바와 같이, 반도체 기판(1)의 주면 위에 게이트 절연막(2a)을 형성한다. 게이트 절연막(2a)은, 절연막(2a1, 2a2, 2a3)을 하층부터 순서대로 적층한 구성을 갖고 있다. 절연막(2a1, 2a2, 2a3)의 재료나 두께는 상기 실시 형태 6과 동일하다.
- [0106] 계속해서, 게이트 절연막(2a) 위에, 상기 실시 형태 6과 마찬가지로, 메모리 게이트 전극 형성용의 게이트 전극 재료(11)를 퇴적한 후, 게이트 전극 재료(11)의 상면 위에 캡막(21)을 형성한다. 게이트 전극 재료(11)에는, 상기한 바와 같이, 불순물로서, 예를 들면 인을 4×10^{20} atoms/cm³ 도프했다. 그 후, 상기 실시 형태 6과 마찬가지로, 게이트 전극 재료(11)에 대하여, 게이트 전극 형성을 위한 포토리소그래피와 드라이 에칭을 행함으로써, 도 39에 도시하는 바와 같이, 메모리 게이트 전극(11D)을 형성한다.
- [0107] 그 후, 예를 들면 800°C에서 6nm의 웨트 산화 처리를 실시함으로써, 도 40에 도시하는 바와 같이, 메모리 게이트 전극(11D)의 측면 및 반도체 기판(1)의 주면 위에, 절연막(20a, 20c)을 형성한다. 이 경우, 메모리 게이트 전극(11D)에서 불순물 농도가 높은 측벽 중앙부가 특히 많이 산화되는 한편, 메모리 게이트 전극(11D)의 단부(특히 하단부)는 응력의 영향으로 산화 속도가 억제된다. 이와 같이 불순물 농도와 응력에 의해 산화 속도에 차가 생기는 결과, 메모리 게이트 전극(11D)의 측면의 절연막(20a)은 방추형으로 된다. 그 결과, 메모리 게이트 전극(11D)의 폭 방향(너비 방향) 양 하단의 코너부(11cn)는, 보다 예각(90도보다 작은 예각부)으로 형성된다.
- [0108] 다음으로, 반도체 기판(1)의 주면의 절연막(20c)을 제거한 후, 도 41에 도시하는 바와 같이, 익스텐션 형성을 위한 붕소 등을 이온 주입하여, 반도체 기판(1)의 주면에 저불순물 농도의 확산층(6a, 7a)을 형성한다.
- [0109] 계속해서, 반도체 기판(1)의 주면 위에, 메모리 게이트 전극(11D)을 덮도록, 예를 들면 실리콘 산화막(SiO₂막)을 80nm 퇴적한 후, 이것을 에치백하여, 메모리 게이트 전극(11D)의 측벽에 절연막(20a)을 개재하여 사이드월 스페이서(5)를 형성한다.
- [0110] 그 후, 반도체 기판(1)의 주면에, 예를 들면 붕소를 이온 주입함으로써, 고불순물 농도의 확산층(6b, 7b)을 형성하여, 메모리 셀 MC가 완성된다. 본 실시 형태 7의 메모리 셀 MC는, 상기 실시 형태 1의 메모리 셀 MC와 마

찬가지로 pMOS로서 동작하지만, 메모리 게이트 전극(11D)은 n+형이다. 그 후, 통상의 로직 영역의 트랜지스터 형성 공정을 행한다.

[0111] 다음으로, 본 실시 형태 7의 반도체 장치의 메모리 셀 MC의 동작 방법을 설명한다.

[0112] 기입은 채널 핫 홀 주입으로 행한다. 즉, 도 42에 도시하는 바와 같이, 메모리 게이트 전극(11D)에, 예를 들면 -9V, 확산층(6)(여기서는 전하를 주입하는 층에서 소스라고 부름)에, 예를 들면 -5V를 인가한다. 이 상태로부터 채널에, 예를 들면 $50\mu\text{A}/\text{bit}$ 정도의 전류를 흘림으로써, 채널의 드레인(확산층(7))단에서 가속된 홀이 메모리 게이트에 주입되어 임계값 전압이 저하되어 기입이 행하여진다.

[0113] 소거는, 도 43에 도시하는 바와 같이, 메모리 게이트 전극(11D)에, 예를 들면 -11V를 인가한다. 메모리 게이트 전극(11D)의 폭 방향(너비 방향) 양단의 예각의 코너부(11cn)로부터 전자 e가 게이트 절연막(2a)(ONO막)의 절연막(2a2)(주전하 축적부)에 주입되어 임계값 전압이 상승하여, 소거가 행해진다.

[0114] 판독은, 메모리 게이트 전극(11D)에, 예를 들면 -5V, 드레인(확산층(7))에, 예를 들면 -3V를 인가하여, 메모리 셀 MC에 흐르는 전류값으로 판정한다.

[0115] 이 구조의 메모리 셀 MC의 양측의 확산층(6, 7)은 대칭 구조이며, 기입 시의 확산층 인가 전압의 조합을 교체하면 각각 메모리 게이트 전극(11D)의 반대측 단부에 홀을 주입할 수 있다. 판독 시의 확산층 인가 전압의 조합도 반전시키면, 메모리 게이트 전극(11D)의 폭 방향(너비 방향) 양단에 축적된 전하 정보를 각각 독립적으로 판독할 수 있기 때문에, 1개의 메모리 셀 MC에 2비트의 정보를 기억할 수 있다. 소거 시에는 메모리 게이트 전극(11D)의 폭 방향의 양단에 전자 e가 주입되어, 축적된 홀을 동시에 캔슬한다.

[0116] 이 싱글 게이트 구조의 메리트는, 심플한 구조로 공정수가 적고, 1셀에 2비트의 정보를 기억할 수 있기 때문에 염가로 기록 밀도를 향상시킬 수 있는 점에 있다. 이 구조에 본 실시 형태 7의 반도체 장치의 국소 전계 집중을 이용한 전하 주입 방식을 적용하면 다음의 효과가 얻어진다.

[0117] 첫번째로, 종래의 BTBT 소거를 이용하는 방법과 비교하여 소거 시의 소비 전류를 저감할 수 있다.

[0118] 두번째로, 확산층(6, 7)의 형성 시에 BTBT 발생을 효율화하기 위한 급준한 접합을 만들 필요가 없어져, 전계 완화된 접합 조건에 최적화해서 디스터브를 억제할 수 있다.

[0119] 세번째로, BTBT 소거가 아니라, FN 터널에 의한 전체면 주입으로 소거하는 방법에 비해서도, 국소 전계 집중을 이용하는 본 실시 형태의 방법은 톱측 산화막(절연막(2a3))에 평균적으로 걸리는 전계를 내릴 수 있는 이점이 있다. 이것으로, 동일한 산화막 두께이면 소거 동작을 보다 저전압화해서 회로 면적을 저감 가능하고, 동일한 동작 전압이면, 보다 산화막 두께를 두껍게 해서 전하 유지 특성을 향상시킬 수 있다.

[0120] (실시 형태 8)

[0121] 본 실시 형태 8은, 상기 실시 형태 1의 변형예로서, 전하를 축적하는 게이트 절연막(ONO막)(2a)의 절연막(2a2)(실리콘 질화막, Si_3N_4 막)을, 예를 들면 알루미나(Al_2O_3 막)로 치환한 것이다. 이 이외의 구성 및 동작에 대해서는, 상기 실시 형태 1, 2와 동일하다.

[0122] 이 알루미나막은, 예를 들면 스퍼터링법 또는 ALD(Atomic Layer Deposition)법(원자층 퇴적법, 혹은 ALCVD(Atomic Layer CVD)법)에 의해 성막한다. 여기서는, 반도체 기판(1)의 주면 위에 절연막(2a1)을 성막한 후에, 예를 들면 ALD법에 의해 9nm의 알루미나막을 성막했다. 그 후는, 상기 실시 형태 1과 마찬가지의 수순으로 메모리 셀 MC를 형성했다.

[0123] 알루미나막의 특장은, 막 내의 고정 전하의 극성이 실리콘 질화막과는 반대인 부전하이며, 임계값 전압이 플러스측으로 시프트하는 점에 있다. pMOS형의 메모리 셀 MC에서는 임계값 전압의 정방향 시프트는 온 전류가 증가하는 방향이기 때문에, 고속 동작에 적합하다. 또한, 임계값 전압을 상승시키기 위한 카운터 이온 주입의 도즈 량을 저감할 수 있기 때문에, 메모리 셀 MC의 서브 임계 특성이 향상된다. 특히, 상기 실시 형태 2에서 설명한 방법으로 판독 시의 메모리 게이트 전압과 반도체 기판측의 전압을 동일하게 설정하고, 전하 유지막에 실효적으로 외부 전계가 걸리지 않는 상태를 만들어 전하 유지 특성을 향상시키는 경우에 적합하다. 이 경우, 메모리 셀 MC의 임계값 전압을 통상보다 상승시킬 필요가 있기 때문에 알루미나막의 적용이 바람직하다.

[0124] (실시 형태 9)

[0125] 본 실시 형태 9는, 상기 실시 형태 1의 변형예로서, 전하를 축적하는 게이트 절연막(ONO막)(2a)의 절연막(2a2)

(실리콘 질화막, Si_3N_4 막)을, 예를 들면 실리콘 산질화막(SiON막)으로 치환한 것이다. 이 이외의 구성 및 동작에 대해서는, 상기 실시 형태 1, 2와 동일하다.

[0126] 여기서는, 반도체 기판(1)의 주면 위에 절연막(2a1)을 성막한 후에, 예를 들면 CVD법에 의해 7nm의 실리콘 산질화막을 성막했다. 그 후는, 상기 실시 형태 1과 마찬가지의 수순으로 메모리 셀 MC를 형성했다.

[0127] 실리콘 산질화막은, 전하를 유지하는 트랩 준위가 깊어, 한번 포획된 전하가 빠져나가기 어렵기 때문에, 전하 유지 특성을 향상시킬 수 있다.

[0128] (실시 형태 10)

[0129] 본 실시 형태 10은, 상기 실시 형태 1의 변형예로서, 전하를 축적하는 게이트 절연막(ONO막)(2a)의 절연막(2a2)(실리콘 질화막, Si_3N_4 막)을, 예를 들면 실리콘 나노 크리스탈로 치환한 것이다.

[0130] 실리콘 나노 크리스탈은, 도 44에 도시하는 바와 같이, 게이트 절연막(2a), 특히 여기서는 실리콘 산화막(SiO_2 막)의 단체막 내에, 그 막 두께보다도 미세한 직경 3~6nm의 실리콘의 입자(25)가 분포되어 있다. 단, 실리콘 나노 크리스탈의 입자(25)의 총은, 실리콘 산화막에 의해 사이에 끼워져 있다.

[0131] 본 실시 형태 10의 구성은, 포텐셜 배리어로 되는 실리콘 산화막(SiO_2 막)에 둘러싸인 실리콘 나노 크리스탈의 입자(25)에 이산적으로 전하를 축적하고 있어, 미세한 부유 게이트 전극을 다수 포함하는 구조로 간주할 수 있다. 이에 의해, 실리콘 산화막(SiO_2 막)의 결함에 대하여 안정된 성질을 구비하여, 1개소라도 결함이 생기면 전체 전하를 상실할 가능성이 있는 종래의 부유 게이트 전극의 문제점을 극복할 수 있다.

[0132] 본 실시 형태 10의 구성의 경우, 부유 게이트 전극 구성의 경우와 달리 실리콘 나노 크리스탈의 입자(25)끼리의 사이가 절연되어 있기 때문에, 기입과 소거에 이용하는 역극성의 전하의 주입 분포를 일치시킬 필요가 있지만, 본 실시 형태의 방식을 이용하면 동일 개소에 전하를 주입할 수 있기 때문에, 재기입 내성을 향상시킬 수 있다.

[0133] 또한, 본 실시 형태 10의 구조의 변형예로서, 게이트 절연막(2a)을 실리콘 산화막(SiO_2 막)의 단체막이 아니라 절연막(2a1, 2a2, 2a3)의 적층막(즉, ONO막)으로 하고, 상하의 절연막(2a1, 2a3) 사이에 끼워진 절연막(2a2)(Si_3N_4 막) 내에 실리콘 나노 크리스탈의 입자(25)를 분포시키는 구성으로 해도 된다. 이 경우, 정보의 기억에 기여하는 전하는 실리콘 나노 크리스탈의 입자(25) 외에 절연막(2a2)(Si_3N_4 막) 내에도 축적되기 때문에, 전하 유지 특성을 향상시킬 수 있다.

[0134] (실시 형태 11)

[0135] 본 실시 형태 11은, 상기 실시 형태 1의 변형예로서, 전하를 축적하는 게이트 절연막(ONO막)(2a)을, 절연막(2a1, 2a2, 2a3)의 3층 구조로부터, 절연막(2a1, 2a2)의 2층 구조로 치환한 것이다.

[0136] 도 45에, 본 실시 형태 11의 반도체 장치의 메모리 셀 MC의 단면도의 일례를 도시하였다. 여기서는, 게이트 절연막(2a)에서, 반도체 기판(1)측의 절연막(2a1)의 막 두께는, 상기 실시 형태 1과 동일하게, 예를 들면 4nm이고, 그 상층의 절연막(2a2)의 막 두께는, 예를 들면 20nm로 했다.

[0137] 본 실시 형태 11에 따르면, 메모리 게이트 전극(11A)측의 산화막(톱 산화막, 절연막(2a3))을 없앰으로써, 주입 전하에 대한 배리어가 낮아져 소거 시의 전자 주입을 보다 고속으로, 저전압으로 행할 수 있게 되었다.

[0138] 주전하 축적부인 절연막(2a2) 내의 전하가 빠져나가기 쉬워지는 영향을 보상하기 위해서, 절연막(2a2)의 막 두께를 20nm라고 하는 바와 같이 상기 실시 형태 1보다도 후막화하였다. 그런데도 역시 고온 시의 전하 유지 특성은 저하되는 경향이 있다. 사용 온도 범위와, 소거 동작의 고속화·저전압화에 의한 회로 면적 축소의 장점을 고려하여, 목표 사양에 따라서 선택지의 하나로 된다. 또한, 전하 유지 특성의 향상을 위해서는, 절연막(2a2)을, 실리콘 질화막 대신에 알루미나막(Al_2O_3 막)이나 실리콘 산질화막(SiON막)으로 치환하는 방법과 조합해도 된다. 특히 실리콘 산질화막(SiON막)에는 홀을 주입하기 쉬운 장점이 있다.

[0139] (실시 형태 12)

[0140] 본 실시 형태 12에서는, 메모리 영역의 각 부(메모리 게이트 전극 및 선택 게이트 전극을 포함함)의 도전형이, 상기 실시 형태 1에 대하여 역극성의 구조로 되어 있다. 물리적인 형상은 상기 실시 형태 1의 도 22와 동일하

다.

[0141] 본 실시 형태 12에서 메모리 영역은, p형의 반도체 기판(1) 위에, 예를 들면 p형 불순물의 봉소를 이온 주입해서 형성한 p형 웨파, 예를 들면 n형 불순물의 비소를 주입한 익스텐션용의 저불순물 농도의 확산층(6a, 7a) 및 고불순물 농도의 확산층(6b, 7b), 예를 들면 n형 불순물의 인을 이온 주입한 선택 게이트 전극(10A), 예를 들면 p형 불순물의 봉소를 고농도로 도포한 p+형의 메모리 게이트 전극(11A)을 갖고 있다. 채널부의 임계값 전압 조정용의 이온 주입은, 채널 전체에, 예를 들면 봉소를, 메모리 게이트 전극(11A) 부분에는 주입된 봉소를 상쇄하는 이상의 카운터 이온 주입의 비소를 주입했다. 그 밖은 상기 실시 형태 1과 동일하다.

[0142] 다음으로, 본 실시 형태 12의 반도체 장치에서의 메모리 셀 MC의 동작 방법을 설명한다. 기입에는 소스 사이드 인젝션(SSI)을 이용하여 전자를 주입한다. nMOS형의 메모리 셀 MC이기 때문에, 기입에서는 종래와 동일한 동작 방식으로 된다. 메모리 게이트 전극(11A)과 소스(확산층(6))에, 예를 들면 각각 9V, 5V를 인가하고 선택 게이트 전극(10A)에는, 예를 들면 1V를 인가하여 약반전시켜, 드레인(확산층(7))의 전위를 메모리 셀 MC를 흐르는 전류값이, 예를 들면 $2\mu\text{A}/\text{bit}$ 로 되도록 제어한다. 이 때 드레인 전위의 절대값은, 예를 들면 0.4V 정도로 된다. 흐른 전자는 선택 게이트 전극(10A)과 메모리 게이트 전극(11A) 사이의 전계에 의해 가속되어 핫 일렉트론이 생겨, 메모리 게이트 전극(11A)의 게이트 절연막(2a)(ONO막)에 주입된다. 이에 의해, 임계값 전압이 상승하여, 기입 상태로 된다.

[0143] 소거 시의 동작은, 메모리 게이트 전극(11A)에만, 예를 들면 12V의 정전압을 인가하고, 소스(확산층(6)) 및 드레인(확산층(7))을 오픈으로 하고, 선택 게이트 전극(10A)과 반도체 기판(1)을, 예를 들면 0V(접지)로 했다. 메모리 게이트 전극(11A)의 코너부(11cn)에서는 전계가 집중되어 있어, p+형의 게이트 전극을 위해서 게이트 절연막(2a)(ONO막)에 홀이 주입된다. 이에 의해, 임계값 전압의 절대값이 저하되어, 소거 동작이 행해진다. 코너부(11cn)로부터의 FN 터널 소거이기 때문에, 소거 시의 소비 전류가 적고, 전원 회로를 포함시킨 메모리 모듈의 면적을 축소할 수 있다.

[0144] 판독 시에는, 드레인(확산층(7))에, 예를 들면 1V, 선택 게이트 전극(10A)에, 예를 들면 1.5V, 메모리 게이트 전극(11A)에, 예를 들면 1.5V를 인가해서 메모리 셀 MC에 흐르는 전류값으로 판정한다. 동작 전압 조건의 일람을 도 46에 나타낸다. 이 방식에서는 nMOS 구조를 이용하기 때문에 메모리 셀 전류값을 크게 취할 수 있으므로, 고속 판독 동작 용도에 적합하다.

[0145] (실시 형태 13)

[0146] 본 실시 형태 13에서는, 메모리 게이트 전극의 도전형을, 상기 실시 형태 12에 대하여 역극성의 n+형의 게이트 전극으로 한다.

[0147] 메모리 게이트 전극(11A)하의 게이트 절연막(2a)(ONO막)을 형성한 후에, 예를 들면 불순물 도포 없는 다결정 실리콘막을 성막하고, 이온 주입에 의해, 예를 들면 인을 $2 \times 10^{15} \text{ atoms/cm}^2$ 주입해서 n+형의 게이트 전극(메모리 게이트 전극(11A))을 형성했다. 그 밖의 메모리 셀 MC의 형성 방법은, 상기 실시 형태 12와 동일하다. n+형의 게이트 전극은, 예를 들면 미리 불순물의 인을 도포한 다결정 실리콘을 성막해도 된다.

[0148] 본 실시 형태 13의 반도체 장치의 메모리 셀 MC의 동작 방법은, 이하와 같다.

[0149] 기입 동작 및 판독 동작은 상기 실시 형태 12와 동일하다.

[0150] 소거 동작에서는, 메모리 게이트 전극(11A)에 인가하는 전압을, 예를 들면 14V로 높게 한다. 이에 의해, 메모리 게이트 전극(11A)(n+형의 게이트 전극)의 게이트 절연막(2a)(ONO막)에 접하는 부분이 공핍화되고, 공핍층에 걸리는 전계에 의해 가속된 홀이 게이트 절연막(2a)(ONO막)에 주입되어 임계값 전압이 저하되어, 소거가 행해진다. 불순물 농도가 너무 높으면 공핍화하기 어렵기 때문에, n+형의 게이트 전극(메모리 게이트 전극(11A))의 인 등의 주입량을 통상보다 저하시켜 제조했다.

[0151] 이 방식에서는, 메모리 게이트 전극(11A)에의 인가 전압이 높아지지만, 통상의 nMOS와 동일한 n+형의 메모리 게이트 전극(11A)과 n형의 확산층(6, 7)의 조합으로 된다. 그 때문에, 확산층(6, 7)에의 이온 주입의 조건을 경감할 필요가 없어, 메모리 셀 MC의 미세화나 특성 향상의 튜닝의 자유도가 증가하는 장점이 있다. 또한, 상기 실시 형태 12와 마찬가지의 nMOS형이기 때문에, 판독 전류가 커서 고속화에 적합하다.

[0152] (실시 형태 14)

[0153] 본 실시 형태 14에서는, 메모리 게이트 전극의 도전형을, 상기 실시 형태 1에 대하여 역극성의 p+형의 게이트

전극으로 한다.

[0154] 여기서는, 예를 들면 불순물 도프 없는 다결정 실리콘막을 성막하고, 이온 주입에 의해, 예를 들면 봉소를 5×10^{14} atoms/cm² 주입해서 p+형의 게이트 전극(메모리 게이트 전극(11A))을 형성했다. 그 밖의 메모리 셀 MC의 형성 방법은, 상기 실시 형태 1과 동일하다. p+형의 게이트 전극(메모리 게이트 전극(11A))은 미리 불순물의 인 등을 도프한 다결정 실리콘을 성막해도 된다.

[0155] 본 실시 형태 14의 반도체 장치의 메모리 셀 MC의 동작 방법은, 이하와 같다.

[0156] 기입 동작 및 판독 동작은, 상기 실시 형태 1과 동일하다.

[0157] 소거 동작에서는, 메모리 게이트 전극(11A)에 인가하는 전압을, 예를 들면 -14V로 높게 한다. 이에 의해, 메모리 게이트 전극(11A)(p+형의 게이트 전극)의 게이트 절연막(2a)(ONO막)에 접하는 부분이 공핍화되고, 공핍층에 걸리는 전계에 의해 가속된 흘러 게이트 절연막(2a)(ONO막)에 주입되어 임계값 전압이 상승하여, 소거가 행해진다.

[0158] 이 방식은 메모리 게이트 전극(11A)에의 인가 전압이 높아지지만, 통상의 pMOS와 동일한 p+형의 메모리 게이트 전극(11A)과 p형의 확산층(6, 7)의 조합으로 된다. 그 때문에, 확산층(6, 7)에의 이온 주입의 조건을 경감할 필요가 없어, 메모리 셀 MC의 미세화나 특성 향상의 튜닝의 자유도가 증가하는 장점이 있다.

[0159] (실시 형태 15)

[0160] 본 실시 형태 15에서는, 상기 실시 형태 1에 대하여, 국소 전계 집중에 의한 FN 터널 소거를 행한 후에, 상기 밴드간 터널 소거를 행하는 하이브리드 소거 방식을 이용했다.

[0161] 소거 전압의 조합을 도 47에 나타냈다. 소거의 제1 단계(소거 1)로서, 상기 실시 형태 1과 마찬가지로 메모리 게이트 전극(11A)에, 예를 들면 -11V를 인가하고, 기입된 메모리 셀 MC의 임계값 전압을 목표 소거 레벨의 임계값 전압의 75% 도달점까지 소거했다. 그 후에는, 밴드간 터널 소거 방식(소거 2)으로 절환하여, 메모리 게이트 전극(11A)에, 예를 들면 6V, 소스(확산층(6))에, 예를 들면 -6V를 인가해서 목표 소거 레벨까지의 소거를 행하였다.

[0162] 이 방식에서는, 밴드간 터널 소거를 행하기 때문에 소거 전류와 디스터브 내성의 과제는 완전하게는 해결되지 않지만, 어느 정도의 전원 회로의 면적 축소는 가능하다. FN 터널에 의한 회로 면적 축소의 장점과, 밴드간 터널에 의해 발생하는 핫 캐리어를 이용한 고에너지 전하에 의한 깊은 소거 레벨 실현의 쌍방의 장점이 받아들여진다. 그 결과, 판독 전류가 증가해서 하이엔드용의 고속 동작에 적합하며, 또한 이것을 저코스트로 실현할 수 있다. 또한, 소거 전하의 주입 분포가 기입 전하 분포에 근접하는 효과에 의해 재기입 내성도 향상시킬 수 있다.

[0163] 이상, 나타낸 바와 같이, 메모리 게이트 전극(11A)의 코너부(11cn)로부터 FN 터널에 의해 전하를 주입하는 소거 방식에 의해 소거 시의 소비 전류를 저감하고, 회로 면적을 축소하는 전하 트랩막형의 불휘발성 메모리의 제조 방법과 동작 방법을 설명했다. 또한, 상기의 단순한 조합에 의해서도 소거의 효과를 얻을 수 있는 것은 물론이다.

[0164] (실시 형태에 따른 대표적인 효과)

[0165] 이상에 설명한 바와 같이 본 실시 형태에 따르면, 소거에 국소 전계 집중 구조를 이용한 FN 터널 방식을 이용함으로써 소거 시의 소비 전류를 저감할 수 있기 때문에, 메모리 모듈의 전원 회로 면적을 저감할 수 있다.

[0166] 또한, 메모리 어레이 그 자체에 대해서, 본 실시 형태의 소거 방식을 채용하면 기입 디스터브 내성을 향상시킬 수 있기 때문에, 보다 간이한 메모리 어레이 구성을 채용해서 메모리 어레이 면적을 저감할 수 있다. 따라서, 메모리 어레이 면적의 저감과 전원 회로 면적의 저감을 합하여 메모리 모듈의 면적을 대폭 저감할 수 있기 때문에, 반도체 장치의 제조 코스트를 저감할 수 있다.

[0167] 여기서, 본 실시 형태의 소거 방식이 기입 디스터브 내성을 향상시켜, 메모리 어레이 구성을 간이화하는 이유에 대해서 좀 더 상세하게 설명한다.

[0168] 기입 디스터브란, 기입 중인 메모리 셀 MC 이외의 메모리 셀 MC에의 오기입을 총칭하고 있다. 기입 중인 메모리 셀 MC의 근방에서 워드선이나 소스선을 공유하는 메모리 셀 MC에서 발생하고, 메모리 어레이 구성을 바이어스 상태에 의존해서 몇 가지의 모드가 있다. 각 모드에 대해서는 자세하게 설명하지 않지만, 채널 근방에서

의 전계가 강할수록 잘못 주입되는 전하량이 증가해서 오기입이 생기기 쉽다. 이 때문에, 전계를 약하게 할 목적으로 확산층 프로파일을 완화하는 것이 일반적으로 효과가 있다.

[0169] 그러나, 본 실시 형태에 설명한 바와 같이 밴드간 터널(BTBT)을 소거에 이용하기 때문에 확산층(6, 7)의 불순물 프로파일은 일정 이상의 급준함이 요구되어, 디스터브 내성과 트레이드 오프의 관계에 있었다. 이 때문에, 확산층(6, 7)에 가공하지 않은 디스터브 대책을 행하고 있었다. 구체적으로는 기입의 선택 전압이 걸리는 메모리 셀수를 줄이도록 메모리 어레이 구성을 복잡화하고 있었다. 이 경우의 메모리 어레이의 구성 예를 도 48에 도시한다.

[0170] 세로 방향으로 워드선(메모리 게이트선 MG(MG1, MG2, MG3, MG4 …), 선택 게이트선 CG(CG1, CG2, CG3, CG4 …) 및 소스선 SL(SL1, SL2, S13, SL4 …)가 뻗는 방향), 가로 방향으로 비트선 BL(BL1, BL2, B13 …)을 나타낸다. 디스터브 대책으로서 인접하는 메모리 게이트선 MG에 동일한 바이어스가 인가되지 않도록 메모리 게이트선 MG를 8개 건너 끓는 대책이 실시되어 있다. 또한, 소스선 SL에 대해서도 하나의 워드선의 2k 비트를 4분할하고, 동시에 바이어스가 인가되는 시간을 저감하는 연구를 행하고 있다. 이 결과로서, 메모리 게이트선 MG와 소스선 SL을 제어하는 스위치 부분의 면적이 증대하여, 메모리 어레이로서의 면적 증대로 이어지고 있다.

[0171] 이에 대하여, 본 실시 형태의 FN 터널 소거 방식의 특성은 확산층(6, 7)의 불순물 프로파일에 무관계하기 때문에, 확산층(6, 7)의 불순물 프로파일을, 디스터브 내성이 향상되는 완화된 프로파일로 최적화할 수 있다. 그 결과로서, 도 49에 도시하는 바와 같이, 근방의 메모리 게이트선 MG(MG1, MG2, MG3 …)도 소스선 SL(SL1)도 결속 가능하여 메모리 어레이 구성이 간이화되어, 면적의 저감으로 이어진다. 이 경우의 메모리 어레이 구성은, 도 48과 비교하여 메모리 게이트선 MG 및 소스선 SL의 구조가 단순하게 되어 있다.

[0172] 또한, 소스선 SL을 도 49에 도시하는 바와 같이 단순화할 수 있었던 이유는 또 하나 있다. 밴드간 터널 소거에서는 소거 전류가 수 μ A/셀에 달하고, 동시 소거 비트수가 전원 능력과의 균형으로 제한된다. 동일한 소스선 SL 상의 메모리 셀 MC는 원리상 모두 동시에 소거되기 때문에, 도 48의 예에서는 최대 소거 비트수에 맞추어 소스선 SL을 4분할하지 않을 수 없다. 본 실시 형태에서는, 상기 소거 방식 채용에 의해 소거 전류의 제한이 없어지기 때문에, 소스선 SL을 분할하지 않는 도 49에 도시하는 심플한 구조를 실현할 수 있었다.

[0173] 본 실시 형태의 소거 방식에서는, FN 터널이라고 하는 온도 의존성이 없는 전하 주입 원리를 이용하기 때문에, 소거 특성의 온도 의존성이 없다. 따라서, 온도에 맞춘 소거 전압의 보정이 불필요하여 제어 회로를 단순화 가능하여, 설계 공수와 제어 회로의 면적을 저감하는 효과가 얻어진다.

[0174] 또한, 본 실시 형태의 소거는 국소에 전하를 주입하는 방식이지만, 그 주입 개소가 기입과 동일한 장소라고 하는 특장이 있다. 도 24에서 설명한 스플리트 게이트 구조의 SSI 주입에서는 선택 게이트 전극(10A)과 메모리 게이트 전극(11A) 사이의 캡 부근이 기입 전하의 주입 중심이며, 도 42에서 설명한 NROM 구조에서는 확산층 단부가 기입의 전하의 주입 중심이지만, 본 방식에서는 소거의 전하도 동일한 장소에 주입된다. 이 점으로부터, 전하 트랩막과 국소 주입 방식을 이용하는 불휘발성 메모리에 공통의 과제인 주입 전하 분포의 어긋남에 기인하는 재기입 내성 열화가 생기지 않는 장점이 있고, 이에 의한 재기입 내성을 향상시킬 수 있다.

[0175] 또한, 본 실시 형태의 소거 방식의 특장으로서, FN 터널을 이용하면서, 기입과 소거에 홀과 전자라고 하는 역극성의 전하를 이용하는 경우가 있다. Si_3N_4 막과 같이 전하를 트랩하는 막을 이용한 MONOS형의 메모리에서는 통상은 동일 극성의 전하, 예를 들면 전자의 주입과 뽑아냄에 의해 기입과 소거를 실현하고 있지만, MONOS 형 메모리에서는 FN 터널에 의한 뽑아냄을 충분히 행하는 것은 어려워, 동작 윈도우가 좁아지는 문제점이 있다. 이에 대하여, 본 실시 형태는, 역극성 전하의 주입을 이용하기 때문에 동작 윈도우를 크게 취할 수 있다. 구체적으로는 소거를 충분한 깊이까지 행할 수 있는 효과가 얻어진다.

[0176] 이상에서는, 국소 전계 집중을 이용한 FN 터널에 의한 「소거」의 특장을 통합해서 설명했지만, FN 터널 동작을 「기입」으로 정의해도 마찬가지의 효과가 얻어지는 것은 물론이다. 또한, 여기서는 상기한 실시 형태에 공통의 효과에 대해서 통합해서 설명했지만, 각 실시 형태에 고유한 효과에 대해서는, 상기한 각 실시 형태의 개별 설명 중에서 기재했다.

[0177] 이상, 본 발명자에 의해 이루어진 발명을 실시 형태에 기초하여 구체적으로 설명했지만, 본 발명은 상기 실시 형태에 한정되는 것이 아니라, 그 요지를 일탈하지 않는 범위에서 다양하게 변경 가능한 것은 물론이다.

[0178] 이상의 설명에서는 주로 본 발명자에 의해 이루어진 발명을 그 배경으로 된 이용 분야인 논리 연산 회로와 불휘발성 메모리 회로를 동일한 반도체 기판 위에 갖는 반도체 장치에 적용한 경우에 대해서 설명했지만, 그에 한정

되는 것이 아니라 다양하게 적용 가능하고, 예를 들면 불휘발성 메모리 회로만을 갖는 불휘발성 반도체 장치에 적용할 수도 있다.

산업이용 가능성

[0179] 본 발명은, 게이트 절연막 내에 전하 축적부를 포함하는 불휘발성 메모리 셀을 갖는 반도체 장치의 제조법에 적용할 수 있다.

도면의 간단한 설명

[0180] 도 1은 본 발명자가 검토한 NROM의 단면도.

[0181] 도 2는 본 발명자가 검토한 메모리 셀로서, 자기 정합 게이트층을 MONOS 구조로 한 메모리 셀의 단면도.

[0182] 도 3은 스플리트 게이트형 MONOS 메모리 셀을 이용한 메모리 어레이 구성의 회로도.

[0183] 도 4는 도 3의 메모리 어레이 구성의 레이아웃 평면도.

[0184] 도 5는 도 3의 메모리의 동작 시의 전형적인 전압 조건의 설명도.

[0185] 도 6은 도 3의 메모리의 기입 동작 시의 메모리 셀의 단면도.

[0186] 도 7은 도 3의 메모리의 소거 동작 시의 메모리 셀의 단면도.

[0187] 도 8은 본 발명자가 검토한 스플리트 게이트형 MONOS 메모리 셀과 CMOS 로직 프로세스를 혼재하는 반도체 장치의 제조 공정 중의 주요부 단면도.

[0188] 도 9는 도 8에 후속하는 반도체 장치의 제조 공정 중의 주요부 단면도.

[0189] 도 10은 도 9에 후속하는 반도체 장치의 제조 공정 중의 주요부 단면도.

[0190] 도 11은 도 10에 후속하는 반도체 장치의 제조 공정 중의 주요부 단면도.

[0191] 도 12는 도 11에 후속하는 반도체 장치의 제조 공정 중의 주요부 단면도.

[0192] 도 13은 도 12에 후속하는 반도체 장치의 제조 공정 중의 주요부 단면도.

[0193] 도 14는 도 13에 후속하는 반도체 장치의 제조 공정 중의 주요부 단면도.

[0194] 도 15는 도 14에 후속하는 반도체 장치의 제조 공정 중의 주요부 단면도.

[0195] 도 16은 도 15에 후속하는 반도체 장치의 제조 공정 중의 주요부 단면도.

[0196] 도 17은 본 발명의 일 실시 형태인 반도체 장치의 제조 공정 중의 주요부 단면도.

[0197] 도 18은 도 17에 후속하는 반도체 장치의 제조 공정 중의 주요부 단면도.

[0198] 도 19는 도 18에 후속하는 반도체 장치의 제조 공정 중의 주요부 단면도.

[0199] 도 20은 도 19에 후속하는 반도체 장치의 제조 공정 중의 주요부 단면도.

[0200] 도 21은 도 20에 후속하는 반도체 장치의 제조 공정 중의 주요부 단면도.

[0201] 도 22는 도 21에 후속하는 반도체 장치의 제조 공정 중의 주요부 단면도.

[0202] 도 23은 본 발명의 일 실시 형태인 반도체 장치의 판독 시의 동작 상태를 도시하는 반도체 기판의 주요부 단면도.

[0203] 도 24는 본 발명의 일 실시 형태인 반도체 장치의 기입 시의 동작 상태를 도시하는 반도체 기판의 주요부 단면도.

[0204] 도 25는 본 발명의 일 실시 형태인 반도체 장치의 소거 시의 동작 상태를 도시하는 반도체 기판의 주요부 단면도.

[0205] 도 26은 전계와 FN 터널 전류의 관계를 도시하는 그래프도.

[0206] 도 27은 메모리 게이트 전압을 파라미터로서 반도체 장치의 소거 특성(임계값 전압-소거 시간)을 측정한 결과를

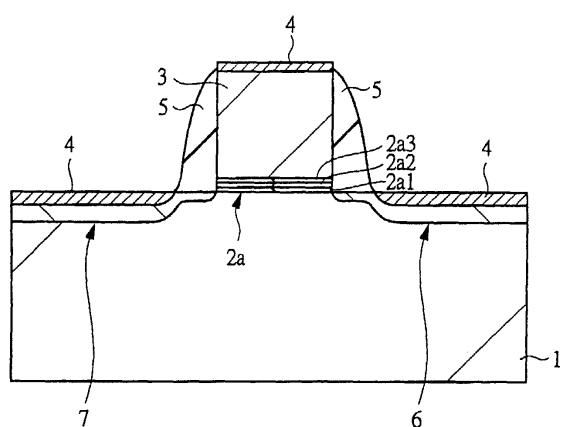
도시하는 그래프도.

- [0207] 도 28은 본 발명의 일 실시 형태인 반도체 장치의 판독, 기입 및 소거 상태의 전압을 통합해서 도시한 설명도.
- [0208] 도 29는 본 발명의 다른 실시 형태(실시 형태 2)인 반도체 장치의 메모리 셀의 단면도.
- [0209] 도 30은 실시 형태 2의 반도체 장치의 판독, 기입 및 소거 상태의 전압을 통합해서 도시한 설명도.
- [0210] 도 31은 본 발명의 다른 실시 형태(실시 형태 3)인 반도체 장치의 제조 공정 중의 메모리 셀의 단면도.
- [0211] 도 32는 도 31에 후속하는 반도체 장치의 제조 공정 중의 메모리 셀의 단면도.
- [0212] 도 33은 본 발명의 다른 실시 형태(실시 형태 4)인 반도체 장치의 메모리 셀의 단면도.
- [0213] 도 34는 본 발명의 다른 실시 형태(실시 형태 5)인 반도체 장치의 제조 공정 중의 메모리 셀의 단면도.
- [0214] 도 35는 도 34에 후속하는 반도체 장치의 제조 공정 중의 메모리 셀의 단면도.
- [0215] 도 36은 본 발명의 다른 실시 형태(실시 형태 6)인 반도체 장치의 제조 공정 중의 메모리 셀의 단면도.
- [0216] 도 37은 도 36에 후속하는 반도체 장치의 제조 공정 중의 메모리 셀의 단면도.
- [0217] 도 38은 도 37에 후속하는 반도체 장치의 제조 공정 중의 메모리 셀의 단면도.
- [0218] 도 39는 본 발명의 다른 실시 형태(실시 형태 7)인 반도체 장치의 제조 공정 중의 메모리 셀의 단면도.
- [0219] 도 40은 도 39에 후속하는 반도체 장치의 제조 공정 중의 메모리 셀의 단면도.
- [0220] 도 41은 도 40에 후속하는 반도체 장치의 제조 공정 중의 메모리 셀의 단면도.
- [0221] 도 42는 실시 형태 7의 반도체 장치의 기입 시의 동작 상태를 도시하는 반도체 기판의 주요부 단면도.
- [0222] 도 43은 실시 형태 7의 반도체 장치의 소거 시의 동작 상태를 도시하는 반도체 기판의 주요부 단면도.
- [0223] 도 44는 본 발명의 다른 실시 형태(실시 형태 10)인 반도체 장치의 메모리 셀의 단면도.
- [0224] 도 45는 본 발명의 다른 실시 형태(실시 형태 11)인 반도체 장치의 메모리 셀의 단면도.
- [0225] 도 46은 본 발명의 다른 실시 형태(실시 형태 12)인 반도체 장치의 판독, 기입 및 소거 상태의 전압을 통합해서 도시한 설명도.
- [0226] 도 47은 본 발명의 다른 실시 형태(실시 형태 15)인 반도체 장치의 판독, 기입 및 소거 상태의 전압을 통합해서 도시한 설명도.
- [0227] 도 48은 본 발명자가 검토한 반도체 장치의 메모리 어레이의 구성예를 도시하는 회로도.
- [0228] 도 49는 본 발명의 일 실시 형태인 반도체 장치의 메모리 어레이의 구성예를 도시하는 회로도.
- [0229] <도면의 주요 부분에 대한 부호의 설명>
- [0230] 1: 반도체 기판
- [0231] 2a: 게이트 절연막(제1 게이트 절연막)
- [0232] 2a1, 2a2, 2a3: 절연막
- [0233] 2b: 게이트 절연막(제2 게이트 절연막)
- [0234] 3: 게이트 전극
- [0235] 4: 실리사이드층
- [0236] 5: 사이드월
- [0237] 6, 6a, 6b, 7, 7a, 7b: 확산층
- [0238] 10: 게이트 전극 재료
- [0239] 10A: 선택 게이트 전극

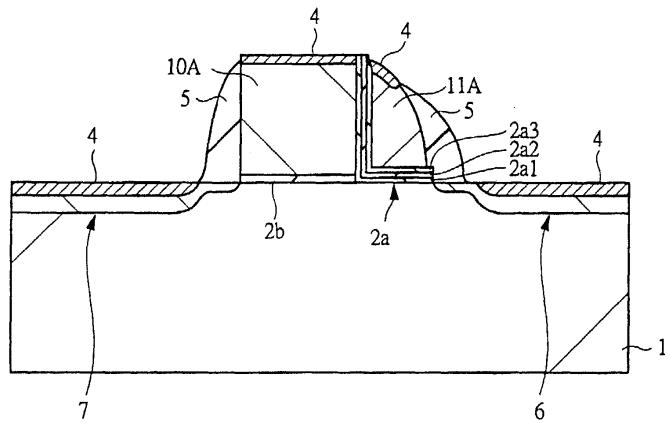
- [0240] 10A1: 역 테이퍼 형상부
- [0241] 10B, 10Bn, 10Bp: 게이트 전극
- [0242] 11: 게이트 전극 재료
- [0243] 11A, 11B, 11C, 11D: 메모리 게이트 전극
- [0244] 11cn: 코너부(각부)
- [0245] 12: 소자 분리부
- [0246] 15, 15a, 15b, 15n, 15na, 15nb, 15p, 15pa, 15pb: 확산층
- [0247] 16: 절연막
- [0248] 17: 컨택트홀
- [0249] 20a, 20b, 20c: 절연막
- [0250] 21: 캡막
- [0251] 22: 사이드월 스페이서
- [0252] 25: 입자
- [0253] NW: n형 웰
- [0254] PW: p형 웰
- [0255] Qn: nMOS부
- [0256] Qp: pMOS부
- [0257] Lg: 게이트 길이

도면

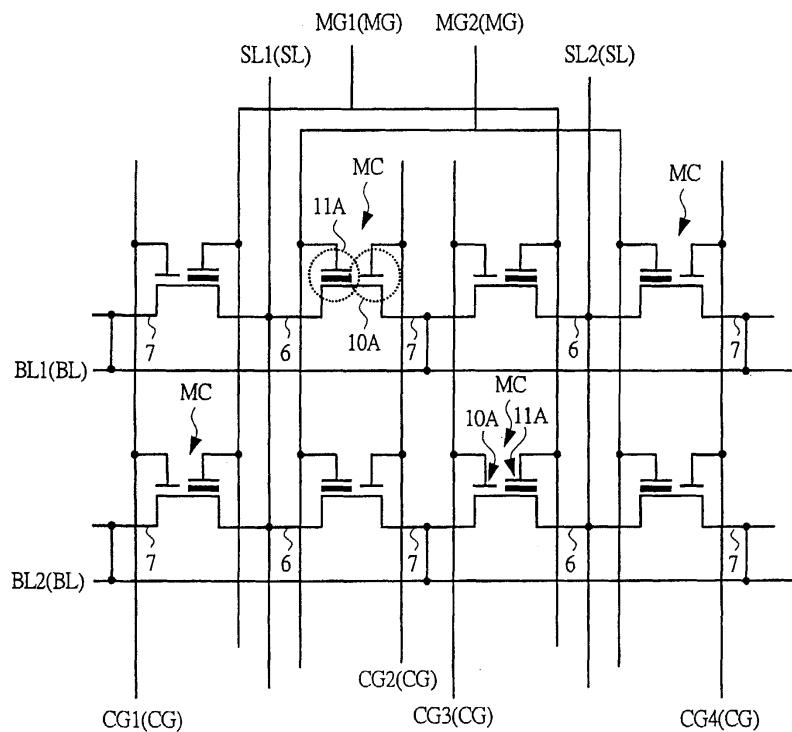
도면1



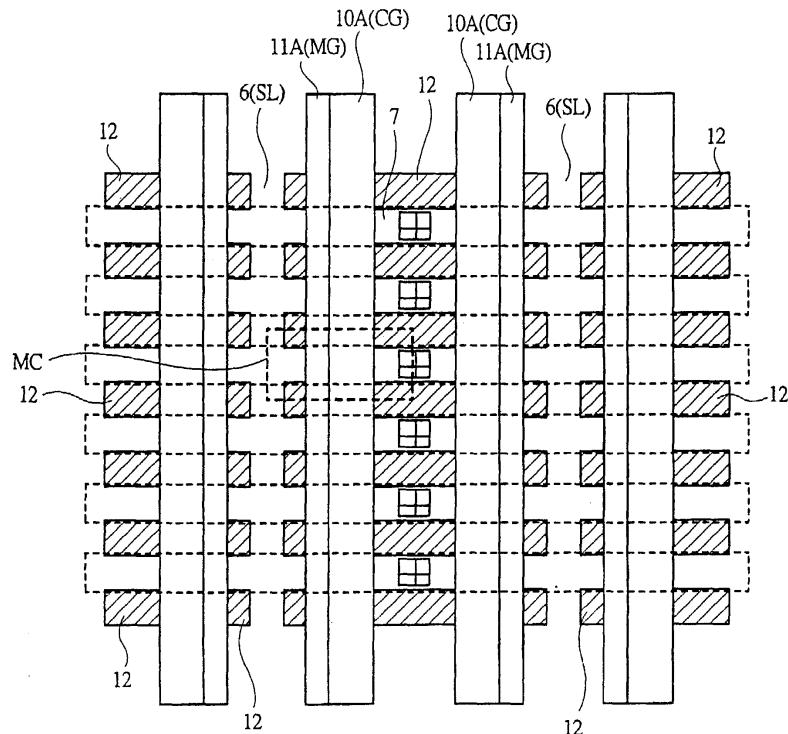
도면2



도면3



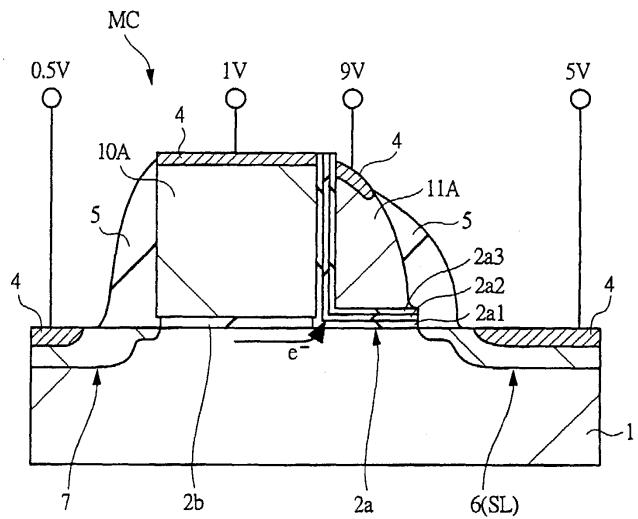
도면4



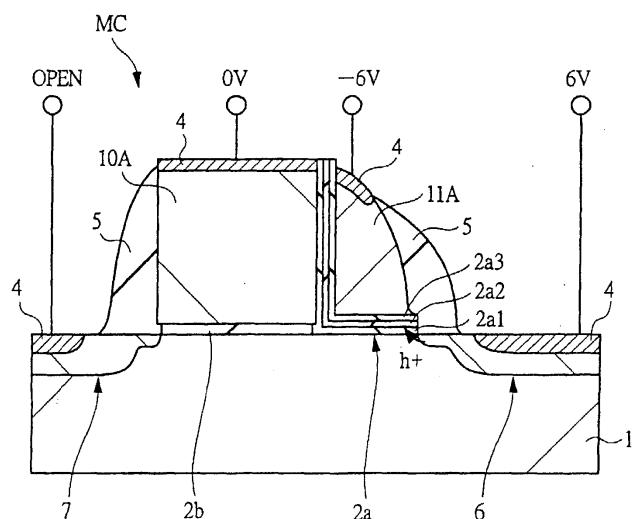
도면5

	V _{mg}	V _s	V _{cg}	V _d	V _{sub}
읽어내기 (Read) [V]	0	0	1.5	1	0
기입 (Write) [V]	9	5	1	0.5	0
소거 (Erase) [V]	-6	6	0	OPEN	0

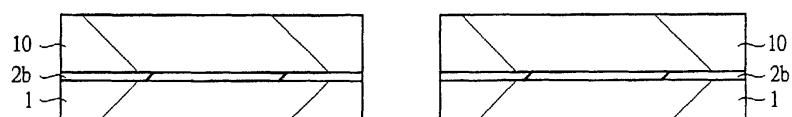
도면6



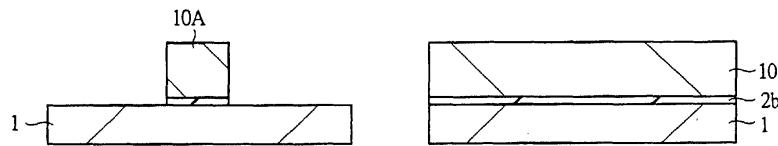
도면7



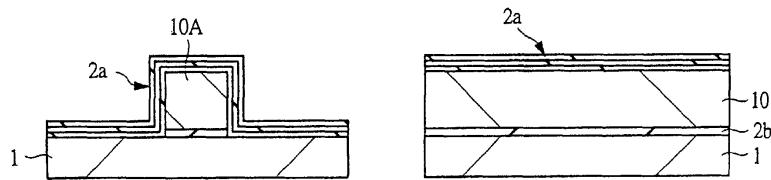
도면8



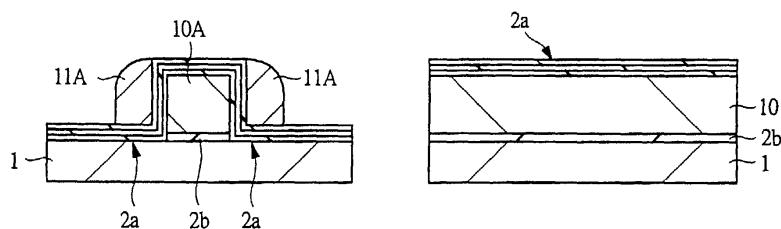
도면9



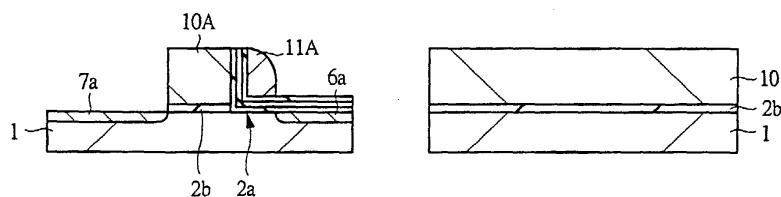
도면10



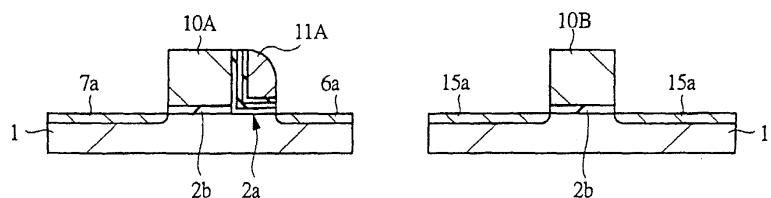
도면11



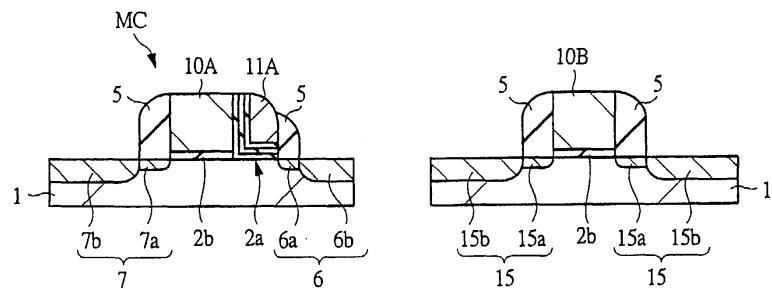
도면12



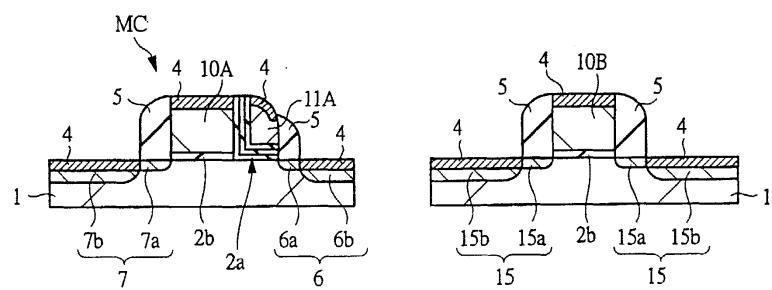
도면13



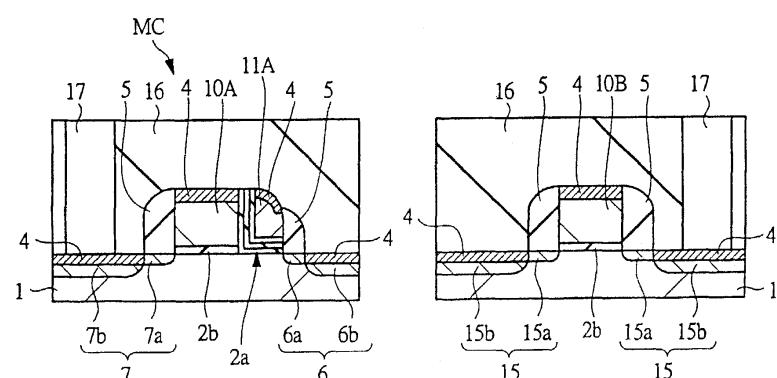
도면14



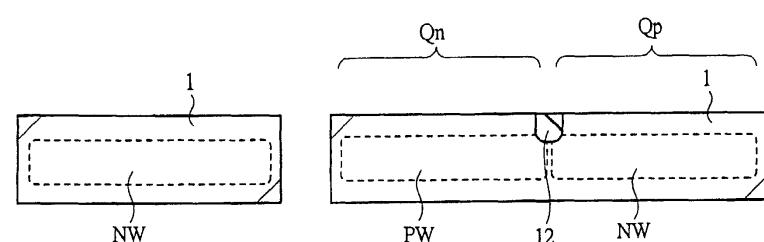
도면15



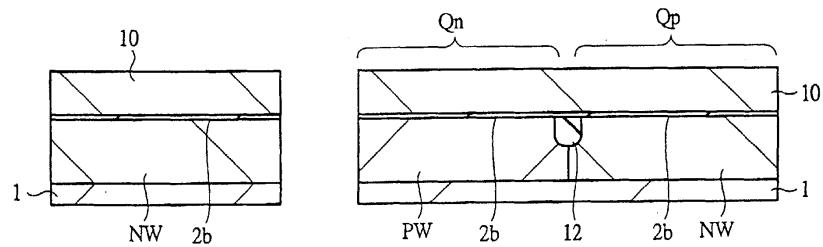
도면16



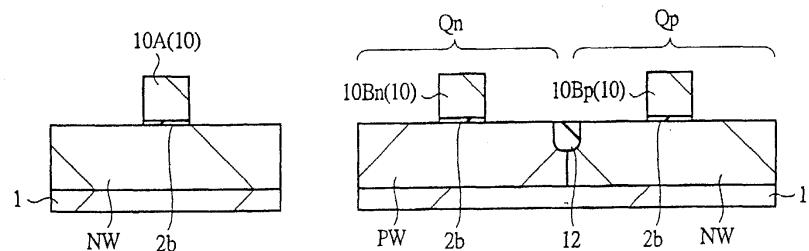
도면17



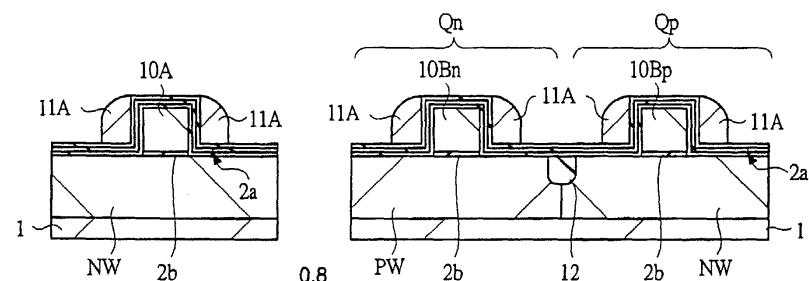
도면18



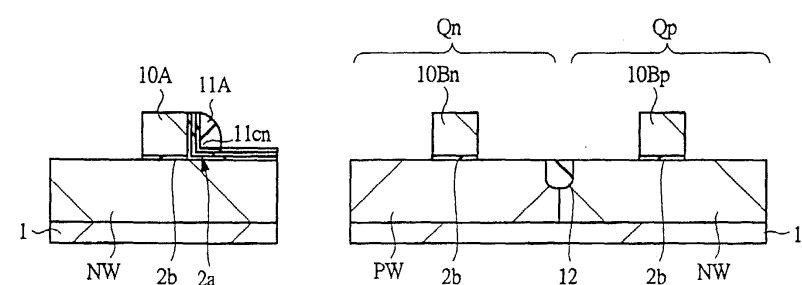
도면19



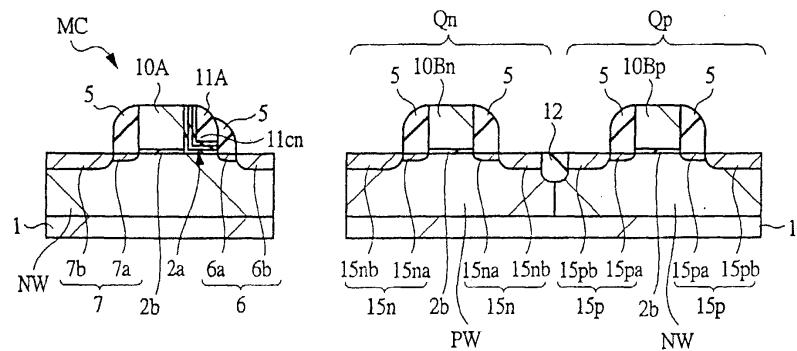
도면20



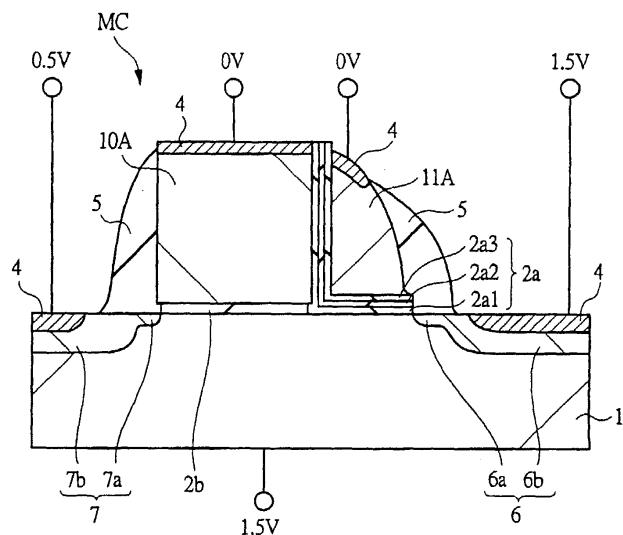
도면21



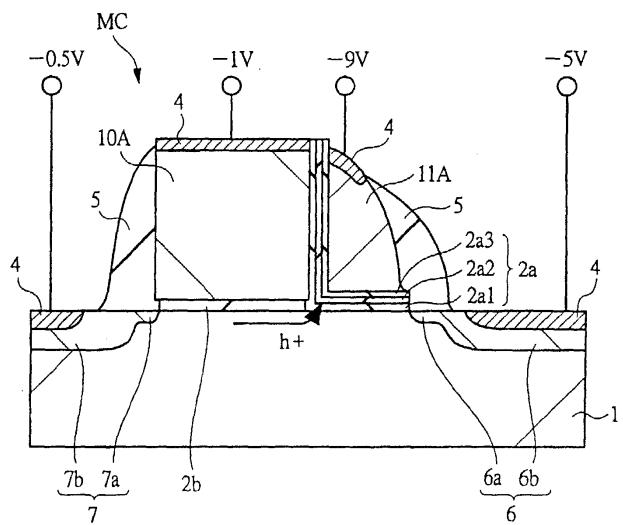
도면22



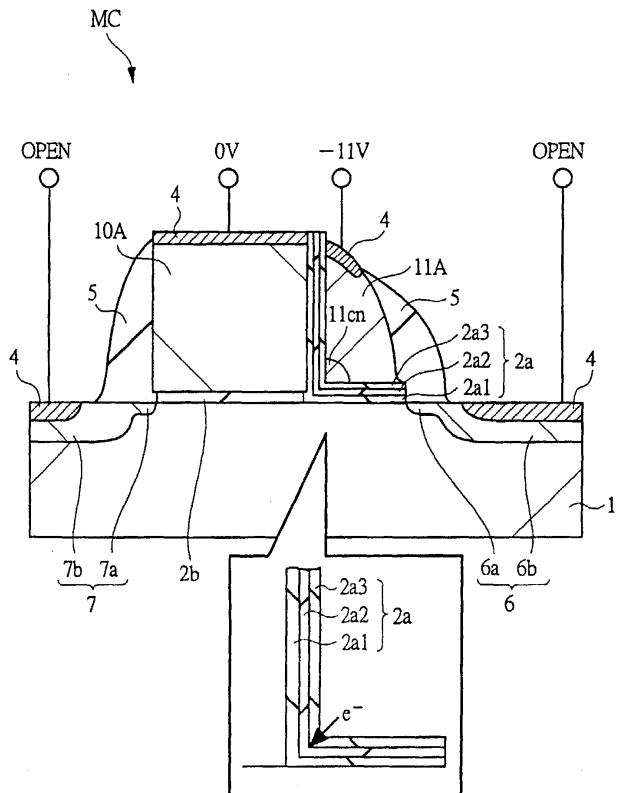
도면23



도면24

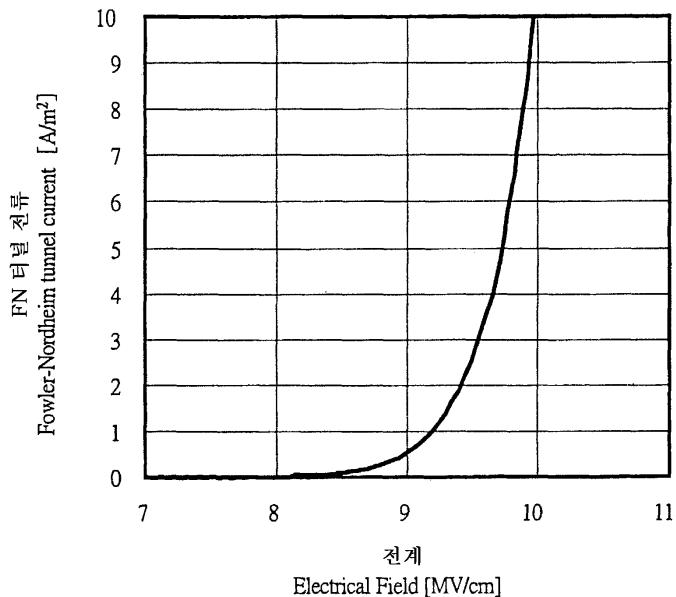


도면25

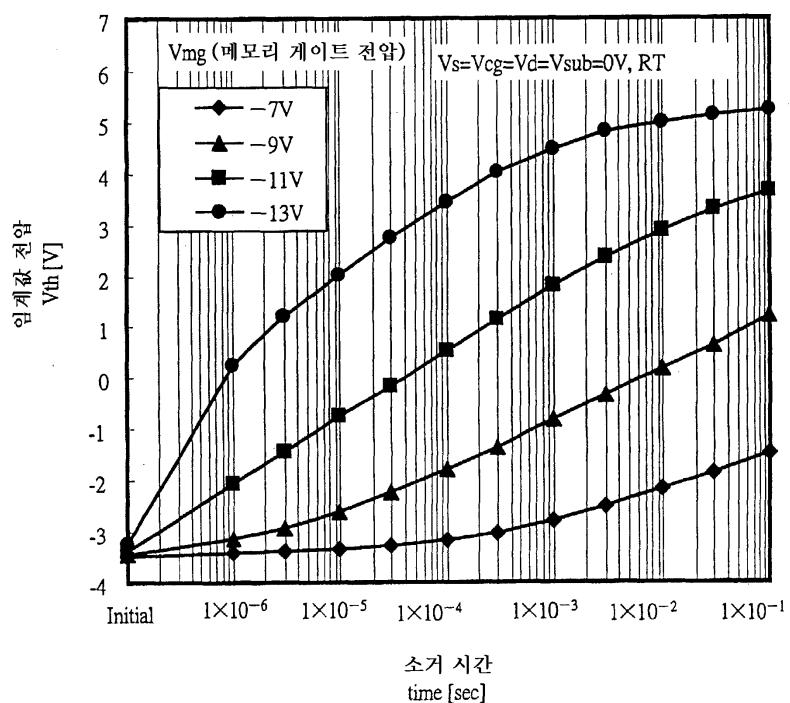


- 1 : 반도체 기판
 2a : 게이트 절연막(메모리 게이트 절연막)
 2a2 : 절연막(전하 축적부)
 10A : 선택 게이트 전극
 11A : 메모리 게이트 전극
 MC : 메모리 셀

도면26



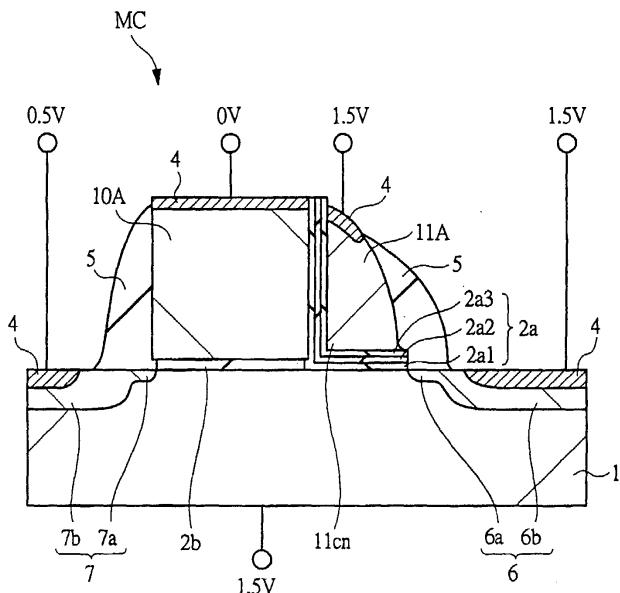
도면27



도면28

	Vmg	Vs	Vcg	Vd	Vsub
읽어내기 (Read) [V]	0	1.5	0	0.5	1.5
기입 (Write) [V]	-9	-5	-1	-0.5	0
소거 (Erase) [V]	-11	OPEN	0	OPEN	0

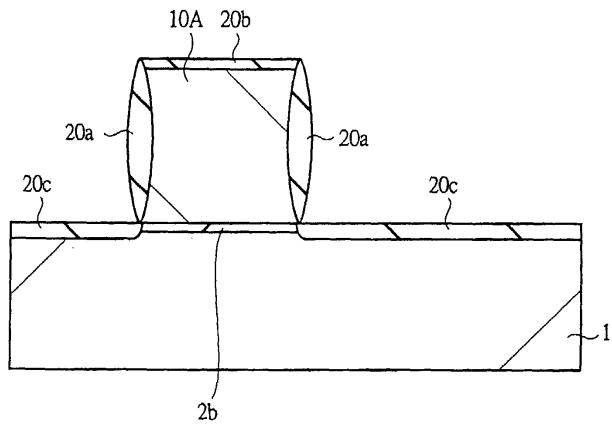
도면29



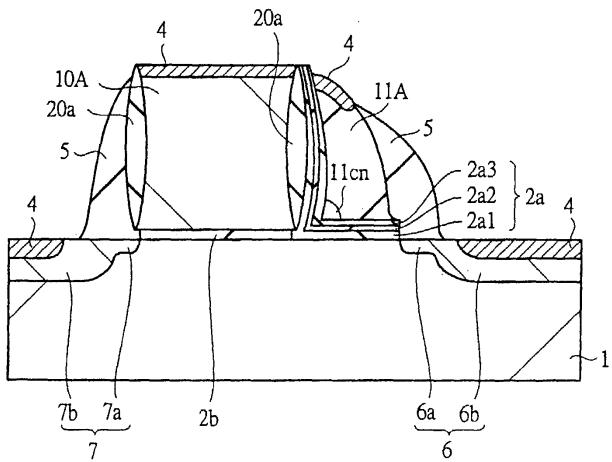
도면30

	Vmg	Vs	Vcg	Vd	Vsub
읽어내기 (Read) [V]	1.5	1.5	0	0.5	1.5
기입 (Write) [V]	-9	-5	-1	-0.5	0
소거 (Erase) [V]	-11	OPEN	0	OPEN	0

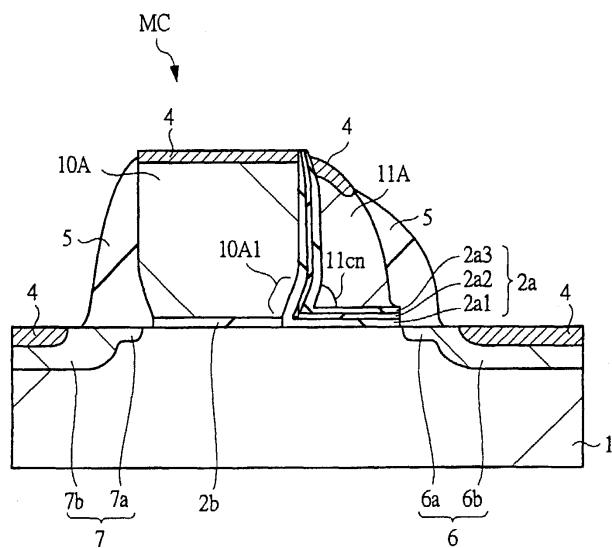
도면31



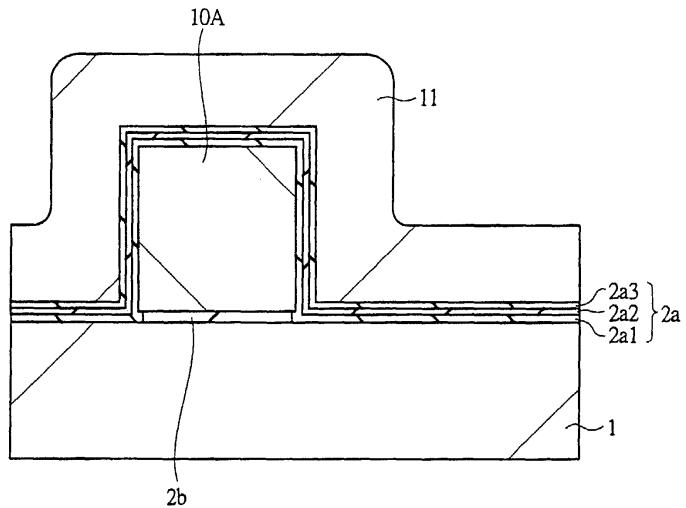
도면32



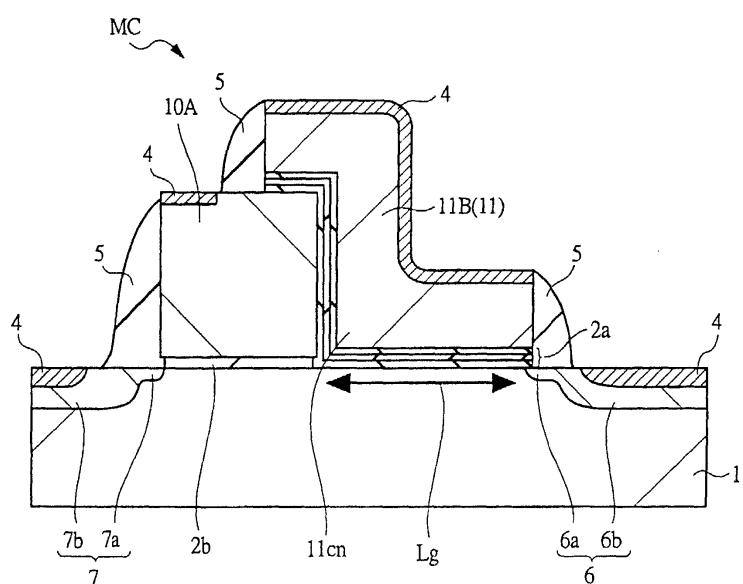
도면33



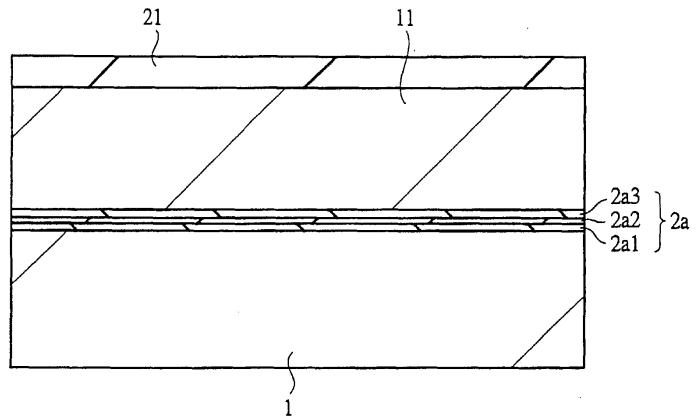
도면34



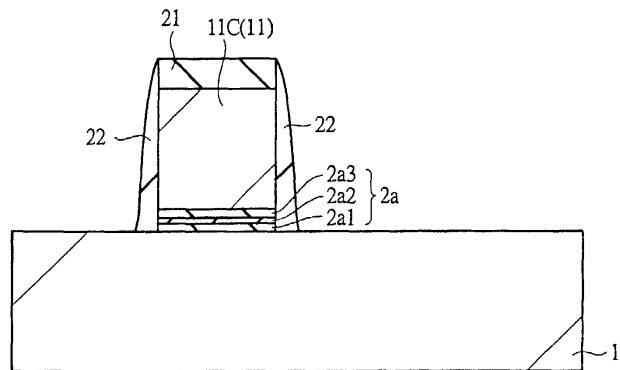
도면35



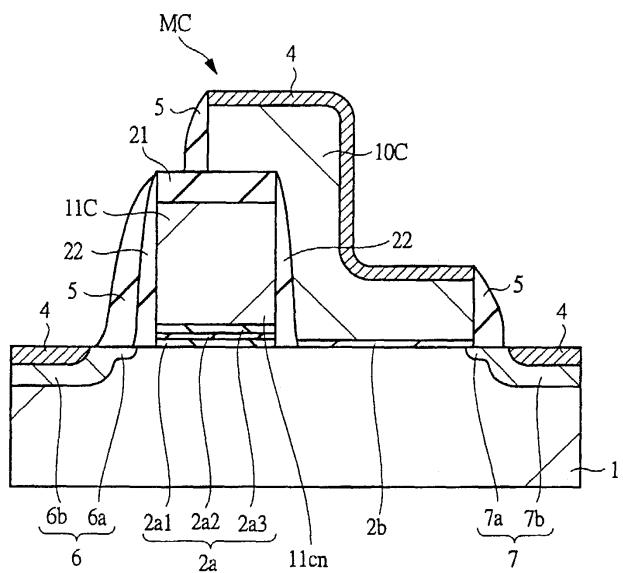
도면36



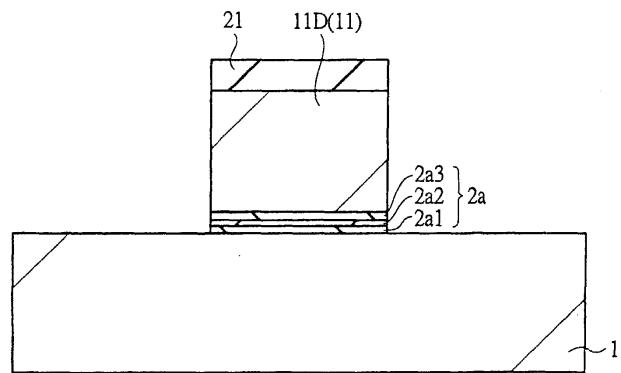
도면37



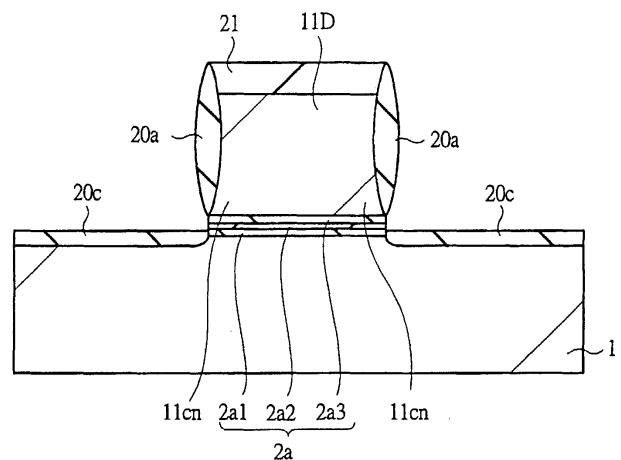
도면38



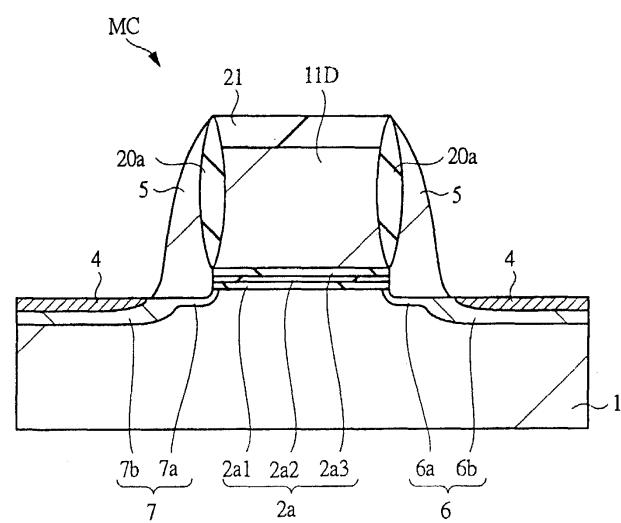
도면39



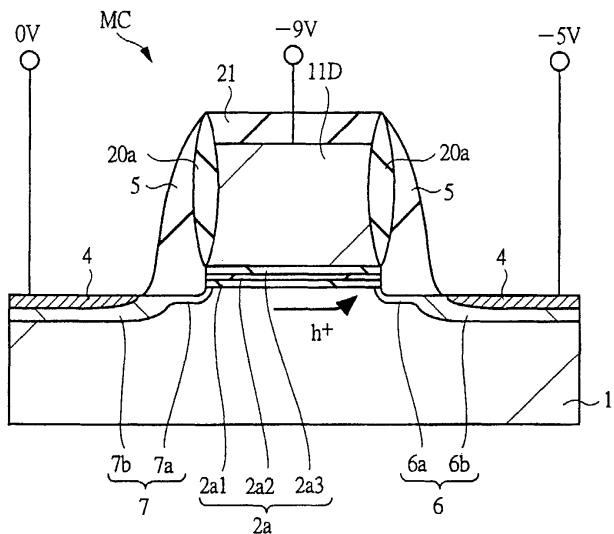
도면40



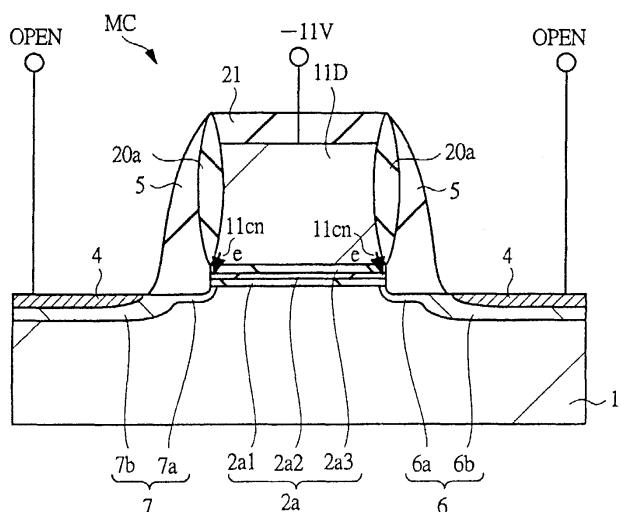
도면41



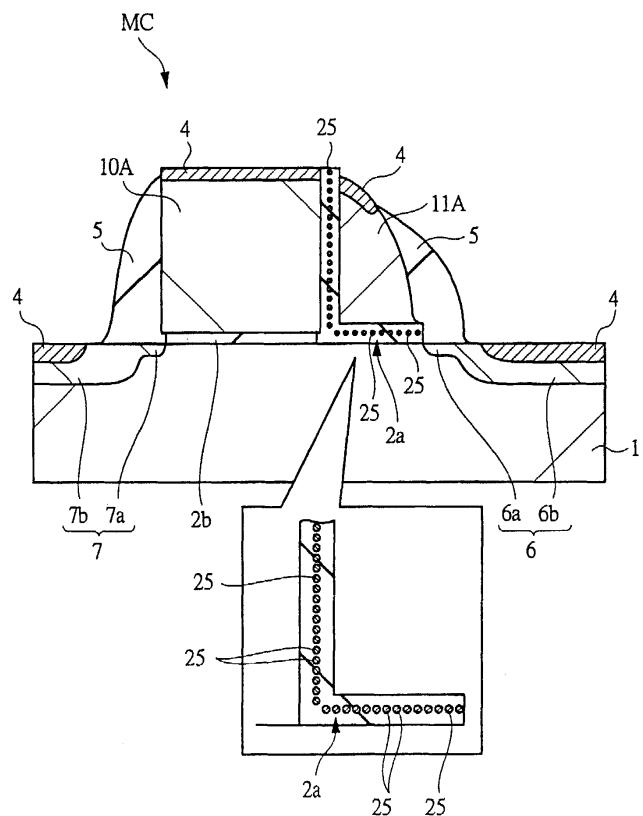
도면42



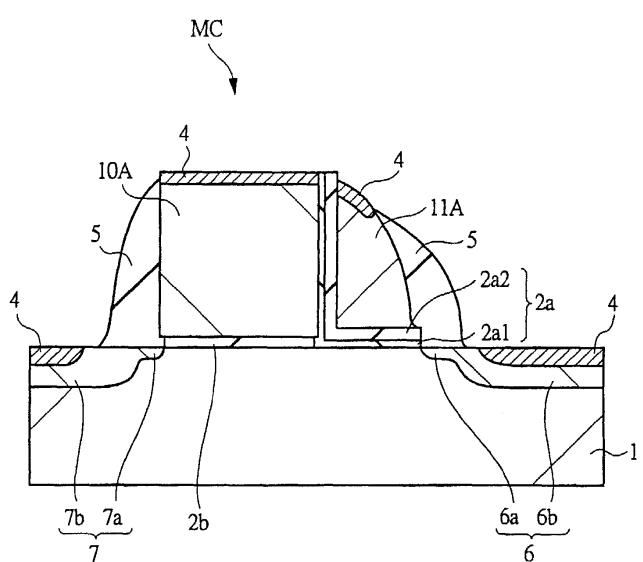
도면43



도면44



도면45



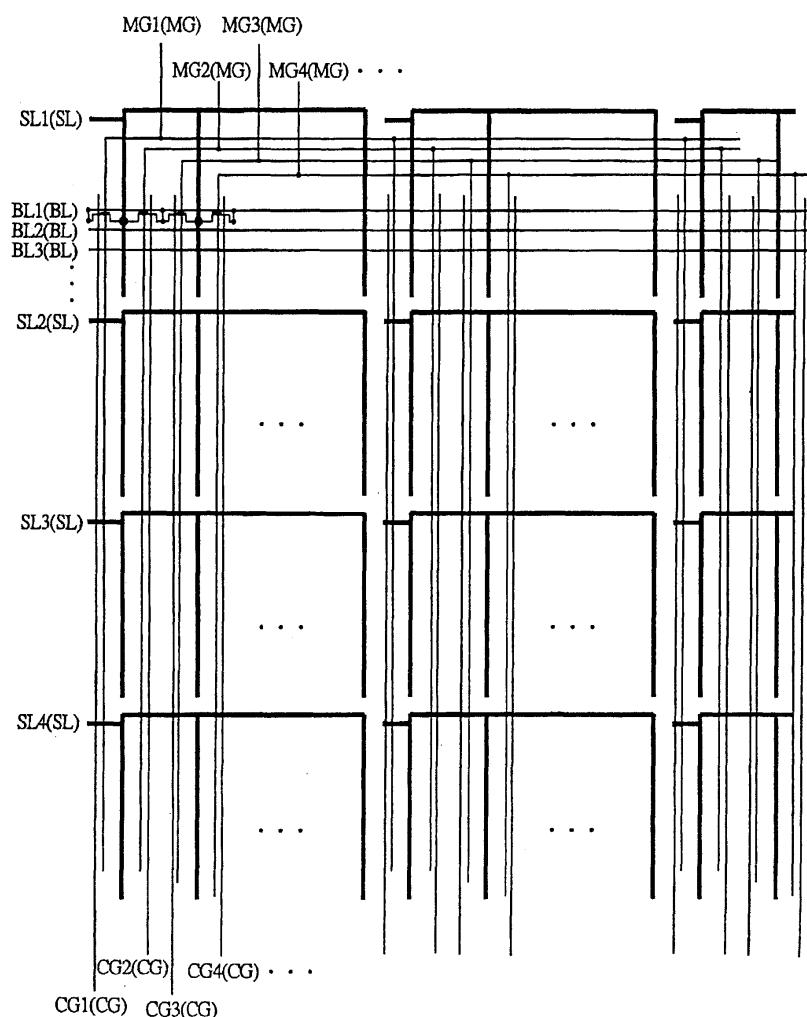
도면46

	Vmg	Vs	Vcg	Vd	Vsub
읽어내기 (Read) [V]	1.5	0	1.5	1	0
기입 (Write) [V]	9	5	1	0.4	0
소거 (Erase) [V]	12	OPEN	0	OPEN	0

도면47

	Vmg	Vs	Vcg	Vd	Vsub
읽어내기 (Read) [V]	0	1.5	0	0.5	1.5
기입 (Write) [V]	-9	-5	-1	-0.5	0
소거1 (Erase1) [V]	-11	OPEN	0	OPEN	0
소거2 (Erase2) [V]	6	-6	0	OPEN	0

도면48



도면49

