



[12] 发明专利申请公开说明书

[21] 申请号 91108559.9

[51] Int.Cl⁵
H03M 13/22

[43] 公开日 1993 年 1 月 27 日

[22]申请日 91.8.15

[30]优先权

[32]91.7.9 [33]KR [31]11608/91

[71]申请人 三星电子株式会社

地址 韩国京畿道水原市

[72]发明人 金泰馨

[74]专利代理机构 中国专利代理(香港)有限公司
代理人 马铁良 张志醒

G11B 20/18

说明书页数: 13 附图页数: 4

[54]发明名称 数据纠错译码方法及其装置

[57]摘要

在本发明中,通过执行 C_1 和 C_2 序列中每个序列纠错两次以上,显著地改进了 CIRC 译码器的纠错能力。在第一 C_1 和 C_2 序列纠错执行之后,纠错结果的 28 符号数据被重新交错和纠错。该结果再一次被去交错和纠错。这种处理可以重复所需要的次数,以便提高译码的纠错性能。

<43>

权 利 要 求 书

1、一种具有 N 个纠错级的纠错译码方法,包括以下步骤:

(1)从一组通道输入和从该组通道输出数据块,数据块具有第一检测字和第一数据字,第一检测字和第一数据字包括多个符号,每个符号或者从一个通道输入或者从一个通道输出;

(2)通过用第一检测字产生的第一校正子,对由上述步骤产生的数据块进行译码和纠错,并产生第二数据字和第二检测字;

(3)通过用预定的符号长度延迟每个符号,重排由步骤(2)产生的数据块中各符号的相对位置;

(4)通过用第二检测字产生的第二校正子,对由步骤(3)产生的数据块进行译码和纠错,并重新产生第一数据字和第一检测字;

(5)通过用预定的符号长度延迟每个符号,重排由步骤(4)产生的数据块中各符号的相对位置;

(6)重复步骤(2)至(5) $N-1$ 次;

(7)执行步骤(2)至(4);

(8)通过用预定的符号长度延迟每个符号,重排由步骤(7)产生的数据块中各符号的相对位置,并输出每个符号。

2、一种具有 N 个级的纠错译码装置包括:

用于接收和输出数据的多个通道,数据块具有第一检测字和第一数据字,第一检测字和第一数据字包括多个符号,每个符号或者从一个通道输入或者从一个通道输出,和

N 个译码级,每级包括:

通过用第一检测字产生的第一校正子,用于对由多个通道

输出的数据块进行纠错,并产生第二数据字和第二检测字的第一译码器(12),

通过用预定的符号长度延迟每个符号,用于延迟由第一译码器(12)产生的纠错数据的每个符号的第一装置(13),

通过用第一检测字产生的第一校正子,用于对由第一延迟装置(13)输出的数据块进行纠错,并产生第二数据字和第二检测字的第二译码器(14),和

通过用预定的符号长度延迟每个符号,用于延迟由第二译码器(14)产生的纠错数据的每个符号的第二装置(16),

其中第 N 级的所述第二延迟装置(16)产生所述纠错译码装置的输出。

3、根据权利要求 2 中的纠错译码的装置,其中所述多个输入通道包括:

多个偶数标号的通道,

多个奇数标号的通道,奇数通道中的每一个都通过一个符号长度延迟输入符号中的每个符号,和

多个反相器,用于反相所述的第一和第二检测字串。

4、根据权利要求 3 中的纠错译码装置,其中第 N 级的所述第二延迟装置(16)包括:

用于把按第一格式排列的符号重排并重新格式化成第二格式的多个延迟线,第一格式具有 12 对符号,第一格式的每对符号被标为 FFM,其中 M 的范围为 1 至 12,第二格式具有 12 对符号,第二格式的每对符号被标号为 SFM,其中 M 的范围为 1 至 12,该重排的变换如下:

对 FF1 至对 SF1 具有 0 个符号延迟,

对 FF2 至对 SF5 具有 0 个符号延迟,
对 FF3 至对 SF9 具有 0 个符号延迟,
对 FF4 至对 SF2 具有 0 个符号延迟,
对 FF5 至对 SF6 具有 0 个符号延迟,
对 FF6 至对 SF10 具有 0 个符号延迟,
对 FF7 至对 SF3 具有 2 个符号延迟,
对 FF8 至对 SF7 具有 2 个符号延迟,
对 FF9 至对 SF11 具有 2 个符号延迟,
对 FF10 至对 SF4 具有 2 个符号延迟,
对 FF11 至对 SF8 具有 2 个符号延迟和
对 FF12 至对 SF12 具有 2 个符号延迟。

5、根据权利要求 2 中的纠错译码装置,其中 N 个级中的每级的所述多个通道和所述第一和第二延迟装置(13)(16)被指定在单一的 RAM 的预定区域中。

数据纠错译码方法及其装置

本发明涉及一种用于数字信号处理的纠错译码方法及其装置,即一种改进的循环交错里德—所罗门码 CIRC。

小型唱片(CD)唱机、数字音频磁带(DAT)放音机和各种其它的数字信号处理装置采用 CIRC,以便能够纠正由于在制造或使用光盘、磁带等产品时形成的划痕而产生的错误。CIRC 把对于纠正随机错误是很有效的里德—所罗门码与循环交错方法结合起来,而循环交错方法用于把突发的错误转换成随机错误并纠正这些错误。

在 CD 型的 CIRC 中,用 16 位表示 6 个左通道采样和 6 个右通道采样(共 12 个采样)中的每一个采样,每个 16 位的采样分成 8 个高位的位和 8 个低位的位。每个 8 位采样作为一个符号(或一个字)处理。这 24 个符号(对于 12 个采样)被分成 12 对符号,其中每一对符号包括一个来自左通道的字和一个来自右通道的相对应的字。如果每对符号用数字标号,每个偶数标号的符号对与另一个偶数标号的符号对被两个符号分开。接着各符号对的相对位置被重排(或被“交叉”)。从而使每个符号对与原来相邻的符号对分开预定数目的符号。

第一纠错码 C_2 是由被交叉的 24 符号数据构成的。该 C_2 是里德—所罗门码,在 $n=28$ 和 $k=24$ 的情况下,冗余为 4,并且最小距离为 5。 C_2 的奇偶性数据表示为 Q 。第一检测字串,即 Q 奇

偶性 4 符号数据被放置在 24 符号数据的中间。

把以前编码产生的数据被交错。通过给每个符号延迟给定数目的符号开始进行交错处理,例如,里德—所罗门码的第一符号被延迟 0 个符号,第二符号被延迟 4 个符号,第三符号被延迟 8 个符号……。因此,如果每个符号都用数字标号,由于第一符号被标号为 0,那么对于每个符号的符号延迟的数量等于其数字标号乘以 D (在本例中 $D=4$)。以后被适当延迟的符号就重新组合,以形成一组 28 符号数据。

第二纠错码 C_1 是由被不同延迟的 28 符号数据构成的。该 C_1 是里德所罗门码,在 $n=32$ 和 $k=28$ 的情况下冗余为 4,并且最小距离为 5。 C_1 的奇偶性数据为 4 个符号长,并被称为 P 。 P 奇偶性数据被放置在该 28 符号数据的最后一个符号之后,构成一组包括 32 个符号的数据。结束编码时,每个结果,即偶数标号的符号通过一个符号被延迟。

作为编码处理的反操作的译码处理对一组 CIRC 编码的 32 符号数据进行操作,以便纠正用 P 和 Q 奇偶性数据检测出的错误,使其恢复正常。通过对 32 符号数据中一些符号的适当延迟开始译码处理。接着该 32 符号数据就被纠错。应该指出,由于里德—所罗门码有限的纠错能力,该纠错处理不可能纠正 32 符号数据中的所有错误。还应该指出,具有未能纠正的错误的符号是不可改变的。然后对该被纠错的数据进行去交错处理。该处理基本上与交错顺序“相反”。接着对去交错处理后的字再一次进行纠错处理。然后,纠错的字经过适当延迟和重排产生输出信号。

在以前的译码处理中, 第一组延迟之后形成的 C_1 序列

允许对至多 2 个符号进行纠错,而在去交错处理之后形成的 C_2 序列允许对至多 4 个符号进行纠错。

C_1 和 C_2 的组合也不能在每 24 个符号中纠正多于 6 个符号的错误。未纠正的错误本身最终将表现为重放声音信号中的噪声。

本发明的目的是提供一种用于纠正数字信号中错误的方法和装置,该方法和装置具有比已有技术装置更好的纠错能力。

在本发明中,具有 N 个纠错级的纠错译码方法包括以下步骤:

(1)从一组通道输入和从该组通道输出数据块,数据块具有第一检测字和第一数据字,第一检测字和第一数据字包括多个符号,每个符号或者向一个通道输入或者从一个通道输出;

(2)通过用第一检测字产生的第一校正子,对由上述步骤产生的数据块进行译码和纠错,并产生第二数据字和第二检测字;

(3)通过用预定的符号长度延迟每个符号,重排由步骤(2)产生的数据块中各符号的相对位置;

(4)通过用第二检测字产生的第二校正子,对由步骤(3)产生的数据块进行译码和纠错,并重新产生第一数据字和第一检测字;

(5)通过用预定的符号长度延迟每个符号,重排由步骤(4)产生的数据块中各符号的相对位置;

(6)重复步骤(2)至(5) $N-1$ 次;

(7)执行步骤(2)至(4);

(8)通过用预定的符号长度延迟每个符号,重排由步骤(7)产生的数据块中各符号的相对位置,并输出每个符号。

根据本发明,具有 N 个级的纠错译码装置包括:

用于接收和输出数据块的多个通道,数据块具有第一检测字和第一数据字,第一检测字和第一数据字包括多个符号,每个符号或者向一个通道输入或者从一个通道输出,和

$N-1$ 个译码级,每级包括:

通过用第一检测字产生的第一校正子,用于对由多个通道输出的数据块进行纠错,并产生第二数据字和第二检测字的第一译码器,

通过用预定的符号长度延迟每个符号,用于延迟由第一译码器产生的纠错数据的每个符号的第一装置,

通过用第一检测字产生的第一校正子,用于对由第一延迟装置输出的数据块进行纠错,并产生第二数据字和第二检测字的第二译码器,和

通过用预定的符号长度延迟每个符号,用于延迟由第二译码器产生的纠错数据的每个符号的第二装置。

通过下面结合附图对本发明最佳实施例的详细说明,本发明的上述及其它的目的和优点将更为显而易见和易于理解。

图 1 是已有技术 CIRC 译码器的方框图。

图 2 示出了图 1 CIRC 译码器中 C_1 和 C_2 码的存储位置(地址、locations)。

图 3 是根据本发明的 CIRC 译码器的方框图。

图 4 示出了图 3 CIRC 译码器中第一 C_1 、第一 C_2 、第二 C_1 和第二 C_2 序列的存储位置(地址、locations)。

在已有技术 CIRC 译码器中,32 符号数据块被输入到缓冲器。用 W 、 P 和 Q 表示的 32 符号数据是从光盘拾取的解调信号

的数字采样。用 W 表示的 24 符号数据是声音数据，用 P 和 Q 表示的 4 符号数据是奇偶性数据，用于检测和纠错，即第一和第二检测字串。

该 32 符号数据被传送到 CIRC 译码器。CIRC 译码器包括具有反编码(颠倒频)装置 (de-scrambling means) 11a 和反相装置 11b 的输入装置 11, C_1 译码器 12, 第一去交错器 13, C_2 译码器 14 和反向交叉时间延迟装置 15。

反编码(颠倒频)装置包括 32 个通道, 并且每隔一个通道包括一个符号延迟。第 1 通道没有延迟。因此具有延迟的通道是: 第 2、第 4、第 6……第 32 通道。

反编码(颠倒频)装置 11a 的目的是分散突发(burst)错误。通常如果在光盘上有个“凹痕”, 被该凹痕引起的“连续”的错误数字一般将少于 8 位。如果凹痕产生在接近两个符号之间的交界处, 这两个符号都可能受到凹痕的影响。通过延迟两个连续符号中的一个符号, 可以使两个符号中的错误分散到两个不同的数据块。

反相装置 11b 分别反相 0 信号和 1 信号, 即 Q 奇偶性 4 符号数据和 P 奇偶性 4 符号数据。这是对于固定模式和编码期间的突发错误的一种反设计。用于恢复反相的 0 信号和 1 信号, 它们是 P 和 Q 的 8 符号数据。

C_1 译码器 12 用 32 符号数据中的 P 奇偶性 4 符号数据, 以检测余下的 28 符号数据的突发错误, 并且也稍微纠正随机错误。同时, 该纠错操作从奇偶校验矩阵产生 4 个校正子。如果存在较多的错误, 确定该数据块包含不能纠正的错误, 并且在没有纠错的情况下, 28 符号数据就被传送到下一级。这时对数据串

中的每个字加一个标记(至少一位),以指示是否存在错误。

去交错装置 13 对由 C_1 译码器 12 传送来的 28 符号数据进行不同的延迟,消除编码期间的交错作用(效果)。

因为在重放 CD 声音期间,存在的大多数错误是由划痕、尘土或污物引起的,即使损坏是孤立的事件,也会损坏几个相邻的符号。当一个数据块中许多符号都被损坏时,数据块的检测和纠错将变得十分困难。

在重放期间,为了防止错误的连续发生,一个区域的符号通过去交错处理被分散了。如果 CD 被损坏了,以致错误发生在接近 CD 的一个区域,那么在重放录制信息期间,相邻符号的错误将变得分散。

去交错装置 13 包括分别具有 27D、26D、25D...2D 和 1D 的延迟时间的第 1 至第 27 传送通道,用于对 28 符号数据进行不同的延迟。D 在前面已经给出了定义。

C_2 译码器 14 利用通过去交错处理恢复到原来数据块位置的 28 符号数据中的 Q 奇偶性 4 符号数据。这是为了从里德—所罗门码产生 4 个校正子,并输入 28 个字,从而纠正最多 4 个附加的符号错误。这时,对已纠错字的标记被消除,而对未能纠错的字(这些字还包含错误)不消除其标记。

通过交叉由 C_2 译码器 14 传送来的 24 符号,反交叉时间延迟装置 15 在录音之前恢复(一个数据块中)符号的原来位置。如图 1 中所示,一些符号延迟了两个符号长度。这种延迟处理的目的是防止在输出信号中包含连续的未能纠正的错误。

对于上述的已有技术 CIRC 译码器可以使用一个存储器(例如 RAM)。图 2 示出了用于 CIRC 译码的 C_1 和 C_2 序列存储内

容的存储器图。该存储器具有符号地址 0 至 31 和方块地址 n 至 $n-108$ 。

C_1 译码器 12 在如下表 1 中示出的存储位置上存取符号数据,以便从编码(倒频)的 32 符号数据中得到反编码(反倒频)的 32 符号数据。 C_2 译码器 14 在表 2 中所示的存储位置上存取符号数据,以便从交错的 28 符号数据中产生反交错的 28 符号数据。表 3 示出了在 CIRC 输出位置的 24 符号数据,表中示出的存储位置,作为被交叉和延迟的 CIRC 最后译码输出。

<表 1>

方块地址	符号地址
n	0
n-1	1
n	2
n-1	3
n	4
n-1	5
n	6
n-1	7
n	8
n-1	9
n	10
n-1	11
n	12
n-1	13
n	14
n-1	15
n	16
n-1	17
n	18
n-1	19
n	20
n-1	21
n	22
n-1	23
n	24
n-1	25
n	26
n-1	27
n	28
n-1	29
n	30
n-1	31

<表 2>

方块地址	符号地址
n-108	0
n-106	1
n-100	2
n-97	3
n-92	4
n-89	5
n-84	6
n-81	7
n-76	8
n-73	9
n-68	10
n-65	11
n-60	12
n-57	13
n-52	14
n-49	15
n-49	16
n-41	17
n-36	18
n-33	19
n-28	20
n-25	21
n-20	22
n-17	23
n-12	24
n-9	25
n-4	26
n-1	27

在上述已有技术 CIRC 译码处理中,因为 C_1/C_2 纠错序列仅执行一次,所以如果存在多于 4 个的错误,那些错误 就不被纠正,并重放出来.由于未纠正的错误而引起的噪声降低了重放的音频/视频信号的质量.

通过执行每个 C_1 和 C_2 纠错序列两次或多次,本发明改进的 CIRC 译码方法解决了已有技术中的这个问题.本发明的技术显著地改进了纠错的能力.

<表 3>

方块地址	符号地址
n-108	0
n-195	1
n-84	6
n-81	7
n-46	16
n-43	17
n-22	22
n-19	23
n-100	2
n-97	3
n-76	8
n-73	9
n-38	18
n-35	19
n-14	24
n-11	25
n-92	4
n-89	5
n-68	10
n-65	11
n-30	20
n-27	21
n-6	26
n-3	27

本发明中,在第一 C_1 和 C_2 纠错序列执行之后,由 C_2 纠错序列产生的 28 符号数据被重新交错处理。延迟的 P 奇偶性 4 符号数据用于第二 C_1 序列的纠错。在作为第二 C_1 序列纠错结果的 28 符号数据被再一次去交错之后, Q 奇偶性 4 符号数据执行第二 C_2 序列的纠错,因此,在第一 C_1 序列中的 2 个符号、在第一 C_2 序列中的 4 个符号、在第二 C_1 序列中的 4 个符号和在第二 C_2 序列中的 4 个符号可以被纠错。

如图 3 中所示,本发明的 CIRC 译码系统包括具有反编码(反倒频)装置 11a 和反相装置 11b 的输入装置 11,第一 C_1 译码器 12、第一去交错装置 13、第一 C_2 译码器 14、第一交错装置 16、第二 C_1 译码器 17、第二去交错装置 18、第二 C_2 译码器 19、和去交叉延迟处理器 15。那些与图 1 中的部件相同的部件都标以相同的数字标号。部件 11、11a、12、13、和 14 以与图 1 中相对应的部件相同的方式操作,因此省略了对它们的说明。

在交错装置 16 中,输入的 28 符号数据被传送到具有 0D、1D、2D、3D、……26D 和 27D 延迟的连续通道,以便重新交错该 28 符号数据。第 29 至第 32 通道中的每一个通道都具有 27D 的延迟,用于 4 个第一检测字串。按照与第一 C_1 译码器 12 中进行译码和纠错相同的处理,对产生的重新交错的 32 符号串进行纠错。交错装置 16 还对每个字加一个标记,指示在每个字中是否存在错误。

通过第二去交错装置 18,第二 C_1 译码器 17 的输出被再一次反交错。产生的去交错数据串被输入到第二 C_2 译码器 19。

按照与第一 C_2 译码器 14 中相同的处理,第二 C_2 译码器 19

纠正数据中的错误,并将其结果输出到提供最后已纠错数据的反交叉延迟处理器 15。

反交叉延迟处理器 15 使多个输出通道彼此“交叉”,以便重排由译码器 19 输出的数据。重排的方式如图 3 中所示。本系统可以用 RAM 实现。在这种情况下,输入装置、交错装置/去交错装置和延迟都被指定在 RAM 中的预定位置。

在图 3 中所示的 CIRC 译码系统中, C_1 和 C_2 纠错序列被重复两次。通过图 4 中所示的把缓冲器存储容量扩大一倍,可以容易地实现上述处理。在如下表 4 中示出了符号和块地址。

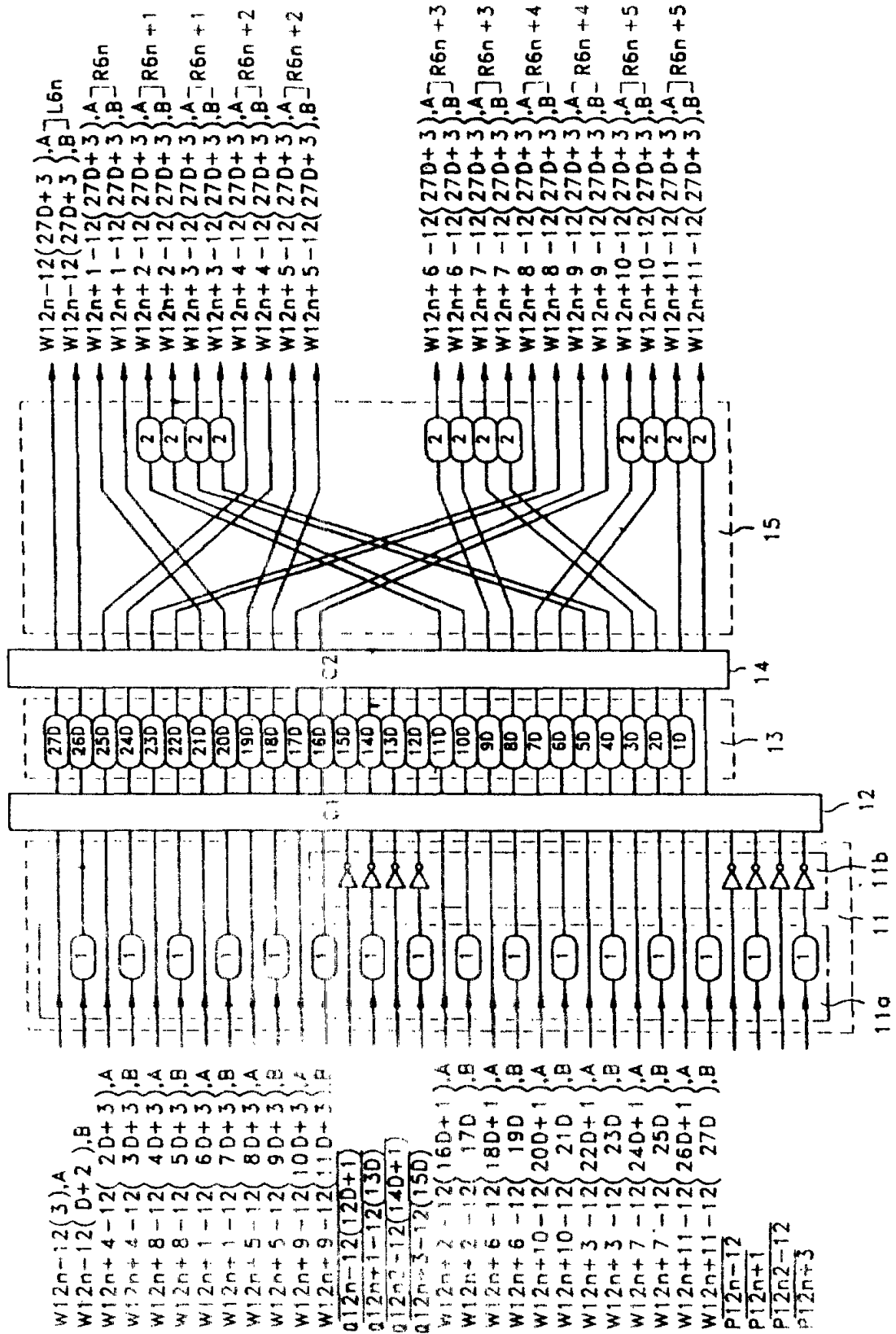
<表 4>

由 1C ₁ 译码装置使用的存储位置	由 1C ₂ 译码装置使用的存储位置	由 2C ₁ 译码装置使用的存储位置	由 2C ₂ 译码装置使用的存储位置	输出存储器位置
(n,0)	(n-108,0)	(n-108,1)	(n-216,0)	(n-216,0)
(n,1)	(n-106,1)	(n-109,2)	(n-213,1)	(n-213,1)
(n,2)	(n-100,2)	(n-108,3)	(n-218,2)	(n-192,6)
(n,3)	(n-97,3)	(n-109,4)	(n-205,3)	(n-189,7)
(n,4)	(n-92,4)	(n-108,5)	(n-200,4)	(n-154,16)
(n,5)	(n-89,5)	(n-109,6)	(n-197,5)	(n-151,17)
(n,6)	(n-84,6)	(n-108,7)	(n-192,6)	(n-130,22)
(n,7)	(n-81,7)	(n-109,8)	(n-189,7)	(n-127,23)
(n,8)	(n-76,8)	(n-108,9)	(n-184,8)	(n-208,2)
(n,9)	(n-73,9)	(n-109,10)	(n-181,9)	(n-205,3)
(n,10)	(n-68,10)	(n-108,11)	(n-176,10)	(n-184,8)
(n,11)	(n-65,11)	(n-109,12)	(n-173,11)	(n-181,9)
(n,12)	(n-60,12)	(n-108,13)	(n-168,12)	(n-146,18)
(n,13)	(n-57,13)	(n-109,14)	(n-165,13)	(n-143,19)
(n,14)	(n-52,14)	(n-108,15)	(n-160,14)	(n-122,24)
(n,15)	(n-49,15)	(n-109,16)	(n-157,15)	(n-119,25)
(n,16)	(n-44,16)	(n-108,17)	(n-152,16)	(n-200,4)
(n,17)	(n-41,17)	(n-109,18)	(n-149,17)	(n-197,5)
(n,18)	(n-36,18)	(n-108,19)	(n-144,18)	(n-176,10)
(n,19)	(n-33,19)	(n-109,20)	(n-141,19)	(n-173,11)
(n,20)	(n-28,20)	(n-108,21)	(n-136,20)	(n-138,20)
(n,21)	(n-25,21)	(n-109,22)	(n-133,21)	(n-135,21)
(n,22)	(n-20,22)	(n-108,23)	(n-128,22)	(n-114,26)
(n,23)	(n-17,23)	(n-109,24)	(n-125,23)	(n-111,27)
(n,24)	(n-12,24)	(n-108,25)	(n-120,24)	
(n,25)	(n-9,25)	(n-109,26)	(n-117,25)	
(n,26)	(n-4,26)	(n-108,27)	(n-112,26)	
(n,27)	(n-1,27)	(n-109,28)	(n-109,27)	
(n,28)		(n-108,29)		
(n,29)		(n-109,30)		
(n,30)		(n-108,31)		
(n,31)				

从而,根据本发明的 CIRC 译码系统中用于重放 3456 符号数据(即 32 符号数据 $\times 27D$)需要附加的存储器容量为 3456×8 位 = 27648 位。因此,缓冲器存储容量必须为 55296 位(27648×2),即 64K, RAM, 以便两次对 C_1 和 C_2 序列译码。

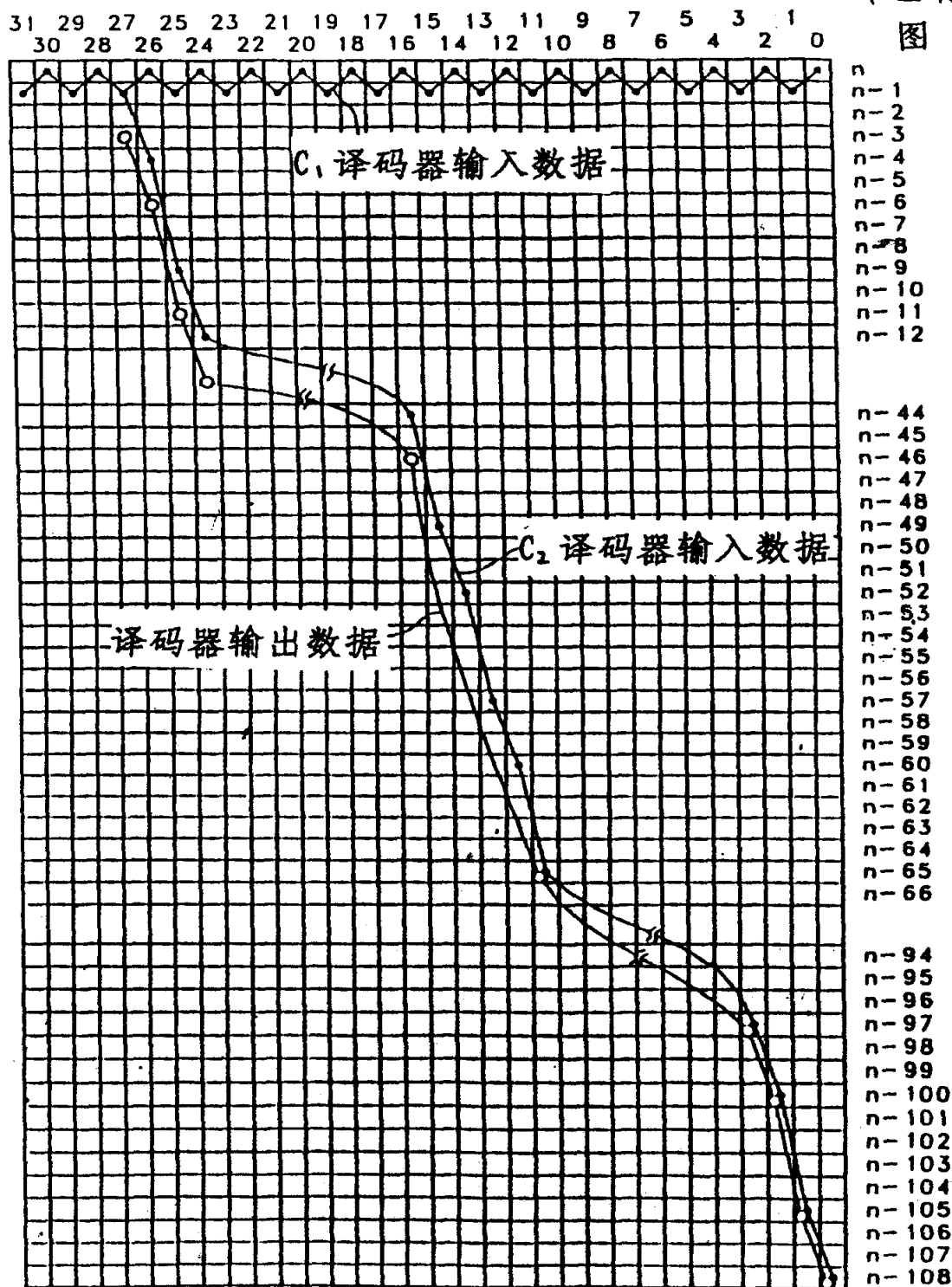
虽然上面详述的仅是本发明少数的实施例,但是本领域的技术人员会易于理解,在没有实质性地脱离本发明的新技术和优点的情况下,就能够在最佳实施例中进行许多改进。例如尽管在上述实施例中采用的是 2 级译码序列,但是用附加的存储器能够在译码中执行 3 级、4 级或多的级。与单一的 C_1 和 C_2 纠错序列相比,在重复纠错序列 2 次或更多次的情况下,其改进的纠错能力与重复次数成正比。因此,所有这类改进都将包括在本发明用权利要求所限定的保护范围之内。

图 1 (已有技术)

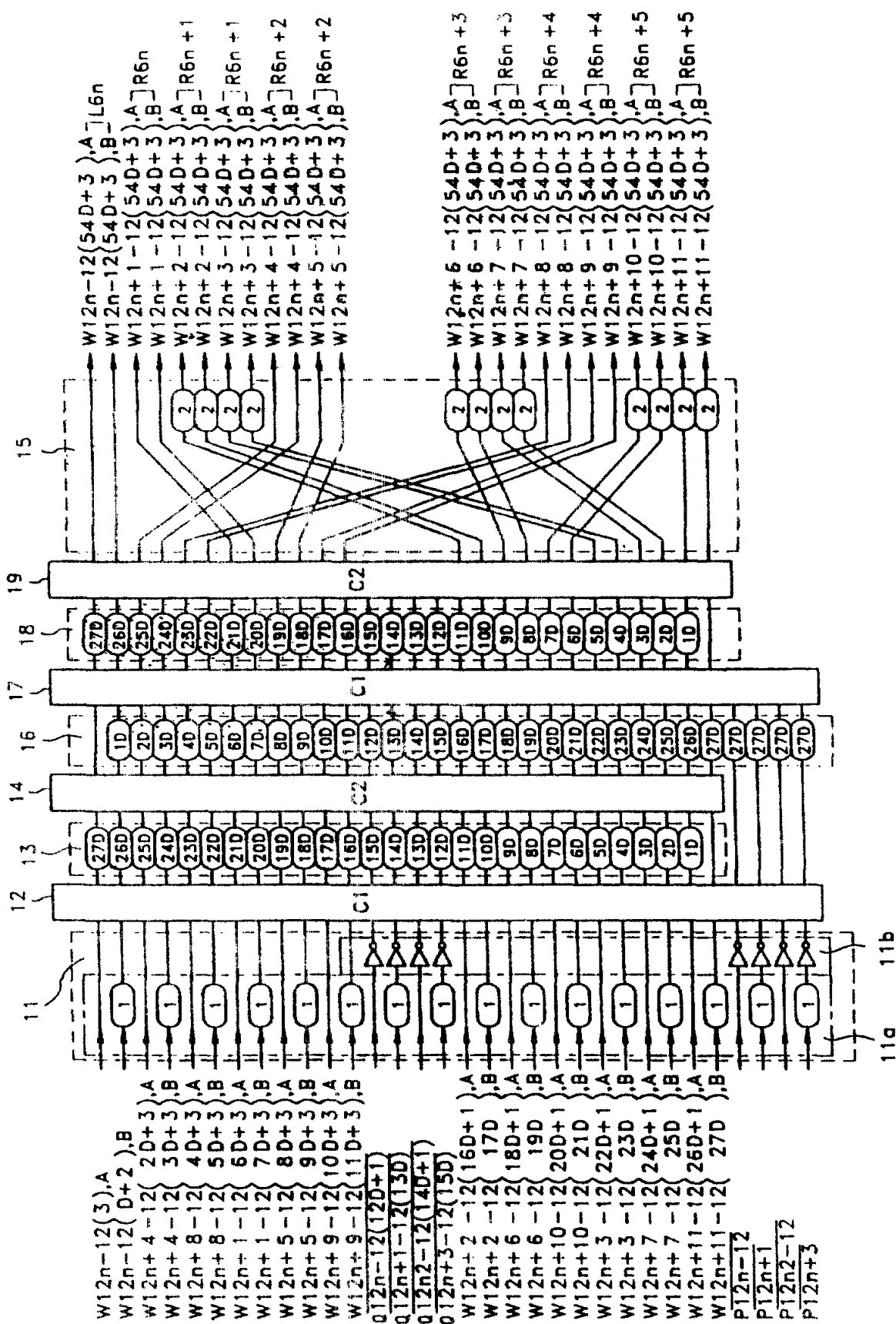


(已有技术)

图 2



3



31 29 27 25 23 21 19 17 15 13 11 9 7 5 3 1
30 28 26 24 22 20 18 16 14 12 10 8 6 4 2 0

图

4

