

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4044552号  
(P4044552)

(45) 発行日 平成20年2月6日(2008.2.6)

(24) 登録日 平成19年11月22日(2007.11.22)

(51) Int.Cl. F I  
H05K 3/46 (2006.01) H05K 3/46 H

請求項の数 13 (全 12 頁)

(21) 出願番号	特願2004-342675 (P2004-342675)	(73) 特許権者	000005821
(22) 出願日	平成16年11月26日(2004.11.26)		松下電器産業株式会社
(65) 公開番号	特開2005-197663 (P2005-197663A)		大阪府門真市大字門真1006番地
(43) 公開日	平成17年7月21日(2005.7.21)	(74) 代理人	110000040
審査請求日	平成16年11月26日(2004.11.26)		特許業務法人池内・佐藤アンドパートナーズ
(31) 優先権主張番号	特願2003-408626 (P2003-408626)	(72) 発明者	小西 正夫
(32) 優先日	平成15年12月8日(2003.12.8)		愛媛県東温市南方2131番地1 松下寿電子工業株式会社内
(33) 優先権主張国	日本国(JP)	(72) 発明者	伊藤 雅紀
			愛媛県東温市南方2131番地1 松下寿電子工業株式会社内
		(72) 発明者	松崎 直生
			愛媛県東温市南方2131番地1 松下寿電子工業株式会社内

最終頁に続く

(54) 【発明の名称】 セラミック基板の製造方法及びセラミック基板を用いた電子部品モジュール

(57) 【特許請求の範囲】

【請求項1】

基板の表面に厚膜部材で形成された凸部を有するセラミック基板の製造方法であって、未焼結シートに孔を設ける第1の工程と、前記第1の工程の後に、前記孔に厚膜部材を充填する第2の工程と、前記第2の工程の後に、前記厚膜部材が充填された複数枚の前記未焼結シートを焼成されたセラミック基板の最外層に積層して加圧し積層体を形成する第3の工程と、前記第3の工程の後に、前記積層体を焼成する第4の工程と、前記第4の工程の後に、前記未焼結シートを除去する第5の工程とを有することを特徴とするセラミック基板の製造方法。

10

【請求項2】

前記第4の工程において、前記積層体は  $850 \pm 50$  の範囲で焼成する請求項1に記載のセラミック基板の製造方法。

【請求項3】

前記第3の工程の後で、前記積層体を加熱して脱脂する脱脂工程を経た後、前記第4の工程を行う請求項1に記載のセラミック基板の製造方法。

【請求項4】

前記第4の工程における前記積層体の焼成温度を、前記厚膜部材の焼結温度と同一とする請求項1に記載のセラミック基板の製造方法。

【請求項5】

20

前記厚膜部材は、導体、絶縁体、誘電体及び抵抗体から選ばれる少なくとも一つである請求項 1 に記載のセラミック基板の製造方法。

【請求項 6】

前記厚膜部材は、導体、絶縁体、誘電体、抵抗体のいずれか 2 つ以上を組み合わせた請求項 1 に記載のセラミック基板の製造方法。

【請求項 7】

前記未焼結シートは、アルミナ粉末と有機バインダーを混合してアルミナシートに成形したものである請求項 1 に記載のセラミック基板の製造方法。

【請求項 8】

前記第 3 の工程において、厚膜部材が充填された未焼結シートを、焼成されたセラミック基板最外層の表面と裏面に積層した請求項 1 に記載のセラミック基板の製造方法。

10

【請求項 9】

基板の表面に厚膜部材で形成された凸部を有するセラミック基板であって、  
未焼結シートに孔が開けられ、  
前記孔に厚膜部材が充填され、  
前記厚膜部材が充填された複数枚の前記未焼結シートを、焼成されたセラミック基板の最外層の表面と裏面に積層して加圧し積層体が形成され、  
前記積層体は焼成され、前記未焼結シートは除去され、  
得られたセラミック基板の表面及び裏面から選ばれる少なくとも一面に電子部品を装着したことを特徴とする電子部品モジュール。

20

【請求項 10】

前記セラミック基板は厚さ方向に複数の孔が開けられ、近接した孔に導電体ペーストと絶縁体ペーストが充填され、焼成されて突起部を形成している請求項 9 に記載の電子部品モジュール。

【請求項 11】

前記突起部の高さが 25 ~ 300  $\mu\text{m}$  の範囲である請求項 10 に記載の電子部品モジュール。

【請求項 12】

前記突起部の直径が 50 ~ 500  $\mu\text{m}$  の範囲である請求項 10 に記載の電子部品モジュール。

30

【請求項 13】

前記導電体突起部と絶縁体突起部間の距離が 50  $\mu\text{m}$  以上の範囲である請求項 10 に記載の電子部品モジュール。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、セラミック基板の製造方法とこの製造方法により製造したセラミック基板を用いた電子部品モジュールに関するものである。特に表面に突起部（バンプ）を有するセラミック基板の製造方法と、その電子部品モジュールに関する。

40

【背景技術】

【0002】

以下、従来の突起部（バンプ）付きセラミック基板の製造方法について説明する。従来のセラミック基板の製造方法は図 10 に示す方法で製造されていた。即ち、低温焼成用グリーンシートにビア用の孔をあける工程 1 と、この工程 1 の後で、前記ビアに銀ペーストで形成された導体を充填する工程 2 と、この導体が充填されたグリーンシートの表層に内層導体を形成し、この内層導体が形成されたグリーンシートを複数枚用意する。また、この工程とは別に、グリーンシートの押圧用として、グリーンシートの焼成温度では焼成しない未焼結シートで形成された収縮拘束層にビア用の孔をあける工程 4 と、この工程 4 で

50

形成された孔に導体を充填する工程 5 を実施していた。そして、工程 3 で形成されたグリーンシートを積層するとともに、積層体の最外層に工程 5 で形成された導体が充填された収縮拘束層を積層し加圧して積層体を得る工程 6 と、この工程 6 の後で、略 900 で前記積層体を焼成する工程 7 と、この工程 7 の後で、前記工程 6 で積層した収縮拘束層を除去する工程 8 とで、図 11 に示すような突起部付基板を完成させていた。

【0003】

図 11 は突起部付基板を用いた電子部品モジュールの具体例であり、11 は、グリーンシートの積層体が低温焼成されたセラミック基板であり、12 は、各セラミック基板 11 の上面と下面を連結するインナービアであり、13 は内層パターンである。14a はセラミック基板 11 の最下層 11b に形成された導体からなる突起部であり、20 は突起部 14a に接続された表層パターンである。また、15 はセラミック基板 11 の最上層 11a に形成された導体からなる突起部であり、最上層 11a に形成された表層パターン 16 やインナービア 12 に接続されている。

10

【0004】

17 はセラミック基板 11 の上面に載置されたフリップチップ IC であり、このフリップチップ IC 17 の底面に形成された接続層 18 は前記突起部（パンプ）15 に接続されている。このようにして、面実装モジュールとしての電子モジュール 19 が完成する。なお、この出願の発明に関連する先行技術文献情報としては、例えば、特許文献 1 が知られている。

【特許文献 1】特開平 6 - 53655 号公報

20

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかし、このような従来の突起部付きセラミック基板の製造方法では、導体が充填された収縮拘束層を未焼成のグリーンシート積層体に積層した後に、グリーンシート積層体と同時焼成して突起部を作成する。この時、グリーンシート積層体が焼結しなければならないので、焼成条件は、最高温度 900 で保持時間 20 分である（特許文献 1）。一般に、厚膜材料に使われる導体や誘電体（絶縁体）および抵抗体の材料の焼結温度は 850 ± 50 の範囲にあり、分布の中心の焼結温度は、グリーンシート積層体の焼結温度である略 900 よりも低い。従って、従来の製造方法では、900 で焼結する導体材料しか

30

【0006】

例えば、特許文献 1 のパンプ材料は、ガラスフリットを含まない導体材料に限定した使用をしている。しかしガラスフリットは、パンプとグリーンシートとの接続強度に大きく関係するので、全くガラスフリットを含まない導体でパンプを作製すると、基板やセラミック面との接続強度の弱いパンプが出来やすい。そのため、この方法で形成されたパンプは、接続信頼性の低下という課題を有していた。

【0007】

さらに、従来技術では、異種の厚膜材料が混在した突起部、すなわち、誘電体と導体が混在する突起部を形成することが出来ないため、以下のような問題が生じる。すなわち、表層パターン 20 を含む突起部 14a と 14b との寸法 21 には制限があった。即ち、図 12 に示すように、この電子モジュール 19 を親基板 22 に半田固着するとき、この寸法 21 が狭いと表層パターン 20 を含む突起部 14a と突起部 14b との間で半田ショートするという課題を有していた。

40

【0008】

ここで、23a は親基板 22 の上面に形成されたランドであり、このランド 23a は突起部 14a に対応した位置に設けられたものである。同様に 23b は突起部 14b に対応した位置に設けられたランドである。

【0009】

本発明は、このようなセラミック基板の最外層に形成された突起部の材料をグリーンシ

50

ート積層体の焼結条件に縛られずに幅広く選択出来、かつ接続信頼性が高く、さらにはパンプで形成した電極同士のショートの不具合を解決したセラミック基板の製造方法を提供する。

【課題を解決するための手段】

【0010】

本発明のセラミック基板の製造方法は、基板の表面に厚膜部材で形成された凸部を有するセラミック基板の製造方法であって、未焼結シートに孔を設ける第1の工程と、前記第1の工程の後に、前記孔に厚膜部材を充填する第2の工程と、前記第2の工程の後に、前記厚膜部材が充填された複数枚の前記未焼結シートを焼成されたセラミック基板の最外層に積層して加圧し積層体を形成する第3の工程と、前記第3の工程の後に、前記積層体を焼成する第4の工程と、前記第4の工程の後に、前記未焼結シートを除去する第5の工程とを有することを特徴とする。

10

【0011】

本発明の電子部品モジュールは、基板の表面に厚膜部材で形成された凸部を有するセラミック基板であって、未焼結シートに孔が開けられ、前記孔に厚膜部材が充填され、前記厚膜部材が充填された複数枚の前記未焼結シートを、焼成されたセラミック基板の最外層の表面と裏面に積層して加圧し積層体が形成され、前記積層体は焼成され、前記未焼結シートは除去され、得られたセラミック基板の表面及び裏面から選ばれる少なくとも一面に電子部品を装着したことを特徴とする。

20

【発明の効果】

【0012】

本発明によれば、セラミック基板の最外層に形成された突起部の不具合を解決することができる。即ち、未焼結シートに設けられた孔に一般の厚膜部材を充填し作成することが出来る。従って、セラミック基板の最外層に形成される突起部は絶縁材でも導電材でも形成することができる。例えば、導電材で形成された突起部の間隔を狭くしても、その間に絶縁材で形成された突起部を形成しておけば、例え、突起電極間の距離が狭くともこの突起電極間でのショートを防止することができる。また、第3の工程において、セラミック基板は既に焼成されているので、この焼成温度付近で焼結する厚膜部材を選ぶことができ、その厚膜部材選択の種類が豊富となる。更に、未焼結シートに設けられた孔に厚膜部材が充填されるので、この厚膜部材により形成される突起部の形状は精密で均一なものとなる。従って、高周波部品として用いた場合、特に高周波的に均一な性能を有するセラミック基板を実現することができる。

30

【発明を実施するための最良の形態】

【0013】

本発明は、未焼結シートに設けられた孔に導体のみでは無く絶縁体などの導体以外の厚膜部材を充填する工程を有したものである。これにより、セラミック基板の最外層に形成された凸部の不具合を解決することができる。即ち、例えば電極として用いる突起部間の距離が狭くとも、この突起部間に絶縁体から成る突起部を設けることでショートを防止することができる。

40

【0014】

本発明は、未焼結シートに設けられた孔に厚膜部材を充填している。このことは、セラミック基板の最外層に形成される突起部は、絶縁材でも導電材でも形成することができることである。例えば、導体で形成された突起部（突起電極）の間隔を狭くしても、その間に絶縁材で形成された突起部を形成しておけば、例え、突起電極間の距離が狭くともこの突起電極間でのショートを防止することができる。

【0015】

第2の工程において、加圧は50～200kPa/cm<sup>2</sup>の範囲が好ましい。

【0016】

また、第3の工程において、セラミック基板は既に焼成されているので、一般に広く用

50

いられている概ね850の温度で焼結する厚膜部材を選ぶことができ、その厚膜部材選択の種類が豊富となる。

【0017】

更に、未焼結シートに設けられた孔に厚膜部材が充填されるので、この厚膜部材により形成される凸部の形状は精密で均一なものとなる。従って、高周波部品として用いた場合、特に高周波的に均一な性能を有するセラミック基板を実現することができる。

【0018】

第3の工程におけるセラミック基板は、800以上で焼成するのが好ましく、厚膜部材としては500から950程度の加熱で焼結する幅広い材料の中から選ぶことができる。

10

【0019】

前記第3の工程の後で、前記積層体を強制加熱して脱脂する脱脂工程を経た後、前記第4の工程を行ってもよい。

【0020】

また、前記第4の工程における前記積層体の焼成温度を前記厚膜部材の焼結温度と同一としてもよい。

【0021】

前記厚膜部材は、導体、絶縁体、誘電体及び抵抗体から選ばれる少なくとも一つであることが好ましい。セラミック基板の最外層に形成される突起部の種類として、突起電極としての導体のみならず、絶縁体、誘電体、抵抗体等を自由に選択することにより多機能でより集積度の高いセラミック基板を実現することができる。この厚膜部材は、導体、絶縁体、誘電体、抵抗体のいずれか2つ以上を組み合わせてもよい。セラミック基板の最外層に形成する突起部の種類として、突起電極としての導体のみならず、絶縁体、誘電体、抵抗体等を混在して形成することができる。従って、突起電極の間に絶縁体で形成された突起部を形成すれば、例えば突起電極間の距離を短くしても突起電極間でのショート等を起こすことはない。

20

【0022】

未焼結シートは、アルミナ粉末と有機バインダーを混合してアルミナシートとすることができる。ここでアルミナ粉末と有機バインダーの混合比率は、アルミナ粉末100質量部に対して、有機バインダーは10～15質量部の範囲が好ましい。また、アルミナ粉末の平均粒子径は1.0～2.5 $\mu$ mの範囲が好ましい。アクリル系の有機バインダーを使用している。未焼結シートはアルミナ粉末と有機バインダーで形成されているので、500から950程度では焼結しない。従って、従来より厚膜ハイブリッドICで使用されている豊富な厚膜部材の中から突起部形成部材を選択することができる。

30

【0023】

第3の工程においては、厚膜部材が充填された未焼結シートを焼成されたセラミック基板最外層の表面と裏面に積層してもよい。これにより、表面と裏面に突起部を形成することができる。従って、このセラミック基板を用いれば、表面に電子部品等を実装した平面実装の電子部品モジュールを形成することができる。

【0024】

第3の工程においては、厚膜部材が充填された未焼結シートを複数枚積層して、これを焼成されたセラミック基板の最外層に積層してもよい。厚膜部材が充填された未焼結シートを複数枚積層しているため、突起部の高さを高くすることができる。

40

【0025】

本発明の電子部品モジュールは、表面に電子部品が実装されているので、裏面に形成された突起部を導体で形成すれば、面実装用の電子部品モジュールを得ることができる。

【0026】

電子部品は、表面と裏面の夫々に実装してもよく、コンパクトな電子部品モジュールを得ることができる。

【0027】

50

また、未焼結シートを複数枚積層してもよく、これにより突起部の高さを高くすることができる。従って、この突起部を絶縁物で形成すれば、電極間のショートを防止した電子部品モジュールを得ることができる。

#### 【0028】

前記セラミック基板は厚さ方向に複数の孔が開けられ、近接した孔に導電体ペーストと絶縁体ペーストが充填され、焼成されて突起部を形成していることが好ましい。前記突起部の高さは25～300 $\mu\text{m}$ の範囲が好ましい。前記突起部の高さは、未焼結シートの厚さに依存する。すなわち、突起部の塗布量は、未焼結シートの厚さ分塗布することができ、最終的な高さは、突起部材の焼成時の収縮量によって決まる。一般的には、導体の厚膜ペーストは、未焼結シートの約半分の高さとなる。例えば50 $\mu\text{m}$ の未焼成シートを使用した場合、焼成シートの突起電極の高さは約25 $\mu\text{m}$ となる。また300 $\mu\text{m}$ の未焼成シートを2枚重ねて使用した場合は、焼成シートの突起電極の高さは約300 $\mu\text{m}$ となる。これは誘電体(絶縁体)の厚膜ペーストを用いて突起物を形成する場合も同様である。

10

#### 【0029】

前記突起部の直径は50～500 $\mu\text{m}$ の範囲が好ましい。また、前記導電体突起部と絶縁体突起部間の距離は50 $\mu\text{m}$ 以上の範囲が好ましい。

#### 【0030】

以下、図面を用いてセラミック基板の製造方法とこの製造方法により製造したセラミック基板を用いた電子部品モジュールについて説明する。

#### 【0031】

20

(実施の形態1)

図1は、実施の形態1におけるセラミック基板の製造方法の製造工程図である。図1において31は準備工程であり、この準備工程31では800 から1500 で焼成された焼成基板を形成し、このすでに焼成された焼成基板の最外層に表層パターンを形成している。32は収縮拘束層(未焼結シートの一例として用いた)にパンプを形成するためのビア孔をあける第1の工程であり、33は第1の工程32の後に、収縮拘束層に形成されたビア孔に厚膜材料を充填する第2の工程である。ビア孔に厚膜材料を充填するには、多孔質板上にビア孔をあけた収縮拘束層を置き、この多孔質板を介して収縮拘束層のビア孔を吸引すると同時に、収縮拘束層の多孔質板と接する面の逆面よりメタルマスクもしくはスクリーン製版を用いて厚膜材料を供給する方法を用いれば良い。

30

#### 【0032】

そして、次の第3の工程34では、準備工程31で表面パターンが形成された焼成基板の最外層に、第2の工程33で形成された収縮拘束層を積層加圧して積層体を形成する。この時、積層体が一体化するように加圧加温する。本実施例では、積層体の温度が、50 から100 になるように加熱しながら、100から200 $\text{kgf}/\text{cm}^2$ で加圧を行った。そして、次の第4の工程35は、積層体の収縮拘束層の脱脂を行い、次にこの積層体を前記厚膜材料が焼結する温度で焼成することで収縮拘束層のビア孔に充填している厚膜材料が焼成基板と焼結する。この時の焼成温度は、一般的な厚膜材料の焼結温度850 $\pm$ 50 の範囲であり、使用する厚膜材料に応じて決めれば良い。この第4の工程35の後に、収縮拘束層を除去する第5の工程36を経て突起電極を有するセラミック基板が完成する。

40

#### 【0033】

図2Aは、図1の準備工程31において形成される焼成基板の断面図であり、この焼成基板は800 から1500 で焼成されたものである。すなわち、44a～44c(まとめて44)はグリーンシートの積層体がすでに焼成されたセラミック基板であり、45は内層における上層と下層を連結するインナービアである。また、46はセラミック基板44の内層に設けられた内層導体パターンである。

#### 【0034】

図2Bは、セラミック基板44の最外層に処理を施した後の断面図である。即ち、このセラミック基板44の上面の最外層44aに表面パターン47aを形成し、その後、絶縁

50

材 4 8 a を印刷したものである。また同様に、このセラミック基板 4 4 の下面の最外層 4 4 b に表面パターン 4 7 b を形成し、その後、絶縁材 4 8 b を印刷している。図 2 A - B は、図 1 における準備工程 3 1 に対応している。

【 0 0 3 5 】

図 2 C は、図 2 B における最外層 4 4 a の外側に収縮拘束層 4 9 a を積層するとともに、最外層 4 4 b の外側に収縮拘束層 4 9 b を積層して積層体とした断面図である。この収縮拘束層 4 9 a にはバンプを形成するための直径 0 . 3 mm の孔 5 0 a が設けられ、この孔 5 0 a には突起電極形成用として、金属粒子として平均粒 2 μ m の A g 粒子を 9 0 質量 % 含み、少量のガラスフリット ( 2 質量 % ) を含む銀ペースト 5 1 a が充填されている。なお、導体ペーストの材料は、前述の銀ペーストに限ることはなく、A g、A u を主成分として、P d、P d、M o 等を添加した 7 0 質量 % 以上の金属粒子と、少量のガラスフリット ( 2 質量 % ) と、バインダー ( 5 質量 % )、溶剤 ( 2 0 質量 % ) からなる導体ペーストを用いれば良い。

10

【 0 0 3 6 】

また、収縮拘束層 4 9 b にも突起部を形成するための直径 0 . 3 mm の孔 5 0 b が設けられ、この孔 5 0 b には絶縁部材 5 1 b が充填されている。この絶縁部材は、酸化珪素を中心とした複数の誘電体ガラス ( 6 0 質量 % ) と、バインダー ( 1 0 質量 % )、溶剤 ( 3 0 質量 % ) からなる。なお、絶縁部材の材料は、前記酸化珪素に限るものではなく、8 0 0 から 9 0 0 で焼結するように調合したガラス材と、バインダー、溶剤からなる絶縁ペーストを用いれば良い。

20

【 0 0 3 7 】

この収縮拘束層 4 9 a、4 9 b は、無機物はアルミナのみで形成されているので、第 4 の工程 3 5、すなわち 8 5 0 ± 5 0 の焼成温度では焼結しない。また、膨張・収縮等の変形が生じないものである。収縮拘束層の厚みは 0 . 0 5 mm から 1 . 0 mm が望ましい。本実施の形態では 0 . 3 mm のものを使用している。

【 0 0 3 8 】

このように収縮拘束層と表層にパターンを有する基板を一体化した、この状態の積層基板を 4 0 0 の温度を 5 時間加え、収縮拘束層の脱脂を行ったのち、8 5 0 で焼成する。なお、焼成温度は、8 5 0 に限定されることは無く、使用する厚膜材料の焼成温度に応じて適宜選択すれば良い。そうすると、充填した厚膜材料 5 1 a、5 1 b は縦方向にのみ約 0 . 1 5 mm 収縮して ( 横方向はそのまま )、収縮拘束層 4 9 a、4 9 b 中のバインダーが熱分解し、非常にもろくて剥離し易い状態になる。従って、第 5 の工程 3 6 でこの収縮拘束層 4 9 a、4 9 b を除去するものである。これにより、セラミック基板は完成する。

30

【 0 0 3 9 】

即ち、図 2 D に示すように、セラミック基板 4 4 の最上層 4 4 a にはインナービア 4 5 に連結した突起電極 ( バンプ ) 5 2 が形成される。また、セラミック基板 4 4 の最下層 4 4 b には凸形状の絶縁体 5 3 が形成される。このように、最下層 4 4 b には絶縁体 5 3 が形成されているので、親基板に装着したとき、例え、最下層 4 4 b のインナービア 4 5 や表層パターン 4 7 b が露出していても、親基板の配線パターンとの間でショートするようなことはない。

40

【 0 0 4 0 】

なお、収縮拘束層 4 9 a、4 9 b に形成するバンプ用孔の直径は、0 . 3 mm に限るものではなく、本実施例でのビア充填方法で可能な直径、例えば、0 . 0 5 ~ 0 . 5 mm の範囲で自由に選択することができる。

【 0 0 4 1 】

前記突起部の高さは 1 5 0 μ m であり、前記突起部の直径は 2 0 0 μ m であり、前記導電体突起部と絶縁体突起部間の距離は 5 0 μ m 以上であった。

【 0 0 4 2 】

( 実施の形態 2 )

50

図3は、実施の形態2における収縮拘束層55の断面図である。この断面図で示すように、収縮拘束層55に設けられた孔56a、56bに厚膜部材として、複数の厚膜部材を充填することができる。例えば、孔56aには導電材である実施の形態1で説明した導体ペースト57を充填し、孔56bには実施の形態1で説明した絶縁ペースト58を充填する。なお、この他に、誘電材や抵抗材等を充填することもできる。誘電材は、前述したように酸化珪素のみではなく800から900で結晶化するように調合した1種類以上のガラス材であればよく、また、抵抗材は、 $RuO_2$ を中心とした抵抗材材料とバインダーおよび溶剤からなるものを用いれば良い。

【0043】

そして、このような、導体ペースト57や絶縁材58が充填された収縮拘束層55を実施の形態1における収縮拘束層49bの代わりに用いることにより、図4に示すような電子部品モジュール60を得ることができる。

【0044】

即ち、図4において、57aは焼成後のセラミック基板44の最下層44bに、第4の工程35で焼成されて形成された突起電極である。58aは、この突起電極57a間に形成された絶縁体である。このように突起電極57a間に絶縁体58aが形成されている。従って、例え、突起電極57a間の距離59が狭くとも半田付けの際に従来例(図12)に示すように、突起電極間でショートするようなことはない。

【0045】

また、62はセラミック基板44の最上層44aに形成された突起電極であり、最上層44aに形成された表層パターン63やインナービア45に接続されている。17はセラミック基板44の上面に載置されたフリップチップICであり、このフリップチップIC17の底面には接続層18が形成されている。そして、この接続層18は前記突起電極(パンプ)62に接続されている。このようにして、絶縁体58aを形成することにより、親基板に実装したとき突起電極57a間で半田付けによるショートを防止することができる。また、この電子モジュール60は突起電極を有しているので、親基板に面実装することが可能である。

【0046】

(実施の形態3)

図5AとBは、実施の形態3における収縮拘束層65の断面図である。この断面図で示すように、図5Aに示すように一枚の収縮拘束層65には、設けられた孔に厚膜部材として絶縁材67bを充填する。そして図5Bに示すようにもう一枚の収縮拘束層65には、図5Aと同位置に絶縁材67bを充填し、その他に導電ペースト69aを充填する。このような絶縁材67b、導電ペースト69aが充填された収縮拘束層65を片側に重ねて用いることにより、図6に示すようなセラミック基板68を得ることができる。

【0047】

即ち、図6において、実施の形態2の方法を用いて、予め最上層のセラミック基板44aの上面に図5Bで示す突起電極69aと絶縁体67bを積層し、更にその上に絶縁体67bに対応した位置に、図5Aの収縮拘束層65を用いて絶縁体67aを積層する。また、同様に実施の形態2の方法を用いて、予め最下層のセラミック基板44bの下面に突起電極71と絶縁体72を積層、更にその下に絶縁体72に対応した位置に、収縮拘束層65を用いて絶縁体67aを積層する。その後、脱脂、焼成を行い、収縮拘束層を除去する。

【0048】

このように形成されたセラミック基板68は、図7に示すような電子部品モジュール75を形成することができる。即ち、セラミック基板44の上面にフリップチップIC76を載置し、このフリップチップIC76のパッド77と突起電極69とを接続する。78は最上層のセラミック基板44aとフリップチップIC76との間に挿入されたアンダーフィルである。この場合、電子部品モジュール75の外端に絶縁材70と67aで囲いが形成されるので、アンダーフィル78が外部へ流出することはない。

10

20

30

40

50

## 【 0 0 4 9 】

また、セラミック基板 4 4 の最下層のセラミック基板 4 4 b には、絶縁材 7 2 の下方に更に収縮拘束層（図中は省略）を積層したものであり、絶縁層 7 2 と絶縁層 6 7 a が二重に形成される。7 9 はチップ部品であり、突起電極 7 1 と半田 8 0 で接続されている。

## 【 0 0 5 0 】

このように、チップ部品 7 9 を囲うように絶縁体 7 2 と 6 7 a が形成されるので、半田 8 0 が外へ流れ出すことはなく、少ないスペースで強固な半田付けができる。また、美観上も良好である。

## 【 0 0 5 1 】

更に、突起電極 7 1 の代わりに抵抗体を用いたり、又は誘電体を用いてチップ部品の一種であるチップ抵抗 7 9 との間にコンデンサを形成することもできる。

10

## 【 0 0 5 2 】

（実施の形態 4）

図 8 は、実施の形態 4 における電子部品モジュール 8 2 の断面図である。この電子モジュール 8 2 は、セラミック基板 8 3 a ~ 8 3 c（まとめて 8 3）の最上層のセラミック基板 8 3 a 上にフリップチップ IC 7 6 が装着されていることは、実施の形態 3 と同じである。セラミック基板 8 3 の最下層のセラミック基板 8 3 b には突起電極 8 4 a、8 4 b、8 4 c が近接して設けられている。また、この最下層のセラミック基板 8 3 b には、絶縁体 6 7 a が二重に設けられている。即ち、絶縁体 6 7 a が突起電極 8 4 a、8 4 b、8 4 c よりも高く形成されたものである。

20

## 【 0 0 5 3 】

図 9 は、このように形成された電子部品モジュール 8 2 を親基板 8 5 に装着した様子を示している。即ち、絶縁体 6 7 a が二重に設けられているので、突起電極 8 4 より高くなる。

## 【 0 0 5 4 】

このことにより、親基板 8 5 に装着したときに親基板 8 5 に設けられたランド 8 6 との間に隙間ができ、半田 8 7 がこの隙間に侵入して突起電極 8 4 a とランド 8 6 とを確実に半田 8 7 で接続する。突起電極 8 4 b、8 4 c に付いても同様である。なお、このことにより、半田 8 7 が横へ流れ出すことはない。また、突起電極 8 4 a、8 4 b、8 4 c の間隔が狭くともショートするようなことはない。

30

## 【 0 0 5 5 】

この突起電極 8 4 a、8 4 b、8 4 c の間に夫々絶縁体で形成された凸部を形成すれば、突起電極 8 4 a、8 4 b、8 4 c 間のショートの可能性は更に少なくなる。

## 【 0 0 5 6 】

〔産業上の利用可能性〕

本発明にかかるセラミック基板は、最外層に形成された凸部を有しているので、各種電子部品モジュール等として有用である。

## 【 図面の簡単な説明 】

## 【 0 0 5 7 】

【 図 1 】 本発明の実施の形態 1 におけるセラミック基板の製造工程図。

40

【 図 2 】 A は同準備工程における高温焼成されたセラミック基板の断面図、B は同最外層の処理をした後のセラミック基板の断面図、C は同第 3 の工程における最外層に収縮拘束層を積層した積層体の断面図、D は同第 5 の工程において、焼成後に収縮拘束層を除去したセラミック基板の断面図。

【 図 3 】 本発明の実施の形態 2 における収縮拘束層の断面図。

【 図 4 】 同、実施の形態 2 のセラミック基板を用いた電子部品モジュールの断面図。

【 図 5 】 A 及び B は本発明の実施の形態 3 における収縮拘束層の断面図。

【 図 6 】 同、実施の形態 3 によるセラミック基板の断面図。

【 図 7 】 同、実施の形態 3 のセラミック基板を用いた電子部品モジュールの断面図。

【 図 8 】 本発明の実施の形態 4 における電子モジュールの断面図。

50

- 【図9】同、電子モジュールを親基板に装着した断面図。
- 【図10】従来のセラミック基板の製造工程図。
- 【図11】同、セラミック基板を用いた電子部品モジュールの断面図。
- 【図12】同、電子モジュールを親基板に装着した断面図。
- 【符号の説明】

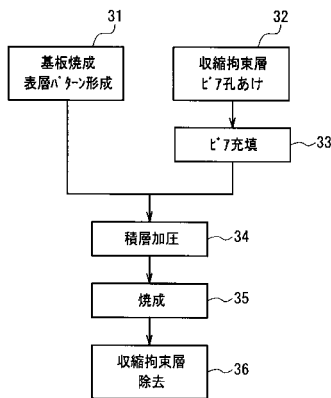
【0058】

- 31 準備工程
- 32 第1の工程
- 33 第2の工程
- 34 第3の工程
- 35 第4の工程
- 36 第5の工程
- 44, 44a ~ 44c セラミック基板
- 45 インナーピア
- 46 内層導体パターン
- 47a, 47b 表面パターン
- 48a 絶縁材
- 49a, 49b 収縮拘束層
- 50a, 50b 孔
- 51a 銀ペースト
- 51b 絶縁部材

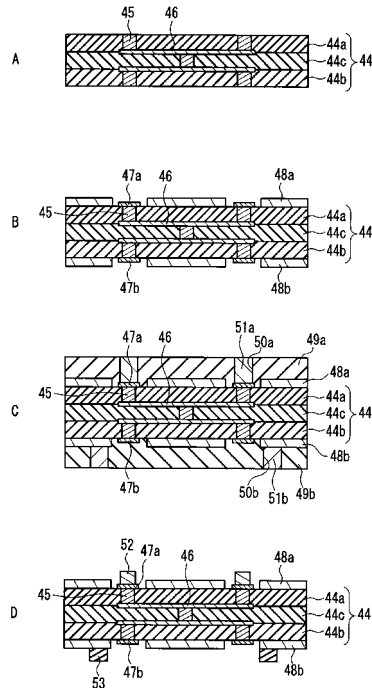
10

20

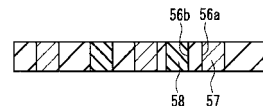
【図1】



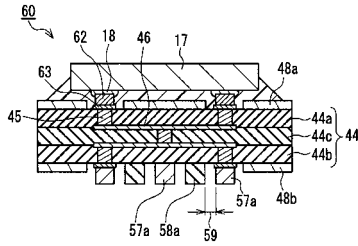
【図2】



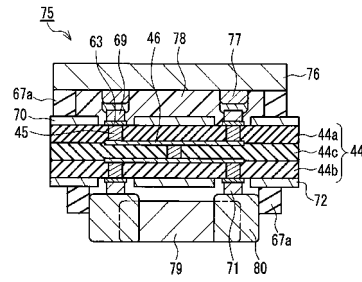
【図3】



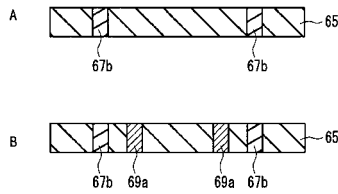
【図4】



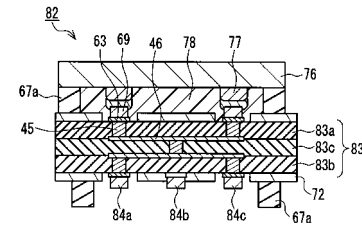
【図7】



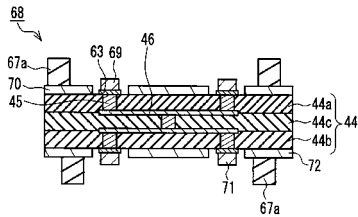
【図5】



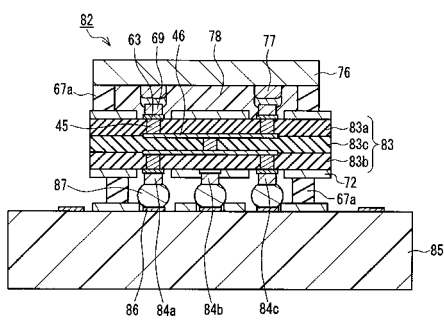
【図8】



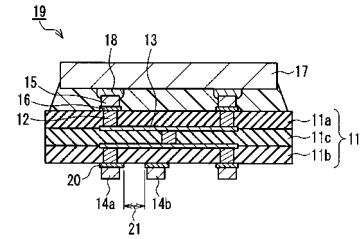
【図6】



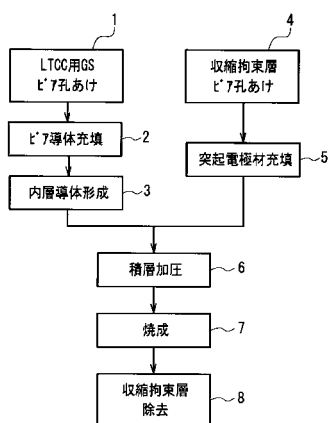
【図9】



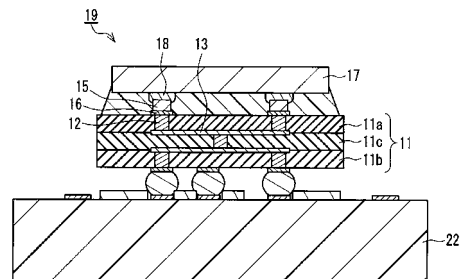
【図11】



【図10】



【図12】



---

フロントページの続き

審査官 豊島 ひろみ

(56)参考文献 特開平07-202422(JP,A)  
特開平07-142630(JP,A)  
特開2000-323806(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H05K 3/46