

**POLSKA
RZECZPOSPOLITA
LUDOWA**



**URZĄD
PATENTOWY
PRL**

O P I S P A T E N T O W Y PATENTU TYMCZASOWEGO

113 247

Patent tymczasowy dodatkowy
do patentu nr _____

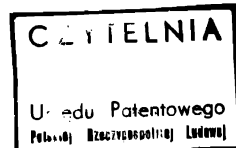
Zgłoszono: 16.02.78 (P. 204660)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 02.07.79

Opis patentowy opublikowano: 30.12.1981

Int. Cl.²
G06F 9/00



Twórcy wynalazku: Adam Postuła, Ireneusz Smolewski

Uprawniony z patentu tymczasowego: Politechnika Świętokrzyska,
Kielce (Polska)

Sposób i układ szybkiej identyfikacji wejść o wyróżnionym stanie logicznym

Przedmiotem wynalazku jest sposób i układ szybkiej identyfikacji wejść o wyróżnionym stanie logicznym, znajdujące zastosowanie w systemach kontroli dużej ilości zabezpieczeń.

W układach automatyki, kontroli i sterowania często występuje potrzeba kontrolowania stanu wielu elementów takich jak: przyciski, przekaźniki, styki kontrolne, wyjścia komparatorów lub układów cyfrowych, których działanie jest dwustanowe. Przy kontroli poprawności działania głównie przekaźnikowych i elektronicznych systemów zabezpieczających konieczne jest określenie kolejności zmian stanu poszczególnych elementów włączonych na wejścia układu kontrolującego. Z układu kontrolującego otrzymuje się numer wejścia o wyróżnionym stanie logicznym. Sposób ten realizowany jest w koderach piramidalnych i współrzędnościowych działających na zasadzie kolejnego adresowania wszystkich wejść. Kolejne adresowanie wymaga tylu impulsów zegarowych ile jest wejść układu, co przy dużej ilości wejść wydłuża czas identyfikacji i uniemożliwia określenie kolejności szybkich zmian stanu na poszczególnych wejściach.

Celem wynalazku jest opracowanie sposobu i układu pozwalających na szybką identyfikację wielu wejść o określonym stanie logicznym, a jednocześnie eliminujących niedogodności występujące w znanych rozwiązaniach.

Istota sposobu według wynalazku polega na tym, że do układu identyfikującego wprowadza się sygnał wytworzony przez dodatkowe układy logiczne. Sygnał ten określa w warstwach hierarchicznych układu tylko te grupy, w których znajdują się wejścia o wyróżnionym stanie logicznym, a które załączają się w celu identyfikacji wejść o wyróżnionym stanie logicznym.

Realizacja adresowania tego rodzaju wymaga podziału układu identyfikującego na warstwy hierarchiczne i grupy wejść w ramach poszczególnych warstw. W układzie według wynalazku multipleksery wyznaczające grupy wejść zgrupowane są w hierarchicznych warstwach. Wejścia układu są wejściami warstwy najniższej w hierarchii, z kolei wejścia grup podłączone są do dodatkowych układów logicznych. Wyjścia dodatkowego układu logicznego podłączone do danej warstwy służą do wyboru grupy w ramach warstwy na podstawie stanu linii adresowych warstwy nadrzędnej. Pozostałe wyjścia dodatkowych układów logicznych połączone są z wejściami

warstw nadrzędnych, przy czym wyjścia warstw podłączone są do wejść układu adresowania, który za pomocą linii adresowych adresuje warstwy.

Przedmiot wynalazku jest uwidoczniony w przykładzie wykonania na rysunku, który przedstawia schemat blokowy układu szybkiej identyfikacji wejść.

Układ podzielony jest na hierarchiczne warstwy $WM_1 \dots WM_k$ złożone z multiplexerów wyznaczających wraz z dodatkowymi układami logicznymi $DUL_1 \dots DUL_{k-1}$ grupy wejść w warstwach. Wejścia $WE_1 \dots WE_n$ są wejściami warstwy WM_1 najniższej w hierarchii. Do układu identyfikującego wprowadza się sygnał wytwarzany przez dodatkowe układy logiczne $DUL_1 \dots DUL_{k-1}$. Układy $DUL_1 \dots DUL_{k-1}$ na podstawie stanu linii adresowych $LA_1 \dots LA_k$ wybierają za pomocą wyjść $LW_1 \dots LW_{k-1}$ odpowiednie grupy w warstwach. Pozostałe wyjścia układów $DUL_1 \dots DUL_{k-1}$ połączone z wejściami nadrzędnych warstw sygnalizują obecność wejść wyróżnionym stanem w danej grupie. Wyjścia warstw połączone są z układem adresowania UA. Sygnał wyjściowy danej warstwy określa zakończenie adresowania na liniach adresowych tej warstwy i początek adresowania warstwy podrzędnej na jej liniach adresowych. Stan linii adresowych $LA_1 \dots LA_k$ po zakończeniu adresowania wszystkich warstw określa numer wejścia o wyróżnionym stanie logicznym.

Zastrzeżenia patentowe

1. Sposób szybkiej identyfikacji wejść o wyróżnionym stanie logicznym, z n a m i e n n y t y m, że do układu identyfikującego wprowadza się sygnał wytwarzany przez dodatkowe układy logiczne ($DUL_1 \dots DUL_{k-1}$), określający w hierarchicznych warstwach ($WM_1 \dots WM_k$) tylko te grupy, w których znajdują się wejścia o wyróżnionym stanie logicznym, a które załącza się w celu identyfikacji wejść o wyróżnionym stanie logicznym.

2. Układ szybkiej identyfikacji wejść o wyróżnionym stanie logicznym zawierający multiplexery, z n a m i e n n y t y m, że multiplexery wyznaczające grupy wejść zgrupowane są w hierarchicznych warstwach ($WM_1 \dots WM_k$), przy czym wejścia ($WE_1 \dots WE_n$) są wejściami warstwy (WM_1) najniższej w hierarchii, z kolei wejścia grup podłączone są do dodatkowych układów logicznych ($DUL_1 \dots DUL_{k-1}$), których wyjścia ($LW_1 \dots LW_{k-1}$) podłączone do warstw ($WM_1 \dots WM_{k-1}$) służą do wyboru grupy w ramach warstwy na podstawie stanu linii adresowych warstwy nadrzędnej, a pozostałe wyjścia układów ($DUL_1 \dots DUL_{k-1}$) połączone są z wejściami warstw nadrzędnych ($WM_2 \dots WM_k$), natomiast wyjścia warstw ($WM_1 \dots WM_k$) podłączone są do wejść układu adresowania (UA), który za pomocą linii adresowych ($LA_1 \dots LA_k$) adresuje warstwy, przy czym układ adresowania (UA) jest zrealizowany układowo ewentualnie programowo.

