



(12) 发明专利申请

(10) 申请公布号 CN 102760812 A

(43) 申请公布日 2012. 10. 31

(21) 申请号 201210098087. 1

(22) 申请日 2012. 04. 05

(30) 优先权数据

13/094, 344 2011. 04. 26 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72) 发明人 夏兴国 邱清华

(74) 专利代理机构 北京德恒律师事务所 11306

代理人 陆鑫 房岭梅

(51) Int. Cl.

H01L 33/20(2010. 01)

H01L 33/00(2010. 01)

H01L 33/32(2010. 01)

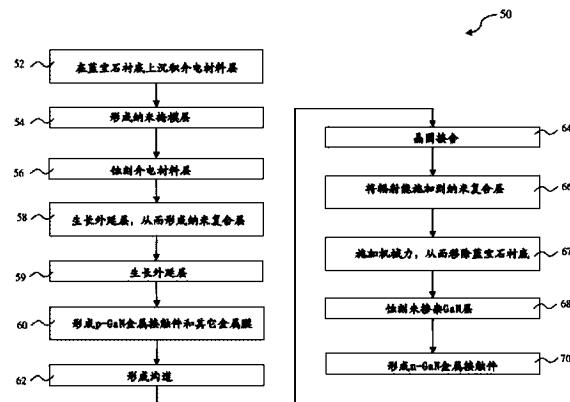
权利要求书 3 页 说明书 10 页 附图 6 页

(54) 发明名称

具有纳米图案化衬底的 LED 的方法和结构

(57) 摘要

本公开提供了一种制造光电二极管(LED)器件的方法的一个实施例。该方法包括：在第一衬底上形成纳米掩模层，其中，纳米掩模层具有随机布置的颗粒图案；在第一衬底中生长第一外延半导体层，形成纳米复合层；在纳米复合层上方生长若干外延半导体层；从外延半导体层的第一侧将第二衬底接合到外延半导体层；将辐射能施加到纳米复合层；以及从外延半导体层的第二侧将第一衬底与外延半导体层分隔开。本发明还提供了一种具有纳米图案化衬底的 LED 的方法和结构。



1. 一种方法,包括:

在第一衬底上形成纳米掩模层,其中,所述纳米掩模层具有随机布置的颗粒图案;

在所述第一衬底中生长第一外延半导体层,形成纳米复合层;

在所述纳米复合层上方生长多个外延半导体层;

从所述外延半导体层的第一侧将第二衬底接合到所述外延半导体层;

将辐射能施加到所述纳米复合层;以及

从所述外延半导体层的第二侧将所述第一衬底与所述外延半导体层分隔开。

2. 根据权利要求 1 所述的方法,其中,形成所述纳米掩模层包括:

在所述第一衬底上形成材料层;以及

对所述材料层实施热处理,或者

其中,形成所述纳米掩模层包括:

在所述第一衬底上形成薄金属膜;以及

退火所述薄金属膜,从而使得所述薄金属膜液化,并在表面张力下形成纳米尺寸颗粒,

其中,所述薄金属膜包括镍和银中的至少一种,或者

其中,形成所述纳米掩模层包括:

将含有纳米尺寸微粒的聚合物溶液涂覆在所述第一衬底上;以及

固化所述聚合物溶液,从而在所述第一衬底上形成具有随机布置的颗粒的所述纳米掩模层,

其中,所述纳米掩模层包括聚酰亚胺和聚甲基丙烯酸甲酯中的一种,或者

其中,所述形成纳米掩模层包括:

将含有纳米尺寸微粒的液体前体涂覆在所述第一衬底上;以及

实施热处理,从而从所述液体前体中除去溶剂,并在所述第一衬底上形成介电材料的纳米掩模层。

其中,所述介电材料包括氧化铝和氮化铝中的至少一种,或者

其中,所述第一衬底包括蓝宝石,所述第二衬底包括硅晶圆和金属板中的一种。

3. 根据权利要求 1 所述的方法,进一步包括:在所述第一衬底上形成介电材料层,并且形成所述纳米掩模层包括:在所述介电材料层上形成所述纳米掩模层,

所述方法进一步包括:在生长第一外延半导体层之前,使用所述纳米掩模层作为蚀刻掩模蚀刻所述介电材料层,从而在所述介电材料层中形成开口,其中,生长所述第一外延半导体层包括:在所述介电材料层的开口内生长所述第一外延半导体层,

其中,蚀刻所述介电材料层包括:实施反应离子蚀刻 (RIE) 工艺。

4. 根据权利要求 1 所述的方法,其中:

所述第一外延半导体层包括未掺杂氮化镓 (GaN) 层;以及

所述多个外延半导体层包括 n- 型掺杂氮化镓 (n-GaN) 层和 p- 型掺杂氮化镓 (p-GaN) 层。

5. 根据权利要求 4 所述的方法,其中,所述多个外延半导体层进一步包括:多量子阱 (MQW) 结构,设置在所述 n-GaN 层和所述 p-GaN 层之间。

6. 根据权利要求 5 所述的方法,其中,将所述第一衬底与所述外延半导体层分隔开包括:施加机械力,从而将所述纳米复合层与所述第一衬底分隔开,或者

所述方法进一步包括：在将所述第一衬底与所述外延半导体层分隔开后，对所述外延半导体层实施蚀刻工艺，生成所述外延半导体层的粗糙表面。

7. 一种方法，包括：

在蓝宝石衬底上形成介电材料层；

在所述介电材料层上形成纳米掩模层，其中，所述纳米掩模层包括随机分布在所述介电材料层上的纳米尺寸颗粒；

实施第一蚀刻工艺，从而移除未被所述纳米掩模层覆盖的所述介电材料层，形成纳米棒，每个所述纳米棒都包括来自所述介电材料层的介电部件和所述介电部件上的所述纳米尺寸颗粒中的一个；

在所述纳米棒间隙内的所述蓝宝石衬底上生长第一外延半导体层，形成纳米复合层，所述纳米复合层具有所述第一外延半导体层和嵌入所述第一外延半导体层中的所述纳米棒；

在所述纳米复合层上生长外延半导体层；

将另一衬底接合到所述外延半导体层上；

将辐射能施加到所述纳米复合层；

将机械力施加到所述纳米棒，从而将所述蓝宝石衬底与所述外延半导体层分隔开；以及

对所述外延半导体层实施第二蚀刻工艺，形成所述外延半导体层的粗糙表面。

8. 根据权利要求 7 所述的方法，其中，施加所述辐射能包括：将激光功率施加到所述纳米复合层，

其中，形成所述纳米掩模层包括：

在所述介电材料层上形成材料层；以及

对所述材料层实施热处理，从而形成所述纳米掩模层，

其中，所述纳米尺寸颗粒具有：

分布在约 100nm 和约 600nm 之间的直径；以及

范围处于约 10^7 个颗粒 / cm^2 至约 10^9 个颗粒 / cm^2 的颗粒密度。

9. 一种发光二极管 (LED) 结构，包括：

p- 型掺杂氮化镓 (p-GaN) 层，位于衬底上；

n- 型掺杂氮化镓 (n-GaN) 层，接近所述 p-GaN 层；

多量子阱 (MQW) 结构，设置在所述 n-GaN 层和所述 p-GaN 层之间；以及

氮化镓 (GaN) 缓冲层，位于 n-GaN 层上，其中，所述 GaN 缓冲层包括具有随机分布的凹陷的粗糙表面。

10. 根据权利要求 9 所述的 LED 结构，其中，所述纳米尺寸凹陷的直径分布在约 100nm 和约 600nm 之间，或者

其中，所述纳米尺寸凹陷的凹陷密度处于约 10^7 个颗粒 / cm^2 至约 10^9 个颗粒 / cm^2 的范围内，或者

其中，所述纳米尺寸凹陷以平均间隔 S 和平均直径 D，以及范围在约 1.1 和约 1.5 之间的比率 S/D 彼此间隔，或者

其中，所述衬底包括硅晶圆和金属板中的一种，或者

所述方法进一步包括：高反射金属膜，设置在所述衬底和所述 p-GaN 层之间。

具有纳米图案化衬底的 LED 的方法和结构

技术领域

[0001] 本发明涉及半导体领域,更具体地,本发明涉及一种具有纳米图案化衬底的 LED 的方法和结构。

背景技术

[0002] 对于氮化镓 (GaN) 基发光二极管 (LED), 广泛地使用了蓝宝石衬底。蓝宝石衬底的热力性能和电气隔离性较差。为了改进 GaN-LED 的热力和电气性质, 将具有更高的导热性和导电性的另一种衬底接合到 LED 结构上, 然后移除蓝宝石衬底。然而, 移除蓝宝石衬底是一个难题, 因为它可能引起 LED 结构碎裂, 并进一步导致泄漏电流和器件退化。因此, 需要能解决上述问题的 GaN-LED 器件的方法和结构。

发明内容

[0003] 为了解决现有技术中所存在的问题, 根据本发明的一个方面, 提供了一种方法, 包括: 在第一衬底上形成纳米掩模层, 其中, 所述纳米掩模层具有随机布置的颗粒图案; 在所述第一衬底中生长第一外延半导体层, 形成纳米复合层; 在所述纳米复合层上方生长多个外延半导体层; 从所述外延半导体层的第一侧将第二衬底接合到所述外延半导体层; 将辐射能施加到所述纳米复合层; 以及从所述外延半导体层的第二侧将所述第一衬底与所述外延半导体层分隔开。

[0004] 在该方法中, 形成所述纳米掩模层包括: 在所述第一衬底上形成材料层; 以及对所述材料层实施热处理。

[0005] 在该方法中, 形成所述纳米掩模层包括: 在所述第一衬底上形成薄金属膜; 以及退火所述薄金属膜, 从而使得所述薄金属膜液化, 并在表面张力下形成纳米尺寸颗粒。

[0006] 在该方法中, 所述薄金属膜包括镍和银中的至少一种。

[0007] 在该方法中, 形成所述纳米掩模层包括: 将含有纳米尺寸微粒的聚合物溶液涂覆在所述第一衬底上; 以及固化所述聚合物溶液, 从而在所述第一衬底上形成具有随机布置的颗粒的所述纳米掩模层。

[0008] 在该方法中, 所述纳米掩模层包括聚酰亚胺和聚甲基丙烯酸甲酯中的一种。

[0009] 在该方法中, 所述形成纳米掩模层包括: 将含有纳米尺寸微粒的液体前体涂覆在所述第一衬底上; 以及实施热处理, 从而从所述液体前体中除去溶剂, 并在所述第一衬底上形成介电材料的纳米掩模层。

[0010] 在该方法中, 所述介电材料包括氧化铝和氮化铝中的至少一种。

[0011] 在该方法中, 所述第一衬底包括蓝宝石, 所述第二衬底包括硅晶圆和金属板中的一种。

[0012] 在该方法中, 进一步包括: 在所述第一衬底上形成介电材料层, 并且形成所述纳米掩模层包括: 在所述介电材料层上形成所述纳米掩模层。

[0013] 在该方法中, 进一步包括: 在生长第一外延半导体层之前, 使用所述纳米掩模层作

为蚀刻掩模蚀刻所述介电材料层,从而在所述介电材料层中形成开口,其中,生长所述第一外延半导体层包括:在所述介电材料层的开口内生长所述第一外延半导体层。

[0014] 在该方法中,其中,蚀刻所述介电材料层包括:实施反应离子蚀刻(RIE)工艺。

[0015] 在该方法中,其中:所述第一外延半导体层包括未掺杂氮化镓(GaN)层;以及所述多个外延半导体层包括n-型掺杂氮化镓(n-GaN)层和p-型掺杂氮化镓(p-GaN)层。

[0016] 在该方法中,所述多个外延半导体层进一步包括:多量子阱(MQW)结构,设置在所述n-GaN层和所述p-GaN层之间。

[0017] 在该方法中,将所述第一衬底与所述外延半导体层分隔开包括:施加机械力,从而将所述纳米复合层与所述第一衬底分隔开。

[0018] 在该方法中,进一步包括:在将所述第一衬底与所述外延半导体层分隔开后,对所述外延半导体层实施蚀刻工艺,生成所述外延半导体层的粗糙表面。

[0019] 根据本发明的另一方面,提供了一种方法,包括:在蓝宝石衬底上形成介电材料层;在所述介电材料层上形成纳米掩模层,其中,所述纳米掩模层包括随机分布在所述介电材料层上的纳米尺寸颗粒;实施第一蚀刻工艺,从而移除未被所述纳米掩模层覆盖的所述介电材料层,形成纳米棒,每个所述纳米棒都包括来自所述介电材料层的介电部件和所述介电部件上的所述纳米尺寸颗粒中的一个;在所述纳米棒间隙内的所述蓝宝石衬底上生长第一外延半导体层,形成纳米复合层,所述纳米复合层具有所述第一外延半导体层和嵌入所述第一外延半导体层中的所述纳米棒;在所述纳米复合层上生长外延半导体层;将另一衬底接合到所述外延半导体层上;将辐射能施加到所述纳米复合层;将机械力施加到所述纳米棒,从而将所述蓝宝石衬底与所述外延半导体层分隔开;以及对所述外延半导体层实施第二蚀刻工艺,形成所述外延半导体层的粗糙表面。

[0020] 在该方法中,施加所述辐射能包括:将激光功率施加到所述纳米复合层。

[0021] 在该方法中,形成所述纳米掩模层包括:在所述介电材料层上形成材料层;以及对所述材料层实施热处理,从而形成所述纳米掩模层。

[0022] 在该方法中,所述纳米尺寸颗粒具有:分布在约100nm和约600nm之间的直径;以及范围处于约 10^7 个颗粒/ cm^2 至约 10^9 个颗粒/ cm^2 的颗粒密度。

[0023] 根据本发明的又一方面,提供了一种发光二极管(LED)结构,包括:p-型掺杂氮化镓(p-GaN)层,位于衬底上;n-型掺杂氮化镓(n-GaN)层,接近所述p-GaN层;多量子阱(MQW)结构,设置在所述n-GaN层和所述p-GaN层之间;以及氮化镓(GaN)缓冲层,位于n-GaN层上,其中,所述GaN缓冲层包括具有随机分布的凹陷的粗糙表面。

[0024] 在该LED结构中,所述纳米尺寸凹陷的直径分布在约100nm和约600nm之间。

[0025] 在该LED结构中,所述纳米尺寸凹陷的凹陷密度处于约 10^7 个颗粒/ cm^2 至约 10^9 个颗粒/ cm^2 的范围内。

[0026] 在该LED结构中,所述纳米尺寸凹陷以平均间隔S和平均直径D,以及范围在约1.1和约1.5之间的比率S/D彼此间隔。

[0027] 在该LED结构中,所述衬底包括硅晶圆和金属板中的一种。

[0028] 在该LED结构中,进一步包括:高反射金属膜,设置在所述衬底和所述p-GaN层之间。

附图说明

[0029] 根据以下结合附图的详细描述可以最好地理解本发明。需要强调的是，根据工业中的标准实践，各种不同部件没有按比例绘制，并且只是用于图示的目的。实际上，为了使论述清晰，可以任意增加或减小各种部件的数量和尺寸。

[0030] 图 1 是根据一个或多个实施例的用于制造发光二极管 (LED) 结构的方法的流程图；

[0031] 图 2 到图 9 是根据一个或多个实施例的 LED 结构在不同制造阶段时的截面图；

[0032] 图 5a 是图 5 的 LED 结构中的金属层的截面图；和

[0033] 图 10 是根据一个或多个实施例的结合了图 9 的 LED 结构的一部分的 LED 器件的示意图。

具体实施方式

[0034] 应该理解，以下公开内容提供了许多用于实施所公开的不同特征的不同实施例或实例。以下描述组件和配置的具体实例以简化本发明。当然，这仅仅是实例，并不是用于限制本发明。本公开的内容可以在不同实例中重复参考标号和 / 或字母。这种重复是为了简化和清晰的目的，并且没有在本质上表示各个实施例和 / 或所讨论配置之间的关系。

[0035] 图 1 是根据一个或多个实施例的用于制造发光二极管 (LED) 结构的方法的流程图 50。图 2 到图 9 是 LED 结构 100 在不同制造阶段时的截面图。参考图 1 到图 9，共同描述了 LED 结构 100 和制造 LED 结构 100 的方法 50。

[0036] 参考图 1 和图 2，方法 50 开始于步骤 52，该步骤 52 提供了蓝宝石衬底 102，并在该蓝宝石衬底 102 上形成介电材料层 104。介电材料层 104 包括氧化硅。介电材料层 104 可以通过化学汽相沉积 (CVD) 沉积在蓝宝石衬底 102 上。例如，使用包括硅烷 (SiH_4) 和氧 (O_2) 的前体通过 CVD 形成氧化硅。在其他实例中，用于形成氧化硅的前体可以包括六氯二硅烷 (HCD 或 Si_2Cl_6)、二氯硅烷 (DCS 或 SiH_2Cl_2)、双 (叔丁基氨基) 硅烷 (BTBAS 或 $\text{C}_8\text{H}_{22}\text{N}_2\text{Si}$) 或二硅烷 (DS 或 Si_2H_6)。如果其他介电材料能承受高温 (诸如约 1000°C) 热处理，则可以将该材料用作介电材料层 104。在其他实施例中，介电材料层 104 可选地包括氮化硅、氧氮化硅或碳化硅。在一个实施例中，介电材料层 104 的厚度范围在约 100nm 和约 400nm 之间。

[0037] 仍参考图 1 和图 2，该方法继续到步骤 54，在该步骤 54 中，形成纳米掩模层 106。纳米掩模层 106 包括空间上彼此远离的纳米尺寸颗粒，该纳米尺寸颗粒随机分布在介电材料层 104 上。在一个实施例中，纳米掩模层 106 中的纳米尺寸颗粒基本上是圆的，其直径分布于约 100nm 和约 600nm 之间。在另一个实施例中，纳米尺寸颗粒的密度处于约 10^7 个颗粒 / cm^2 至约 10^9 个颗粒 / cm^2 的范围内。在又一个实施例中，纳米尺寸颗粒以平均间隔 S 和平均直径 D 彼此间隔，其中比率 S/D 处于约 1.1 和约 1.5 之间的范围内。

[0038] 纳米掩模层 106 所包括的材料不同于介电材料层 104，并且在随后的蚀刻工艺期间对介电材料层 104 具有蚀刻选择性。具体来说，随后的蚀刻工艺基本上能够移除介电材料层 104，而此后基本上保留了纳米掩模层。

[0039] 在一个实施例中，纳米掩模层 106 包括聚合物材料，诸如聚酰亚胺或聚 (甲基丙烯酸甲酯) (PMMA)。在又一个实施例中，纳米掩模层 106 通过以下工艺形成：第一步，旋转涂布；第二步，通过烘焙除去溶剂。该第一步是将分散有纳米微粒 (诸如金属微粒) 的聚合物

溶液旋转涂布到介电材料层 104 上。该第二步是通过热处理除去溶剂和 / 或固化涂布的聚合物溶液。当溶剂随着热处理工艺的进行而不断地从涂布的聚合物溶液中减少时, 聚合物材料由于因各种因素(诸如表面张力)减少了自由能而围绕随机分布的纳米微粒聚集。聚合物材料的纳米掩模层具有带有多个随机分布的颗粒的不连续性结构。因此, 所形成的纳米掩模层 106 是具有聚合物材料和纳米微粒的纳米级复合层。

[0040] 在另一个实施例中, 纳米掩模层 106 包括在组分上不同于介电材料层 104 的介电材料。在各个实例中, 纳米掩模层 106 包括氧化铝、氮化铝或氧化硅。介电材料的纳米掩模层 106 可以通过以下的类似工艺形成: 第一步, 旋转涂布, 第二步, 通过烘焙除去溶剂。该第一步使用旋转涂布将分散有纳米微粒(诸如金属微粒)的液态(或液体前体)介电材料施加到介电材料层 104 上。该第二步是通过热处理除去溶剂。使用与形成聚合物材料的纳米掩模层类似的机制, 形成的介电材料的纳米掩模层具有带有多个随机分布的颗粒的不连续性结构。因此, 形成的纳米掩模层 106 为具有介电材料和纳米微粒的纳米尺寸复合层。

[0041] 在又一个实施例中, 纳米掩模层 106 包括金属, 诸如镍或银。在又一个实施例中, 纳米掩模层 106 的形成方式包括沉积和热处理。在一个实例中, 金属的沉积使用物理汽相沉积(PVD)以形成金属薄膜。在另一个实例中, 金属薄膜的厚度范围在几埃和约 100 埃之间。用足够高的温度对该金属薄膜应用热处理, 从而使金属薄膜液化, 并在表面张力下重新分布纳米尺寸颗粒。在一个实例中, 热处理的持续时间处于约 1 分钟和约 10 分钟之间的范围内。可以通过诸如快速热退火(RTA)装置的适当工具实施上述热处理。

[0042] 参考图 1 和图 3, 该方法继续到步骤 56, 在该步骤 56 中, 使用纳米掩模层 106 作为蚀刻掩模对介电材料层 104 实施蚀刻工艺。蚀刻工艺有足够的蚀刻选择性, 并将纳米掩模层 106 的随机图案转印到介电材料层 104, 形成随机分布的介电柱, 如图 3 所示。实施蚀刻工艺, 从而使介电材料层 104 开口内的蓝宝石衬底 102 暴露出来。蚀刻工艺具有各向异性, 并且基本上是垂直蚀刻。在一个实施例中, 蚀刻工艺包括等离子蚀刻或者具体来说是反应离子蚀刻(RIE)。蚀刻工艺可以使用氟基蚀刻剂, 比如 CF₂、CF₃、或者其组合。经过蚀刻的介电材料层 104 的介电柱和纳米掩模层 106 的纳米尺寸颗粒构成多个纳米棒 107。每个纳米棒 107 都包括一个纳米尺寸的颗粒和位于该颗粒之下的对应的一个介电柱。在本实施例中, 多个纳米棒 107 的位置和尺寸随机分布。多个纳米棒 107 限定出一个或多个未被纳米棒 107 覆盖的蓝宝石衬底 102 的开口区域。

[0043] 参考图 1 和图 4, 该方法继续到步骤 57, 在步骤 57 中, 在未被多个纳米棒 107 覆盖的开口区域内的蓝宝石衬底 102 上生长外延半导体材料层 108。用外延半导体材料层 108 填充蓝宝石衬底 102 的开口区域, 形成纳米复合层 109。纳米复合层 109 是具有纳米尺寸结构的材料层, 并且进一步包括外延半导体材料和介电材料。外延半导体材料层 108 包括半导体材料, 并通过外延生长沉积。在一个实施例中, 外延半导体材料层 108 包括氮化镓(GaN)。在又一个实施例中, 外延半导体材料层 108 包括未掺杂的 GaN。

[0044] 参考图 1 和图 4, 方法继续到步骤 58, 在步骤 58 中, 生长各种外延层 110。外延层 110 被设计为形成一个或多个发光二极管(LEDs)。在一个实施例中, 外延层包括被配置为发出自发辐射的 n-型掺杂半导体层和 p-型掺杂半导体层。在另一个实施例中, 外延层 110 进一步包括在 n-型掺杂半导体层和 p-型掺杂半导体层之间设置的单量子阱(SQW)。SQW 包括两种不同的半导体, 并能够用于调谐 LED 器件的波长。可选地, 在 n 型掺杂半导体层和

p型掺杂半导体层之间插入多量子阱(MQW)结构。MQW结构包括多个相堆叠的SQW。MQW结构保留了SQW结构的优点，并且具有更大体积的允许高光功率的有源区域。

[0045] 在一个实施例中，外延层110为GaN基半导体材料。在各个实施例中，那些GaN基LED发出蓝光、紫外(UV)光或者这两种光。下面所述的为具有GaN基半导体材料的外延层的具体实施例。

[0046] 外延层110包括在纳米复合层102上外延生长的缓冲层112。在一个实例中，缓冲层112包括未掺杂的GaN，所以也可以将其称为GaN层112。在又一个实施例中，缓冲层112的厚度处于约1μm和约4μm之间的范围内。在另一个实施例中，外延半导体材料层108和缓冲层112包括相同的材料(比如未掺杂的GaN)，并由相同的外延生长工艺依次形成。例如，外延生长工艺首先沉积外延半导体材料层108，并继续形成缓冲层112。

[0047] 外延层110包括在缓冲层112上外延生长的n-型掺杂GaN层(n-GaN层)114。n-GaN层114包括被n-型掺杂剂(比如硅或氧)掺杂的氮化镓半导体层。在一个实例中，n-GaN层114的厚度处于约1微米和约4微米之间的范围内。

[0048] 外延层110包括通过各种外延生长形成在n-GaN层114上的MQW结构116。MQW结构116包括多对半导体膜。在一个实例中，MQW结构116包括约5对至约15对半导体膜。在另一个实例中，MQW结构116的厚度范围在1nm和约4nm之间。在一个实施例中，每对半导体膜都包括氮化铟镓膜和氮化镓膜(InGaN/GaN)。在一个实例中，InGaN/GaN膜用n-型掺杂剂掺杂。在另一个实施例中，每对半导体膜都包括氮化铝镓膜和氮化镓膜(A1GaN/GaN)。在一个实例中，用n-型掺杂剂掺杂A1GaN/GaN膜。

[0049] 外延层110包括在MQW结构116上外延生长的p-型掺杂GaN层(p-GaN层)118。在一个实施例中，p-GaN层118包括被p-型掺杂剂(比如镁、钙、锌、铍、碳、或其组合)掺杂的氮化镓半导体层。在一个实例中，p-GaN层118的厚度处于约1微米和约4微米之间的范围内。

[0050] 在外延半导体材料层108和外延层110中的各种材料可以通过适当技术进行外延生长，比如通过金属有机化学汽相沉积(MOCVD，金属有机汽相外延或MOVPE)。在一个实例中，可以使用含镓的前体和含氮的前体外延生长GaN层(比如外延半导体材料层108、缓冲层112、n-GaN层114、p-GaN层118、或MQW结构116中的GaN膜)。含镓的前体包括三甲基镓(TMГ)、三乙基镓(TEG)、或其他适当化学品。含氮的前体包括氨(NH₃)、叔丁基胺(TBAm)、苯肼或其他适当化学品。

[0051] 在另一个实例中，可以使用含铝的前体、含镓的前体和含氮的前体，通过MOVPE外延生长MQW结构116中的AlGaN膜。含铝的前体包括TMA、TEA、或其他适当化学品。含镓的前体包括TMГ、TEG、或其他适当化学品。含氮的前体包括氨、TBAm、苯肼、或其他适当化学品。

[0052] 可选地，可以通过其他适当技术(比如氢化物汽相外延(HVPE)或分子束外延(MBE))外延生长各种外延层(108和110)。在一个实例中，可以使用源材料(包括氯化镓和氨气)通过HVPE外延生长GaN层(比如外延半导体材料层108和缓冲层112)。

[0053] 参考图1和图5，方法50继续到步骤60，在步骤60中，形成金属层120。在一个实施例中，金属层120可以包括多层起到各种作用的金属膜。图5a以截面图示出了金属层120的一个实施例。在图5a中，金属层120包括作为与p-GaN层118电连接的接触件的第

一层金属膜 120a。因此,第一层金属膜 120a 也被称为 p-GaN 接触件(或 p- 金属)120a。在一个实例中,p- 金属 120a 的厚度处于约 4 埃和约 10 埃之间的范围内。在另一个实例中,p- 金属 120a 包括在 p-GaN 层 118 上形成的透明导电膜,比如氧化铟锡 (ITO)。在其他实例中,p- 金属 120a 包括镍 (Ni)、铬 (Cr)、或其他适当金属。

[0054] 如图 5a 中所示出的,金属层 120 进一步包括在 p- 金属 120a 上设置的第二层金属膜(或反射器)120b。反射器 120b 对发光的 LED 具有高反射性,从而提高了对应 LED 器件的发射效率。在一个实例中,反射器 120b 的厚度处于约 1000 埃和约 2000 埃之间的范围内。在另一个实例中,反射器 120b 包括银、铝、或其他适当金属。

[0055] 如图 5a 中所示出的,金属层 120 还包括在反射器 120b 上设置的并被设计用于晶圆接合的第三金属膜(或接合金属)120c。在一个实例中,接合金属 120c 包括金 (Au)、金锡 (AuSn)、金铟 (AuIn)、或用于实现共晶接合或其他晶圆接合机制的其他适当金属。在另一个实例中,接合金属 120c 的厚度处于约 1 μm 和约 2 μm 之间的范围内。在一个或多个实施例中,各个金属膜可以通过物理汽相沉积 (PVD) 或其他适当技术形成。

[0056] 参考图 1 和图 5,方法 50 继续到步骤 62,在该步骤 62 中,形成限定了各个芯片(或管芯)123 的各个沟道 122。每个芯片 123 都包括单个 LED 或被配置为阵列的多个 LED。将沟道 122 设计为围绕着每个芯片 123,并将芯片彼此分隔开。在随后的步骤中,当通过切割工艺分离芯片 123 时,应用切割工艺通过沟道 123 切割 LED 结构 100。在一个实施例中,沟道 122 包括与切割工艺中所用的切割机的宽度有关的宽度。例如,沟道 122 可以具有约 30 微米或 30 微米以上的宽度。在本实施例中,沟道 122 通过各种材料层(包括 n-GaN 层 114、MQW 结构 116 和 p-GaN 层 118) 形成,并进一步延伸至缓冲层 112 内。

[0057] 在一个实施例中,沟道 122 可以通过包括光刻图案化工艺和蚀刻工艺的过程形成。例如,通过光刻工艺在金属层 120 上形成经过图案化的光刻胶层。经过图案化的光刻胶层包括确定沟道的各个开口。作为一个实例,光刻工艺包括旋转涂布、烘焙、曝光、曝光后烘焙 (PEB)、和显影。然后,使用经过图案化的光刻胶层作为蚀刻掩模,应用蚀刻工艺来蚀刻各种材料层。蚀刻工艺可以包括干式蚀刻、湿式蚀刻或其组合。蚀刻工艺可以包括各个蚀刻步骤,每一步都被设计使用特定的蚀刻剂以有效移除相应的一个或多个材料层。之后,通过湿法剥离或等离子灰化将经过图案化的光刻胶层移除。在可选实施例中,可以进一步利用硬掩模,通过以下过程形成沟道 122:形成硬掩模,使用光刻工艺图案化硬掩模,以及使用图案化的硬掩模作为蚀刻掩模蚀刻各种材料层以形成沟道。之后,可以将硬掩模移除。在另一个实施例中,金属层 120 可以用作硬掩模,并且在蚀刻形成沟道之后没有被移除。

[0058] 在沟道 122 的侧壁上形成钝化层 124 以密封和保护芯片 123。钝化层 124 同样还可以在沟道 122 的底面形成。钝化层 124 包括介电材料,比如氧化硅、氮化硅、氧氮化硅、碳化硅或其他适当的介电材料。钝化层 124 具有足以保护芯片 123 的厚度的膜。可选地,基本上用钝化层 124 填充沟道 122。在另一个实例中,用多种介电材料膜填充沟道 122。在又一个实例中,钝化层 124 在沟道 122 的侧壁和底面形成,并且还用聚合物材料填充沟道 122。

[0059] 参考图 1 和图 6,方法 50 继续到步骤 64,在步骤 64 中,对 LED 器件 100 实施晶圆接合工艺。在晶圆接合工艺期间,将第二衬底 126 通过金属层 120,具体是通过接合金属 120c 接合到 LED 结构 100 上。在一个实施例中,第二衬底 126 是硅晶圆。在另一个实施例中,第二衬底 126 包括金属板或具有适当材料特征(包括在其上固定 LED 结构 100 的机械强度)

的其他适当的材料。第二衬底 126 进一步包括通过 PVD 或其他适当技术在第二衬底 126 上设置的另一种接合金属膜 128。在各个实施例中,接合金属膜 128 包括 Au、AuSn、AuIn、或其他适当接合金属。接合金属膜 128 在组成上可以与接合金属 120c 相同或者不同,取决于晶圆接合机制和规格。例如,将接合金属 120c 和接合金属膜 128 配对以达到共晶晶圆接合。在一个实例中,晶圆接合工艺包括实施热退火和在热退火期间施加机械压力以增加接合强度。注意,图 6 由图 5 倒置示出。

[0060] 参考图 1 和图 7,方法 50 继续到步骤 66,在步骤 66 中,对纳米复合层 109 施加辐射能。在一个实施例中,辐射能包括来自激光源的激光束。如上所述,纳米复合层 109 包括纳米棒 107 和外延半导体材料层 108。相对于外延半导体材料层 108 选择辐射能,从而使得外延半导体材料层 108 基本上吸收了该辐射能。辐射能足够大,从而足以分解纳米复合层 109 中的外延半导体材料层 208。在本实施例中,外延半导体材料层 108 包括 GaN。当将辐射能施加到纳米复合层 109 时,外延半导体材料层 108 中的 GaN 材料被分解成镓和氮。在一个实施例中,辐射能包括来自激光源的电磁能,其也被称为激光。在一个实例中,激光源包括波长小于 200nm 的固态激光源。在另一个实例中,激光源包括氪氟 (KrF) 准分子激光器。在又一个实例中,将来自激光源的光能以曝光模式施加到纳米复合层 109。在曝光模式中,通过一次照射将光能同时施加到一个区域。一个区域可以包括一个芯片,或可选地包括多个芯片。作为一个实例,一次照射可以包括激光源的一次脉冲(被称为一次照射)。

[0061] 当对纳米复合层 109 施加辐射光时,由于显著累积的应力,该辐射光在每次激光发射的边界区域可能引起 LED 芯片 123 碎裂。碎裂可能导致 LED 的电流泄漏和器件性能下降。公开的方法和纳米复合层 109 的纳米结构解决了这些问题。在方法 50 的本实施例中,通过应用具有随机纳米图案的纳米复合层 109,使外延半导体材料层 108 直接在生长区域减少的蓝宝石衬底 102 上生长。相应地减少 GaN 层 112 和蓝宝石衬底 102 之间的机械应力。还将碎裂问题最小化。而且,介电材料层 104 基本上不能吸收激光能。因此,还降低了分解外延半导体材料层 108 中的 GaN 所必需的激光功率。

[0062] 参考图 1 和图 7,方法 50 继续到步骤 67,在步骤 67 中,从 LED 结构 100 上分离蓝宝石衬底 102。具体来说,施加外部机械力,以破坏纳米棒 107 或破坏纳米棒 107 和蓝宝石衬底 102 之间的粘合性。在各个实施例中,步骤 66 和步骤 67 是同步、重叠进行的,或者在各个实施例中是依次进行的。在一个实例中,在步骤 66 应用辐射能之后实施步骤 67 施加机械力。在另一个实例中,同步实施步骤 67 的施加机械力和步骤 66 的施加辐射能。在又一个实例中,在步骤 66 施加辐射能期间,开始步骤 67 中的施加机械力。

[0063] 参考图 1 和图 8,方法 50 继续到步骤 68,在该步骤 68 中,还要进行蚀刻工艺以移除纳米棒 107。该蚀刻工艺被设计为基本上移除氮化镓。纳米棒 107 包括介电材料层 104 和纳米掩模层 106。在步骤 67 中分离了蓝宝石衬底 102 后,一部分纳米棒 107 可能部分地与蓝宝石衬底 102 一起被移除。在蚀刻工艺期间,还要移除介电材料层 104 和纳米掩模层 106,但使用不同的蚀刻率,比如比氮化镓的蚀刻率更小的蚀刻率。由于氮化镓和介电材料层 104(和纳米掩模层 106)之间的蚀刻速率不同,因此,生成不平坦的表面轮廓(或粗糙表面)。通过对蚀刻持续时间进行适当控制,缓冲层 112 基本上被移除,并且将 n-GaN 层 114 与粗糙表面 132 一起暴露出来。将蚀刻工艺应用于移除蓝宝石衬底 102 后暴露的 LED 结构 100 的表面。在一个实施例中,蚀刻工艺包括反应离子蚀刻 (RIE) 工艺,该 RIE 工艺使用氯

基蚀刻剂来有效地移除氮化镓。在一个具体实例中，蚀刻工艺使用电感耦合等离子体反应离子蚀刻 (ICP-RIE)。

[0064] 粗糙表面 132 可以提高光提取并增强 LED 器件 100 的性能。在本实施例中，生成粗糙表面 132 而不使用光刻工艺来限定蚀刻掩模。而且，粗糙表面 132 具有进一步提高光提取效率的随机图案。在一个实施例中，外延层 110 的粗糙表面 132 具有与纳米掩模层 104 的随机分布的颗粒图案相似的轮廓。例如，外延层 110 的粗糙表面 132 包括彼此间隔且随机分布的纳米尺寸的凹陷（或局部凹槽区域）。在另一个实例中，外延层 110 中的纳米尺寸凹陷基本上是圆的，并具有分布在约 100nm 和约 600nm 之间的直径。在另一个实施例中，纳米级凹陷的凹陷密度处于约 10^7 凹坑 / cm^2 至约 10^9 凹坑 / cm^2 的范围内。在又一个实施例中，纳米尺寸凹陷用平均间隔 S 和平均直径 D 彼此间隔，其中，比率 S/D 处于约 1.1 和约 1.5 之间的范围内。

[0065] 参考图 1 和图 9，方法 50 继续到步骤 70，在步骤 70 中，在外延层 110 的粗糙表面上形成金属层（或 n-GaN 接触件或 n- 金属）134。金属层 134 包括铬 (Cr)、金 (Au)、钛 (Ti)、铝 (Al)、其他适当金属、或其组合。通过适当的方法诸如 PVD 将金属层 134 配置在外延层 110 上。金属层 134 的厚度可以处于从约 1 微米至约 4 微米的范围内。进一步图案化金属层 134，以在每个芯片 123 上形成一个或多个接触部件。金属层 134 接触外延层 110。具体来说，金属层 134 电连接 n-GaN 层 114。

[0066] 在方法 50 之前、期间或之后可以包括其他工艺步骤。例如，可以应用芯片切割工艺来分离各个芯片 123。随后实施各种封装步骤来封装用于不同用途的分离 LED 芯片。例如，封装步骤包括：将 LED 芯片连接到封装载板上，为了电连接进行布线，围绕 LED 芯片应用荧光粉层来调谐从 LED 芯片发出的光的波长，以及为了有效发光而在 LED 芯片上形成透镜。

[0067] 图 10 提供了用 LED 芯片 142 封装的示例性的 LED 器件 140。LED 芯片 142 为来自图 9 的 LED 结构 100 的 LED 芯片。在各个实例中，LED 芯片包括一个发光二极管或配置为阵列的多个发光二极管。将 LED 芯片 142 通过粘合材料（诸如银膏）或焊接连接到承载衬底 144 上。在一个实施例中，承载衬底 144 包括硅晶圆或硅晶圆的一部分。在又一个实施例中，LED 芯片 142 的电极通过诸如穿透硅通孔 (TSV) 的适当结构连接到电源线上。LED 器件 140 包括置于 LED 芯片 142 周围且被设计用于改变从 LED 芯片 142 发出的光的发光材料（或荧光粉）148。通过操作，发光材料 148 能够由 LED 芯片 142 激励，并且发出光，该光的波长大于由 LED 芯片 142 发出的光的波长。在一个实例中，将发光材料 148 散布于透明材料 150 中，比如硅酮或环氧材料。LED 器件 140 还包括用于提高发射效率的在 LED 芯片 142 上形成的且与 LED 芯片 142 对齐的透镜 152。在一个实施例中，透镜 152 包括在某种程度上能有效聚焦发射光的弯曲表面 154。透镜 152 包括在承载衬底 144 上形成的并进一步封装 LED 芯片 142 和发光材料 148 的透明材料，如图 10 所示。在一个实施例中，透明材料包括采用诸如模塑的适当技术形成的硅酮。LED 器件 140 可以进一步包括其他组件，比如其他封装组件或驱动电路。

[0068] 虽然在本公开中提供并解释了各个实施例，但在不脱离本公开的精神的情况下可以使用其他备选方案和实施例。在一个实施例中，衬底 102 可以包括不同于蓝宝石的材料，该材料在形成外延层 110 后将被移除。在方法 50 中所使用的纳米掩模层 106 仍可有效地降低为除去衬底 102 的激光剥离工艺期间的激光功率和应力。在另一个实施例中，纳米掩

模层 106 直接在衬底 102 上形成，并在形成外延层 110 期间用作外延生长掩模。在该实施例中，除去介电材料层 104。相应地，在应用辐射能后的蚀刻工艺期间移除纳米掩模层 106，形成外延层 110 的粗糙表面。

[0069] 在又一个实施例中，可以对 LED 结构 100 中的外延层 110 进行不同设计，以形成各种 LED 结构或其他发光结构。外延层 110 包括被配置为在电磁波谱的紫外区域中发出自发辐射的 n- 型掺杂半导体层 114 和 p- 型掺杂半导体层 118。在一个实施例中，n- 型半导体层 114 包括带有 n- 型掺杂剂（诸如硅或氧）的 n- 型氮化铝镓（n-AlGaN），而 p- 型半导体层 118 包括带有 p- 型掺杂剂（诸如镁）的 p- 型氮化铝镓（p-AlGaN）。外延层 110 可以进一步包括在 n- 型掺杂半导体层 114 和 p- 型掺杂半导体层 118 之间形成的多量子阱 116。在一个实施例中，多量子阱 116 包括氮化镓 / 氮化铝镓（GaN-AlGaN）膜。可选地，多量子阱 116 可以包括 AlInGaN。在另一个实施例中，外延层 110 进一步包括在蓝宝石衬底 110 和 n- 型掺杂半导体层 114 之间形成的缓冲层 112，比如氮化镓（GaN）缓冲层。可选地，缓冲层 112 包括氮化铝（AlN）。外延层 110 可以进一步包括在缓冲层 112 和 n- 型掺杂的半导体层 114 形成的超晶格层。在一个实例中，超晶格层包括氮化铝 / 氮化铝镓（AlN/AlGaN）膜。

[0070] 因此，本公开提供了一种制造光电二极管（LED）器件的方法。在一个实施例中，该方法包括：在第一衬底上形成纳米掩模层，其中，纳米掩模层具有随机布置的颗粒图案；在第一衬底中生长第一外延半导体层，形成纳米复合层；在纳米复合层上方生长若干外延半导体层；从外延半导体层的第一侧将第二衬底接合到外延半导体层；将辐射能施加到纳米复合层；以及从外延半导体层的第二侧将第一衬底与外延半导体层分隔开。

[0071] 在本发明的一个实施例中，形成纳米掩模层包括：在第一衬底上形成材料层；以及对材料层实施热处理。在另一实施例中，形成实施纳米掩模层包括：在实施第一衬底上形成薄金属膜；以及退火薄金属膜，从而使得薄金属膜液化，并在表面张力下形成纳米尺寸颗粒。该薄金属膜包括镍和银中的至少一种。在一实施例中，形成纳米掩模层包括：将含有纳米尺寸微粒的聚合物溶液涂覆在实施第一衬底上；以及固化聚合物溶液，从而在第一衬底上形成具有随机布置的颗粒的纳米掩模层。纳米掩模层包括聚酰亚胺和聚甲基丙烯酸甲酯中的一种。在一实施例中，形成实施纳米掩模层包括：将含有纳米尺寸微粒的液体前体涂覆在第一衬底上；以及实施热处理，从而从液体前体中除去溶剂，并在第一衬底上形成介电材料的纳米掩模层。介电材料包括氧化铝和氮化铝中的至少一种。在一实施例中，第一衬底包括蓝宝石，第二衬底包括硅晶圆和金属板中的一种。在一实施例中，该方法进一步包括：在第一衬底上形成介电材料层，并且形成纳米掩模层包括：在介电材料层上形成纳米掩模层。在一实施例中，该方法进一步包括：在生长第一外延半导体层之前，使用纳米掩模层作为蚀刻掩模蚀刻介电材料层，从而在介电材料层中形成开口，其中，生长第一外延半导体层包括：在介电材料层的开口内生长第一外延半导体层。蚀刻介电材料层包括：实施反应离子蚀刻（RIE）工艺。在一实施例中，第一外延半导体层包括未掺杂氮化镓（GaN）层；以及若干外延半导体层包括 n- 型掺杂氮化镓（n-GaN）层和 p- 型掺杂氮化镓（p-GaN）层。在一实施例中，若干外延半导体层进一步包括：多量子阱（MQW）结构，设置在 n-GaN 层和 p-GaN 层之间。将第一衬底与外延半导体层分隔开包括：施加机械作用力，从而将纳米复合层与第一衬底分隔开。在一实施例中，该方法进一步包括：在将第一衬底与外延半导体层分隔开后，对外延半导体层实施蚀刻工艺，生成外延半导体层的粗糙表面。

[0072] 本公开还公开了方法的另一实施例。该方法包括：在蓝宝石衬底上形成介电材料层；在介电材料层上形成纳米掩模层，其中，纳米掩模层包括随机分布在介电材料层上的纳米尺寸颗粒；实施第一蚀刻工艺，从而移除未被纳米掩模层覆盖的介电材料层，形成纳米棒，每个纳米棒都包括来自介电材料层的介电部件和介电部件上的纳米尺寸颗粒中的一个；在纳米棒间隙内的蓝宝石衬底上生长第一外延半导体层，形成纳米复合层，纳米复合层具有第一外延半导体层和嵌入第一外延半导体层中的纳米棒；在纳米复合层上生长外延半导体层；将另一衬底接合到外延半导体层上；将辐射能施加到纳米复合层；将机械力施加到纳米棒，从而将蓝宝石衬底与外延半导体层分隔开；以及对外延半导体层实施第二蚀刻工艺，形成外延半导体层的粗糙表面。

[0073] 在该方法的一个实施例中，实施辐射能包括：将激光功率施加到纳米复合层。在另一实施例中，形成纳米掩模层包括：在介电材料层上形成材料层；以及对材料层实施热处理，从而形成纳米掩模层。在另一实施例中，纳米尺寸颗粒具有：分布在约 100nm 和约 600nm 之间的直径；以及范围处于约 10^7 个颗粒 / cm^2 至约 10^9 个颗粒 / cm^2 的颗粒密度。

[0074] 本公开还提供了 LED 结构的实施例。该 LED 结构包括：p- 型掺杂氮化镓 (p-GaN) 层，位于衬底上；n- 型掺杂氮化镓 (n-GaN) 层，接近 p-GaN 层；多量子阱 (MQW) 结构，设置在 n-GaN 层和 p-GaN 层之间；以及氮化镓 (GaN) 缓冲层，位于 n-GaN 层上，其中，GaN 缓冲层包括具有随机分布的凹陷的粗糙表面。

[0075] 在 LED 结构的一个实例中，纳米尺寸凹陷的直径分布在约 100nm 和约 600nm 之间。在另一实施例中，纳米尺寸凹陷的凹陷密度处于约 10^7 个颗粒 / cm^2 至约 10^9 个颗粒 / cm^2 的范围内。在又一实施例中，纳米尺寸凹陷以平均间隔 S 和平均直径 D，以及范围在约 1.1 和约 1.5 之间的比率 S/D 彼此间隔。衬底包括硅晶圆和金属板中的一种。该 LED 结构可以进一步包括：高反射金属膜，设置在衬底和 p-GaN 层之间。

[0076] 上面论述了多个实施例的部件，使得本领域普通技术人员可以更好地理解本发明的各个方面。本领域普通技术人员应该理解，可以很容易地使用本发明作为基础来设计或修改其他用于执行与本文所介绍实施例相同的目的和 / 或实现相同优点的处理和结构。本领域普通技术人员还应该意识到，这种等效构造并不背离本发明的精神和范围，并且在不背离本发明的精神和范围的情况下，可以进行多种变化、替换以及改变。

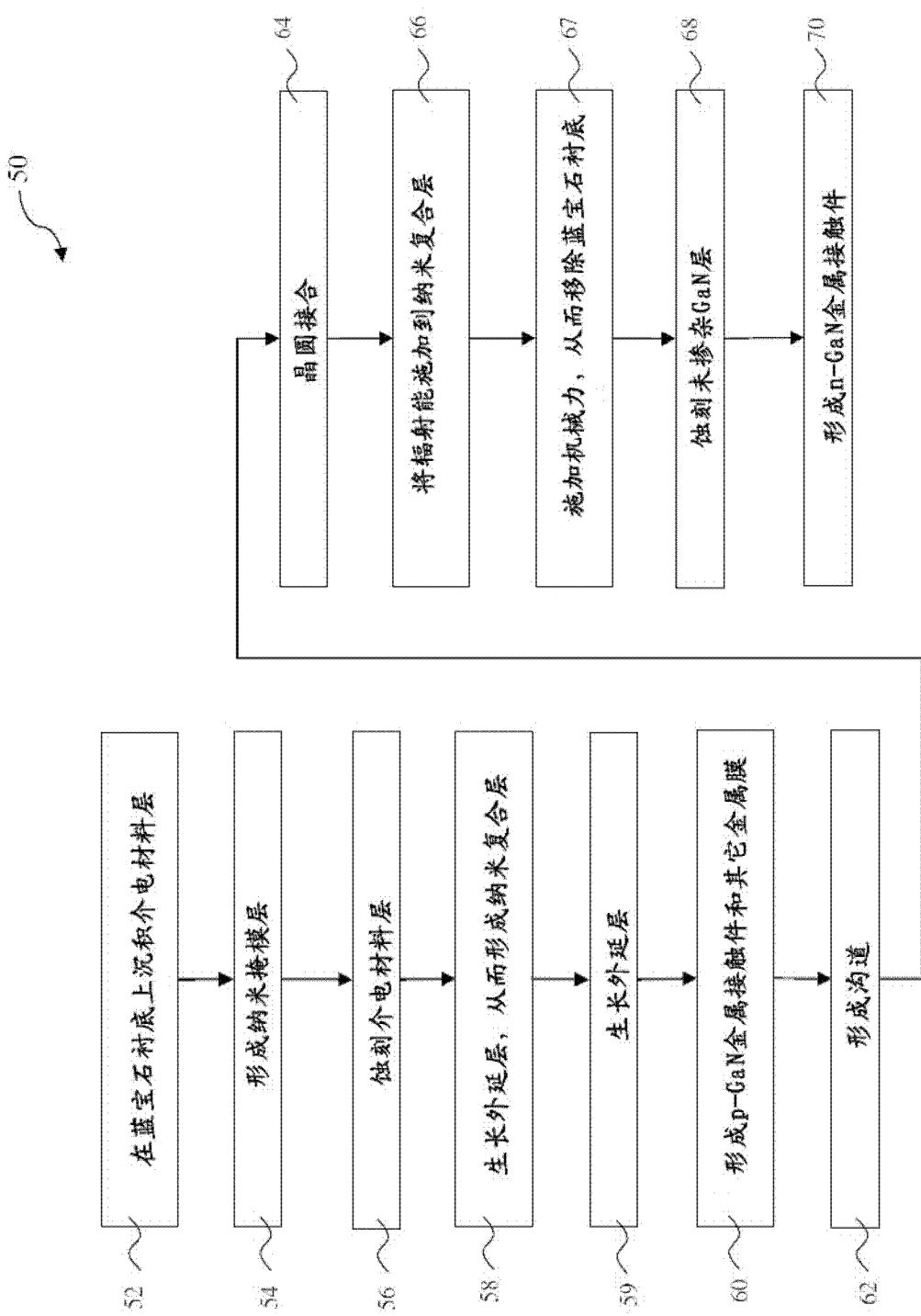


图 1

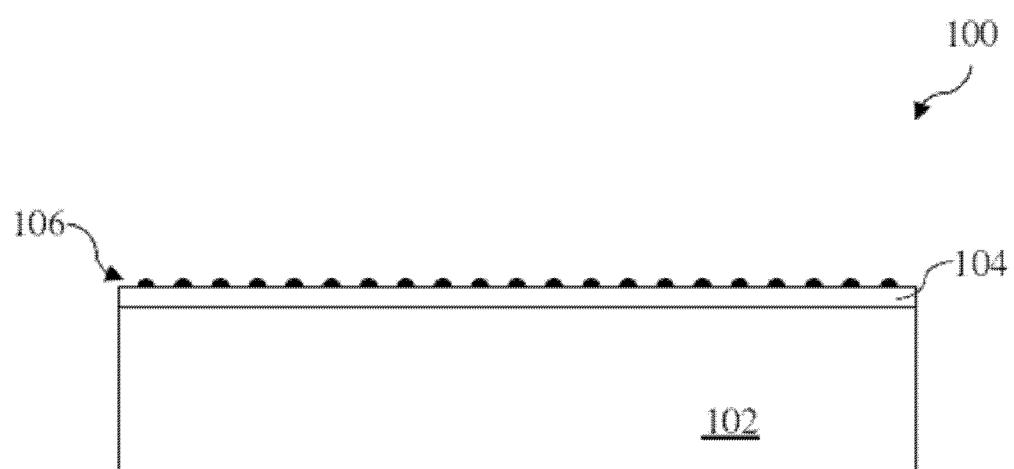


图 2

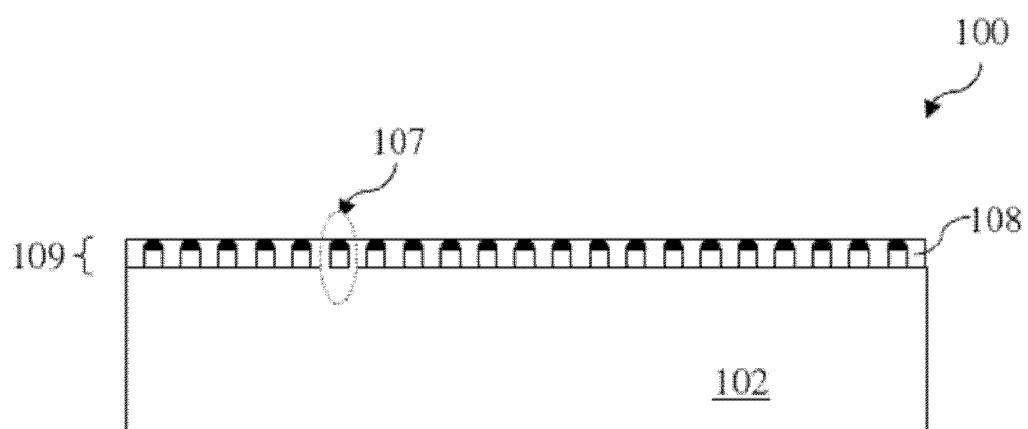


图 3

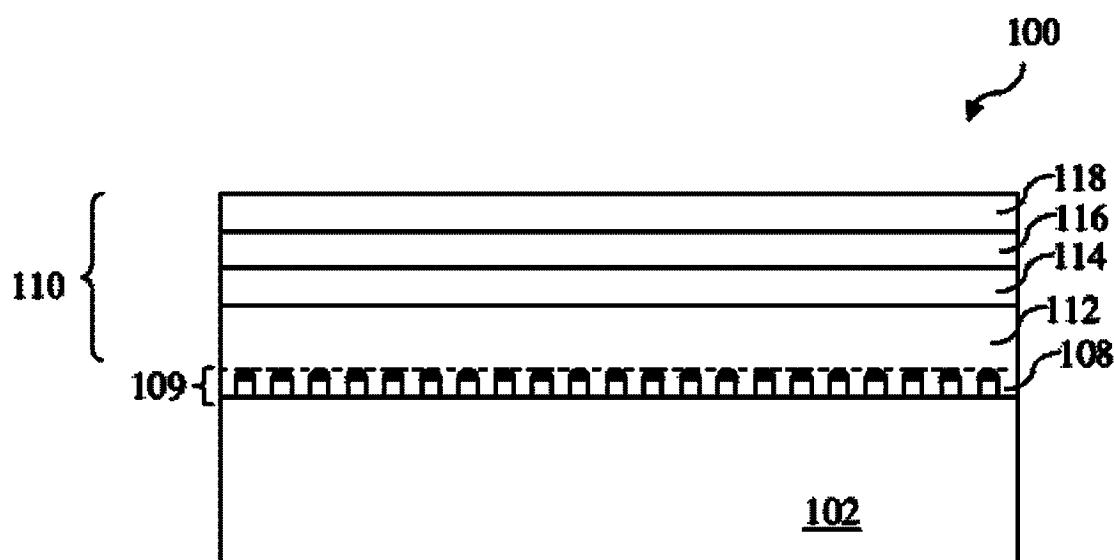


图 4

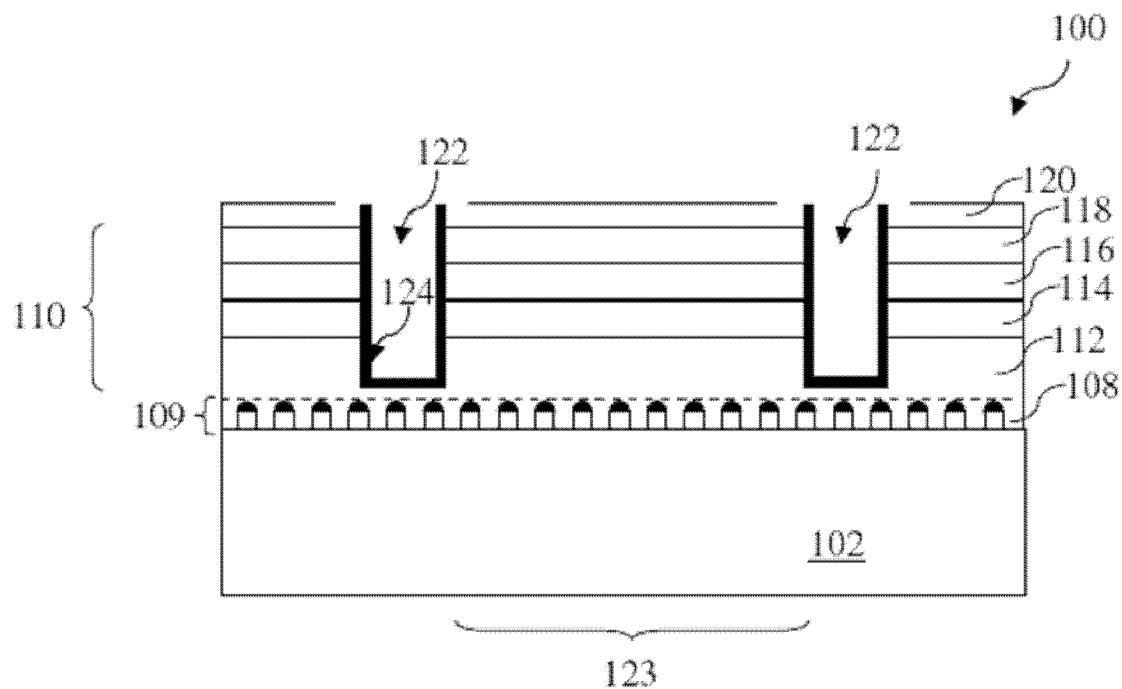


图 5

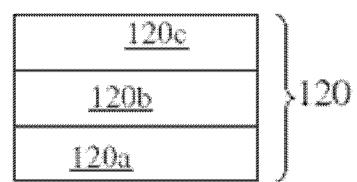


图 5a

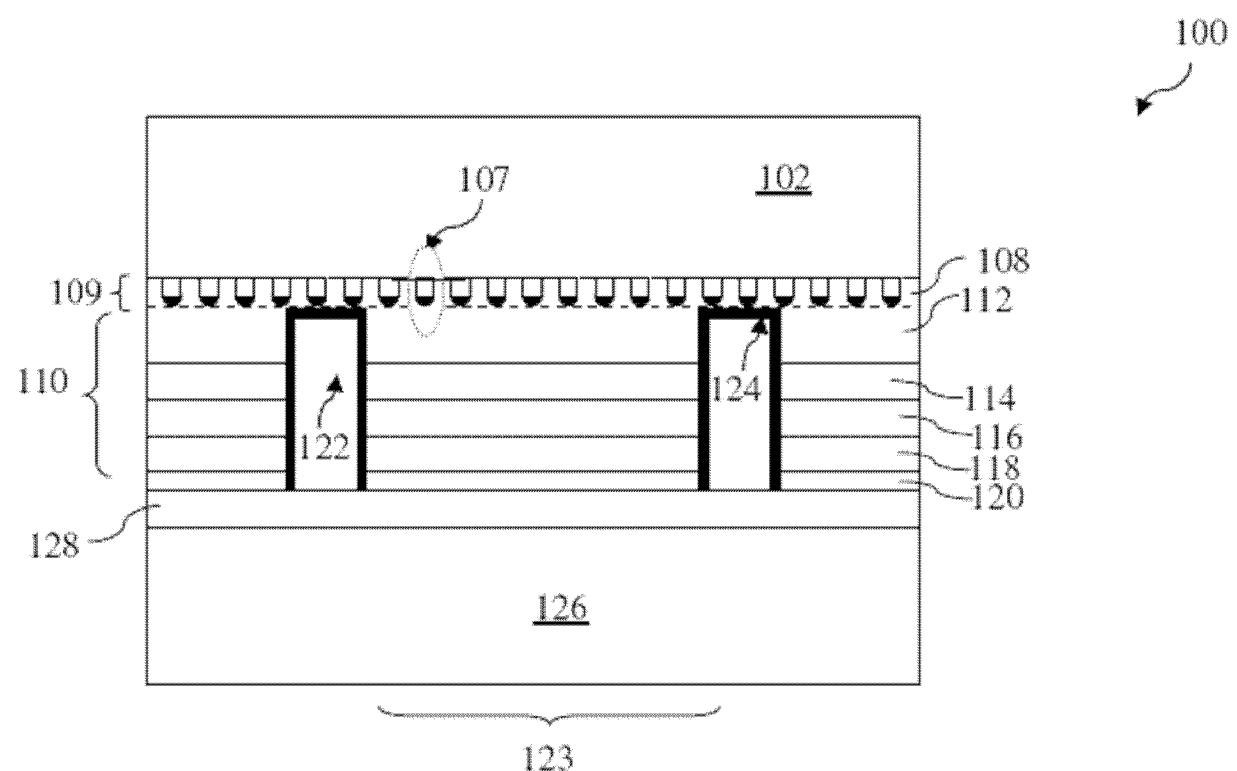


图 6

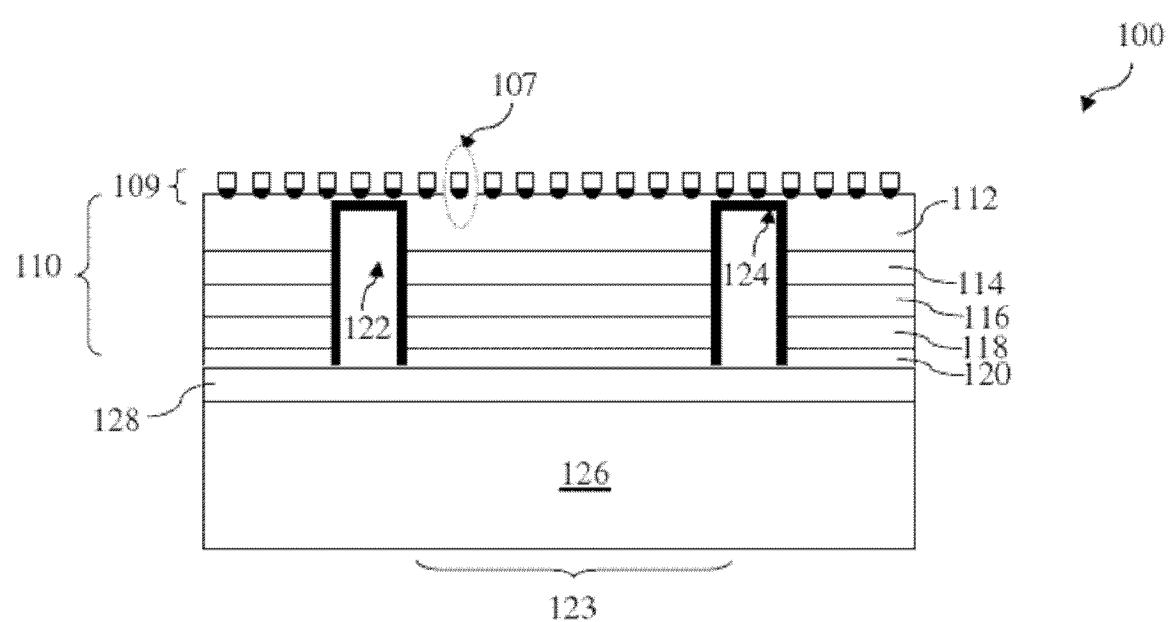


图 7

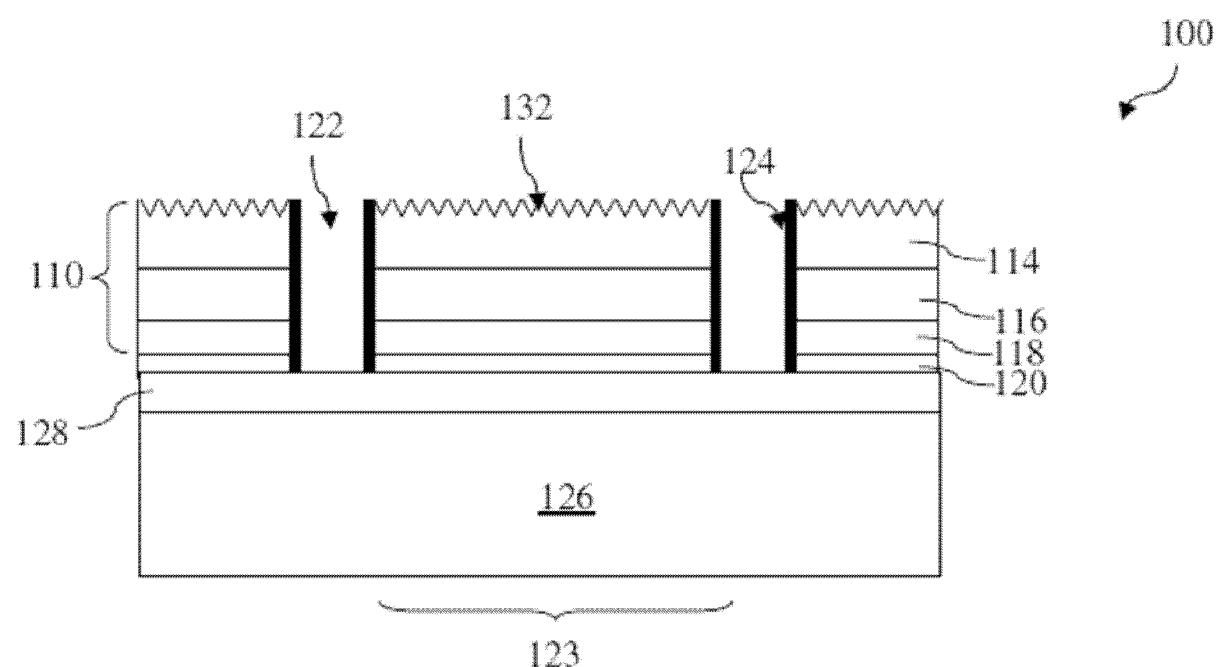


图 8

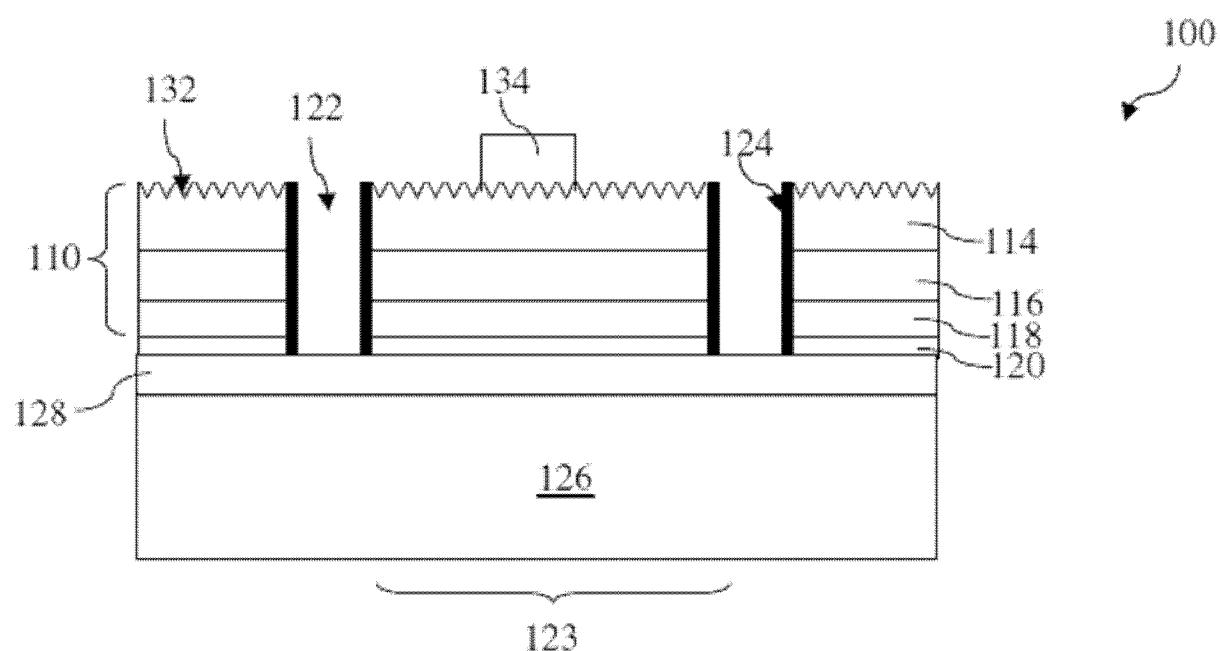


图 9

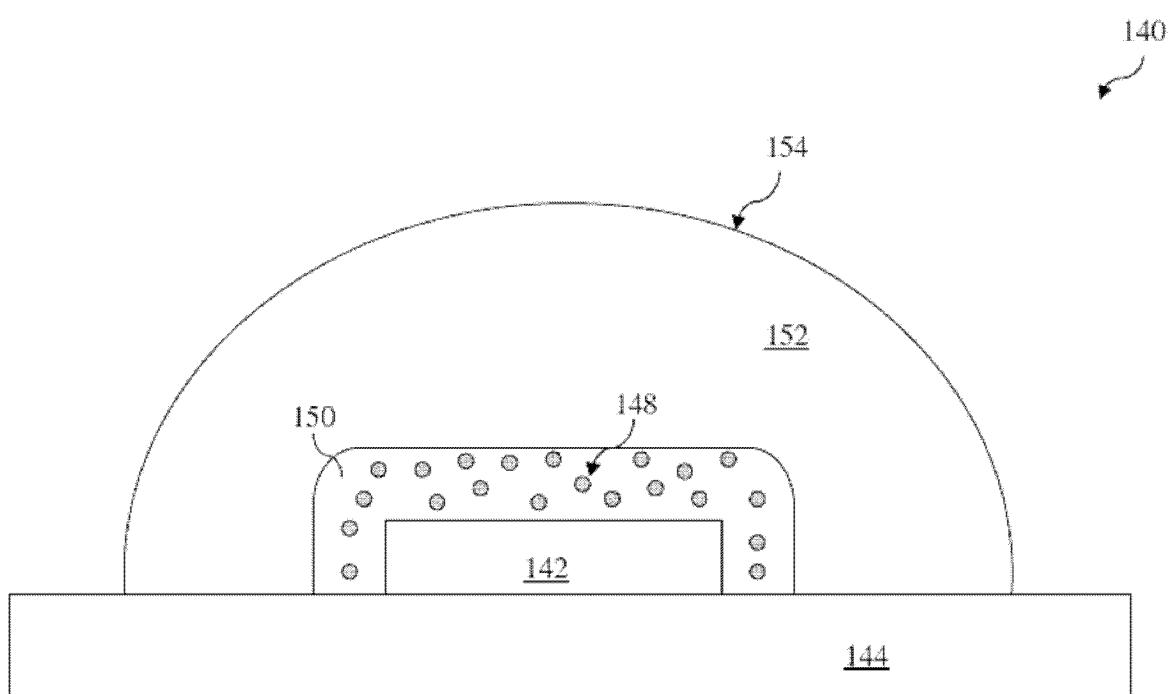


图 10