(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년01월07일
(11) 등록번호 10-0877094
(24) 등록일자 2008년12월26일

(51) Int. Cl.
H01L 21/76 (2006.01)
(21) 출원번호 10-2002-0080721
(22) 출원일자 2002년12월17일
심사청구일자 2007년09월21일
(65) 공개번호 10-2004-0054077
(43) 공개일자 2004년06월25일
(56) 선행기술조사문헌
KR1019990071127 A*
KR1020020049205 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1
(72) 발명자
이상호
경기도이천시부발읍신하리362-3신한아파트102동1204호
(74) 대리인
특허법인아주

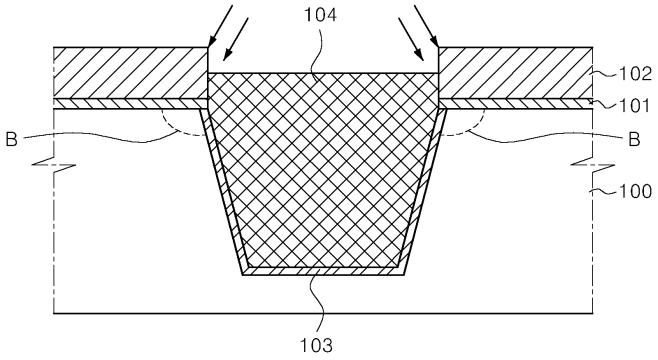
전체 청구항 수 : 총 3 항 심사관 : 소재현

(54) 반도체 소자의 소자 분리막 형성 방법

(57) 요 약

본 발명은 소정의 공정을 통해 트렌치를 형성하고 나서, 상기 트랜치의 측벽 내부에 희생 산화막을 형성하고 트렌치 내부를 갭필산화막으로 매립한 후 화학 기계적 연마 공정을 진행하여 평탄화 한 다음, 임플란트 공정으로 트렌치의 탑 코너 부위에 국부적으로 셀로우 정션 영역을 형성하여, STI 탑코너 부위의 모트에 의한 트랜지스터의 전계 집중 효과에 의한 문턱 전압의 감소를 방지하고, 리프레시 특성을 향상시킬 수 있는 반도체 소자의 소자 분리막 형성 방법에 관한 것이다.

대 표 도 - 도3d



특허청구의 범위

청구항 1

실리콘 기판 상에 소자분리막이 형성될 부위의 실리콘 기판을 오픈시키는 패드 산화막 패턴 및 패드 질화막 패턴을 형성하는 단계;

상기 실리콘 기판의 노출된 영역을 식각하여 트랜치를 형성하는 단계;

상기 트랜치의 측벽 내부에 희생 산화막을 형성하는 단계;

상기 트랜치 내부를 갭필산화막으로 매립한 후 상기 패드 질화막 패턴의 표면보다 낮게 상기 갭필산화막을 평탄화하는 단계;

상기 패드 질화막 패턴을 버퍼막으로 상기 패드 질화막 패턴보다 높이가 낮은 갭필산화막을 통해 경사 임플란트 공정을 진행하여, 상기 갭필산화막의 상부 가장자리를 투과하여 주입된 이온으로 상기 트랜치의 탑 코너 부위에 국부적으로 셀로우 정션 영역을 형성하는 단계; 및

상기 패드 질화막을 제거하는 단계를 포함하는 반도체 소자의 소자 분리막 형성 방법.

청구항 2

제 1항에 있어서, 상기 경사 임플란트 공정은 BF_2 또는 보론 이온을 이용하여 실시하는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

청구항 3

제 1항에 있어서, 상기 경사 임플란트 공정은 상기 갭필산화막의 노출면을 기준으로 10~20° 의 틸트를 주어 실시하는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<8> 본 발명은 반도체 소자의 소자 분리막 형성 방법에 관한 것으로, 보다 상세하게는 STI 탑코너부의 모트효과에 의한 트랜지스터의 전계 집중 현상을 방지함으로써, 게이트 에지부의 게이트 전압을 감소를 방지하여 리프레시 특성을 향상시킬 수 있는 소자 분리막 형성 방법에 관한 것이다.

<9> 일반적으로 반도체 기판 상에 트랜지스터와 커패시터등 반도체 소자를 형성하기 위하여 기판에 소자 분리막을 형성함으로써 전기적으로 통전이 가능한 활성 영역(Active region)과 전기적으로 통전되는 것을 방지하고 소자를 서로 분리하도록 하는 소자분리 영역(Isolation region)을 형성하게 된다.

<10> 소자 분리 공정은 크게 반도체 기판에 패드 산화막과 질화막을 마스크 공정으로 질화막을 식각하고 그 식각된 부위에 산화 공정을 진행하여 소자분리막을 형성하는 LOCOS(Local Oxidation of Silicon) 공정과, 반도체 기판에 일정한 깊이를 갖는 트렌치를 형성하고 나서 이 트렌치에 산화 물질을 증착시키고 CMP 공정을 통해 산화막의 불필요한 부분을 식각하여 소자 분리막을 형성하는 STI(Shallow Trench Isolation) 공정이 있다.

<11> LOCOS 공정은 장시간 고온 산화로 인하여 채널저지 이온의 측면 확산 및 측면 산화에 의해 소자의 전기적인 특성을 저하시키는 원인으로 작용하는 버즈 빅(Bird's Beak)이 발생하여 약 0.25㎛ 이하의 공정에는 한계가 있다. 또한 소자 분리막의 깊이를 늘릴때는 과도한 스트레스가 발생하고 평탄성이 좋지 않아 특성을 저하시키는 문제점을 갖고 있다.

<12> LOCOS의 이러한 문제점을 해결하기 위해 현재 0.25㎛ 이하의 미세 공정에서는 소자 분리 형성 방법으로 STI(Shallow Trench Isolation) 공정이 많이 사용되고 있다. 다면 상기 STI 공정 적용시에는 LOCOS의 단점인

버즈 빅은 발생하지 않고 절연 특성이 우수하지만, 탑 코너(Top Corner) 및 바텀 코너(Bottom Coener)에 스트레스가 집중되어 소자 특성이 저하되는 문제점이 있다.

<13> 또한, 트렌치의 탑코너에서의 에지 모트의 발생으로 소자의 비정상적 동작을 유발하는 험프(HUMP), INWE 현상이 발생하는데 험프 현상은 액티브 코너에서 전기장의 집중으로 인해 생기는 현상이고, INWE(Inverse Narrow Width Effect)는 트랜지스터의 폭이 감소함에 따라 문턱 전압이 변화하는 현상이다.

<14> 이에 따라 현재 코너 라운딩을 개선하는 방안으로 STI (Shallow Trench Isolation) 식각시 탑 코너 라운딩을 하거나 CMP 후에 HDP 산화막의 밀도를 증가시키기 위한 어닐 공정을 통한 코너 라운딩 방법 등이 이용되고 있으나, 이러한 방법에 의해서도 STI의 탑코너에서 발생하는 에지 모트(Edge Moat)를 억제할 수 없는 문제점이 있었다.

<15> 이와 같은 종래 기술에 의한 소자 분리막 형성 공정시 발생하는 문제점을 아래에 도시된 도면을 통해 설명하면 다음과 같다.

<16> 도1a 내지 도1d는 종래 기술에 의한 반도체 소자의 소자 분리막 형성 방법을 나타낸 도면이다.

<17> 먼저, 도1a에 도시된 바와 같이 실리콘 기판(100) 상에 상부에 증착되는 막의 스트레스 완화 역할을 하도록 30~300Å의 두께의 패드 산화막(101)을 증착한 후 패드 산화막 상부에 트랜치 식각 공정시 블로킹막 역할을 하도록 300~3000Å 두께로 패드 질화막(102)을 증착한다.

<18> 그런 다음, 사진 및 식각 공정을 진행하여 패드 질화막(102) 및 패드 산화막(101)을 패터닝하여 트랜치를 형성하고자 하는 부분의 실리콘 기판(100)을 오픈시킨다.

<19> 그리고 나서, 도1b에 도시된 바와 같이 상기의 패드 질화막(102)을 블로킹 막으로 이용한 식각 공정을 진행하여, 오픈된 실리콘 기판(100)에 1500~5000Å 정도의 깊이로 트랜치를 형성하고, 트랜치 공정시 발생한 스트레스 및 후속 공정에의 프로파일 개선을 위하여 트랜치의 측벽 내부에 희생 산화막(103)을 형성한다.

<20> 이어서, 도1c에 도시된 바와 같이 HDP 산화막(104)을 갭필산화막으로 이용하여 트랜치 내부를 매립한 후 화학기계적 연마 공정을 진행하여 평탄화 한다.

<21> 그런 후에, 도1d에 도시된 바와 같이 인산(H_3PO_4) 용액을 이용하여 습식 식각으로 상기 패드 질화막(102)을 제거하여 소자 분리막(104)을 형성하고, 후속 임플란트 공정시의 버퍼 역할을 하도록 20~100Å의 얇은 두께의 버퍼 산화막(105)을 형성한다. 상기 버퍼 산화막(105)을 보호막으로 사진 및 임플란트 공정을 진행하여, 실리콘 기판(100) 내부에 웰 영역(미도시함) 및 트랜지스터 영역을 정의한다.

<22> 도2는 종래 기술에 의해 형성된 소자 분리막의 문제점을 나타낸 도면이다.

<23> 여기에 도시된 바와 같이, 종래의 기술에 의한 소자 분리막 형성시 A와 같이 트렌치 탑코너의 에지 부위에 모트(Moat) 형상이 발생하며, 디자인 룰의 감소에 따라 INWE(Inverse Narrow Width Effect)로 인해 채널 영역에 게이트의 전기장이 A 부분과 같이 중첩되어 전계 효과 증가를 야기 시킨다. 이로 인하여 셀 트랜지스터에서 리프레시 특성이 저하될 뿐만 아니라 문턱 전압을 저하시켜, 누설 전류 발생을 야기시키는 문제점이 있었다.

<24> 이렇게 저하된 문턱 전압을 보상하기 위하여 추가적인 임플란트 공정을 실시하였지만, 이로 인해 전기장 집중 현상이 가속화되어 리프레시 특성이 더욱 저하되는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

<25> 상기와 같은 문제점을 해결하기 위한 본 발명은 STI 탑 코너 부위에 국부적인 도핑 영역을 형성하여 STI 탑 코너의 모트 효과에 의한 트랜지스터의 INWE를 방지함으로써, 게이트 전압을 감소시켜 셀 트랜지스터의 리프레시 특성을 개선할 수 있는 반도체 소자의 소자 분리막 형성 방법을 제공하기 위한 것이다.

발명의 구성 및 작용

<26> 상기와 같은 목적을 실현하기 위한 본 발명은 실리콘 기판 상에 패드 산화막과 패드 질화막을 차례로 증착하고 나서, 사진 및 식각 공정 통해 상기 패드 질화막과 패드 산화막을 패터닝하여 소자분리막이 형성될 부위의 실리

콘 기판을 오픈시키는 단계와, 상기 패드 질화막을 블로킹 막으로 이용한 식각 공정을 실시하여 트랜치를 형성하는 단계와, 상기 트랜치의 측벽 내부에 희생 산화막을 형성하는 단계와, 상기 트렌치 내부를 갭필산화막으로 매립한 후 화학 기계적 연마 공정을 진행하여 평탄화 하는 단계와, 상기 평탄화 공정 후 상기 패드 질화막을 버퍼막으로 이용한 이온 주입 공정으로 트렌치의 탑 코너 부위에 국부적으로 셀로우 정션 영역을 형성하는 단계와, 상기 패드 질화막을 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법에 관한 것이다.

<27> 이와 같은 본 발명에 따르면, STI 탑코너 부위에 국부적인 도핑 영역을 형성하여, STI 탑 코너 부위의 모트에 의한 전기장 집중 현상을 방지함으로써 디램 셀의 리프레시 특성을 향상시킬 수 있는 효과가 있다.

<28> 상기 임플란트 공정은 BF_2 또는 보론 이온을 이용하여 상기 갭필산화막의 노출면을 기준으로 10~20° 의 틸트를 주어 실시하는 것이 바람직하다.

<29> 이하, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 설명한다. 또한 본 실시예는 본 발명의 권리범위를 한정하는 것은 아니고, 단지 예시로 제시된 것이며 종래 구성과 동일한 부분은 동일한 부호 및 명칭을 사용한다.

<30> 도3a 내지 도3e는 본 발명에 의한 반도체 소자의 소자 분리막 형성 방법을 나타낸 공정도이다.

<31> 먼저, 도3a에 도시된 바와 같이 실리콘 기판(100) 상에 패드 산화막(101)과 패드 질화막(102)을 차례로 형성한다.

<32> 이때, 상기 패드 산화막은 상부에 증착되는 막에 대한 스트레스 완화 역할을 하도록 30~300Å의 두께로 증착하는 것이 바람직하고, 상기 패드 질화막(102)은 트랜치 식각 공정시 블로킹막 역할을 하도록 300~3000Å 두께로 증착하는 것이 바람직하다.

<33> 그런 다음, 사진 및 식각 공정을 진행하여 패드 질화막(102) 및 패드 산화막(101)을 패터닝하여 트랜치를 형성하고자 하는 부분의 실리콘 기판(100)을 오픈시킨다.

<34> 그리고 나서, 도3b에 도시된 바와 같이 상기의 패드 질화막(102)을 블로킹 막으로 이용한 식각 공정을 진행하여, 오픈된 실리콘 기판(100)에 1500~5000Å 정도의 깊이로 트랜치를 형성하고, 트랜치 식각 공정시 발생한 기판의 손상 및 후속 공정에의 프로파일 개선을 위하여 트랜치의 측벽 내부에 희생 산화막(103)을 형성한다.

<35> 이어서, 도3c에 도시된 바와 같이 HDP 산화막(104)을 갭필산화막으로 이용하여 트랜치 내부를 매립한 후 화학 기계적 연마 공정을 진행하여 평탄화 한다.

<36> 상기 평탄화 공정을 진행하고 나서, 도3d에 도시된 바와 같이 패드 질화막(102)을 버퍼막으로 이용하여 BF_2 또는 보론 이온을 이용한 임플란트 공정을 진행한다. 이때, 임플란트 공정은 HDP 산화막(104)의 노출면을 기준으로 10~20° 수준으로 Tilt를 주어 1.0E12~1.0E13의 도즈량으로 도핑하여 트렌치 탑 코너(B) 부위에만 국부적으로 셀로우 정션 영역이 형성 되도록 한다.

<37> 상기 트렌치 탑코너 부위에 셀로우 정션 영역을 형성한 후 도3e에 도시된 바와 같이 가열된 인산(H_3PO_4) 용액을 이용한 습식 식각으로 상기 패드 질화막(102)을 제거하여 소자 분리막(104)을 형성한다.

<38> 그런 다음, 후속 임플란트 공정시의 버퍼 역할을 하도록 20~100Å의 얇은 두께의 버퍼 산화막(105)을 형성하고, 상기 버퍼 산화막(105)을 보호막으로 사진 및 임플란트 공정을 진행하여, 실리콘 기판(100) 내부에 웰 영역(미도시함) 및 트랜지스터 영역을 정의한다.

<39> 이와 같이 본 발명은 STI 탑 코너 부위에 국부적으로 이온 주입 공정을 진행하여 셀로우 정션 영역을 형성하여 STI 탑 코너 부위의 모트 효과로 인한 트랜지스터의 INWE 효과를 방지함으로써, 소자 분리막의 게이트 에지 부분의 국부적인 게이트 전압의 감소를 방지할 수 있다.

발명의 효과

<40> 상기한 바와 같이 본 발명은 STI 탑 코너 부위의 모트 효과에 의한 트랜지스터의 INWE 현상을 방지함으로써 문턱 전압의 변화를 방지할 수 있는 이점이 있다.

<41> 또한, STI 탑 코너 부위의 게이트 전계 효과의 중첩을 방지하여 디램 셀의 리프레시 특성을 향상시킬 수 있는 이점이 있다.

<42> 그리고, STI에서 발생하는 모트에 의한 험프 특성을 방지함으로써 소자의 신뢰성을 확보 할 수 있는 이점이 있다.

도면의 간단한 설명

<1> 도1a 내지 도1d는 종래 기술에 의한 반도체 소자의 소자 분리막 형성 방법을 나타낸 도면이다.

<2> 도2는 종래 기술에 의해 형성된 소자 분리막의 문제점을 나타낸 도면이다.

<3> 도3a 내지 도3e는 본 발명에 의한 반도체 소자의 소자 분리막 형성 방법을 나타낸 공정도이다.

<4> - 도면의 주요부분에 대한 부호의 설명 -

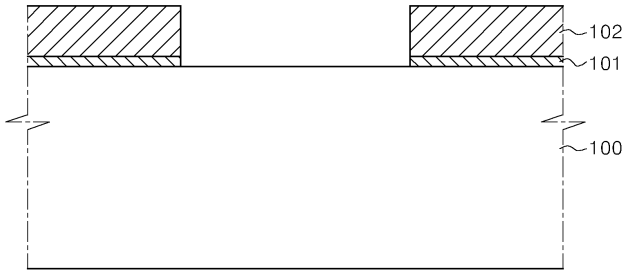
<5> 100 : 실리콘 기판 101 : 패드 산화막

<6> 102 : 패드 질화막 103 : 희생 산화막

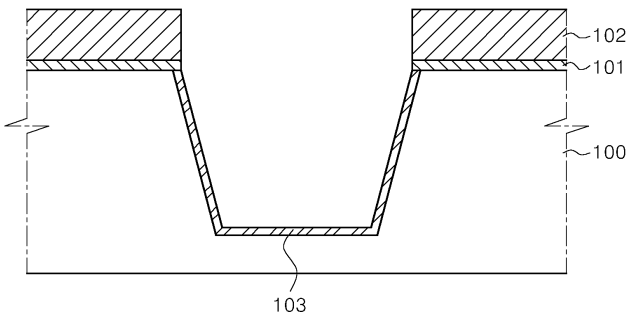
<7> 104 : 갭필 산화막 B : 셀로우 정션

도면

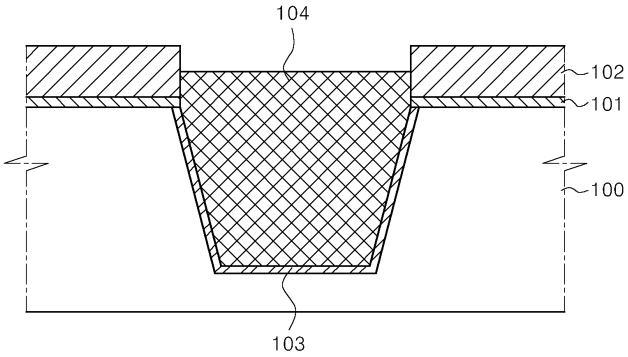
도면1a



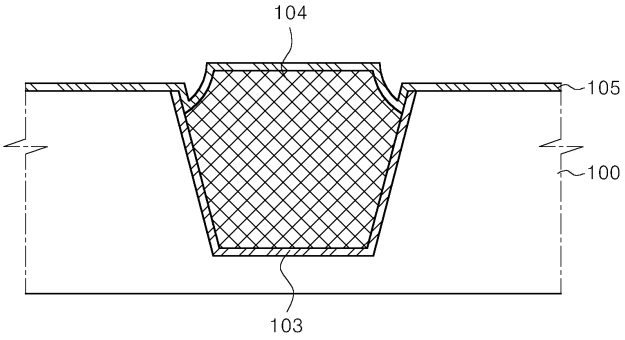
도면1b



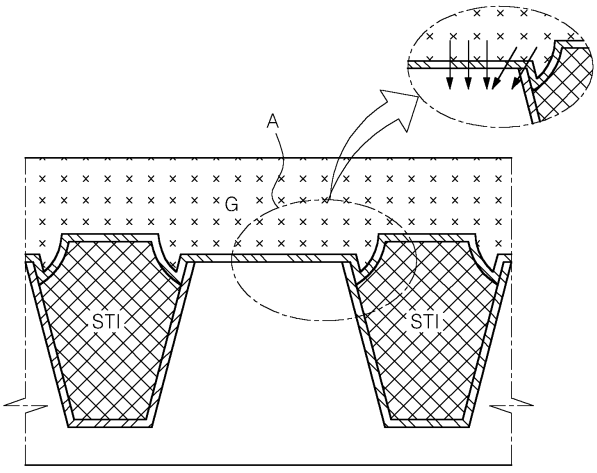
도면1c



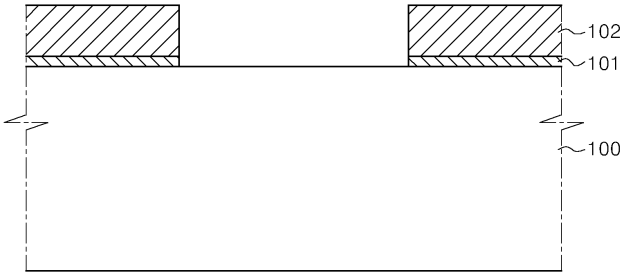
도면1d



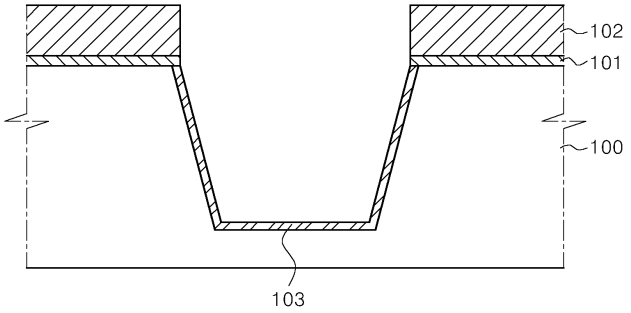
도면2



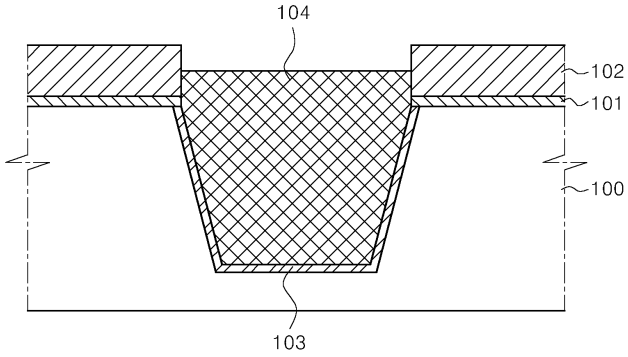
도면3a



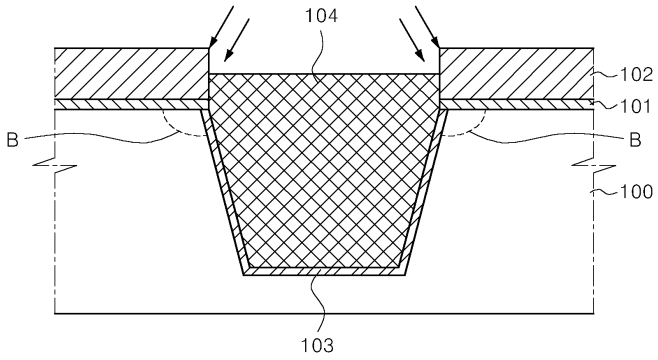
도면3b



도면3c



도면3d



도면3e

