



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 940155

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 06.06.80 (21) 2977720/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 30.06.82. Бюллетень № 24

Дата опубликования описания 30.06.82

(51) М. Кл.³

G 06 F 7/544

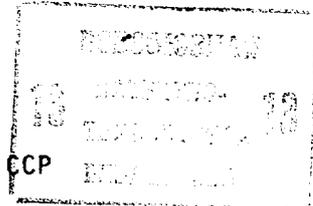
(53) УДК 681.
.3(088.8)

(72) Автор
изобретения

В.В. Аристов

(71) Заявитель

Институт электродинамики АН Украинской ССР



(54) УСТРОЙСТВО ДЛЯ ВЫЧИСЛЕНИЯ ЭЛЕМЕНТАРНЫХ ФУНКЦИЙ

1
Изобретение относится к вычислительной технике, а именно к классу арифметических устройств для вычисления трансцендентных функций, и может быть использовано в цифровых моделирующих, управляющих и вычислительных системах как общего, так и специального применения.

Известны микропроцессорные устройства для вычисления элементарных функций, состоящие из приемных, буферных и выходных регистров, коммутаторов, сдвигателей кодов, сумматоров и др., в которых вычисление каждой функции осуществляется с помощью соответствующей микропрограммы [1].

Недостатки указанных устройств - сложность оборуодования и микропрограммного управления, а также невысокое быстродействие.

Известны цифровые устройства для вычисления ряда элементарных функций, содержащие регистры, блоки сдвига, блоки памяти, сумматоры-вычитатели,

2
анализаторы сходимости и др., в которых процесс вычисления заключается в выполнении процедур псевдоумножения и псевдоделения с целью реализации алгоритмов Волдера-Меджитта [2].

Недостатки указанных устройств - ограниченные функциональные возможности и невысокое быстродействие, обусловленные наличием деформации вектора.

Известны также цифровые устройства для вычисления элементарных функций, тоже реализующие алгоритмы Волдера-Меджитта и в которых для снижения деформации вектора выбирается формула численного интегрирования высокого порядка [3].

Недостатками таких устройств является также недостаточно высокое быстродействие и малая точность.

Наиболее близким к предлагаемому по функциональному назначению, принципу действия и технической сущности является устройство для вычисления

элементарных функций, содержащее три регистра, четыре блока сдвига, блок памяти, семь сумматоров, четыре переключателя, блок управления, счетчик и блок анализа знака. Коррекция деформации вектора в этом устройстве осуществляется путем вычисления на каждом шаге частичных поправок [4].

Недостатки известного устройства - невысокое быстродействие и узость области применения за счет ограниченного диапазона изменения аргумента и невозможности непрерывного генерирования функций с управляемым шагом, которые обусловлены зависимостью коэффициента деформации вектора от набора итераций, в результате чего этот набор задается фиксированным, поэтому вариации его, в зависимости от аргумента или режима функционирования, недопустимы.

Цель изобретения - повышение быстродействия устройства и расширение области его применения за счет увеличения диапазона изменения аргумента и возможности непрерывного генерирования функций с управляемым шагом.

Поставленная цель достигается тем, что в устройство, содержащее первый, второй и третий регистры, два блока сдвига, счетчик, блок памяти, блок управления и сумматоры, в котором выходы первого и второго регистров соединены с первыми информационными входами первого и второго сумматоров соответственно, выходы первого и второго регистров соединены с информационными входами соответствующих блоков сдвига, выходы которых соединены с вторыми информационными входами второго и первого сумматоров соответственно, выходы третьего, четвертого и пятого сумматоров соединены с первыми информационными входами третьего, первого и второго регистров соответственно, вторые информационные входы которых соединены с входной информационной шиной устройства, запускающий вход и ответный выход устройства соединены соответственно с первым входом и первым выходом блока управления, второй выход которого соединен с управляющими входами приема информации первого, второго и третьего регистров, тактирующие входы первого и второго регистров и первый тактирующий вход третьего регистра соединены с третьим выходом блока управления, четвертый выход которого

соединен со счетным входом счетчика, выход которого соединен с вторым входом блока управления, первый и второй информационные входы третьего сумматора соединены с выходом третьего регистра и первым выходом блока памяти соответственно, адресная шина устройства соединена с адресными входами блоков сдвига и памяти, знаковая шина устройства соединена с управляющими входами первого, второго, третьего, четвертого и пятого сумматоров, дополнительно введены четвертый и пятый регистры и блок анализа состояния, содержащий регистр кода операций, дешифратор и блок нормализации числа, первый и второй входы которого соединены соответственно с информационным и управляющим входами блока анализа состояния, адресный, знаковый, управляющий и блокирующий выходы которого соединены с первым, вторым и третьим выходами блока нормализации числа и выходом дешифратора соответственно, вход дешифратора соединен с третьим входом блока нормализации числа и выходом регистра кода операций, вход которого соединен с входом кода операции блока анализа состояния, вход обнуления которого соединен с четвертым входом блока нормализации числа, причем управляющие входы приема информации четвертого и пятого регистров и счетчика соединены с пятым выходом блока управления, третий вход которого соединен с управляющим выходом блока анализа состояния, адресный и знаковый выходы которого соединены с адресной шиной и знаковой шиной устройства соответственно, входная управляющая шина и запускающий вход устройства соединены соответственно с входом кода операции и входом обнуления блока анализа состояния, блокирующий выход которого соединен с блокирующим входом блока памяти, второй выход которого соединен с установочным входом счетчика, выход которого соединен с управляющим входом блока анализа состояния, информационный вход которого соединен с выходами третьего, четвертого и пятого сумматоров, выходы первого и второго сумматоров соединены с информационными входами четвертого и пятого регистров соответственно, выходы которых соединены с первыми информационными входами четвертого и пятого сумматоров соответственно,

вторые информационные входы которых соединены с выходами второго и первого блоков сдвига соответственно, пятый выход блока управления соединен с вторым тактирующим входом третьего регистра.

В устройстве для вычисления элементарных функций блок нормализации числа содержит одноразрядный блок памяти, элемент РАВНОЗНАЧНОСТЬ, мультиплексор, элементы ИСКЛЮЧАЮЩЕЕ ИЛИ, элементы ЗАПРЕТ, элементы И, шифратор, первый и второй триггеры и регистр, выход которого является первым выходом блока, второй выход которого соединен с выходами элемента РАВНОЗНАЧНОСТЬ и первого триггера, управляющий вход которого соединен с управляющими входами регистра и второго триггера и с вторым входом блока, первый вход которого соединен с информационными входами мультиплексора и первой группой адресных входов одноразрядного блока памяти, вторая группа адресных входов которого соединена с первым входом элемента РАВНОЗНАЧНОСТЬ, первым информационным входом регистра, адресным входом мультиплексора и третьим входом блока, знаковый выход мультиплексора соединен с первыми входами всех элементов ИСКЛЮЧАЮЩЕЕ ИЛИ, вторые входы которых соединены с разрядными выходами мультиплексора, выход каждого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ соединен с управляющим входом соответствующего элемента ЗАПРЕТ и первым входом соответствующего элемента И, второй вход каждого элемента И соединен с информационным входом соответствующего элемента ЗАПРЕТ и выходом предыдущего элемента ЗАПРЕТ, выходы элементов И соединены с входами шифратора, выход которого соединен с вторым информационным входом регистра, выход одноразрядного блока памяти соединен с информационным входом первого триггера, выход последнего элемента ЗАПРЕТ соединен с информационным входом второго триггера, выход которого является третьим выходом блока, четвертый вход которого соединен с обнуляющим входом второго триггера, выход первого триггера соединен с вторым входом элемента РАВНОЗНАЧНОСТЬ.

В устройстве для вычисления элементарных функций блок управления содержит генератор импульсов, три эле-

мента И, два триггера и мультиплексор, причем третий вход блока соединен с входом сброса мультиплексора, первый и второй управляющие входы которого соединены с прямыми выходами первого и второго триггеров соответственно, первый и второй информационные входы мультиплексора соединены с шиной сигнала "1", третий и четвертый информационные входы мультиплексора соединены с вторым входом блока, пятый информационный вход мультиплексора соединен с шиной сигнала "0", шестой информационный вход мультиплексора соединен с первым входом блока, единичным входом первого триггера, нулевым входом второго триггера и входом запуска генератора импульсов, седьмой и восьмой информационные входы мультиплексора соединены с шиной сигнала "1", первый и второй выходы мультиплексора соединены с информационными входами первого и второго триггеров соответственно, входы первого элемента И соединены с прямым выходом первого триггера и инверсным выходом второго триггера, выход соединен с вторым выходом блока, первый и второй входы второго элемента И соединены с прямыми выходами первого и второго триггеров соответственно, а выход - с пятым выходом блока, третий выход которого соединен с первым выходом генератора импульсов, первый и второй входы третьего элемента И соединены с инверсными выходами первого и второго триггеров соответственно, а выход - с первым выходом блока, второй выход генератора импульсов соединен с третьими входами второго и третьего элементов И, четвертым выходом блока и тактирующими входами первого и второго триггеров.

На фиг. 1 представлена блок-схема устройства; на фиг. 2 - схема блока нормализации числа; на фиг. 3 - схема блока управления.

Устройство содержит первый 1, второй 2, третий 3, четвертый 4 и пятый 5 регистры, первый 6 и второй 7 блоки сдвига, блок 8 памяти, первый 9, второй 10, третий 11, четвертый 12 и пятый 13 сумматоры, блок 14 управления, счетчик 15 и блок 16 анализа состояния, состоящий из регистра 17 кода операций, дешифратора 18 и блока 19 нормализации числа. Первый, второй и третий выходы блока 19 нормализации

числа соединены соответственно с адресным, знаковым и управляющим выходами блока 16 анализа состояния, блокирующий выход которого соединен с выходом дешифратора 18, вход которого и третий вход блока 19 нормализации числа соединены с выходом регистра 17 кода операций. Вход этого регистра 17 соединен с входом кода операции блока 16 анализа состояния, информационный, управляющий входы и вход обнуления которого соединены соответственно с первым, вторым и четвертым входами блока 19 нормализации числа. Выходы третьего 11, четвертого 12 и пятого 13 сумматоров по шине 20 соединены с информационным входом блока 16 анализа состояния, знаковый выход которого по знаковой шине 21 соединен с управляющими входами всех сумматоров 9-13. Адресный выход блока 16 анализа состояния по адресной шине 22 устройства соединен с адресными входами блоков 6 и 7 сдвига и блока 8 памяти, первый выход которого соединен с вторым информационным входом третьего сумматора 11. Блокирующий выход блока 16 анализа состояния соединен с блокирующим входом блока 8 памяти, второй выход которого соединен с установочным входом счетчика 15. Третий вход блока 14 управления соединен с управляющим выходом блока 16 анализа состояния, вход кода операции которого соединен с входной управляющей шиной 23 устройства. Вход обнуления блока 16 анализа состояния соединен с запускающим входом 24 устройства и первым входом блока 14 управления, первый выход которого соединен с ответным выходом 25 устройства. Второй выход блока 14 управления соединен по шине 26 с управляющими входами занесения информации первого 1, второго 2 и третьего 3 регистров, выходы которых соединены с первыми информационными входами первого 9, второго 10 и третьего 11 сумматоров соответственно. Выходы первого 9 и второго 10 сумматоров соединены с информационными входами четвертого 4 и пятого 5 регистров соответственно, выходы которых соединены с первыми информационными входами четвертого 12 и пятого 13 сумматоров соответственно. Выходы третьего 11, четвертого 12 и пятого 13 сумматоров соединены с первыми информационными входами третьего 3, первого 1 и вто-

рого 2 регистров соответственно, вторые информационные входы которых соединены с входной информационной шиной 27 устройства. Четвертый выход блока 14 управления соединен со счетным входом счетчика 15, а пятый выход блока 14 управления соединен по шине 28 с вторым тактирующим входом третьего регистра 3 и с управляющими входами приема информации четвертого 4 и пятого 5 регистров и счетчика 15. Третий выход блока 14 управления соединен по шине 29 с тактирующими входами первого 1 и второго 2 регистров и с первым тактирующим входом третьего регистра 3. Выход 30 счетчика 15 соединен с управляющим входом блока 16 анализа состояния и вторым входом блока 14 управления. Выходы первого 1 и второго 2 регистров соединены с информационными входами первого 6 и второго 7 блоков сдвига соответственно. Выход первого блока 6 сдвига соединен с вторыми информационными входами второго 10 и пятого 13 сумматоров. Выход второго блока 7 сдвига соединен с вторыми информационными входами первого 9 и четвертого 12 сумматоров.

Блок-схема (фиг. 2) одного из возможных вариантов выполнения блока 19 нормализации числа содержит одноразрядный блок 31 памяти, элемент РАВНОЗНАЧНОСТЬ 32, мультиплексор 33, элементы ИСКЛЮЧАЮЩЕЕ ИЛИ 34, элементы ЗАПРЕТ 35, элементы И 36, шифратор 37, первый 38 и второй 39 триггеры и регистр 40. Порядковые номера элементов ИСКЛЮЧАЮЩЕЕ ИЛИ 34, элементов ЗАПРЕТ 35 и элементов И 36 приведены в скобках и соответствуют номеру разряда мультиплексора 33, начиная с младшего. Например, элемент ИСКЛЮЧАЮЩЕЕ ИЛИ, подключенный к второму младшему разряду мультиплексора 33, имеет номер 34(2), а соединенные с ним элемент ЗАПРЕТ и элемент И 35(2) и 36(2) соответственно. Для n -разрядного мультиплексора элементы старшего разряда имеют номера соответственно 34($n-1$), 35($n-1$) и 36($n-1$), так как n -й разряд является знаковым. Выход регистра 40 является первым выходом 41 блока 19 нормализации числа, второй выход 42 которого по шине соединен с выходами элемента РАВНОЗНАЧНОСТЬ 32 и первого триггера 38. Выход второго триггера 39 является третьим выходом 43 блока 19 нормали-

зации числа, первый вход 44 которого соединен с информационными входами мультиплексора 33 и первой группой адресных входов одноразрядного блока 31 памяти. Управляющие входы регистра 40, первого 38 и второго 39 триггера соединены с вторым входом 45 блока, третий вход 46 которого соединен с второй группой адресных входов одноразрядного блока 31 памяти, с первым входом элемента РАВНОЗНАЧНОСТЬ 32, с первым информационным входом регистра 40 и адресным входом мультиплексора 33, знаковый выход которого соединен с первыми входами всех элементов ИСКЛЮЧАЮЩЕЕ ИЛИ 34(1)-34(n-1), вторые входы которых соединены с разрядными выходами мультиплексора 33. Выход каждого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 34(j), где j меняется от 1 до n-1, соединен с управляющим входом элемента ЗАПРЕТ 35(j) и первым входом элемента И 36(j) данного j-го разряда. Второй вход каждого элемента И 36(j) соединен с информационным входом элемента ЗАПРЕТ 35(j) данного j-го разряда и выходом элемента ЗАПРЕТ 35(j+1) предыдущего старшего разряда. Выходы всех элементов И 36(1)-36(n-1) соединены с соответствующими входами шифратора 37, выход которого соединен с вторым информационным входом регистра 40. Выход одноразрядного блока 31 памяти соединен с информационным входом первого триггера 38, выход элемента ЗАПРЕТ 35(1) младшего разряда соединен с информационным входом второго триггера 39, обнуляющий вход которого соединен с четвертым входом 47 блока нормализации числа, причем выход первого триггера 38 соединен с вторым входом элемента РАВНОЗНАЧНОСТЬ 32.

Блок-схема (фиг. 3) одного из возможных вариантов выполнения блока 14 управления содержит генератор 48 импульсов, первый 49, второй 50 и третий 51 элементы И, первый 52 и второй 53 триггеры, мультиплексор 54, первый 55, второй 56 и третий 57 входы, а также первый 58, второй 59, третий 60, четвертый 61 и пятый 62 выходы. Первый и второй управляющие входы мультиплексора 54 соединены с прямыми выходами первого 52 и второго 53 триггеров соответственно, информационные входы которых соединены с первым и вторым выходами мультиплексора

ра 54 соответственно. Первый вход 55 блока соединен с единичным входом первого триггера 52, нулевым входом второго триггера 53, входом запуска генератора 48 импульсов и с шестым информационным входом мультиплексора 54, первый, второй, седьмой и восьмой информационные входы которого соединены с шиной сигнала "1". Третий и четвертый информационные входы мультиплексора 54 соединены с вторым входом 56 блока, а пятый информационный вход мультиплексора 54 соединен с шиной сигнала "0". Третий вход 57 блока соединен с входом сброса мультиплексора 54. Входы первого элемента И 49 соединены с прямым выходом первого триггера 52 и инверсным выходом второго триггера 53, а выход соединен с вторым выходом 59 блока. Первый и второй входы второго элемента И 50 соединены с прямыми выходами первого 52 и второго 53 триггера соответственно, а выход - с пятым выходом 62 блока, третий выход 60 которого соединен с первым выходом генератора 48 импульсов. Первый и второй входы третьего элемента И 51 соединены с инверсными выходами первого 52 и второго 53 триггеров соответственно, а выход - с первым выходом 58 блока. Второй выход генератора 48 импульсов соединен с третьими входами второго 50 и третьего 51 элементов И, четвертым выходом 61 блока и тактирующими входами первого 52 и второго 53 триггеров.

Последовательность работы предлагаемого устройства состоит в задании в виде кодов данных по входной информационной шине 27 устройства, когда операций и запускающего сигнала соответственно по входной управляющей шине 23 и запускающему входу 24 устройства и съеме данных в виде кодов с третьего 11, четвертого 12 и пятого 13 сумматоров, или с первого 1, второго 2 и третьего 3 регистров после формирования импульсного сигнала по управляющему выходу блока 16 анализа состояния или по ответному выходу 25 устройства.

Работа устройства основывается на следующих рекуррентных соотношениях

$$\begin{cases} x_{i+1}^{(0)} = x_i + q \cdot \xi_i \cdot y_i \cdot 2^{-i} \\ y_{i+1}^{(0)} = y_i + \xi_i \cdot x_i \cdot 2^{-i} \end{cases} \quad (1)$$

$$\begin{cases} \bar{x}_{i+1} = x_i + q \cdot \xi_i \cdot y_i \cdot 2^{-(i+1)} \\ \bar{y}_{i+1} = y_i + \xi_i \cdot x_i \cdot 2^{-(i+1)} \end{cases} \quad (2)$$

$$\begin{cases} x_{i+1}^{(j)} = \bar{x}_{i+1} + q \cdot \xi_i \cdot y_{i+1}^{(j-1)} \cdot 2^{-(i+1)} \\ y_{i+1}^{(j)} = \bar{y}_{i+1} + \xi_i \cdot x_{i+1}^{(j-1)} \cdot 2^{-(i+1)} \end{cases} \quad (3)$$

$$\begin{cases} x_{i+1} = x_{i+1}^{(m_i)} \\ y_{i+1} = y_{i+1}^{(m_i)} \end{cases} \quad (4)$$

$$\alpha_{i+1} = \alpha_i + \xi_i \cdot C_i \quad (5)$$

j - номер коррекции

$$j = 1, 2, 3, \dots, m_i; \quad (6)$$

C_i - константы истинного значения аргумента,

$$C_i = \begin{cases} 2 \arctg 2^{-(i+1)} & \text{при } q = -1 \\ 2 \operatorname{Arth} 2^{-(i+1)} & \text{при } q = +1 \end{cases} \quad (7)$$

i - индекс итерации, принимающий целочисленные значения в диапазоне $0 - n$, где n - разрядность двоичного представления данных.

Реализация соотношений (1)-(4) эквивалентна соотношениям

$$\begin{cases} x_{i+1} = x_i \cdot q \cdot \xi_i \cdot (y_i + y_{i+1}) \cdot 2^{-(i+1)} \\ y_{i+1} = y_i + \xi_i \cdot (x_i + x_{i+1}) \cdot 2^{-(i+1)} \end{cases} \quad (8)$$

с погрешностью до ошибок округления при вычислениях с двоичной разрядностью n . А так как реализация соотношений (8) не приводит к появлению деформации вектора решения на любой итерации с индексом i , то наборы итераций могут быть произвольными и задаваться как принудительно, например, в виде одной итерации при генерировании функций с шагом C_i (7), так и автоматически, т.е. когда индексы i заранее не определены и формируются в процессе вычислений.

Для определения индекса i , а также для определения значения ξ_i , равного $+1$ или -1 , и момента окончания итераций в устройстве служит блок 16 анализа состояния. Код операций (КОП), поступающий по входной управляющей шине 23, записывается в регистре 17 кода операций. Первый разряд КОП соответствует величине q , равной $+1$ или -1 , и характеризует тип определяющей функции - тригонометрическая или гиперболическая (экспоненциальная). Дешифратор 18 служит для выделения режима непрерывного генерирования функций. КОП поступает также на

третий вход блока 19 нормализации числа, в котором используется для задания адреса в мультиплексоре 33 (фиг. 2), задания части адреса одноразрядного блока 31 памяти, а также для формирования сигналов по знаковому выходу блока 16 анализа состояния и для формирования старшего разряда адреса блока 8 памяти.

КОП, поступая на мультиплексор 33, управляет выбором выходов с любого сумматора - третьего 11, четвертого 12 или пятого 13 - с целью анализа их выходных кодов. КОП, поступая в одноразрядный блок 31 памяти, совместно с знаками операндов, поступающими по первому входу блока 19 нормализации числа, формирует стратегию выбора знака ξ_i для заданной функции, т.е. обеспечивает сходимость процессов вычислений во всех квадрантах пространства допустимой области определения функций. Все соотношения для выбора знаков во всех квадрантах для каждой функции записываются заранее в одноразрядном блоке 31 памяти, представляющем собой модуль постоянного запоминающего устройства. Первый разряд КОП, поступая на первый вход элемента РАВНОЗНАЧНОСТЬ 32, формирует противофазные или синфазные значения сигналов с выходов первого триггера 38 и элемента РАВНОЗНАЧНОСТЬ 32. Поскольку эти выходы используются для управления операциями сложения или вычитания по второму входу сумматоров, то при их синфазном значении возможны вычисления прямых и обратных гиперболических и экспоненциальных функций.

Для противофазных значений выходов элемента РАВНОЗНАЧНОСТЬ 32 и первого триггера 38, что обуславливается значением первого разряда КОП, равным "0", операции в первом 9 и четвертом 12 сумматорах будут инверсными по отношению к операциям во втором 10, третьем 11 и пятом 13 сумматорах, так как выход элемента РАВНОЗНАЧНОСТЬ 32 поступает через знаковую шину 21 на управляющие входы сумматора первой перечисленной группы, а выход первого триггера 38 - соответственно второй. Кроме того, первый разряд КОП через регистр 40 поступает на вход старшего адреса блока 8 памяти, в котором записаны константы (7), определяя тем самым тип константы. На остальные адресные входы блока 8 памяти и бло-

ков 6 и 7 сдвига поступают сигналы с остальных разрядов регистра 40, на которых содержится величина порядка числа, поступающего с мультиплексора 33.

Для формирования порядка код числа с произвольным знаком посредством элементов ИСКЛЮЧАЮЩЕЕ ИЛИ 34 преобразуется в код одного знака. После этого с помощью элементов ЗАПРЕТ 35 и элементов И 36 на каждом k -м разряде входа шифратора 37 формируется функция

$$b_k = a_k \prod_{l=k+1}^{n-1} \bar{a}_l,$$

где a_k - значение на выходе элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 34 k -го разряда. Для приведенного на фиг. 2 варианта соединения элементов схемы на входе шифратора 37 возможно появление только одного разрядного сигнала, соответствующего уровню логической "1", который шифратором 37 преобразуется в соответствующий данному разряду номер, либо на входе шифратора 37 не образуется ни одной логической "1", когда анализируемое число эквивалентно арифметическому нулю. В последнем случае логическая функция

$$P_3 = \prod_{l=1}^{n-1} \bar{a}_l, \quad (9)$$

снимаемая с выхода элемента ЗАПРЕТ младшего разряда 35(1), принимает значение логической "1", что соответствует окончанию вычислительного процесса. Этот сигнал через второй триггер 39 поступает по управляющему выходу блока 16 анализа состояния на третий вход блока 14 управления. Занесение состояний знакового, адресного и управляющего выходов блока 16 анализа состояния осуществляется при поступлении сигнала P_2 с выхода счетчика 15, формируемого в момент переполнения этого счетчика при номере коррекции j , равном m_j . Величина, равная дополнению m_j до M , где M - емкость счетчика 15, записывается в блок 8 памяти в виде констант и считывается из него в счетчик 15 по сигналу S_3 , поступающему с пятого выхода 28 (фиг. 1) блока 14 управления на управляющий вход счетчика 15. Импульсы τ , поступающие с четвертого выхода блока 14 управления, по переднему фронту увеличивают состояние счетчика 15 каждый раз на единицу.

Граф работы блока 14 управления содержит вершину начального состояния C_{01} , вершину подготовительного этапа C_{11} , вершину корректирующего цикла C_{10} и вершину формирования ответного сигнала C_{00} .

Переход из начального состояния C_{01} возможен на вершину подготовительного этапа C_{11} по запускающему внешнему сигналу P_1 , поступающему по первому входу блока 14 управления с запускающего входа 24 устройства, а также на вершину формирования ответного сигнала C_{00} , переход на которую возможен при поступлении сигнала P_3 , формируемого по сигналу (9) с второго триггера 39 блока 19 нормализации числа.

С поступлением сигнала P_1 на первом и втором выходах генератора 48 импульсов блока 14 управления (фиг. 3) формируются серии импульсов τ_0 и $\bar{\tau}$ соответственно, обуславливая функционирование устройства.

При нахождении блока 14 управления в начальном состоянии C_{01} на выходе первого элемента И 49 формируется строб предварительного занесения S_1 , поступающий через второй выход 26 блока 14 управления на управляющие входы приема информации первого 1, второго 2 и третьего 3 регистров, который совместно с серией импульсов τ_0 , поступающей по третьему выходу блока 14 управления, по переднему фронту разрешает запись в эти регистры исходной информации о данных Z_1 , Z_2 , T , поступающих по входной информационной шине 27 устройства.

Переход блока 14 управления из одного состояния в иное осуществляется по переднему фронту серии импульсов τ , поступающей на тактирующие входы первого 52 и второго 53 триггеров. Функция переходов формируется мультиплексором 54, представляющим собой сдвоенный селектор-мультиплексор четырех входов на один выход. При нахождении блока 14 управления в состоянии подготовительного этапа C_{11} на его пятом выходе формируется строб S_3 , передний фронт которого используется для предварительной установки в счетчик 15 кода, находящегося в блоке 8 памяти. Строб S_3 поступает также на управляющие входы приема информации четвертого 4 и пятого 5 регистров, выполненных на одноступенчатых триггерах типа D, разре-

шая прохождение информации с информационных входов этих регистров на их выходы в течение всей длительности этого строба и запоминание установленной информации в момент заднего фронта C_9 . Кроме того, информация с выхода третьего сумматора 11 по заднему фронту C_9 записывается в третий регистр 3, а по переднему фронту серии \bar{C}_0 , поступающей по выходу 29, информация с четвертого 12 и пятого 13 сумматоров записывается соответственно в первый 1 и второй 2 регистры (в регистрах 1-3 используются двухступенчатые триггеры).

В результате во время подготовительного этапа вычисляются соотношения (1) и (2), причем \bar{x}_{i+1} и \bar{y}_{i+1} запоминаются в четвертом 4 и пятом 5 регистрах соответственно, а $x_{i+1}^{(0)}$ и $y_{i+1}^{(0)}$ - в первом 1 и втором 2 регистрах соответственно. В третьем регистре 3 оказывается значение d_{i+1} , вычисленное на предварительном этапе.

При определенных значениях аргумента во время выполнения подготовительного этапа C_{11} может появиться сигнал переполнения P_2 счетчика 15, по которому, если отсутствует сигнал P_3 с управляющего выхода блока 16 анализа состояния, подготовительный этап повторится, но для иного значения итерации i и соответствующей ей величины шага, а также ξ_i .

Если сигнал P_2 со счетчика 15 отсутствует, а также отсутствует сигнал P_3 , то блок 14 управления переходит в состояние корректирующего цикла C_{10} . Это состояние отличается от предыдущего только отсутствием строба C_9 , благодаря чему в регистрах 3-5 информация не изменяется, а в счетчике 15 не происходит параллельное занесение информации из блока 8 памяти, а идет лишь подсчет количества циклов j для данной итерации i . В этом случае реализуются соотношения (3), а в конце итерации, при $j = m_i$, также и соотношение (4). Кроме того, при формировании сигнала P_2 с выхода счетчика 15 в блоке 19 нормализации числа запоминается значение ξ_i и величина i , равная величине модуля порядка анализируемого числа. В случае отсутствия сигнала P_3 осуществляется переход на подготовительный этап C_{11} , в противном случае блок 14 управления переходит в состояние формирования ответного

сигнала C_{00} . В этом случае третьим элементом И 51 формируется сигнал S , который по ответному выходу 25 устройства выдается задатчику (внешнему устройству, процессору, не изображенному на фиг. 1). Принимая этот сигнал, задатчик считывает информацию с регистров или сумматоров, а также снимает запускаящий сигнал P_1 , который устанавливает генератор 48 импульсов и второй триггер 39 блока 19 нормализации числа в исходное нулевое состояние, и по заднему фронту последнего импульса \bar{C} блок 14 управления переходит в исходное начальное состояние C_{01} .

Для непрерывного генерирования функций дешифратор 18, анализируя КОП на регистре 17 кода операций, выдает сигнал, блокирующий первый выход блока 8 памяти, благодаря чему на втором информационном входе третьего сумматора 11 оказывается всегда $\bar{C}_i = 0$, поэтому код в третьем регистре 3 не меняется и будут выполняться вычисления с постоянным шагом итераций, соответствующим константе C_i .

Устройство в зависимости от кода операций позволяет одновременно формировать следующие основные наборы функций:

операции сложения-вычитания

$$x = Z_1 \pm \text{sign} T \cdot Z_2;$$

$$y = Z_2 + \text{sign} T \cdot Z_1,$$

операцию сдвига

$$x = Z, \quad y = \text{sign} T \cdot Z \cdot 2^{-i(T)};$$

$$i(T) = L - \log_2 |T|,$$

операции нормализации числа

$$i = L - \log_2 |Z|;$$

$$x = Z^*; \quad y = Z^* \cdot 2^{-i};$$

функциональное преобразование

$$a) \quad x = Z \cdot \cos T; \quad y = Z \cdot \sin T,$$

$$b) \quad x = Z \cdot \text{ch} T; \quad y = Z \cdot \text{sh} T,$$

$$B) \quad x = Z_1 \cdot \cos T - Z_2 \cdot \sin T; \\ y = Z_1 \cdot \sin T + Z_2 \cdot \cos T;$$

$$U) \quad x = Z_1 \cdot \text{ch} T + Z_2 \cdot \text{sh} T; \quad y = Z_1 \cdot \text{sh} T + Z_2 \cdot \text{ch} T,$$

$$d) \quad x = y = Z \cdot e^{\pm T};$$

$$e) \quad x = Z \cdot \sqrt{2} \cdot \cos\left(T \pm \frac{\pi}{4}\right); \quad y = \pm Z \sqrt{2} \sin\left(T \pm \frac{\pi}{4}\right),$$

$$*) \quad x = Z (e^{\pm T} \pm \text{sh} T); \quad y = Z (e^{\pm T} + \text{ch} T),$$

$$3) \quad \varphi = \arctg Z_1/Z_2; \quad y = \sqrt{Z_1^2 + Z_2^2}$$

$$и) \psi = -\arctg Z_1/Z_2; \quad x = \sqrt{Z_1^2 + Z_2^2},$$

$$к) \psi = -\operatorname{Arth} Z_1/Z_2; \quad y = \sqrt{Z_1^2 - Z_2^2},$$

$$л) \psi = -\operatorname{Arth} Z_1/Z_2; \quad x = \sqrt{Z_1^2 - Z_2^2},$$

и др.;

функциональное генерирование

$$а) x = Z \cdot \cos C_i^T \cdot k; \quad y = Z \cdot \sin C_i^T \cdot R;$$

$$б) x = Z \cdot \operatorname{ch} C_i^T \cdot k; \quad y = Z \cdot \operatorname{sh} C_i^T \cdot k;$$

$$в) x = Z_1 \cdot \cos C_i^T \cdot k - Z_2 \cdot \sin C_i^T \cdot k;$$

$$y = Z_1 \cdot \sin C_i^T \cdot k + Z_2 \cdot \cos C_i^T \cdot k;$$

$$г) x = Z_1 \cdot \operatorname{ch} C_i^T \cdot k + Z_2 \cdot \operatorname{sh} C_i^T \cdot k;$$

$$y = Z_1 \cdot \operatorname{sh} C_i^T \cdot k + Z_2 \cdot \operatorname{ch} C_i^T \cdot k;$$

$$д) x = y = Z \cdot e^{\pm C_i^T \cdot k};$$

$$е) x = Z \left(e^{\pm C_i^T \cdot k} \pm \operatorname{sh} C_i^T \cdot k \right);$$

$$y = Z \left(e^{\pm C_i^T \cdot k} + \operatorname{ch} C_i^T \cdot k \right)$$

и др.,

где Z_1, Z_2, T - исходные данные, вводимые в начальном состоянии в первый, второй и третий регистры соответственно.

Предлагаемое устройство, предназначенное для ускоренного вычисления указанных наборов функций, является многофункциональным, реализующим макрокоманды языка высокого уровня, имеет широкую область применения в качестве как центральных, так и функциональных процессоров для различных ЭВМ общего и специального применения, в том числе для решения задач спектрального анализа сигналов с помощью БПФ, для преобразования прямоугольных координат в сферические и наоборот, для вращения координат и векторов, для синтеза криволинейных поверхностей в станках с программным управлением и т.п.

Формула изобретения

1. Устройство для вычисления элементарных функций, содержащее первый, второй и третий регистры, два блока сдвига, счетчик, блок памяти, блок управления и сумматоры, причем выходы первого и второго регистров соединены с первыми информационными входами

ми первого и второго сумматоров соответственно, выходы первого и второго регистров соединены с информационными входами соответствующих блоков

- 5 сдвига, выходы которых соединены с вторыми информационными входами второго и первого сумматоров соответственно, выходы третьего, четвертого и пятого сумматоров соединены с первыми информационными входами третьего, первого и второго регистров соответственно, вторые информационные входы которых соединены с входной информационной шиной устройства, запускающий вход и ответный выход устройства соединены соответственно с первым входом и первым выходом блока управления, второй выход которого соединен с управляющими входами приема информации первого, второго и третьего регистров, тактирующие входы первого и второго регистров и первый тактирующий вход третьего регистра соединены с третьим выходом блока управления, четвертый выход которого соединен со счетным входом счетчика, выход которого соединен с вторым входом блока управления, первый и второй информационные входы третьего сумматора соединены с выходом третьего регистра и первым выходом блока памяти соответственно, адресная шина устройства соединена с адресными входами блоков сдвига и памяти, знаковая шина устройства соединена с управляющими входами первого, второго, третьего, четвертого и пятого сумматоров, отличающееся тем, что, с целью повышения быстродействия устройства и расширения области его применения за счет увеличения диапазона изменения аргумента и возможности непрерывного генерирования функций с управляемым шагом, устройство дополнительно содержит четвертый и пятый регистры и блок анализа состояния, содержащий регистр кода операций, дешифратор и блок нормализации числа, первый и второй входы которого соединены соответственно с информационным и управляющим входами блока анализа состояния, адресный, знаковый, управляющий и блокирующий выходы которого соединены с первым, вторым и третьим выходами блока нормализации числа и выходом дешифратора соответственно, вход дешифратора соединен с третьим входом блока нормализации числа и выходом регистра

кода операций, вход которого соединен с входом кода операции блока анализа состояния, вход обнуления которого соединен с четвертым входом блока нормализации числа, причем управляющие входы приема информации четвертого и пятого регистров и счетчика соединены с пятым выходом блока управления, третий вход которого соединен с управляющим выходом блока анализа состояния, адресный и знаковый выходы которого соединены с адресной шиной и знаковой шиной устройства соответственно, входная управляющая шина и запускающий вход устройства соединены соответственно с входом кода операции и входом обнуления блока анализа состояния, блокирующий выход которого соединен с блокирующим входом блока памяти, второй выход которого соединен с установочным входом счетчика, выход которого соединен с управляющим входом блока анализа состояния, информационный вход которого соединен с выходами третьего, четвертого и пятого сумматоров, выходы первого и второго сумматоров соединены с информационными входами четвертого и пятого регистров соответственно, выходы которых соединены с первыми информационными входами четвертого и пятого сумматоров соответственно, вторые информационные входы которых соединены с выходами второго и первого блоков сдвига соответственно, пятый выход блока управления соединен с вторым тактирующим входом третьего регистра.

2. Устройство по п. 1, отличающееся тем, что блок нормализации числа содержит одноразрядный блок памяти, элемент РАВНОЗНАЧНОСТЬ, мультиплексор, элементы ИСКЛЮЧАЮЩЕЕ ИЛИ, элементы ЗАПРЕТ, элементы И, шифратор, первый и второй триггеры и регистр, выход которого является первым выходом блока, второй выход которого соединен с выходами элемента РАВНОЗНАЧНОСТЬ и первого триггера, управляющий вход которого соединен с управляющими входами регистра и второго триггера и с вторым входом блока, первый вход которого соединен с информационными входами мультиплексора и первой группой адресных входов одноразрядного блока памяти, вторая группа адресных входов которого соединена с первым входом элемента РАВНОЗНАЧНОСТЬ, первым инфор-

мационным входом регистра, адресным входом мультиплексора и третьим входом блока, знаковый выход мультиплексора соединен с первыми входами всех элементов ИСКЛЮЧАЮЩЕЕ ИЛИ, вторые входы которых соединены с разрядными выходами мультиплексора, выход каждого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ соединен с управляющим входом соответствующего элемента ЗАПРЕТ и первым входом соответствующего элемента И, второй вход каждого элемента И соединен с информационным входом соответствующего элемента ЗАПРЕТ и выходом предыдущего элемента ЗАПРЕТ, выходы элементов И соединены с входами шифратора, выход которого соединен с вторым информационным входом регистра, выход одноразрядного блока памяти соединен с информационным входом первого триггера, выход последнего элемента ЗАПРЕТ соединен с информационным входом второго триггера, выход которого является третьим выходом блока, четвертый вход которого соединен с обнуляющим входом второго триггера, выход первого триггера соединен с вторым входом элемента РАВНОЗНАЧНОСТЬ.

3. Устройство по п. 1, отличающееся тем, что блок управления содержит генератор импульсов, три элемента И, два триггера и мультиплексор, причем третий вход блока соединен с входом сброса мультиплексора, первый и второй управляющие входы которого соединены с прямыми выходами первого и второго триггеров соответственно, первый и второй информационные входы мультиплексора соединены с шиной сигнала "1", третий и четвертый информационные входы мультиплексора соединены с вторым входом блока, пятый информационный вход мультиплексора соединен с шиной сигнала "0", шестой информационный вход мультиплексора соединен с первым входом блока, единичным входом первого триггера, нулевым входом второго триггера и входом запуска генератора импульсов, седьмой и восьмой информационные входы мультиплексора соединены с шиной сигнала "1", первый и второй выходы мультиплексора соединены с информационными входами первого и второго триггеров соответственно, входы первого элемента И соединены с прямым выходом

первого триггера и инверсным выходом второго триггера, выход соединен с вторым выходом блока, первый и второй входы второго элемента И соединены с прямыми выходами первого и второго триггеров соответственно, а выход - с пятым выходом блока, третий выход которого соединен с первым выходом генератора импульсов, первый и второй входы третьего элемента И соединены с инверсными выходами первого и второго триггеров соответственно, а выход - с первым выходом блока, второй выход генератора импульсов соединен с третьими входами второго и третьего элементов И, четвертым выходом блока и тактирующими входами первого и второго триггеров.

Источники информации,

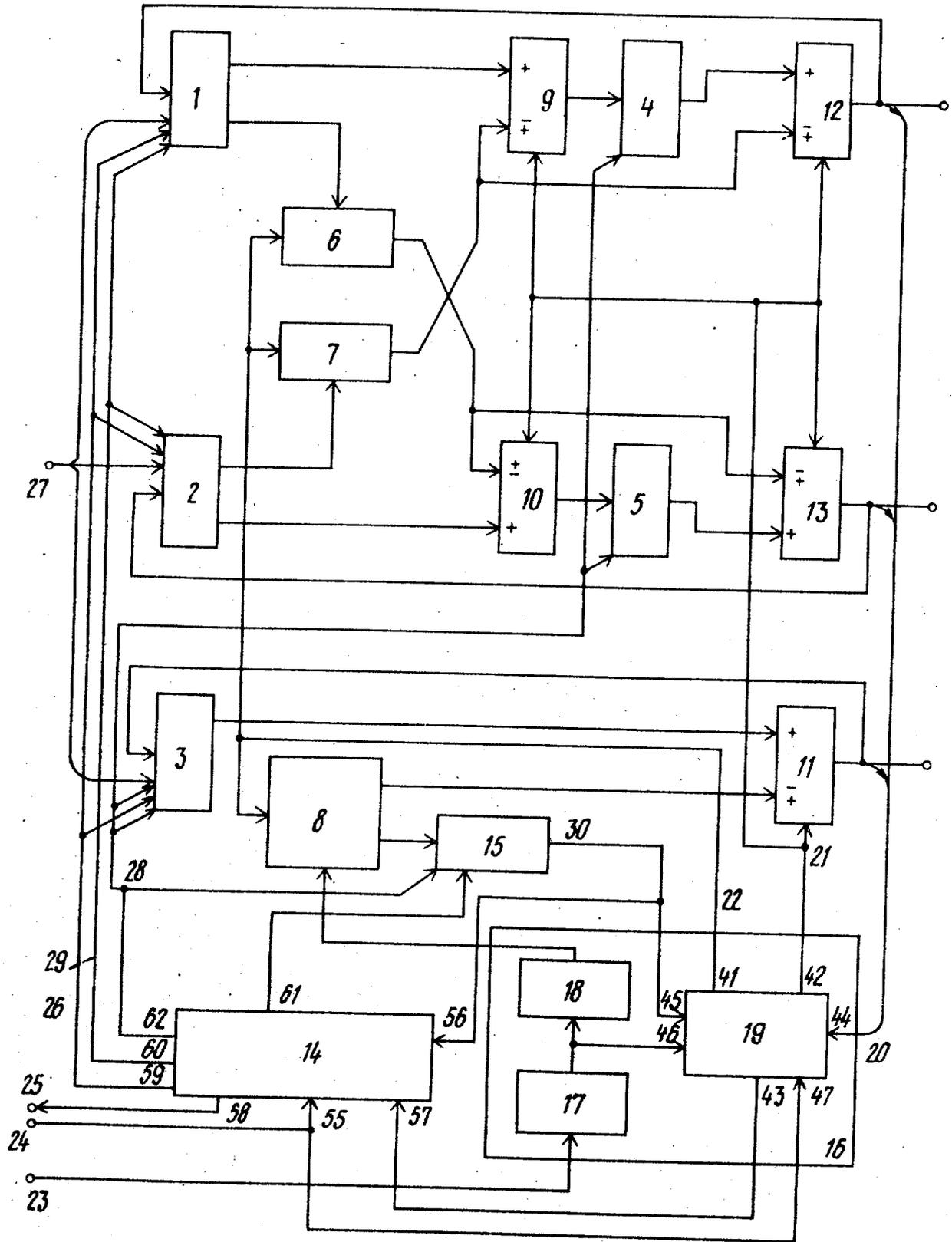
принятые во внимание при экспертизе

1. Смолов В.Б. и др. "Многофункциональные микропроцессорные модули для систем управления роботами" - "Электронное моделирование", 1979, № 1, с. 5, рис. 1.

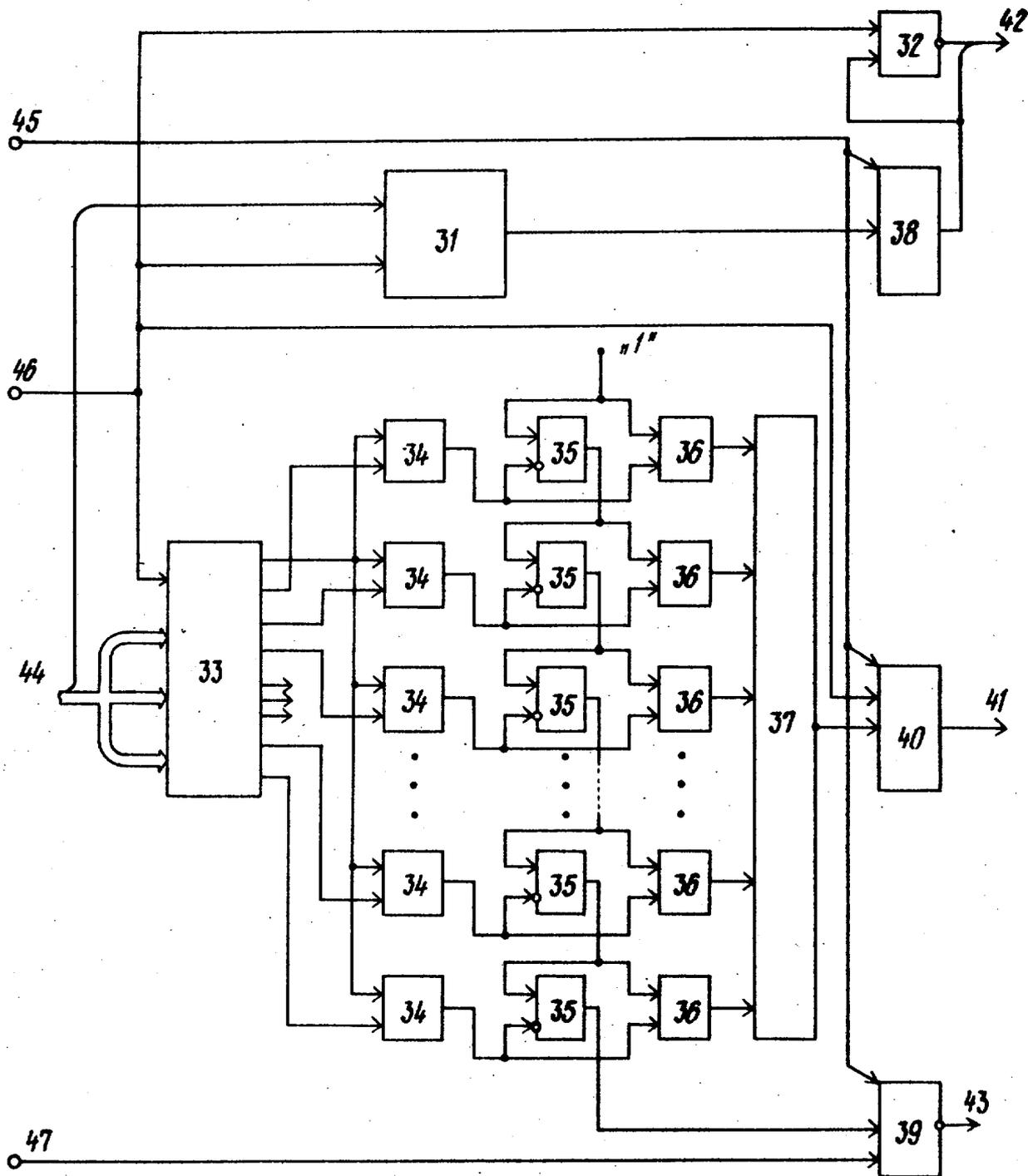
2. Байков В.Д. и др. "Аппаратурная реализация элементарных функций в ЦВМ", Л., ЛГУ, 1975, с. 96.

3. Абрамсон И.Т. и др. "Методы вычисления элементарных функций на цифровых моделях". - "Управляющие системы и машины", 1978, № 4, с. 85-90.

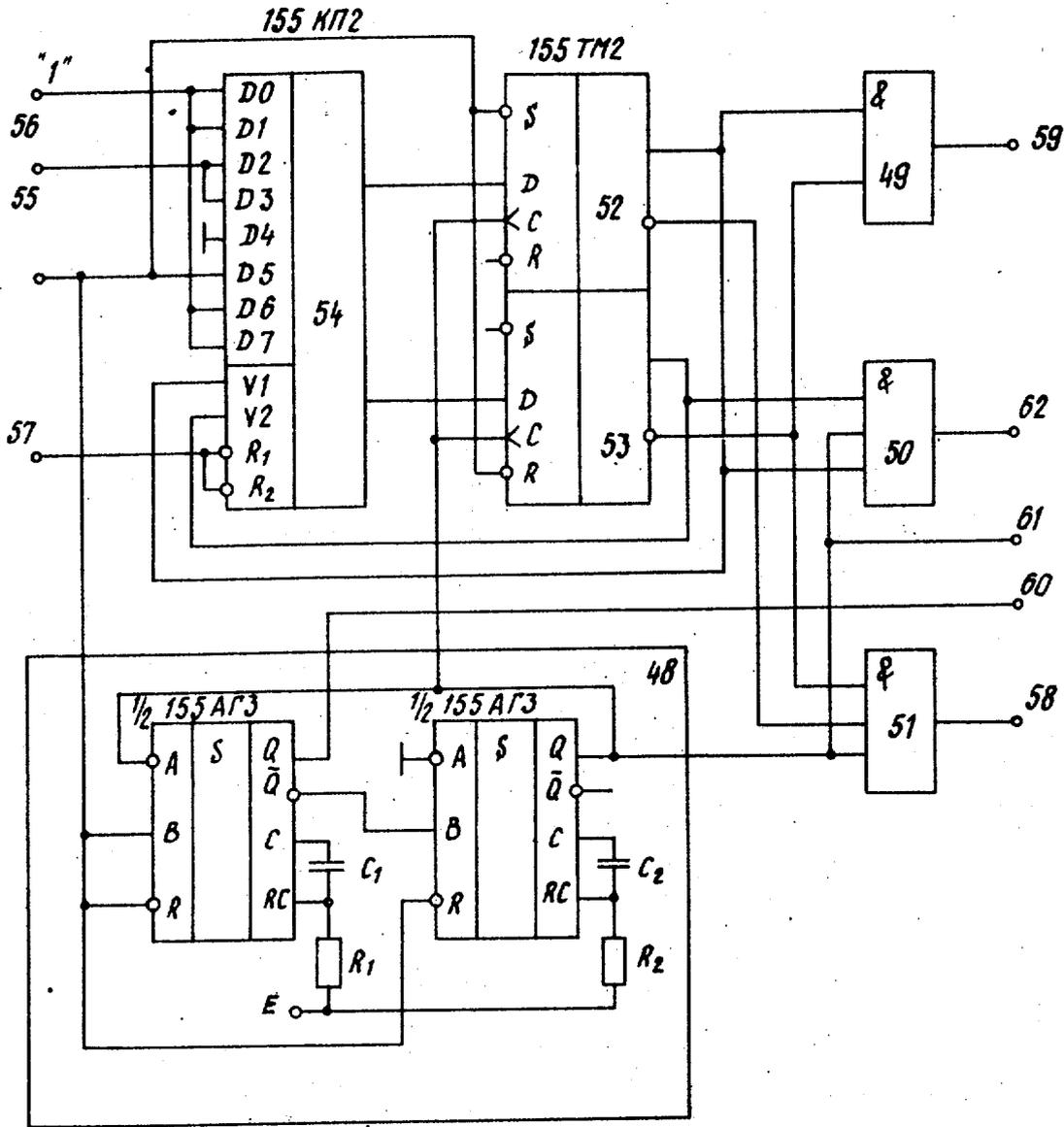
4. Авторское свидетельство СССР № 519717, кл. G 06 F 15/34, 1975 (прототип).



Фиг. 1



Фиг. 2



Фиг. 3

Составитель В. Аристов
 Редактор С. Крупенина Техред Е. Харитончик Корректор И. Муска

Заказ 4668/70

Тираж 731 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4