

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 3 月 8 日 (08.03.2018)



(10) 国际公布号
WO 2018/040871 A1

(51) 国际专利分类号:
H01L 21/76 (2006.01)

(21) 国际申请号: PCT/CN2017/096653

(22) 国际申请日: 2017 年 8 月 9 日 (09.08.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201610796651.5 2016 年 8 月 31 日 (31.08.2016) CN

(71) 申请人: 无锡华润上华科技有限公司 (CSMC TECHNOLOGIES FAB2 CO., LTD.) [CN/CN]; 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。

(72) 发明人: 顾炎 (GU, Yan); 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。程诗康 (CHENG, Shikang); 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。张森 (ZHANG, Sen); 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。

(74) 代理人: 广州华进联合专利商标代理有限公司 (ADVANCE CHINA IP LAW OFFICE); 中国广东省广州市天河区花城大道 85 号 3901 房, Guangdong 510623 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS,

(54) Title: DEVICE FOR INTEGRATED DEPLETION JUNCTION FIELD-EFFECT TRANSISTOR

(54) 发明名称: 集成耗尽型结型场效应晶体管的器件

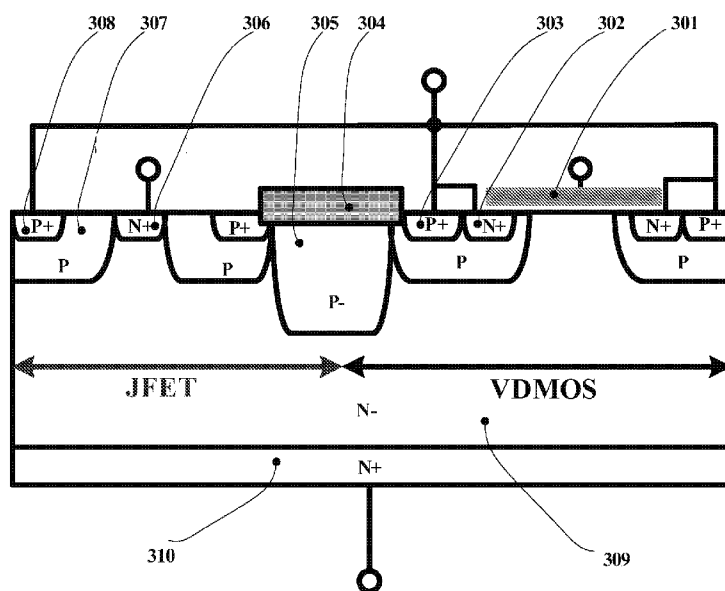


图 1

(57) Abstract: A device for an integrated depletion junction field-effect transistor, comprising a junction field-effect transistor (JFET) region, a power device region, a drain electrode (310) of a first conductivity-type provided on the back-side of a device, and a first conductivity-type region (309) provided on the surface of the drain electrode (310) facing the front of the device, the JFET region and the power device region sharing the drain electrode (310) and the first conductivity-type region (309), an isolation structure being formed at a junction between the JFET region and the power device region, the isolation structure comprising an isolation well (305)



JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则4.17的声明:

- 关于申请人有权要求在先申请的优先权 (细则4.17(iii))

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

of a second conductivity-type and an insulating injection blocking layer (304) provided on the surface of the isolation well (305).

(57) 摘要: 一种集成耗尽型结型场效应晶体管的器件, 包括JFET区、功率器件区、设于器件背面的第一导电类型的漏极(310)、及设于漏极(310)朝向器件正面的面上的第一导电类型区(309), JFET区和功率器件区共享漏极(310)和第一导电类型区(309), JFET区和功率器件区的交界处形成有隔离结构, 隔离结构包括第二导电类型的隔离阱(305)和设于隔离阱(305)表面的绝缘注入阻挡层(304)。

集成耗尽型结型场效应晶体管的器件

技术领域

本发明涉及半导体制造技术，特别是涉及一种集成耗尽型结型场效应晶体管的器件。

5

背景技术

在高压工艺平台上集成高压结型场效应晶体管（Junction Field-Effect Transistor, JFET）为如今智能功率集成电路领域的一种先进开发与构想，它可以大大提升纵向功率器件的开态性能，以及显著的减小芯片面积，符合当今智能功率器件制造的主流趋势。

传统结构的高压集成 JFET 有较简单的工艺可以实现，但其与功率器件的隔离成为了一个难点。在工作原理上，要求 JFET 结束工作处于关断状态下时，功率器件处于开启的正常工作状态，此时电流通过功率器件的纵向沟道流向漏极，隔离结构就是要阻止电流流向 JFET，即防止漏电。隔离的要求是在集成了 JFET 器件后，不影响功率器件的工作性能和状态，即功率器件正向工作同时无漏电，反向耗尽时击穿点固定，击穿电压稳定不变。传统集成 JFET 的隔离方法是在 JFET 和功率器件的交界处通过 N-外延层拉开足够的距离。随着距离加长，电流途径越长而更少地流向 JFET 区，从而达到了屏蔽漏电的效果。这种方法的问题是隔离区域占据了大量的面积而加大了整个集成芯片的面积，造成了浪费，同时兼容度不高，会带来可靠性等问题。

15

20

发明内容

根据本申请的各种实施例，提供一种集成耗尽型结型场效应晶体管的器件。

一种集成耗尽型结型场效应晶体管的器件,所述器件被划分为 JFET 区和功率器件区,所述器件包括:漏极,为第一导电类型;第一导电类型区,设于所述漏极朝向所述器件正面的面上,所述 JFET 区和功率器件区共享所述漏极和第一导电类型区;及隔离结构,包括第二导电类型的隔离阱和设于所述
5 隔离阱表面的绝缘注入阻挡层,所述第一导电类型和所述第二导电类型相反。

上述集成耗尽型结型场效应晶体管的器件,在 JFET 区和功率器件区的交界处采用一个较深的第二导电类型的隔离阱进行隔离,在推阱时使其有着足够的结深,这样漏电路径大大加长,起到了良好的隔离效果,该隔离阱的横向距离可以做到很短,大大节约了整个集成器件的面积。该隔离阱可以与结
10 终端扩展技术相兼容,即可利用功率器件的终端区的第二导电类型阱作为隔离阱,在传统的功率器件的工艺基础上完成,无需增加额外的光刻版,不提高工艺生产的成本,有利于提高产品的市场竞争力。在隔离阱的表面设置绝缘注入阻挡层,可以防止电压过高开启场管,同时屏蔽了离子注入,在保证良好的隔离的同时还提高了功率器件的可靠性。

附图说明

为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创
20 造性劳动的前提下,还可以根据这些附图获得其他实施例的附图。

图 1 是一实施例中采用平面栅结构的集成耗尽型结型场效应晶体管的器件的剖面结构示意图;

图 2 是一实施例中采用沟槽栅结构的集成耗尽型结型场效应晶体管的器件的剖面结构示意图;

图 3 是一种传统的集成 JFET 的 VDMOS 与上述集成耗尽型结型场效应晶体管的器件的击穿电压对比图。

具体实施方式

为了便于理解本发明，下面将参照相关附图对本发明进行更全面的描述。附图中给出了本发明的首选实施例。但是，本发明可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使
5 对本发明的公开内容更加透彻全面。

除非另有定义，本文所使用的所有的技术和科学术语与属于本发明的技术领域的技术人员通常理解的含义相同。本文中在本发明的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在于限制本发明。本文所使用的术语“及/或”包括一个或多个相关的所列项目的任意的和所有的组
10 合。

需要说明的是，当元件被称为“固定于”另一个元件，它可以直接在另一个元件上或者也可以存在居中的元件。当一个元件被认为是“连接”另一个元件，它可以是直接连接到另一个元件或者可能同时存在居中元件。本文所使用的术语“竖直的”、“水平的”、“上”、“下”、“左”、“右”以及类似的
15 表述只是为了说明的目的。

本文所使用的半导体领域词汇为本领域技术人员常用的技术词汇，例如对于 P 型和 N 型杂质，为区分掺杂浓度，简易的将 P+型代表重掺杂浓度的 P 型，P 型代表中掺杂浓度的 P 型，P-型代表轻掺杂浓度的 P 型，N+型代表重掺杂浓度的 N 型，N 型代表中掺杂浓度的 N 型，N-型代表轻掺杂浓度的 N
20 型。

图 1 是一实施例中采用平面栅结构的集成耗尽型结型场效应晶体管的器件的剖面结构示意图，在本实施例中，定义 N 型为第一导电类型，P 型为第二导电类型，结型场效应晶体管（Junction Field-Effect Transistor, JFET）集成在垂直双扩散金属氧化物半导体场效应晶体管（Vertical Double-diffused MOSFET, VDMOS）上。如图 1 中所示，将器件按结构分为 JFET 区和 VDMOS
25 区，JFET 区和 VDMOS 区共享设于器件背面（即图 1 中朝下的面）的 N 型的漏极 310，和设于漏极 310 正面（即图 1 中朝上的面）的 N 型区 309。在

本实施例中，漏极 310 为 N+漏极，N 型区 309 为 N-外延层（在其他实施例中也可以使用 N 型衬底），作为 VDMOS 的漂移区。在本实施例中，JFET 区和 VDMOS 区的交界处形成有隔离结构，该隔离结构包括 P 型的隔离阱 305 和设于隔离阱 305 表面的绝缘注入阻挡层 304。

5 上述集成耗尽型结型场效应晶体管的器件，在 JFET 区和功率器件区的交界处采用一个较深的第二导电类型的隔离阱 305 进行隔离，在推阱时使其达到足够的结深，这样漏电路径大大加长，起到了良好的隔离效果。该隔离阱 305 的横向距离可以做到很短，大大节约了整个集成器件的面积。该隔离阱 305 可以与结终端扩展技术相兼容，即可利用功率器件的终端区的第二导电
10 类型阱作为隔离阱 305，在传统的功率器件的工艺基础上完成，无需增加额外的光刻版，不提高工艺生产的成本，有利于提高产品的市场竞争力。在隔离阱 305 的表面设置绝缘注入阻挡层 304，可以防止电压过高开启场管，同时屏蔽了离子注入，在保证良好的隔离的同时还提高了功率器件的可靠性。

在其中一个实施例中，绝缘注入阻挡层 304 的材质为二氧化硅。具体可
15 以采用场氧层作为绝缘注入阻挡层 304。

在图 1 所示实施例中，JFET 区包括阱区 307、JFET 栅极欧姆接触 308 以及沟道区 306；VDMOS 区包括阱区 307、VDMOS 源极 302 以及欧姆接触区 303。其中阱区 307 为 P 阱，P+的 JFET 栅极欧姆接触 308 设于 P 阱内，JFET 的栅极设于 JFET 栅极欧姆接触 308 上。N+的沟道区 306 设于 JFET 区的两相
20 邻阱区 307 之间。N+的 VDMOS 源极 302 和 P+的欧姆接触区 303 设于 VDMOS 区的阱区 307 内。平面型的栅极 301 的两端各延伸至一 VDMOS 源极 302 的表面。

在图 1 所示实施例中，隔离阱 305 的阱深大于阱区 307 的阱深、离子浓度小于阱区 307 的离子浓度。

25 进一步地，隔离阱 305 的注入浓度为 $1.5\text{E}13\text{ cm}^{-2}\sim 2.2\text{E}13\text{ cm}^{-2}$ ，阱深为 8.5 微米~13.5 微米。

图 3 是一种传统的集成 JFET 的 VDMOS 与上述集成耗尽型结型场效应

晶体管的器件的击穿电压对比图，其中曲线 A 表示传统结构，曲线 B 表示上述集成耗尽型结型场效应晶体管的器件，横坐标为漏极电压 V_d ，纵坐标为漏极电流 I_d 。传统的击穿电压设计值为 600V 的 VDMOS 在集成了 JFET 后，击穿电压下降至 450V 左右，对其应用造成了较大影响，而上述集成耗尽型结型场效应晶体管的器件，击穿点稳定，击穿电压可以保持在 600V。

图 2 是一实施例中采用沟槽栅结构的集成耗尽型结型场效应晶体管的器件的剖面结构示意图。在该实施例中，夹设于两相邻 VDMOS 源极间的栅极 401 向下贯穿阱区伸至第一导电类型区。

以上所述实施例仅表达了本发明的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对发明专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本发明构思的前提下，还可以做出若干变形和改进，这些都属于本发明的保护范围。因此，本发明的保护范围应以所附权利要求为准。

权利要求书

1、一种集成耗尽型结型场效应晶体管的器件，所述器件被划分为 JFET 区和功率器件区，所述器件包括：

第一导电类型漏极；

第一导电类型区，设于所述第一导电类型漏极的正面，所述 JFET 区和功率器件区共享所述第一导电类型漏极和第一导电类型区；及

隔离结构，包括第二导电类型的隔离阱和设于所述隔离阱表面的绝缘注入阻挡层，所述第一导电类型和所述第二导电类型相反。

2、根据权利要求 1 所述的器件，其特征在于，所述绝缘注入阻挡层的材质为二氧化硅。

3、根据权利要求 1 所述的器件，其特征在于，所述 JFET 区和功率器件区均包括第二导电类型的阱区，所述隔离阱的阱深大于所述阱区的阱深且隔离阱的离子浓度小于所述阱区的离子浓度。

4、根据权利要求 3 所述的器件，其特征在于，所述隔离阱的阱深为 8.5 微米~13.5 微米。

5、根据权利要求 3 所述的器件，其特征在于，所述器件是垂直双扩散金属氧化物半导体场效应晶体管。

6、根据权利要求 5 所述的器件，其特征在于，所述功率器件区还包括：栅极；

第一导电类型 VDMOS 源极，设于功率器件区的阱区内；

第二导电类型欧姆接触区，设于功率器件区的阱区内。

7、根据权利要求 6 所述的器件，其特征在于，所述栅极为平面栅，所述功率器件区包括至少两个所述第一导电类型 VDMOS 源极，所述栅极的两端各延伸至一第一导电类型 VDMOS 源极的表面。

8、根据权利要求 6 所述的器件，其特征在于，所述栅极为沟槽栅，所述功率器件区包括至少两个所述第一导电类型 VDMOS 源极，夹设于两相邻第

一导电类型 VDMOS 源极间的所述栅极向下贯穿所述阱区伸至所述第一导电类型区。

9、根据权利要求 3 所述的器件，其特征在于，所述 JFET 区包括至少两个所述阱区，还包括设于两相邻所述阱区之间的第一导电类型的沟道区。

5 10、根据权利要求 1 所述的器件，其特征在于，所述第一导电类型为 N 型，所述第二导电类型为 P 型，所述第一导电类型区为 N 型外延层。

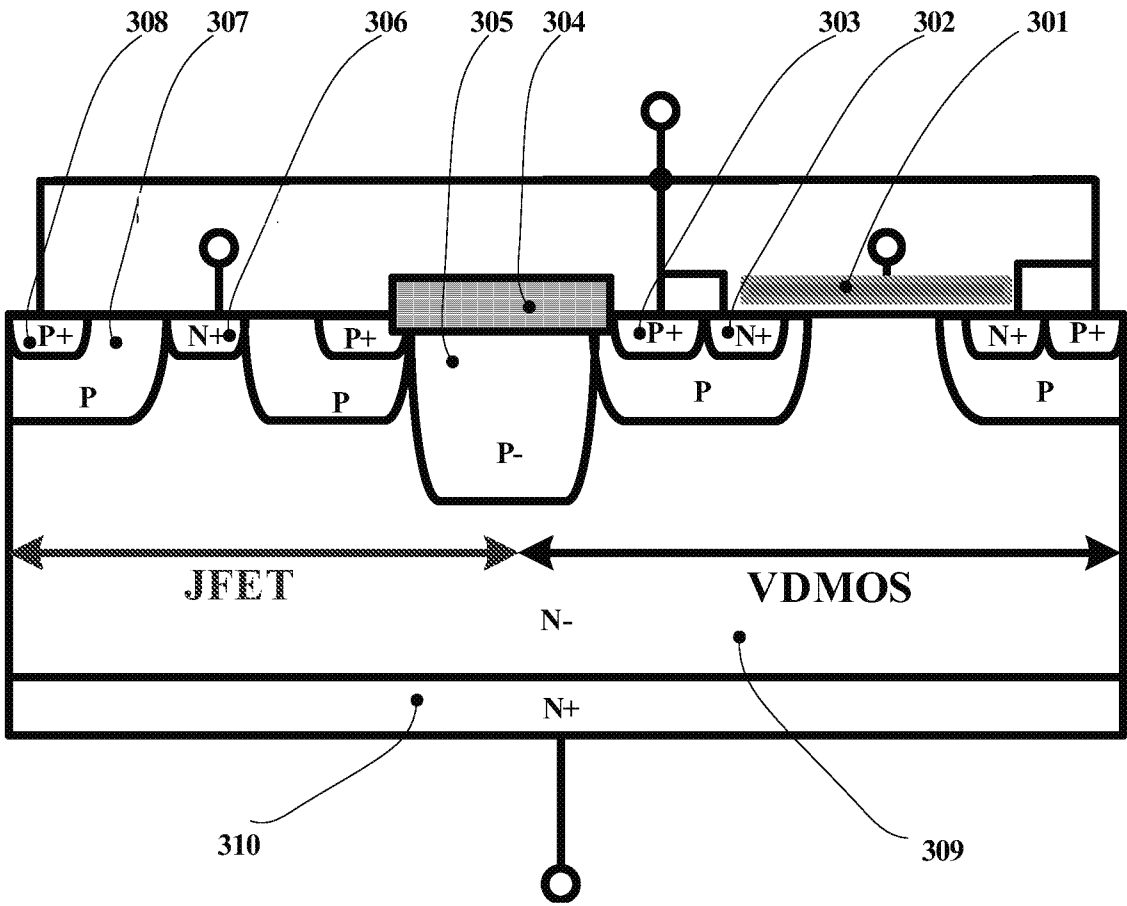


图 1

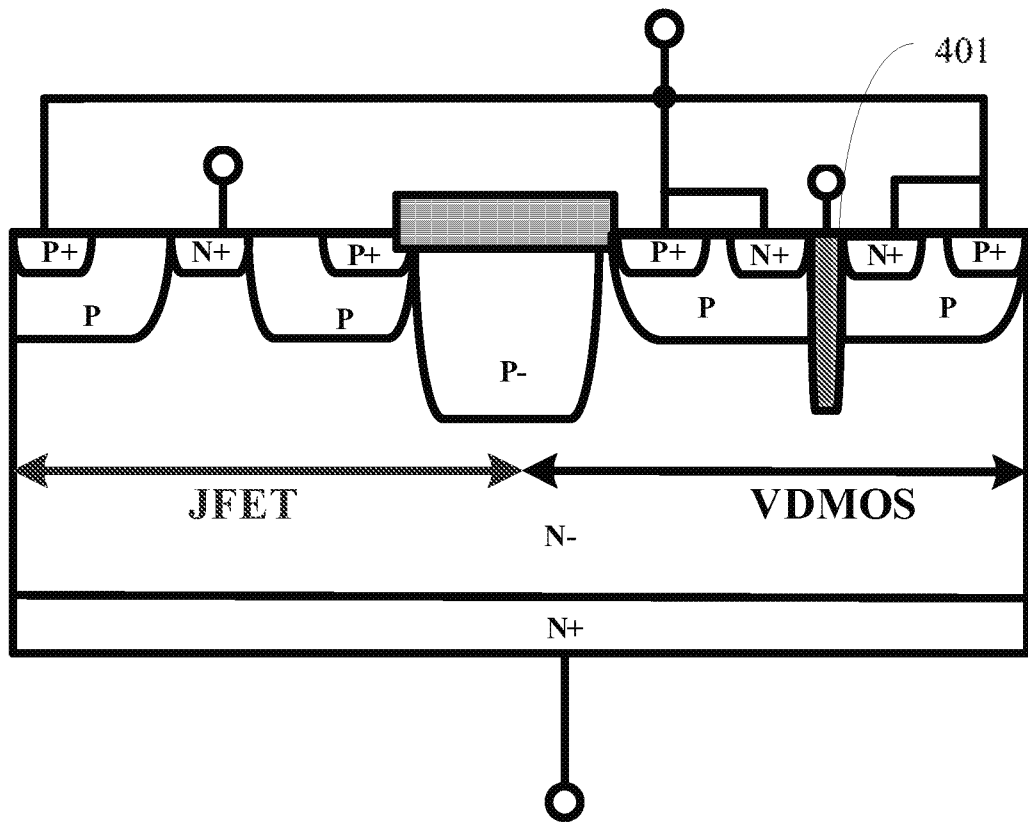


图 2

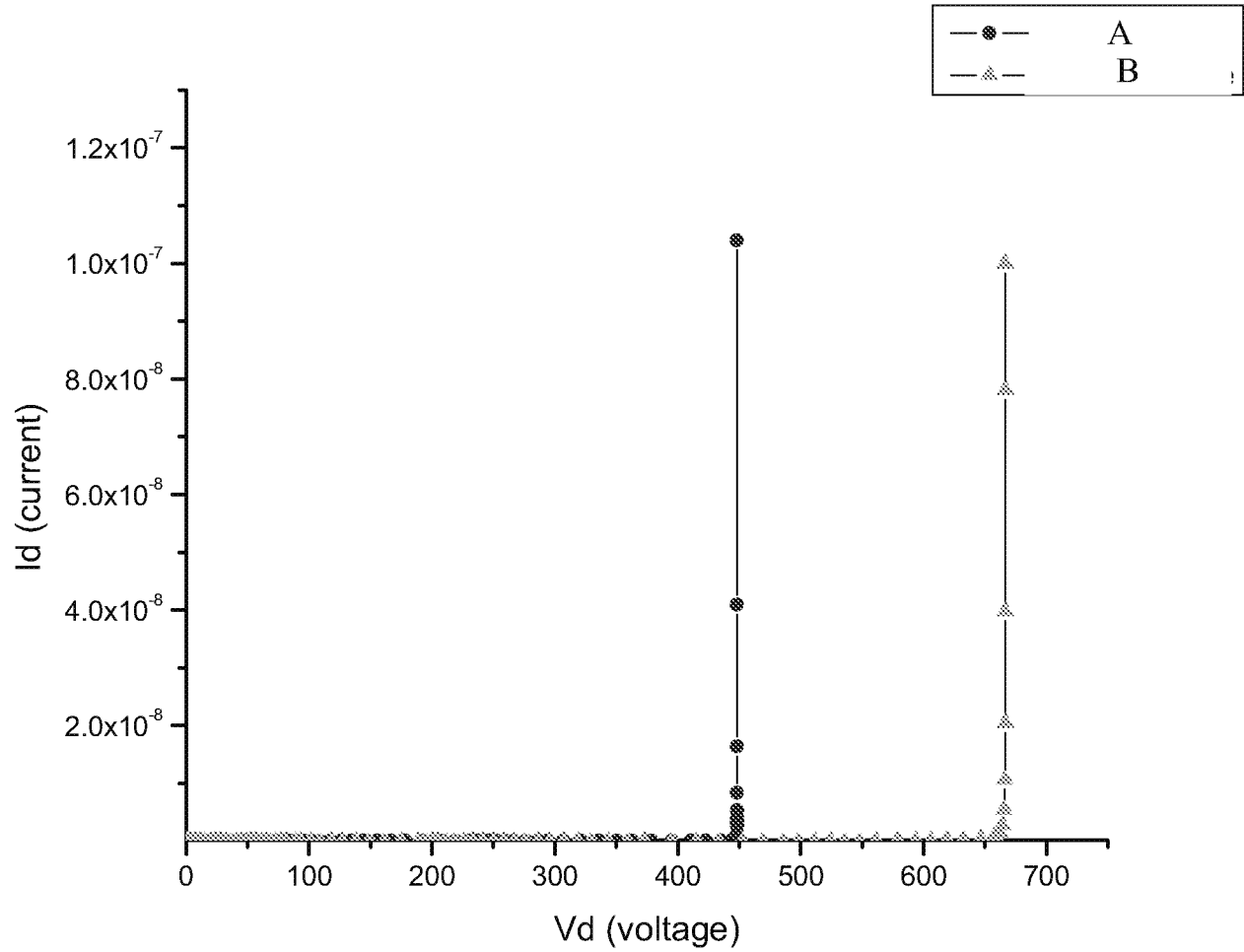


图 3

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/096653

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/76 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, EPODOC, WPI, CNKI, IEEE: 集成, 结型, 场效应晶体管, 功率, 金属氧化物半导体, 隔离, 掺杂, 阱, integrate, junction, field effect transistor, FET, power, metal oxide semiconductor, isolate, dope, well

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 103022035 A (CHENGDU MONOLITHIC POWER SYSTEMS, INC.), 03 April 2013 (03.04.2013), description, paragraphs[0022]-[0025], and figure 3	1-10
Y	US 6111283 A (UNITED SEMICONDUCTOR CORP.), 29 August 2000 (29.08.2000), description, column 1, paragraph 5 from the bottom to column 2, paragraph 3, column 3, paragraph 3 to column 4, paragraph 2, claim 5, and figures 1-2	1-10
A	US 2010032728 A1 (TEXAS INSTRUMENTS INCORPORATED), 11 February 2010 (11.02.2010), entire document	1-10
A	US 2014374773 A1 (CREE, INC.), 25 December 2014 (25.12.2014), entire document	1-10

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 27 September 2017	Date of mailing of the international search report 31 October 2017
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer YANG, Yan Telephone No. (86-10) 61648463

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/096653

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103022035 A	03 April 2013	CN 103022035 B	14 October 2015
		CN 203071074 U	17 July 2013
		US 2013187160 A1	25 July 2013
		US 8723178 B2	13 May 2014
		TW 201342582 A	16 October 2013
		TW I524509 B	01 March 2016
US 6111283 A	29 August 2000	TW 406362 B	21 September 2000
US 2010032728 A1	11 February 2010	US 7939863 B2	10 May 2011
US 2014374773 A1	25 December 2014	US 9184237 B2	10 November 2015
		WO 2014209475 A1	31 December 2014

国际检索报告

国际申请号

PCT/CN2017/096653

A. 主题的分类

H01L 21/76(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, EPODOC, WPI, CNKI, IEEE: 集成, 结型, 场效应晶体管, 功率, 金属氧化物半导体, 隔离, 掺杂, 阱, integrate, junction, field effect transistor, FET, power, metal oxide semiconductor, isolate, dope, well

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 103022035 A (成都芯源系统有限公司) 2013年 4月 3日 (2013 - 04 - 03) 说明书第[0022]-[0025]段, 附图3	1-10
Y	US 6111283 A (UNITED SEMICONDUCTOR CORP.) 2000年 8月 29日 (2000 - 08 - 29) 说明书第 1栏倒数第5段-第2栏第3段、第3栏第3段-第4栏第2段, 权利要求5, 附图1-2	1-10
A	US 2010032728 A1 (TEXAS INSTRUMENTS INCORPORATED) 2010年 2月 11日 (2010 - 02 - 11) 全文	1-10
A	US 2014374773 A1 (CREE, INC.) 2014年 12月 25日 (2014 - 12 - 25) 全文	1-10

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2017年 9月 27日

国际检索报告邮寄日期

2017年 10月 31日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

受权官员

杨燕

传真号 (86-10)62019451

电话号码 (86-10)61648463

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/096653

检索报告引用的专利文件				公布日 (年/月/日)			同族专利	公布日 (年/月/日)		
CN	103022035	A	2013年 4月 3日	CN	103022035	B	2015年 10月 14日			
				CN	203071074	U	2013年 7月 17日			
				US	2013187160	A1	2013年 7月 25日			
				US	8723178	B2	2014年 5月 13日			
				TW	201342582	A	2013年 10月 16日			
				TW	I524509	B	2016年 3月 1日			
US	6111283	A	2000年 8月 29日	TW	406362	B	2000年 9月 21日			
US	2010032728	A1	2010年 2月 11日	US	7939863	B2	2011年 5月 10日			
US	2014374773	A1	2014年 12月 25日	US	9184237	B2	2015年 11月 10日			
				WO	2014209475	A1	2014年 12月 31日			

表 PCT/ISA/210 (同族专利附件) (2009年7月)