

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成26年8月14日(2014.8.14)

【公表番号】特表2013-545315(P2013-545315A)

【公表日】平成25年12月19日(2013.12.19)

【年通号数】公開・登録公報2013-068

【出願番号】特願2013-541985(P2013-541985)

【国際特許分類】

H 0 1 L 29/78 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 21/8238 (2006.01)

H 0 1 L 27/092 (2006.01)

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/088 (2006.01)

H 0 1 L 29/786 (2006.01)

H 0 1 L 21/28 (2006.01)

H 0 1 L 29/49 (2006.01)

H 0 1 L 29/423 (2006.01)

【F I】

H 0 1 L 29/78 3 0 1 G

H 0 1 L 27/08 3 2 1 D

H 0 1 L 27/08 1 0 2 C

H 0 1 L 29/78 3 0 1 B

H 0 1 L 29/78 6 1 8 B

H 0 1 L 29/78 6 1 8 A

H 0 1 L 29/78 6 1 7 K

H 0 1 L 29/78 6 1 7 L

H 0 1 L 21/28 3 0 1 R

H 0 1 L 29/58 G

【手続補正書】

【提出日】平成26年6月24日(2014.6.24)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

その上部領域内に配置されたウェル領域12Bを有する半導体基板12と、
下から上に、半導体含有バッファ層15及び非ドーブ半導体含有チャネル層16を含む半導体材料スタック14であって、前記半導体材料スタックの前記半導体含有バッファ層は前記ウェル領域の上面上に直接配置され、半導体材料を含んでなる半導体材料スタック14と、

前記非ドーブ半導体含有チャネル層16の上面上に直接配置され、下から上に、高kゲート誘電体層20、仕事関数金属層22、及びポリシリコン層24を含む、ゲート材料スタック18と、

を含む半導体構造体100。

【請求項2】

前記ウェル領域はn型ドーパントを含み、かつ、 5×10^{18} 原子/cm³ 又はそれより大きいドーパント濃度を有する、請求項1に記載の半導体構造体。

【請求項3】

前記半導体含有バッファ層は非ドーブSiを含み、前記非ドーブ半導体含有チャンネル層はSiGe合金を含む、請求項2に記載の半導体構造体。

【請求項4】

前記仕事関数金属層は、シリコン価電子帯端金属を含むpFET仕事関数金属層である、請求項3に記載の半導体構造体。

【請求項5】

前記シリコン価電子帯端金属は、Pt、Rh、Ir、Ru、Cu、Os、Be、Co、Pd、Te、Cr、Ni、TiN、又はこれらの合金を含む、請求項4に記載の半導体構造体。

【請求項6】

前記ウェル領域はp型ドーパントを含み、かつ、 5×10^{18} 原子/cm³ 又はそれより大きいドーパント濃度を有する、請求項1に記載の半導体構造体。

【請求項7】

前記半導体含有バッファ層は非ドーブ又はp型ドーブSiCを含み、前記非ドーブ半導体含有チャンネル層はSiを含む、請求項6に記載の半導体構造体。

【請求項8】

前記仕事関数金属層は、シリコン伝導帯端金属を含むnFET仕事関数金属層である、請求項7に記載の半導体構造体。

【請求項9】

前記シリコン伝導帯端金属は、Hf、Ti、Zr、Cd、La、Tl、Yb、Al、Ce、Eu、Li、Pb、Tb、Ni、In、Lu、Sm、V、Zr、Ga、Mg、Gd、TiAl、又はこれらの合金を含む、請求項8に記載の半導体構造体。

【請求項10】

内部に配置された少なくとも1つのpFETデバイス領域102及び少なくとも1つのnFETデバイス領域104を有する半導体基板12を含み、

前記少なくとも1つのpFETデバイス領域は、前記半導体基板12の上部領域内に配置されたnウェル領域106と、下から上に、第1の非ドーブ半導体含有バッファ層120及び第1の非ドーブ半導体含有チャンネル層122を含む第1の半導体材料スタックであって、第1の半導体材料スタックの前記第1の非ドーブ半導体含有バッファ層は、半導体材料層を含み、前記nウェル領域106の上面上に直接配置される、第1の半導体材料スタック118と、前記第1の非ドーブ半導体含有チャンネル層の上面上に直接配置され、下から上に、第1の高kゲート誘電体層112、pFET仕事関数金属層114及び第1のポリシリコン層116を含むpFETゲート材料スタックとを含み、

前記少なくとも1つのnFETデバイス領域104は、前記半導体基板12の別の上部領域内に配置されたpウェル領域106'と、下から上に、第2の半導体含有バッファ層120'及び第2の非ドーブ半導体含有チャンネル層122'を含む第2の半導体材料スタックであって、第2の半導体材料スタックの前記第2の半導体含有バッファ層は、前記pウェル領域の上面上に直接配置される、第2の半導体材料スタック118'と、前記第2の非ドーブ半導体含有チャンネル層の上面上に直接配置され、下から上に、第2の高kゲート誘電体層、nFET仕事関数金属層及び第2のポリシリコン層を含むnFETゲート材料スタックとを含む、半導体構造体100。

【請求項11】

前記nウェル領域はn型ドーパントを含み、かつ、 5×10^{18} 原子/cm³ 又はそれより大きいドーパント濃度を有し、前記pウェル領域はp型ドーパントを含み、かつ、 5×10^{18} 原子/cm³ 又はそれより大きいドーパント濃度を有する、請求項10に記載の半導体構造体。

【請求項12】

前記第1の非ドーブ半導体含有バッファ層はSiを含み、前記第1の非ドーブ半導体含有チャンネル層はSiGe合金を含む、請求項10に記載の半導体構造体。

【請求項13】

前記pFET仕事関数金属層はシリコン価電子帯端金属を含む、請求項10に記載の半導体構造体。

【請求項14】

前記シリコン価電子帯端金属は、Pt、Rh、Ir、Ru、Cu、Os、Be、Co、Pd、Te、Cr、Ni、TiN、又はこれらの合金を含む、請求項13に記載の半導体構造体。

【請求項15】

前記第2の半導体含有バッファ層は非ドーブ又はp型ドーブSiCを含み、前記第2の非ドーブ半導体含有チャンネル層はSiを含む、請求項10に記載の半導体構造体。

【請求項16】

前記nFET仕事関数金属層はシリコン伝導帯端金属を含む、請求項10に記載の半導体構造体。

【請求項17】

前記シリコン伝導帯端金属は、Hf、Ti、Zr、Cd、La、Tl、Yb、Al、Ce、Eu、Li、Pb、Tb、Ni、In、Lu、Sm、V、Zr、Ga、Mg、Gd、TiAl、又はこれらの合金を含む、請求項16に記載の半導体構造体。

【請求項18】

半導体構造体100を製造する方法であって、

その上部領域内に配置されたウェル領域12Bを有する半導体基板12を準備することと、

前記ウェル領域の上に半導体材料スタック14を形成することであって、前記半導体材料スタックは、下から上に、半導体含有バッファ層15及び非ドーブ半導体含有チャンネル層16を含み、前記半導体材料スタックの前記半導体含有バッファ層15は、半導体材料を含み、前記ウェル領域の表面上に直接配置される、形成することと、

前記非ドーブ半導体含有チャンネル層16の表面上に直接ゲート材料スタック18を形成することであって、前記ゲート材料スタックは、下から上に、高kゲート誘電体層20、仕事関数金属層22及びポリシリコン層24を含む、形成することと、を含む方法。

【請求項19】

前記ウェル領域は、前記基板の前記上部領域内に 5×10^{19} 原子/cm³を上回る濃度でn型ドーパントを導入することによって形成される、請求項18に記載の方法。

【請求項20】

前記半導体材料スタックを形成することは、非ドーブSi層を前記半導体含有バッファ層としてエピタキシャルに成長させることと、SiGe合金層を前記非ドーブ半導体含有チャンネル層としてエピタキシャルに成長させることとを含む、請求項18に記載の方法。

【請求項21】

前記ゲート材料スタックを形成することは、pFET仕事関数金属層を前記仕事関数金属層として選択し、堆積させることを含み、前記pFET仕事関数金属層はシリコン価電子帯端金属である、請求項18に記載の方法。

【請求項22】

前記ウェル領域は、前記基板の前記上部領域内に 5×10^{18} 原子/cm³を上回る濃度でp型ドーパントを導入することによって形成される、請求項18に記載の方法。

【請求項23】

前記半導体材料スタックを形成することは、非ドーブ又はp型ドーブSiC層を前記半導体含有バッファ層としてエピタキシャルに成長させることと、Si層を前記非ドーブ半導体含有チャンネル層としてエピタキシャルに成長させることとを含む、請求項18に記載の方法。

【請求項 24】

前記ゲート材料スタックを形成することは、n F E T 仕事関数金属層を前記仕事関数金属層として選択し、堆積させることを含み、前記 n F E T 仕事関数金属層はシリコン伝導帯端金属である、請求項 18 に記載の方法。

【請求項 25】

前記半導体基板の上部領域内に配置された別のウェル領域を準備することと、

前記別のウェル領域の上に別の半導体材料スタックを形成することであって、前記別の半導体材料スタックは、下から上に、別の半導体含有バッファ層及び別の非ドープ半導体含有チャンネル層を含み、前記別の半導体材料スタックの前記別の半導体含有バッファ層は前記別のウェル領域の上面上に直接配置される、形成することと、

前記別の非ドープ半導体チャンネル層の上面上に直接別のゲート材料スタックを形成することであって、前記別のゲート材料スタックは、下から上に、別の高kゲート誘電体層、別の仕事関数金属層及び別のポリシリコン層を含む、形成することと、
をさらに含む、請求項 19 に記載の方法。