

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
H03K 17/687

(45) 공고일자 1990년05월07일
(11) 공고번호 90-003069

(21) 출원번호	특1987-0002703	(65) 공개번호	특1987-0009550
(22) 출원일자	1987년03월24일	(43) 공개일자	1987년10월27일
(30) 우선권 주장	61-68112 1986년03월24일 일본(JP) 61-139911 1986년06월16일 일본(JP)		
(71) 출원인	마쯔시다 덴코오 가부시끼가이샤 후지이 사다오 일본국 오오사까후 가도마시 오오아자 가도마 1048반지		
(72) 발명자	아끼야마 시게오 일본국 오오사까후 네야가와시 히가시 가마다쵸오 5-4		
(74) 대리인	장용식		

심사관 : 이택수 (책자공보 제1860호)

(54) 고체 릴레이 및 이를 제조하는 방법

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

고체 릴레이 및 이를 제조하는 방법

[도면의 간단한 설명]

제 1 도는 본 발명에 따른 고체 릴레이 일 실시예의 회로도.

제 2 도는 제 1 도 고체 릴레이의 1칩에 형성된 광수신 및 구동회로부의 실예의 평면도.

제 3 도 및 4 도는 각각 본 발명에 따른 고체 릴레이의 다른 실시예의 회로도.

제 5 도는 제 1 도 고체 릴레이에 사용된 정상시 온 트랜지스터의 특성도.

제 6(a) 내지 6(f) 도는 제 2 도 1칩 고체 릴레이에 대한 절연분리 기판을 제조하는 공정도.

제 7 도는 제 6 도 제조공정에 의해 구비된 광전 다이오드 어레이의 부분확대 평면도.

제 8 도는 제 7 도의 선(VIII-VIII)을 따라 절단한 단면도.

제 9 도는 제 6 도 제조공정에 의해 구비된 트랜지스터의 평면도.

제 10 도는 제 9 도의 선(X-X)을 따라 절단한 단면도.

제 11(a) 내지 11(c)도는 제 2 도의 1칩 고체 릴레이에 채용가능한 접합형 FET를 제조하는 공정도.

제 12 도는 제 2 도의 1칩 고체 릴레이에 채용가능한 다이오드 어레이의 부분확대 단면도.

* 도면의 주요부분에 대한 부호의 설명

10 : 고체 릴레이	11, 11a : 입력단자
12 : 발광소자	13 : 다이오드 어레이
14 : 임피던스 소자	15 : MOS FET
16, 16a : 출력단자	17 : 정상시 온 구동 트랜지스터

[발명의 상세한 설명]

본 발명은 고체 릴레이 및 그것의 제조방법, 특히 발광다이오드가 입력신호를 광신호로 변경하며 발광 다이오드에 광결합된 광기전력 다이오드 어레이가 출력으로서 접촉신호를 얻기 위하여 출력수단으로서 금속산화반도체 전계효과 트랜지스터(추후MOS FET라 부름)를 구동하는데 사용되는 전기신호

로 광신호를 변경하는 고체 릴레이 및 이를 제조하는 방법에 관한 것이다.

데일 엠. 브라운 등의 미국특허 제 4,227,098호의 고체 릴레이에 있어서 광기전력 다이오드 어레이는 발광다이오드에 광결합되며 다이오드 어레이는 어레이에 저항 임피던스를 제공하기 위해 저항과 병렬로 접속되고 MOS FET의 게이트 및 기판전극과 직렬로 접속되어 있다. 전류가 이 릴레이의 발광 다이오드의 입력단자를 따라 흐를 때 광기전력 출력은 다이오드 어레이의 양단자 양단에 발생되어 MOS FET의 게이트 및 기판 양단에 가해져 그 결과 MOS FET의 전류통과 전극에 접속된 출력단자사이의 MOS FET의 임피던스는 다른 값, 즉 오프스 모드인 MOS FET인 경우에 출력단자 양단의 상태는 오프상태에서 온상태로 이동되어 릴레이가 어떤 기계적인 가동부를 갖춤이 없이 전자(電磁) 릴레이와 동일한 기능을 수행하도록 현저하게 변경된다. 이때 다이오드 어레이에 병렬로 접속된 저항은 MOS FET의 게이트와 기판전극 사이에 축적된 정전하를 방전하는 역할을 한다. 이 저항이 존재하지 않는 경우 출력단자 양단의 상태는 발광 다이오드에 대한 입력전류가 차단될 때에도 오프상태로 복귀가 불가능하다.

상기한 미국특허에 있어서는 요망되는 최소 입력전류, 즉 이 고체 릴레이를 온시키기 위한 작동전류를 감소시키기 위하여 저항값을 크게 하는 것이 필요하며, 한편으로 입력전류의 차단으로부터 출력단자 양단의 상태를 오프로 하는 시간을 단축하기 위하여 저항값을 작게하는 것이 필요하며, 그 결과 이들 2기능을 동시에 이루는 것이 곤란한 문제점이 있었다.

또한 상기 특허는 입력전류가 작동전류 근처범위에 있을 때 MOS FET의 게이트와 기판전극 양단의 전압이 입력전류에 비례하여 변화하여, 그 결과 FET의 전류통과 전극에 접속된 출력단자 양단의 MOS FET의 임피던스는 온과 오프상태값 사이의 중간값을 취하게 된다는 결정을 가지고 있다.

이 공지된 릴레이가 갖고있는 다른 문제점은 광기전력 다이오드 릴레이에 병렬 접속된 저항이 너무 큰 값일 때 입력단자에 입력전류가 없을 때 출력단자 양단에서 발생하는 큰 전압변화를 인하여 MOS FET의 드레인과 게이트사이의 기생용량에 의해 미러(mirror)전류를 야기하여, 이에 의해 MOS FET의 게이트 전압이 증가되어 순간적인 미스트리거(온 작동)가 쉽게 일어나게 되는 것이다.

더우기 에드워드 티. 로드리구에츠에 대한 미국특허 제 4,390,790호는 발광 다이오드에 광결합된 광기전력다이오드 어레이는 MOS FET의 게이트와 기판전극사이에서 접속된 정상시 온 정선 FET를 갖는 MOS FET과 직렬로 접속되며 부가적인 광기전력 다이오드 어레이가 저항을 통해 정선 FET의 게이트와 소스사이에서 접속되어 있는 고체 릴레이를 밝히고 있다.

로드리구에츠에 따르면 정상시 온 정선 FET를 구동하기 위한 부가적인 다이오드 어레이를 구비함에 의해 MOS FET의 순간적인 미스트리거를 방지할 수 있으나 부가적인 다이오드 어레이의 필요로 인하여 구동회로를 형성하는데 더 큰 칩크기가 요구되며 그 결과 장치가 고가로 되며 부가적인 다이오드 어레이를 정선 FET와 결합시키는 회로배치는 고속 릴레이동작이 거의 실현되기 어렵게 되는 문제점을 야기한다.

더우기 다이얼 엠.킨저의 미특허출원 제 581785호에는 발광 다이오드에 광결합된 광기전력 다이오드 어레이가 저항 및 에미터와 베이스 사이에 다이오드가 삽입되어 있는 트랜지스터와 병렬로 접속되며 또한 MOS FET과 직렬로 접속되어 분리되어 A.C. 클램핑 회로를 구비함에 의해 MOS FET의 순간적인 미스트리거를 방지하는 고체 릴레이가 밝혀져 있다. 따라서 순간적인 미스트리거는 방지될 수 있으나 이 공지된 릴레이는 아직 필수적인 A.C. 클램핑 회로가 전체로 복잡한 회로배치를 갖게하여 제조비를 상승시키며, 고임피던스소자로서 저항을 포함하는 배치는 제조될 칩크기가 너무 크게 요구되기 때문에 특히 혼성 IC로 다른 소자와 함께 1칩에 집적되는 광수신 및 구동회로를 조립할 경우 어려움에 직면한다는 단점을 가지고 있다.

상기한 모든 공지기술에 있어서는 또한 입력전류가 흐르는 동안 MOS FET의 게이트와 기판전극 양단에 발생하는 게이트 브레이크 다운 위험이 쉽게 일어날 수 있는 서어지 전압으로부터 릴레이를 보호하기 위한 어떤 수단도 갖추어져 있지않은 문제점이 남아있다.

다른 한편으로 고체 릴레이에 사용될 수 있는 MOS FET용 턴-오프 회로가 윌리엄 제이. 자너트카의 미국특허 제 4,492,883호에 밝혀져 있으며, 여기에는 다른 P채널 FET가 MOS FET의 게이트와 기판전극 사이에 접속되며, 제너 다이오드가 P채널 FET의 게이트와 소스사이, 즉 MOS FET의 게이트와 P채널 FET의 게이트 사이에 삽입되며, 저항이 P채널 FET의 게이트와 드레인사이에서 삽입되어 있다. 이 배치에 따른 경우 순간적인 미스트리거는 방지가능하다.

그러나 MOS FET의 드레시홀드 전압 항복수단으로서 동작하는 제너 다이오드를 사용하고 채용된 저항으로 인한 게이트 구동의 누설로 인해 고압, 고전류 구동전원을 사용하는 것이 고속 턴온동작에 필요하게되며, 이는 광기전력 다이오드 어레이에 접속될 회로배치로서 단점이 된다.

본 발명의 기본목적은 릴레이의 동작전류 근처의 입력전류 범위에서 출력단자 양단에서 온과 오프상태 사이의 어떠한 중간상태가 발생하는 것이 방지되는 전자 릴레이의 스냅동작과 동등한 고속 릴레이 동작을 이루는것이 가능하며 입력전류가 흐르지 않을 때 릴레이 출력단자에 인가되는 어떠한 순간적인 변화전압으로 인하여 순간적인 도통과 같은 그러한 오동작을 방지할 수 있으며 MOS FET의 게이트와 소스 사이에서 발생한 서어지 전압으로부터 MOS FET의 게이트를 보호할 수 있는 고체 릴레이를 제공하며, 또한 이러한 고체 릴레이를 제조하는 방법을 제공하는 것이다.

본 발명에 따르면 상기 목적은 입력전류가 존재할 때 광신호를 발생하기 위한 발광소자, 발광소자에 광결합되어 광신호를 수신하여 광기전력 출력을 발생하기 위한 광기전력 다이오드, 광기전력 다이오드 어레이에 직렬로 접속된 임피던스 소자, MOS FET의 게이트와 기판전극 양단에 광기전력 출력이 가해질 때 제 1 임피던스상태로부터, 제 2 임피던스상태로 변화하는 출력 MOS FET, 및 MOS FET의 게이트와 기판전극에 접속되는 1쌍의 출력단자로 구성되며, MOS FET에는 정상시 온 구동트랜지스터가 접속되며, 이 트랜지스터의 제어전극은 광기전력 다이오드 어레이와 임피던스 소자사이의 접속점에 접속되어 광기전력 다이오드 어레이 양단에서 발생하는 광기전력 출력의 존재시 임피던스 소자 양단

에서 발생하는 전압에 의해 고임피던스 상태로 되도록 바이어스되는 고체 릴레이를 제공함에 의해 얻어진다. 본 발명의 다른목적 및 이점은 첨부도면에 표시된 바람직한 실시예를 참고한 본 발명의 상세한 다음 설명에서 명확하게 될 것이다.

본 발명이 도면에 표시된 바람직한 실시예를 참고하여 설명되나 본 발명은 도시된 특정실시예가 아니라 첨부청구범위의 범위내에서 가능한 모든 변형, 수정 및 등가배치를 포함하는 것을 이해하여야 할 것이다.

제 1 도를 참조하면 본발명에 따른 고체 릴레이(10)는 발광소자(12), 바람직하게는 입력전류신호에 따라서 광신호를 발생하도록 입력단자(11 및 11a)에 접속되는 발광 다이오드 어레이(13)에 광결합된다. 다이오드 어레이(13)는 다이오드와 같은 임피던스 소자(14)와 직렬 접속되고 MOS FET(15)와 직렬 접속되며, 이 MOS FET(15)는 게이트와 기판(소스) 양단에 다이오드 어레이(13)로부터의 광기전력 출력을 인가함에 따라 제 1 임피던스 상태에서 제 2 임피던스상태로 변화하도록 작용을 하며 1쌍의 출력단자(16 및 16a) 및 또한 도시된 실시예에서 N채널형의 정상시 온구동트랜지스터(17)와 접속된다. 트랜지스터(17)는 도통전극이 MOS FET(15)의 게이트와 기판에 그리고 제어전극이 다이오드 어레이(13)와 임피던스 소자(14)사이의 접속점에 접속되어 다이오드 어레이(13) 양단에 발생하는 전압에 의해 고임피던스상태로 되도록 바이어스된다. 트랜지스터(17)는 N채널 및 정상시 온 형태의 스태틱 인덕션 트랜지스터(SIT:static induction transistor) 또는 N채널형 디플리션 모드의 FET로 구성될 수 있다.

이러한 고체 릴레이(10)에 있어서 입력단자(11 및 11a)사이에 공급되는 입력전류에 의해 발광소자(12)는 광신호를 발생하며 이에 응하여 광기전력 다이오드 어레이(13)는 양단자 양단에 광기전력 출력을 발생하며, 이 출력은 MOS FET(15)의 게이트와 기판(소스) 양단 및 정상시 온 트랜지스터(17)에 인가되며, 이에 의해 MOS FET (15)의 게이트와 기판사이의 정전용량에 축적된 전류 및 트랜지스터(17)를 통해 흐르는 타전류가 발생되어 이 전류가 임피던스 소자인 다이오드(14)를 통하여 흐른다. 이 경우에 임피던스 소자(14) 양단의 단자전압은 트랜지스터(17)의 게이트가 부전압이 되도록 바이어스하며 이 바이어스된 전압은 트랜지스터(17)가 순간적으로 고임피던스상태(턴오프)로 놓이도록 하여 그 결과 MOS FET(15)의 게이트 및 기판 사이의 충전동작은 트랜지스터(17)의 존재로 인해 지연되는 것을 방지할 수 있다. 그 결과 MOS FET(15)에 접속된 출력단자(16 및 16a) 양단의 임피던스는 상이한 값이 되도록 현저하게 변한다. 다이오드(14)는 정류의 기능을 하는것이 아니라 단지 임피던스 소자로서 작용하는 것을 이해하여야 할 것이다.

본 발명에 따른 고체 릴레이(10)는 실질적으로 전자기계식 릴레이의 스냅작용과 동일한 동작을 실현할 수 있다. 즉, 입력단자(11 및 11a)사이에 제공되는 입력전류가 트랜지스터(17)의 게이트 차단(또는 드레시홀드) 전압 및 임피던스 소자의 전압특성에 따른 소정 레벨이하일 때 트랜지스터(17)는 온 상태를 유지하며 출력단자(16 및 16a) 양단의 임피던스는 실질적으로 변하지 않는다. 환언하면 만약 입력전류가 소정레벨 이상의 레벨일 경우 그때 출력단자(16 및 16a) 양단의 MOS FET의 임피던스는 변경되어 소위 스냅동작을 실현한다. 이 경우에 소정레벨은 릴레이의 동작전류로 불려지며 제한점과 같은 동작전류가 흐르지 않는 경우 예를들어 광결합기등과 같은것을 단순히 사용하는 것은 출력단자사이의 임피던스값이 입력전류의 레벨에 따라서 연속적으로 변화하여 스냅동작의 절환을 불가능하게 한다.

드레인과 소스사이에 전류값(I_0)이 제 5 도에 표시된 바와같이 부호화 특성을 나타내는 전술한 스태틱 인덕션 트랜지스터가 트랜지스터(17)로 사용되는 경우에 MOS FET(15)의 게이트에 절연항복을 야기할 수 있는 고서어지전압의 중첩이 가해지는 경우는 트랜지스터(17)가 저임피던스상태로 이동되어 게이트가 오프상태인 경우조차도 서어지전압을 흡수하며 MOS FET(15)의 게이트는 효과적으로 보호될 수 있다.

입력단자(11 및 11a)사이에 제공되는 입력전류가 오프가될 때 다른 한편으로 발광소자(12)는 어떤 광도발하지 않으며 광기전력 다이오드 어레이(13)의 단자양단에 어떤 전압도 발생되지 않으며 임피던스 소자(14)와 트랜지스터(17)에 공급되는 전류는 차단되며 이에 의해 트랜지스터(17)의 게이트는 더 이상 바이어스되지 않고 그 결과 고임피던스상태에 있는 트랜지스터(17)는 저임피던스의 온상태로 귀환한다. MOS FET(15)의 게이트와 기판사이에 축적되어 있는 축적전하를 트랜지스터(17)를 통해 방전되며 이에따라 임피던스 소자(14)를 통하여는 어떤 전류도 흐르지 않으며 그 결과 트랜지스터(17)의 게이트는 더 이상 부전압이 되도록 바이어스되지 않으며 트랜지스터(17)는 온상태를 계속 유지한다.

한편 그것은 트랜지스터(17)의 게이트 차단전압특성과 임피던스 소자(14)의 임피던스 특성에 따르므로 수십 내지 수백 μs 정도의 비교적 짧은 시간에 축적된 전하의 방전이 완료된다. 방전이 완료되자마자 곧 MOS FET의 출력단자사이의 임피던스는 제 1 임피던스 상태로 귀환한다. 상기한 배치의 임피던스 소자(14)가 큰 임피던스값을 가지고 트랜지스터(17)의 게이트와 기판사이에 축적된 축적전하 어떤 동작상 문제를 야기하는 경향이 있을 때 분리된 방전경로가 임피던스 소자(14)에 병렬로 구비된다.

입력단자(11 및 11a) 양단에 어떤 전류도 흐르지 않고 MOS FET(15)가 엔헨스먼트 모드인 경우에 출력단자(16 및 16a) 양단의 전압이 비록 크게 변할지라도 미러전류에 의한 MOS FET(15)의 드레인과 게이트 사이에 축적된 어떤 축적전하도 정상시 온 SIT 또는 디플리션 모드 FET와 같은 트랜지스터를 통하여 MOS FET(15)의 기판으로 방전되기 때문에 어떤 순간적인 오 트리거링도 발생되지 않는다. N 채널형 트랜지스터, 특히 N채널 SIT가 트랜지스터(17)로 사용될 때 임피던스 소자(14)는 광기전력 다이오드 어레이(13)로 흐르는 전류가 트랜지스터(17)의 게이트와 소스사이에 정(+)으로 공급되도록 하여 그 결과 트랜지스터(17)는 BSIT(bipolar-mode static induction transistor) 모드로 동작되며 더욱이 게이트와 기판사이에 MOS FET(15)의 임피던스를 감소시키며 기생용량의 전하방전이 가속될 수 있다. 트랜지스터(17)가 N채널형일 때 1칩 배치내에 릴레이에 대한 제조공정이 복잡하게 되지않는다.

예를들어 P채널형 SIT 또는 FET가 트랜지스터(17)로 사용될 때 기생용량 방전시간을 단축하는 것이 어렵다. 즉, 이 경우의 트랜지스터(17)는 MOS FET(15)의 게이트와 다이오드 어레이(13)사이의 임피던스소자로서 삽입된 다이오드(14)에 따라 동작되며 광기전력 다이오드 어레이(13)에 보내진 전류는 다이오드에 의해 정류되어 차단되며 짧은시간내에 기생용량의 방전이 이루어질 수 없다. 상기한 배치의 사용에 필요한 저전압 게이트 차단특성을 갖는 트랜지스터를 제조하는 방법은 추후 제조방법의 설명에서 명확하게 될 것이다.

광기전력 다이오드 어레이(13), 임피던스 소자(14) 및 트랜지스터를 포함하여 광수신 및 구동부를 형성하는 제 1 도에 점선(10a)으로 둘러싸인 고체 릴레이(10) 부분은 제 2 도에 표시된 바와같은 1 칩 형태로 준비되는 것이 바람직하다. 이 경우에 MOS FET(15)의 게이트와 기판에 접속되는 배선판(18 및 18a)가 칩(19)위에 구비되며 각각 다이오드 어레이(13)와 임피던스 소자(14)에 접속된다. 임피던스 소자(14)와 트랜지스터(17)는 광차단을 위해 배선 알루미늄막(20)으로 코팅되는 것이 바람직하다. 임피던스 소자(14)로서 다이오드가 사용될 때 릴레이에 대한 요구되는 점유영역은 저항을 사용하는 경우와 비교할 때 현저하게 감소될 수 있으며, 다이오드의 사용은 특히 1칩의 형태로 극소화를 시도하는데 최적이다.

한편, 광수신 및 구동부(10a)를 원칩에 만들거나 혹은 릴레이를 소형화할 필요가 없으면, 다이오드는 동일소자가 100을 더한 것을 제외하고 제 1 도와 동일부재번호로 표시되었고, 고체 릴레이의 배치 및 동작이 본질적으로 제 1 도의 실시예와 동일한 제 3 도의 또 다른 실시예에 도시된 값싼 저항(114)으로 대체될 수 있다. 트랜지스터의 게이트 차단특성에 의존하는 트랜지스터의 게이트에 큰 부전압이 공급될 필요가 있을 때, 저항(214a) 및 다이오드(214b)의 직렬회로가 제 4 도의 또다른 실시예에 도시된 바와같이 임피던스 소자(214)로서 공급될 수 있으며 제 4 도에서 제 1 도 실시예와 동일한 소자는 200이 더해진 동일부재번호로 표시되었고, 고체 릴레이의 배치 및 동작이 본질적으로 제 1 도의 실시예와 동일하다. 다음에 제 6 도를 참조하여 제 2 도에 도시된 원칩의 형태로 제 1 도의 점선으로 둘러싸인 부를 제조하는 단계에 대하여 상세히 설명할 것이다 : a) 제 6(a) 도에 도시된 바와같이, N형 고불순물농도층(22)은 에피택셜 결정성장기술에 의하여 N형 저불순물 농도 단결정 실리콘 기판(21) 위에 성장된다. 기술된 실시예에서, 단결정 실리콘 기판(21)은 수십 내지 수백 Ωcm 의 저항성을 갖도록 선택되며 더 높은 불순물층(22)은 거의 $0\Omega\text{cm}$ 의 저항성 및 수십 μm 의 두께를 갖도록 세트된다.

b) 제 6(b)도에 도시된 바와같이, 제 6(a) 도의 단계에서의 에피택셜 결정성장을 통하여 형성된 더 높은 불순물층(22)에는 가지의 반도체 처리방법에 의하여 실리콘산화(SiO_2)막이 제공되며, 산화막은 가지의 사진 및 산화막 에칭기술에 의하여 소망위치에 에칭되어, 그 다음에 다수의 단면이 V형인 홈(23)을 형성하기 위하여 실리콘 결정 알칼리 비등방성 용액(전형적으로, 에틸렌디아민 46.4몰%, 피로카테콜 4몰% 및 물 4.6몰%의 혼합용액)을 비등방성 에칭이 되며 환류콘덴서를 갖춘 플라스크내에서 끓는 점 118°C 에서 가열된다. 이경우에 V형 홈(23)의 깊이는 홈의 하단이 단결정 실리콘 기판(21)의 내부에 도달할 정도로 세트된다.

c) 제 6(c) 도에 도시된 바와같이, N형 고불순물확산층(24)은 제 6(b) 도의 단계에서 만들어진 V형 홈(23)을 포함하는 제 6(a) 도의 단계에서 만들어진 더 높은 불순물층(22)의 전표면에 가지의 반도체 처리방법에 의하여 형성된다.

d) 제 6(d) 도에 도시된 바와같이, 실리콘 산화막(바람직하게는 SiO_2)으로 만들어진 절연막(25)은 제 6(c) 도의 단계에서 만들어진 도핑층(24)의 전표면에 형성된다. 기술된 실시예에서, 막(25)은 단지 절연막(25)으로서의 기능을 하는데 충분할 뿐이며 Si_3N_4 혹은 유사한 것으로 피복될 수 있다.

e) 제 6(e) 도에 도시된 바와같이, 캐리어의 기능을하는 다결정 실리콘층(26)은 제 6(d) 도의 단계에서 만들어진 절연막(25)위에 형성된다. 다결정 실리콘층(26)의 두께는 바람직하게는 예를들면 단결정 실리콘 기판(21)의 두께와 거의 같도록 세트된다.

f) 제 6(f) 도에 도시된 바와같이, 제 6(e) 도의 단계에서 얻어진 성층은 제 6(e)도에 도시된 존(P)을 제거하기 위하여 단결정 실리콘 기판(21)의 측면으로부터 표면연마가 된다. 표면연마를 함에 있어서, 성층은 처음에는 거칠게 래핑(lapping)되며, 다음 더 미세하게 래핑되어, 마지막으로 폴리싱(polishing)되어 거울같은 결과로 된다. 전술한 단계(a 내지 f)를 통하여 얻어진 칩은 절연막(25)에 의하여 및 다결정 실리콘층(26)에 섬의 형태로 둘러싸인 다수의 단결정 실리콘층(21a)을 포함하는 유전체층 분리기판임이 명확해질 것이다. 이 경우에, 각 단결정 실리콘층(21a)은 한 측면에 저불순물 농도의 단결정층을 갖도록 형성되며, 다른측면 및 주위에는 고불순물 농도의 단결정 에어리어를 갖도록 형성된다.

V형 홈(23)의 깊이에 따라, 단계(a)는 생략될 수 있다. 즉 N형 고도핑층(22)은 구비되지 않을 수 있으며, 다른측면 및 주위에 고(high) 도핑된 단결정 에어리어는 단지 단계(c)의 N형 고도핑 에어리어(24)로 형성될 수 있다.

칩 즉, 유전체층 분리기판에 광기전력 다이오드 배치(13)가 형성될 수 있고, 그 배치의 한 장치 다이오드는 제 7 도 및 제 8 도에 도시된 것과같이 될 것이다. 이 경우에, N형 고불순물 농도층(22) (혹은 N형 고도핑 에어리어(24))이 각 다이오드의 캐소드층으로서 이용되며, 인접한 두 캐소드층은 칩에 형성된 N형 고도핑 에어리어(24) 및 N형 확산층(27)을 통하여 알루미늄 배선 전극부품(28)에 의하여 서로 접속된다. P형 확산층(29)은 다이오드의 양극 에어리어로서 사용되도록 칩에 형성되며, 인접한 두 확산층(29)은 알루미늄배선 전극부품(28a)에 의하여 상호 접속된다. 그러한 다수의 장치 다이오드는 이러한 방법으로 상호접속될 때 광기전력 다이오드 배치(13)는 형성될 수 있다. 이 경우에, 다이오드 배치(13)의 장치 다이오드는 서로 절연된 채로 분리되므로, P-N 접합 절연의 경우에 반하여 기생성분으로 인하여 누설이 발생하지 않으며, 고전압을 발생시키는 것이 가능하다. 더우기 N형 저불순물농도의 기판(21)의 사용은 다이오드 어레이가 고수준의 광기전력 출력을 발생할 수 있게 한다.

상기 유전체층 분리(isolated) 기판으로부터, 제 9 도 및 10 도에 도시된 것과같은 스택 인덕션 트랜지스터(SIT)가 형성될 수 있다. 이 경우, P형 확산층(30)은 단결정 실리콘층(21a)상에 SIT의 게이트로서 형성되고 SIT의 소스로서 N형 확산층(31)은 고불순물농도 N형이 도우핑된 다결정 실리콘으로 제조된다. N형 확산층의 전극(32)도 역시 다결정 실리콘으로 제조되어 알루미늄 배선부(33)에 연결된다. P형 확산층(30)의 전극으로서 알루미늄 배선부(34)는 상호 손가락이 엇갈린 형태로 형성된다. SIT의 드레인인 N형 고불순물 농도층(22), N형 고도우핑영역(24) 및 기판상에 형성된 N형 확산층을 통해서 알루미늄 배선전극부(35)에 연결된다. 이 경우 임피던스 소자(14) 및 제 2 도에 있는 SIT와 같은 트랜지스터가 표면안정화막(36)과 광차폐용 알루미늄막(20)으로 덮히는 것이 바람직하다.

접합형 FET로 제 2 도에 도시된것처럼 원칩에 있는 트랜지스터로서 사용될 때, 다음 제조공정을 이용하는것이 바람직하다. 제 11도를 참조하여 : i) 제 11(a) 도에 도시된것처럼, 유전체층 분리(seperated) 기판을 얻기위해, 절연막(25)이 다결정 실리콘층(26)과 반도체단결정층(50) 사이에 삽설되면서 반도체 단결정층(50)이 캐리어로서 다결정 실리콘층(26)의 한쪽위에 형성된다.

II) 제 11(b) 도에 도시된것처럼, 선택 N형 에피택셜층(51)은 제 11(a) 도의 공정에서 준비된 기판상의 FET가 형성되는게 소망스러운 한 선택영역에 형성된다. III) 제 11(c) 도에 도시된것처럼, P형층(51a)은 이층의 상부표면으로부터 확산됨에 따라 제 11(b) 도의 공정에서 형성된 에피택셜층(51)내에 형성되고, 이들 P형층(51a)은 FET의 게이트를 형성하기 위해 P형 확산층(52)을 통해서 P형 단결정층(50)에 접속된다. 동시에, N형층(51a)은 상부표면으로부터 확산됨에 따라 역시 에피택셜층(51)내에 형성되고, 전극(51c)은 FET의 드레인 및 소스를 형성하기 위해 N형 확산층(51b)상에 부착되며, 이중 코팅은 표면안정화막(53)과 광차폐용 알루미늄막(20)으로 형성된다.

제 11(c) 도에 도시된 것과같은 이와같은 FET가 트랜지스터(17)로서 사용될 때, 제 11(a) 도의 공정에서 얻어진 유전체층 분리기판의 반도체 단결정층(50)상에 캐소드로서 N형 확산층(54)을 형성하고, 애노드와 인접 유니트 다이오드의 캐소드를 각각 알루미늄 배선부(55 및 55a)를 통해서 연결하고, N 및 P형 확산층(50 및 54)을 피복하기 위해 이들 층상에 실리콘산화물막(56)을 형성하여서, 광기전력 다이오드 어레이(13)는 제 12 도에 도시된 것처럼 준비된다.

당분야에 통상의 지식을 가진자는 상기에 인용된 제조공정을 통해서 원칩 제조에서 얻어질 수 있는 전술한 광수신 및 구동부(10a)는 발광 다이오드 및 MOS FET와 함께 혼성 IC장치에 일체로 될 수있고, 이에 의해서 광복합만큼 간소화된 공정을 통해서 고체 릴레이가 제조될 수 있으므로 값싸게 대량생산이 가능하다는 것을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1

릴레이의 입력단자에 접속되어 상기 입력단자에 입력전류가 존재할 때 광신호를 발생하기 위한 발광소자, 상기 발광소자에 광결합되어 발광소자로부터의 광신호에 응하여 광기전력 출력을 발생하기 위한 광기전력 다이오드 어레이, 상기 광기전력 다이오드 어레이에 직렬로 접속된 임피던스 소자, 상기 광기전력 다이오드 어레이 및 릴레이의 출력단자에 접속되어 게이트와 기판전극 양단에 상기 광기전력 출력이 가해질 때 제 1 임피던스 상태로부터 제 2 임피던스 상태로 변화하는 출력 MOS FET, 및 상기 MOS FET에서 접속되며, 광기전력 다이오드 어레이와 임피던스 소자 사이의 접속점에 접속되는 제어전극을 구비하고 광기전력 다이오드 어레이의 광기전력 출력의 존재시 임피던스소자 양단에 발생하는 전압에 의해 상기 제 1 및 제 2 임피던스 상태중 높은 상태로 되도록 바이어스되는 정상시 온 구동트랜지스터로 구성되는 것을 특징으로 하는 고체 릴레이.

청구항 2

제 1 항에 있어서, 상기 구동트랜지스터는 정상시 온 N채널 스택 인덕션 트랜지스터인 것을 특징으로 하는 고체 릴레이.

청구항 3

제 1 항에 있어서, 상기 구동트랜지스터는 디플리션 N채널 모드 FET인 것을 특징으로 하는 고체 릴레이.

청구항 4

제 1 항에 있어서, 상기 임피던스 소자는 적어도 1저항으로 이루어지는 것을 특징으로 하는 고체 릴레이.

청구항 5

제 4 항에 있어서, 상기 임피던스 소자는 더우기 상기 저항에 접속되는 다잉오드를 더 포함하는 것을 특징으로 하는 고체 릴레이.

청구항 6

저불순물 농도 단결정 기판층의 1측면위에 제 1 고불순물 농도층을 형성하는 단계 ; 상기 제 1 고불순물 농도층내에 층의 상면으로부터 상기 단결정 기판에 도달하는 복수의 홈을 형성하는 단계 ; 상기 제 1 고불순물 농도층과 상기 홈의 전표면에 제 2 고불순물 농도층을 형성하는 단계 ; 상기 제 2 고불순물 농도층 전표면을 절연막으로 코팅하는 단계 ; 상기 절연막 위에 캐리어층을 형성하는 단계 ; 제 1 및 제 2 고불순물 농도층이 상기 복수의 홈을 채우는 상기 캐리어층에 의해 상호 분리되며 상기 절연막에 의해 전기적으로 분리되는 복수의 아이슬랜드 형태로 형성되며 상기 단결정 기판층이

각각 상기 아이슬랜드 사이에 나타나도록 유전층 분리기판을 준비하여 상기 저불순물 농도 단결정 기판층을 그것의 타측면으로부터 연마하는 단계 ; 및 각 아이슬랜드이 상기 제 1 및 제 2 고불순물 농도층을 구비하여, 발광소자와 광결합하여 출력 MOS FET의 게이트와 기판전극 사이에 인가되는 광기전력 출력을 발생하기 위한 광기전력 다이오드 어레이의 복수의 다이오드, 상기 광기전력 다이오드 어레이의 양단자와 상기 MOS FET의 상기 게이트와 기판전극에 접속되는 임피던스 소자, 및 임피던스 소자를 통해 흐르는 전류에 의해 상기 임피던스 소자 양단의 강하전압에 의해 고임피던스 상태로 되도록 바이어스되는 정상시 온 구동트랜지스터를 형성하는 단계로 구성되는 것을 특징으로 하는 고체 릴레이 제조방법.

청구항 7

제 6 항에 있어서, 상기 저불순물 농도 단결정 기판층은 N형이고, 상기 트랜지스터는 각각 상기 기판 준비단계에서 상기 연마후에 나타나는 상기 저불순물 농도 단결정층에 형성되는 P형 도전층 및 N형 고농도 확산층의 게이트 및 소스와 상기 저불순물 농도 단결정 기판층의 주변에 형성되는 N형 고불순물 농도층의 드레인으로 이루어진 스택 인덕션 트랜지스터인 것을 특징으로 하는 고체 릴레이 제조방법.

청구항 8

제 6 항에 있어서, 상기 저불순물 농도 단결정 기판층은 N형이고, 상기 광기전력 다이오드 어레이의 다이오드 각각은 상기 기판 준비단계에서 상기 연마후에 나타나는 일부층을 제외하고 N형 기판층의 상면 일부에 확산에 의해 형성되는 P형 확산층의 애노드와 상기 일부층에 형성되는 N형 확산층과 상기 애노드층의 주변에 형성되는 N형 고불순물 농도층의 캐소드로 이루어지도록 상기 N형 기판층위에 형성되는 것을 특징으로 하는 고체 릴레이 제조방법.

청구항 9

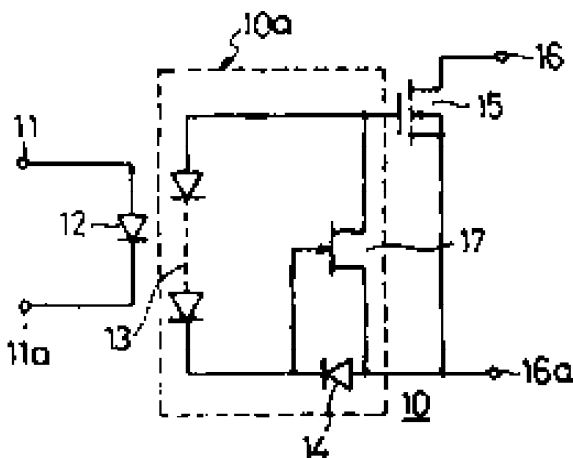
제 6 항에 있어서, 상기 저불순물 농도 단결정 기판층은 N형이고, 상기 구동트랜지스터는 각각 상기 기판 준비단계에서 상기 연마후에 노출되는 상기 N형 기판층에 각각 형성되는 P형 도전층과 N형 고농도 확산층의 게이트와 소스 및 상기 N형 기판층의 주변에 형성되는 N형 고불순물 농도층의 드레인으로 이루어지는 스택 인덕션 트랜지스터이며 ; 그리고 상기 광기전력 다이오드 어레이의 다이오드와 다이오드로 구성되는 상기 임피던스 소자는 일부층을 제외한 노출된 N형 기판층의 상면부에 확산되어 형성되는 P형 확산층의 애노드와 상기 일부층에 형성되는 N형 확산층 및 상기 애노드층의 주변에 형성되는 N형 고불순물 농도층의 캐소드로 이루어지도록 상기 기판위에 형성되며 ; 상기 광기전력 다이오드 어레이와 임피던스 소자를 형성하는 상기 구동트랜지스터 및 상기 다이오드는 1칩의 형태로 형성되는 것을 특징으로 하는 고체릴레이 제조방법.

청구항 10

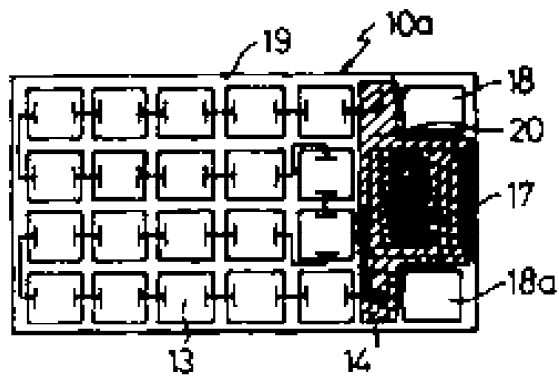
제 9 항에 있어서, 상기 트랜지스터는 상기 드레인층이 상기 광기전력 다이오드 어레이의 상기 애노드측에 접속되고, 상기 소스층은 상기 임피던스 소자를 형성되는 상기 다이오드의 애노드에 접속되며, 상기 게이트층은 상기 다이오드 어레이 및 임피던스 소자 다이오드의 캐소드측에 접속되고, 상기 트랜지스터의 드레인과 소스는 전극패드에 접속되며, 트랜지스터와 임피던스 소자 다이오드는 광 차단 수단으로 코팅되는 것을 특징으로 하는 고체 릴레이 제조방법.

도면

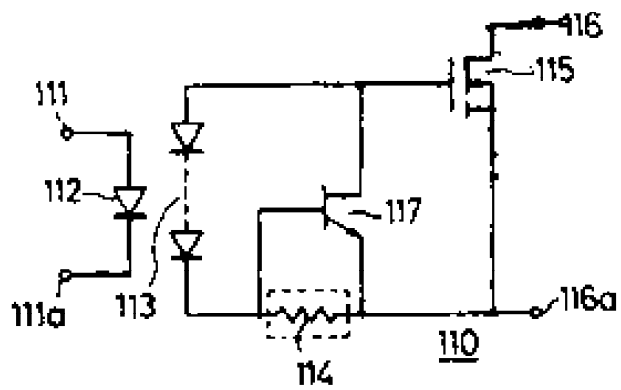
도면1



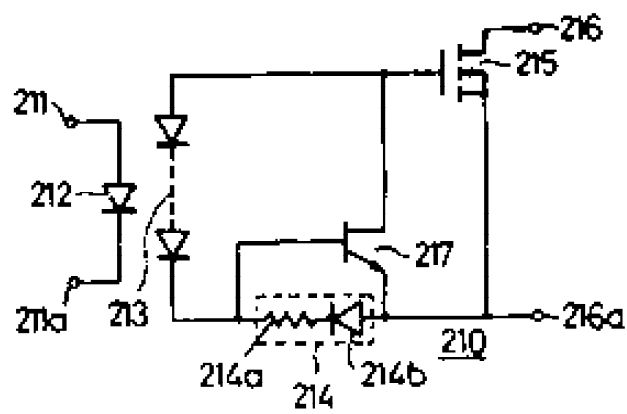
도면2



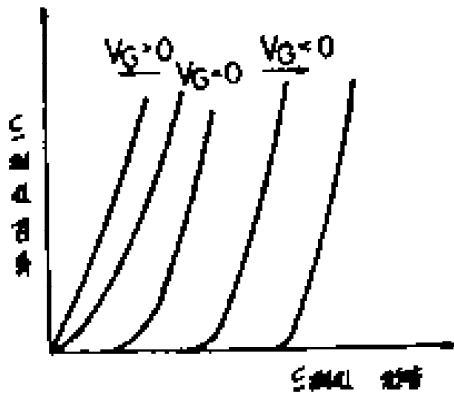
도면3



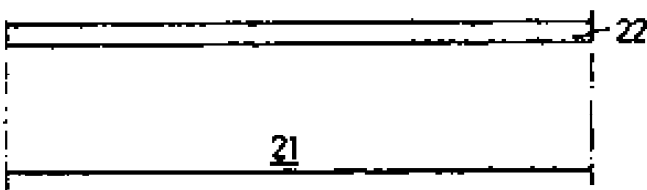
도면4



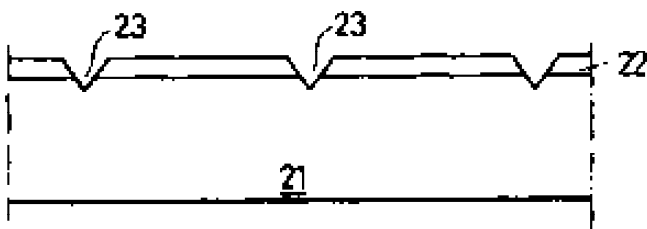
도면5



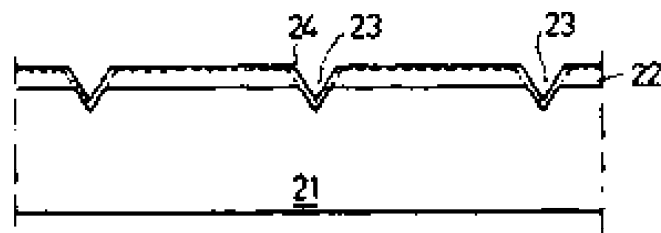
도면6-a



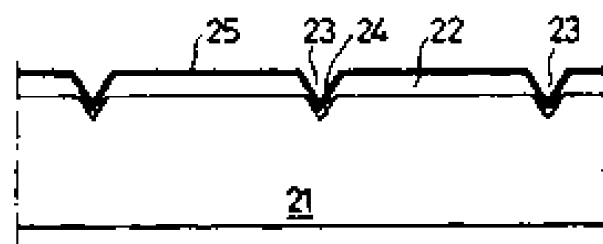
도면6-b



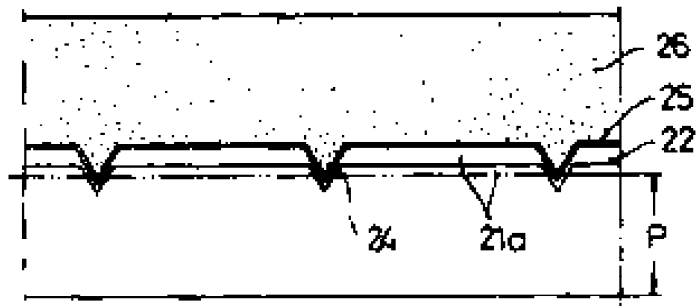
도면6-c



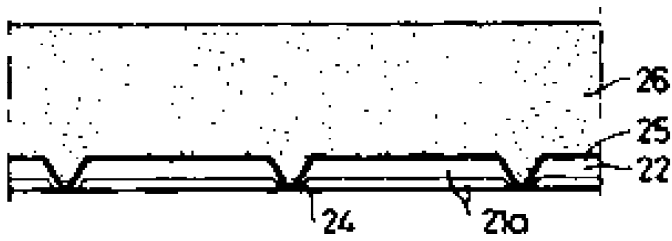
도면6-d



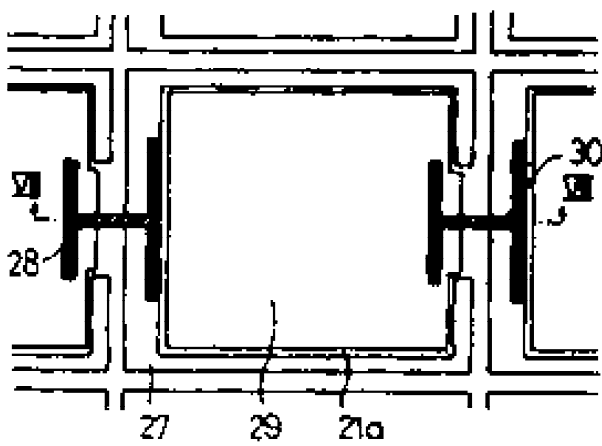
도면6-e



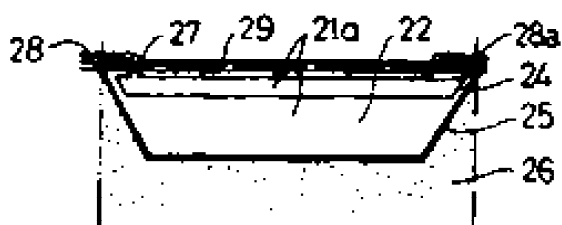
도면6-f



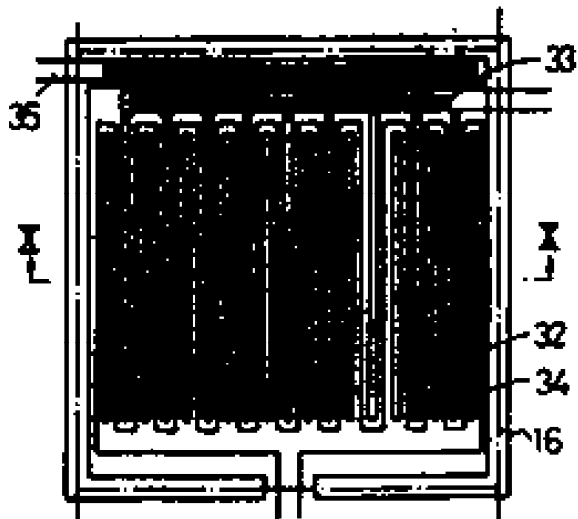
도면7



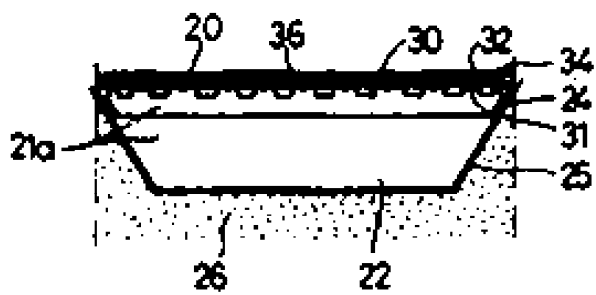
도면8



도면9



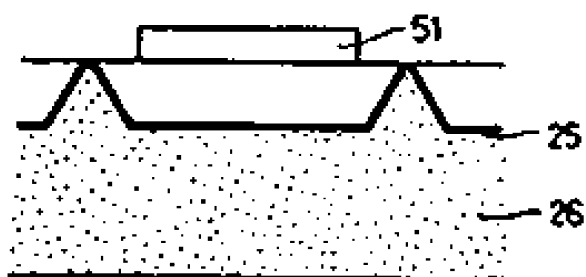
도면10



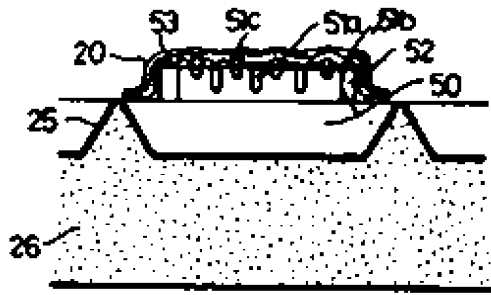
도면11-a



도면11-b



도면11-c



도면12

