(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H01L 27/108

(11) 공개번호 특1999-0063067
(43) 공개일자 1999년07월26일

(21) 출원번호 10-1998-0055100
(22) 출원일자 1998년12월15일
(30) 우선권주장 97-348822 1997년12월18일 일본(JP)
98-311412 1998년10월30일 일본(JP)
98-311412 1998년10월30일 일본(JP)
(71) 출원인 가부시키가이샤 히타치세이사쿠쇼 가나이 쓰토무
일본 도쿄토 치요다쿠 간다스루가다이 4쪼메 6반치
(72) 발명자 나카무라 요시타카
일본 도쿄토 오메시 신마치 7쪼메 55-6-305
아오키 히데오
일본 도쿄토 무사시무라야마시 나카하라 1쪼메 18-49
오히라 요시카즈
일본 도쿄토 오메시 신마치 9쪼메 4-4
우메자와 타다시
일본 도쿄토 오메시 신마치 9쪼메 4-4
야마다 사토루
일본 도쿄토 오메시 오메 478-1-202
카와키타 케이조
일본 도쿄토 오메시 신마치 7쪼메 13-4
아사노 이사무
일본 사이타마켄 이루마시 시모후지사와 1314-3-804
후쿠다 나오키
일본 도쿄토 오메시 카베마치 7쪼메 22-4
타마루 쯔요시
일본 도쿄토 하치오지시 키타노다이 5쪼메 45-8
고토 히데카즈

일본 도쿄토 훗사시 미나미 덴엔 3쪼메 13-23-205
고바야시 노부요시
일본 사이타마켄 카와고에시 이세하라쪼 1쪼메 18-1
(74) 대리인 임석재, 윤우성

심사청구 : 없음

(54) 반도체 집적회로장치 및 그 제조방법

요약

비트선 접속구멍에서의 다결정실리콘플러그의 요철을 방지하고, 비트선과 다결정실리콘플러그와의 접속부의 실리사이드막의 횡방향의 에칭을 방지한다.

제1층 배선(18)과 동시에 형성되는 비트선(BL)을 티탄막(18a)과 질화티탄막(18b)과 텅스텐막(18c)과의 적층막으로 하고, 비트선(BL)과 플러그(19)와의 접속부에 질소 또는 산소를 포함하는 티탄실리사이드막(20)을 형성한다. 제1층 배선(18)과 반도체 기판(1)과의 접속부에도 질소 또는 산소를 포함하는 티탄실리사이드막(20)을 형성할 수 있다. 티탄실리사이드막(20)을 대신하여 질소 또는 산소를 포함하는 텅스텐실리사이드층, 질소 또는 산소를 포함하는 코발트 실리사이드층, 또는 코발트 실리사이드층으로 할 수 있다.

대표도

도4

명세서

도면의 간단한 설명

도 1은 본 발명의 실시형태 1의 DRAM을 형성한 반도체 칩 전체의 일례를 나타낸 평면도,

도 2는 실시형태 1의 DRAM의 등가회로도,

도 3은 도 1의 일부를 확대한 평면도,

도 4는 도 3에서의 IV-IV선의 단면도,

도 5는 실시형태 1의 DRAM의 제조방법의 일례를 공정순으로 나타낸 단면도,

도 6은 실시형태 1의 DRAM의 제조방법의 일례를 공정순으로 나타낸 단면도,

도 7은 실시형태 1의 DRAM의 제조방법의 일례를 공정순으로 나타낸 단면도,

도 8은 실시형태 1의 DRAM의 제조방법의 일례를 공정순으로 나타낸 단면도,

도 9는 실시형태 1의 DRAM의 제조방법의 일례를 공정순으로 나타낸 단면도,

도 10은 실시형태 1의 DRAM의 제조방법의 일례를 공정순으로 나타낸 단면도,

도 11은 실시형태 1의 DRAM의 제조방법의 일례를 공정순으로 나타낸 단면도,

도 12는 실시형태 1의 DRAM의 제조방법의 일례를 공정순으로 나타낸 단면도,

도 13은 실시형태 1의 DRAM의 제조방법의 일례를 공정순으로 나타낸 단면도,

도 14는 실시형태 1의 DRAM의 제조방법의 일례를 공정순으로 나타낸 확대단면도이고, 도 14의 (a)는 도 13의 단계에서의 도 3의 XIV-XIV선의 단면도, 도 14의 (b)는 패터닝하여 비트선을 형성한 후의 XIV-XIV선의 단면도,

도 15는 실시형태 1의 DRAM의 제조방법의 일례를 공정순으로 나타낸 단면도,

도 16은 실시형태 1의 DRAM의 제조방법의 일례를 공정순으로 나타낸 단면도,

도 17은 실시형태 1의 DRAM의 제조방법의 일례를 공정순으로 나타낸 단면도,

도 18은 실시형태 1의 DRAM의 제조방법의 일례를 공정순으로 나타낸 단면도,

도 19는 본 발명자들에 의해 검토된 실험결과를 나타내는 그래프이고, 질소 함유량에 대한 컨택트 저항(접촉저항)의 변화를, 도 19의 (a)는 n형 기판의 경우, 도 19의 (b)는 p형 기판의 경우에 대해서 나타낸 도면,

도 20은 본 발명자들에 의해 검토된 실험결과를 나타내는 그래프이고, 질소 함유량에 대한 리크전류의 변화를, 도 20의 (a)는 n형 기판의 경우, 도 20의 (b)는 p형 기판의 경우에 대해서 나타낸 도면,

도 21은 실시형태 2의 DRAM의 제조방법의 일례를 나타낸 확대단면도,

도 22는 실시형태 2의 DRAM의 제조방법의 일례를 나타낸 확대단면도,

도 23은 실시형태 2의 DRAM의 제조방법의 일례를 나타낸 확대단면도,

도 24는 실시형태 2의 DRAM의 제조방법의 다른 예를 나타낸 확대단면도,

도 25는 실시형태 3의 DRAM의 제조방법의 일례를 나타낸 확대단면도,

도 26은 실시형태 3의 DRAM의 제조방법의 일례를 나타낸 확대단면도,

도 27은 실시형태 3의 DRAM의 제조방법의 일례를 나타낸 확대단면도,

도 28은 실시형태 3의 DRAM의 제조방법의 일례를 나타낸 확대단면도,

도 29는 실시형태 4의 DRAM의 제조방법의 일례를 나타낸 단면도,

도 30은 실시형태 4의 DRAM의 제조방법의 일례를 나타낸 단면도,

도 31은 실시형태 4의 DRAM의 제조방법의 일례를 나타낸 단면도,

도 32는 실시형태 5의 반도체 집적회로장치의 일례를 나타내고, 도 32의 (a)는 간접주변회로의 일부를 나타낸 평면도이고, 도 32의 (b)는 그 등가회로도,

도 33은 실시형태 6의 DRAM의 제조방법의 일례를 나타낸 확대단면도,

도 34는 실시형태 6의 DRAM의 제조방법의 일례를 나타낸 확대단면도,

도 35는 실시형태 6의 DRAM의 제조방법의 일례를 나타낸 확대단면도,

도 36은 실시형태 6의 DRAM의 제조방법의 일례를 나타낸 확대단면도,

도 37은 컨택트 저항과 접속구멍의 저부에서의 티탄실리사이드막의 막두께와의 관계를 나타낸 그래프이고, 도 37의 (a)는 n형의 경우, 도 37의 (b)는 p형의 경우를 나타낸 도면,

도 38은 실시형태 7의 DRAM의 제조방법의 일례를 나타낸 확대단면도,

도 39는 실시형태 7의 DRAM의 제조방법의 일례를 나타낸 확대단면도,

도 40은 실시형태 7의 DRAM의 제조방법의 일례를 나타낸 확대단면도,

도 41은 실시형태 7의 DRAM의 제조방법의 일례를 나타낸 확대단면도,

도 42는 실시형태 8의 DRAM의 제조방법의 일례를 나타낸 확대단면도,

도 43은 실시형태 9의 DRAM의 제조방법의 일례를 나타낸 확대단면도,

도 44는 실시형태 9의 DRAM의 제조방법의 일례를 나타낸 확대단면도,

도 45는 실시형태 9의 DRAM의 제조방법의 다른 예를 나타낸 확대단면도,

도 46은 실시형태 10의 DRAM의 제조방법의 일례를 나타낸 단면도,

도 47은 실시형태 10의 DRAM의 제조방법의 일례를 나타낸 단면도,

도 48은 본 발명의 일례를 나타내는 평면도이다.

〈도면의 주요부분을 나타내는 부호의 설명〉

1반도체 기판 1A 반도체 칩

2, 3 p형 웰 4 : n형 웰

6 딥 웰(deep well) 7 분리영역,

8 얕은 홈 9 실리콘산화막,

10 게이트절연막 11 게이트전극,

11a 다결정실리콘막 11b 질화티탄막,

11c 텅스텐막 12 불순물 반도체영역,

13캡절연막 14 실리콘질화막,

15불순물 반도체영역, 15a 농도 불순물영역,

15b고농도 불순물영역, 16 사이드월스페이서,

17층간절연막, 17a SOG막,

17bTEOS산화막, 17c TEOS산화막,

17dTEOS산화막, 18(M1) 제1층 배선,

18a티탄막, 18b질화티탄막,

18c텅스텐막, 19 플러그(plug),

20티탄실리사이드막, 21 접속구멍,

22a캡절연막, 22b 사이드월스페이서,

23층간절연막, 23a SOG막,

23bTEOS산화막, 23c TEOS산화막,

23d실리콘질화막, 24 절연막,

25플러그, 26 플러그,

27하부전극, 28 용량절연막,

29플레이트전극, 30 절연막,

31(M2)제2층 배선, 31a 티탄막,

31b알루미늄막, 31c 질화티탄막,

32플러그, 32a 접착층,

32b텅스텐막, 33 층간절연막,

33aTEOS산화막, 33b SOG막,

33cTEOS산화막, 34(M3) 제3층 배선,

35플러그, 40 포토레지스트막,

50질화티탄막, 51, 52a, 54 티탄실리사이드막,
52다결정실리콘막, 53 티탄막,
A메모리셀 어레이영역, B 직접주변회로영역,
BL비트선, BLCT 비트선 접속구멍,
BP비트선 플러그, C 캐퍼시터,
C간접주변회로영역, CT 접속구멍,
CTP배선플러그, D 구멍지름,
FG1게이트배선, FG2 게이트 배선,
L_1활성영역, L_2활성영역,
L_3활성영역, M 금속막,
MARY메모리 어레이, OVE 오버에칭량,
Qnn채널 MISFET, Qpp채널 MISFET,
Qs선택 MISFET, SA센스앰프,
SNCT캐퍼시터 접속구멍, WD워드 드라이버,
WL워드선.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 집적회로장치 및 그 제조기술에 관한 것이고, 특히 DRAM(Dynamic Random Access Memory)을 가지는 반도체 집적회로장치에 적용하여 유효한 기술에 관한 것이다.

대용량 메모리를 대표하는 반도체 메모리로서 DRAM이 있다. 이 DRAM의 메모리용량은 점점 더 증대하는 경향이고, 그것에 따라서 DRAM의 메모리셀의 집적도를 향상시키는 관점에서 메모리셀의 전유(專有)면적도 축소시키지 않을 수 없는 방향으로 나아가고 있다.

그러나, DRAM의 메모리셀에서의 정보축적용 용량소자(이하, 간단히 캐퍼시터라고 함)의 축적용량치는 DRAM의 동작마진이나 소프트에러 등을 고려하는 관점에서 세대에 관계없이 일정량이 필요하며, 일반적으로 비례 축소 할 수 없는 것이 알려져 있다.

그래서, 한정된 작은 점유면적내에 필요한 축적용량을 확보할 수 있는 캐퍼시터구조의 개발이 진행되고 있다. 그와 같은 캐퍼시터의 구조로서, 크라운(crown)형상 등의 입체적 구조를 가지는 폴리실리콘 등으로 이루어지는 하부전극에 용량절연막을 통해 플레이트 전극을 형성하는 입체 캐퍼시터구조가 채용되어 있다.

입체 캐퍼시터는 캐퍼시터전극을 메모리셀의 선택MISFET(Metal Insulator Semiconductor Field Effect Transistor ; 이하, 간단히 선택 MISFET이라고 함)의 상층에 배치하는 구조가 일반적이고, 이 경우 작은 점유면적으로 큰 축적용량을 확보할 수 있다는 특징이 있다.

이와 같은 입체 캐퍼시터 구조로서, 예컨대 특개평 7-122654호 공보에 기재되어 있는 기술, 즉 캐퍼시터를 비트선의 상방에 배치하는, 소위 캐퍼시터·오버·비트라인(Capacitor Over Bitline ; 이하, COB라고 함) 구조가 알려져 있다.

상기의 COB구조를 갖는 DRAM은 반도체 기판상에 선택 MISFET 및 주변회로의 MISFET을 형성하고, 층간 절연막을 통해 메모리셀의 상부에 데이터의 기록, 판독을 행하기 위한 비트선 및 주변회로의 제1층 배선이 형성된다. 그 후 캐퍼시터가 형성된다. 캐퍼시터는 축적전극(하부전극), 용량절연막, 플레이트전극(상부전극)을 순차 적층하여 형성된다. 캐퍼시터의 축적전극은 n형의 불순물(인)을 도핑한 다결정실리콘으로 구성되고, n채널형으로 구성된 메모리셀 선택 MISFET의 반도체 영역(소스, 드레인영역)의 한쪽에 접속된다. 플레이트 전극은 복수의 메모리셀에 공통의 전극으로서 구성되고, 소정의 고정위치가 공급된다.

비트선은 선택 MISFET을 덮는 절연막에 개공(開孔)된 접속구멍을 통해 선택 MISFET의 반도체 영역(소스, 드레인영역)의 한쪽에 접속된다. 이 접속은 접속구멍내에 형성된 다결정 실리콘플러그를 통해 행해진다. 선택 MISFET의 반도체 영역의 다른 쪽은 캐퍼시터에 접속된다. 비트선은 데이터의 기록, 판독 동작을 고속화하기 위해 저저항(低抵抗)의 메탈재료로 구성된다.

이와 같은 DRAM에서는, 비트선 또는 주변회로의 제1층 배선은 텅스텐(W)막이 사용된다. 비트선 및 주변회로의 제1층 배선을 알루미늄(Al)에 비해 일렉트로 마이그레이션(electro migration)내성이 높은 텅스텐으로 구성하는 것은 미세화된 DRAM의 배선수명을 확보하는 유효한 대책으로 된다.

그러나, 일반적으로 배선과 기판이 접촉하는 장소에서는, 배선을 구성하는 메탈재료와 기판을 구성하는 실리콘이 반응하여 실리사이드층이 형성된다. 텅스텐막과 실리콘기판이 반응하여 생기는 실리사이드(텅스텐 실리사이드)층은 기판에 미치는 스트레스가 크다. 따라서, 비트선 또는 주변회로의 제1층째의 배선을 텅스텐막으로 구성하는 경우는 실리콘기판과 반응했을 때 스트레스가 작은 실리사이드층을 형성하는

메탈막을 텅스텐막의 하층에 설치할 필요가 있다.

이와 같은 스트레스가 작은 실리사이드층을 형성하는 메탈막으로서, 상기 공보에서는 티탄(Ti)막이 예시되어 있다. 티탄막은 절연막에 대한 접착성이 양호하고, 또 실리콘기판과 반응했을 때 형성되는 티탄실리사이드($TiSi_x$, $x \leq 2$)층은 기판에 미치는 스트레스가 작다. 이 때문에, 티탄실리사이드는 텅스텐막의 하층에 설치되는 메탈막으로서 바람직한 재료이다.

또한, 주변회로를 구성하는 MISFET의 반도체 영역(소스, 드레인영역)과 제1층째의 배선과의 계면에 티탄실리사이드막을 형성하는 것은 배선의 컨택트(contact)저항을 저감하는 대책으로서도 유효하다.

또 한편으로, 텅스텐막을 CVD법으로 퇴적할 때, 소스가스인 WF_6과 실리콘(Si)이 반응하는 문제가 있다. 또한, 텅스텐막과 실리콘이 집적접촉하고 있으면 나중의 열처리에 의해 반응하는 문제가 있다. 그래서, 티탄막상에 텅스텐막을 퇴적할 경우, 티탄막과 텅스텐막의 중간에 이들의 막에 대한 접착성이 양호하고, 또 WF_6과 실리콘, 또는 텅스텐과 실리콘의 접촉을 피하는 베리어층을 설치할 필요가 있다. 상기 공보에서는 이와 같은 베리어층으로서 질화티탄(TiN)막이 예시되어 있다.

하지만, 일반적으로 DRAM은 메모리셀 어레이영역, 직접 주변회로영역 및 간접 주변회로영역을 갖는다. 메모리셀 어레이영역은 선택 MISFET 및 캐퍼시터가 형성되는 영역이고, 직접 주변회로영역에는 캐퍼시터에 정보로서 기록된 축적전하의 유무를 검출하는 센스앰프 등이 형성된다. 간접 주변회로영역은 직접 주변회로영역의 주변에 형성된다. 메모리셀 어레이 영역의 워드선이나 비트선은 DRAM의 집적도를 최대한 높이기 위해 최소가공치수로 가공된다. 그리고, 직접 주변회로영역에서는 최소가공치수로 가공된 워드선이나 비트선의 피치에 맞추어 MISFET이 최소가공치수로 가공되고, 그 게이트전극 또는 소스·드레인영역에 접속하기 위한 접속구멍도 최소가공치수로 가공되는 것이 일반적이다. 그것에 대하여 간접 주변회로영역에서는 레이아웃적으로 여유가 있고, 칩 면적에의 영향도 별로 크지 않기 때문에, MISFET의 소스·드레인영역 등에 접속하기 위한 접속구멍은 그 구멍지름을 크게 하여 접속이 확실하게 행해지도록 하고 있다.

발명이 이루고자 하는 기술적 과제

그러나, DRAM이 고집적화됨에 따라서 캐퍼시터가 점유할 수 있는 면적이 저감하여 그 용량치가 작아지지 않을 수 없다. 이 때문에, 작은 축적용량치에서도 충분한 감도로 축적전하의 유무를 검출하기 위해서는 센스앰프의 감도향상을 도모함과 동시에, 비트선용량의 저감대책도 빼놓을 수 없다. 비트선용량의 저감을 도모하기 위해서는 비트선의 폭을 미세하게 하여 인접하는 비트선 사이의 거리를 길게 하고, 또는 비트선의 막두께를 얇게 하여 인접하는 비트선 사이의 대향면적을 저감할 필요가 있다.

또한, DRAM의 고집적화를 위해서는 그 면적의 다수를 차지하는 메모리셀 어레이영역의 면적을 저감하여 칩면적의 축소화를 도모할 필요도 있다. 메모리셀 어레이영역의 면적의 저감에는 메모리셀을 구성하는 선택 MISFET의 활성영역, 워드선, 비트선, 캐퍼시터 및 각 부재를 접속하는 접속구멍의 형상과 위치의 최적화를 빼놓을 수 없다. 이 최적화의 경우에 각 부재의 형상은 복잡한 형상으로 하는 것은 불가능하다. 결국, 메모리셀 어레이영역에서는, 각 부재는 거의 최소가공치수로 가공되기 때문에, 포토리소그래피의 한계 근방에서 패터닝되게 된다. 이 패터닝을 할 때 부재의 형상이 복잡하다면 서로 인접하는 부재 사이에서의 노광광의 간섭 등에 의해, 패터닝 불량이 발생할 가능성이 크게 되기 때문이다. 이 때문에, 각 부재의 형상은 가능한 한 단순한 형상, 예컨대 워드선 또는 비트선의 경우에는 직선적인 형상인 것이 요구된다.

하지만, 비트선의 형상을 직선으로 하려고 하면, 또, 비트선의 폭을 미세하게 하려고 하면 비트선과 선택 MISFET의 소스·드레인영역 상에 형성된 다결정실리콘플러그와의 접속부분, 즉 비트선 접속구멍을 완전하게 덮을 수 없게 되어 불가피적으로 비트선 접속구멍이 비트선에 대하여 틈이 벌어진 구조로 된다. 결국, 비트선의 에칭가공시에 비트선 접속구멍의 부분도 동시에 에칭하여 버리게 된다.

이와 같은 틈이 벌어진 구조의 비트선가공을 행하면, 비트선의 기초층인 다결정실리콘플러그에 함몰부가 형성되고, 이 함몰부에 기인하는 기초층의 요철형상이 후에 행하는 포토리소그래피나 에칭 공정에 악영향을 주어 가공정밀도를 저하시킨다는 문제를 발생시킨다.

또한, 종래 기술에서 설명한 바와 같이, 비트선과 다결정실리콘플러그 사이에는 접촉저항을 저감하기 위한 티탄실리사이드막이 형성되어 있다. 틈이 벌어진 구조의 비트선을 에칭하면 티탄실리사이드막을 에칭하게 되고, 비교적 에칭되기 쉬운 티탄실리사이드막이 횡방향으로도 에칭되어, 비트선과 다결정실리콘플러그와의 사이에 공동(空洞)을 발생시켜버리는 경우가 발생한다. 이와 같은 공동의 존재는 비트선과 다결정실리콘플러그의 도전성을 손상시키고 DRAM의 성능을 저하시키는 요인으로 될 우려가 있다.

한편, 종래 기술에서 설명한 바와 같이, 비트선과 제1층 배선은 같은 층에 형성되고, 제1층 배선과 반도체 기판과의 접속부분에도 티탄실리사이드막이 형성되어 있다. 이 티탄실리사이드막의 내열성이 비트선 및 제1층 배선의 형성후에 실시되는 열처리를 충분히 감당할 만한 정도가 아니고, 접속부에서의 리크(leak)전류를 증대시킨다는 문제가 있다. 특히, 직접 주변회로영역과 간접 주변회로영역에서의 접속구멍의 지름이 서로 다른 경우는 내열성의 저하가 현저한 것을 본 발명자들은 인식하였다. 이와 같은 리크전류의 상승, 결국 접속부분에서의 내압의 저하는 접속구멍 저부에 미반응 티탄이 잔류하는 경우에 특히 현저하다고 생각된다.

본 발명의 목적은 비트선 접속구멍에서의 다결정실리콘플러그의 요철을 방지하는 기술을 제공하는 것에 있다. 또한, 이 요철의 방지에 의해, 그 후의 공정, 예컨대 포토리소그래피공정이나 에칭공정에서의 악영향을 제거하고, 공정마진을 증가하는 것에 있다.

또한, 본 발명의 목적은 비트선과 다결정실리콘플러그와의 접속부의 실리사이드막의 횡방향 에칭을 방지하는 것에 있다. 또한, 이 실리사이드막의 횡방향 에칭의 방지에 의해 비트선과 다결정실리콘플러그와의 도전성을 안정하게 확보하고, 반도체 집적회로장치의 수율 및 신뢰성을 향상하는 것에 있다.

또한, 본 발명의 목적은 비트선의 용량을 저감하고, DRAM의 정보기억에 필요한 축적용량의 저감, 또는 DRAM의 동작속도의 향상을 도모하는데 있다.

또한, 본 발명의 목적은 DRAM의 비트선과 주변회로영역의 제1층 배선을 공용한 경우의, 제1층 배선과 반도체 기판과의 접속부분의 내열성을 향상하고 그후의 열공정에 있어서의 접속부분에서의 리크전류의 증가를 억제하여, DRAM의 제조 수율과 그 신뢰성 및 성능을 향상하는 것에 있다.

본 발명의 상기 및 그 외의 목적과 신규한 특징은 본 명세서의 기술 및 첨부도면에서 밝혀질 것이다.

발명의 구성 및 작용

본원에 있어서 개시되는 발명중 대표적인 것의 개요를 간단하게 설명하면 다음과 같다.

(1) 본 발명의 반도체 집적회로장치는, 선택 MISFET 및 캐퍼시터로 이루어지는 DRAM의 메모리셀이 반도체 기판의 주면상에 어레이형태로 배열된 메모리셀 어레이영역과, 메모리셀 어레이영역의 주변에 형성되고 주변회로의 MISFET이 형성된 주변회로영역을 포함하고, 선택 MISFET의 한쪽의 소스·드레인영역 상에 전기적으로 접속하여 형성된 다결정실리콘플러그와, 다결정실리콘플러그의 상면에 제1 접속구멍을 통해 접속된 비트선과, 주변회로와 MISFET 중 어느 하나의 소스·드레인영역 또는 반도체 기판의 주면에 제2 접속구멍을 통해 접속된 제1층 배선을 가지는 반도체 집적회로장치에 있어서, 비트선과 다결정실리콘플러그와의 계면, 또는 제1층 배선과 주변회로의 MISFET 중 어느 하나의 소스·드레인영역 또는 반도체 기판의 주면과의 계면에는 질소 또는 산소를 포함하는 티탄실리사이드막, 질소 또는 산소를 포함하는 텅스텐실리사이드막, 질소 또는 산소를 포함하는 코발트실리사이드막, 또는 코발트실리사이드막이 형성되어 있는 것이다. 또한, 실리사이드막에의 함유물(불순물)은 질소, 산소 외에 탄소 또는 게르마늄이라도 된다.

이와 같은 반도체 집적회로장치에 의하면, 비트선과 다결정실리콘플러그와의 계면에 질소, 산소, 탄소 또는 게르마늄을 포함하는 티탄, 텅스텐 또는 코발트의 실리사이드막, 또는 불순물을 포함하지 않는 코발트실리사이드막이 형성되어 있기 때문에, 비트선을 틈이 벌어진 구조로 형성하여도, 즉 질소 등을 포함한 티탄실리사이드막 등의 컨택트 메탈이 에칭분위기에 노출되는 것과 같은 상황이라도, 이들 컨택트 메탈이 에칭 스토퍼(stopper)로서 작용하여 다결정실리콘플러그가 에칭에 의해 소거되는 일이 없다. 이 결과, 다결정실리콘플러그의 함몰에 의한 요철이 형성되지 않고, 그후의 포토리소그래피 또는 에칭 등의 공정에서 요철에 기인하는 악영향을 방지하여 공정마진을 증가시킬 수 있다.

또한, 컨택트 메탈이 에칭되지 않기 때문에, 비트선과 다결정실리콘플러그와의 도전(導電) 불량도 발생하지 않고, 반도체 집적회로장치의 수율 및 신뢰성을 향상할 수 있다.

이와 같이 컨택트 메탈을 에칭 스토퍼로서 작용시키는 것은, 티탄실리사이드막, 텅스텐실리사이드막 또는 코발트실리사이드막에 질소, 산소, 탄소 또는 게르마늄이 함유되는 것에 의해, 또는 코발트실리사이드막에 대해서는 질소 등의 유무에 상관없이 에칭내성을 갖는다고 하는 본 발명자들의 실험검토에 의해 얻어진 지견에 의거한다.

또한, 이와 같은 반도체 집적회로장치에 의하면, 제1층 배선과 주변회로의 MISFET 중 어느 하나의 소스·드레인영역 또는 반도체 기판의 주면과의 계면에 질소, 산소, 탄소 또는 게르마늄을 포함하는 티탄, 텅스텐 또는 코발트의 실리사이드막, 또는 불순물을 포함하지 않는 코발트실리사이드막이 형성되어 있기 때문에, 내열성을 향상시킬 수 있다. 이 결과, 제1층 배선을 형성한 후의 열공정을 안정하게 행할 수 있고, 또 주변회로영역에서의 리크전류를 저감하여 반도체 집적회로장치의 수율과 신뢰성을 향상시킬 수 있다. 즉, 이와 같은 티탄실리사이드막 등의 컨택트 메탈을 형성한 접속구멍에서는 나중에 열처리를 행하여도 접속부에서의 리크전류가 증가하지 않는다는 본 발명자들의 실험검토의 결과의 지견에 의거한다. 리크전류의 증가는 열공정에 의한 티탄실리사이드막의 응집, 또는 티탄의 불순물 확산영역으로의 확산이 원인이라고 생각되지만, 상기와 같은 질소, 산소, 탄소 또는 게르마늄을 포함한 티탄실리사이드막에서는 그와 같은 응집 또는 티탄의 확산이 억제되고 있다고 생각된다.

또한, 상기한 질소 또는 산소의 함유량은 1원자%~13원자%의 범위로 할 수 있다. 질소 또는 산소의 함유량이 적으면 에칭내성이 열화하고 또 내열성이 열화하지만, 반대로 질소 또는 산소의 함유량이 많으면 접촉저항이 증가하여 컨택트 메탈로서의 기능을 발휘할 수 없게 된다. 따라서, 질소 또는 산소의 함유량에는 실용상의 적정범위가 존재하고, 이와 같은 범위는 본 발명자들의 실험검토에 의해 1원자%~13원자%가 바람직한 것을 발견했다. 또 바람직하게는 함유물(불순물)이 질소의 경우에는 1원자%~3원자%의 범위내에 그 농도가 있을 때 효과가 크다. 이와 같은 지견도 발명자들의 실험검토에 의거한다.

(2) 본 발명의 반도체 집적회로장치는, 반도체 기판의 주면에 어레이형태로 배열된 선택 MISFET과, 선택 MISFET의 한쪽의 소스·드레인영역 상의 제1 절연막에 형성된 다결정실리콘플러그와, 제1 절연막상의 제2 절연막상에 형성된 비트선을 가지는 반도체 집적회로장치에 있어서, 다결정실리콘플러그 상의 제2 절연막에는 제1 접속구멍이 개구되고 비트선과 다결정실리콘플러그는 제1 접속구멍에 형성된 금속플러그를 통해 접속되어 있는 것이다.

이와 같은 반도체 집적회로장치에 의하면 제2 절연막의 제1 접속구멍에 금속 플러그가 형성되어 있기 때문에, 비트선과 다결정실리콘플러그의 접속은 금속 플러그를 통해 행해지게 된다. 이 때문에, 비트선이 제1 접속구멍에 대하여 틈이 벌어진 구조로 형성되는 경우라도, 비트선의 패터닝시에는 금속 플러그가 에칭에 대하여 스토퍼로서 기능하고, 컨택트 메탈 또는 다결정실리콘플러그가 에칭분위기에 노출되는 일이 없다. 이 결과, 다결정실리콘플러그의 함몰에 의한 요철의 형성, 컨택트 메탈의 횡방향 에칭에 의한 도전불량의 발생을 방지할 수 있어, 상기 (1)과 마찬가지로 공정마진의 증가 및, 반도체 집적회로장치의 수율, 신뢰성의 향상을 도모할 수 있다.

또한, 이 제1 접속구멍을 금속 플러그로 매립하는 경우, 비트선의 막두께는 제1 접속구멍의 지름의 2분의 1 이하로 할 수 있다. 이와 같이, 비트선의 막두께를 얇게 할 수 있기 때문에, 비트선용량을 저감하고 DRAM의 축적용량의 감소 또는 축적전하의 검출정밀도의 향상을 도모할 수 있고, 또한 DRAM의 응답속도를

향상할 수 있다.

즉, 비트선은 DRAM의 메모리셀 영역에 서로 근접하여 형성되어 있고, 또 센스앰프가 배치되는 직접 주변회로 사이의 메모리셀 어레이 영역에 걸쳐 길게 형성된다. 따라서, 비트선의 막두께가 두꺼우면, 비트선 사이의 대향하는 면적이 증가하고 선간 용량이 증대한다. 선간용량의 증가는 센스앰프에 의한 검출감도의 저하를 초래하여, DRAM의 성능을 저하시키는 요인으로 된다. 하지만, 본 발명을 적용하면 비트선의 막두께를 저감할 수 있기 때문에 비트선 사이의 대향면적을 저감하여, 비트선간 용량을 작게 할 수 있다. 이것에 의해 축적전하의 검출정밀도를 향상할 수 있다. 또한, 응답속도는 부유용량과 저항치의 곱에 반비례하므로 선간 용량의 저감은 응답속도의 향상에도 기여할 수 있다.

또한, 비트선을 텅스텐 또는 몰리브덴으로 하고, 금속 플러그를 질화티탄 또는 질화텅스텐으로 할 수 있다. 이 경우, 비트선을 플루오르계 에칭가스를 사용하여 에칭할 수 있는 한편, 질화티탄 또는 질화텅스텐은 플루오르계 에칭가스로는 그 에칭속도가 느리기 때문에, 비트선의 패터닝을 행하여도 금속 플러그는 거의 에칭되지 않는다. 이 결과, 비트선의 패터닝시에 충분한 오버에칭을 행할 수 있고, 그 프로세스마진을 증가시킬 수 있다.

상기 (1) 또는 (2)의 경우를, 환언하면, 비트선은 제1 접속구멍에서의 기초층 재료에 대하여 선택적으로 에칭하는 것이 가능한 재료로 구성되어 있다고 할 수 있다. 즉, 제1 접속구멍에서의 기초층재료는 질소 등을 함유한 티탄실리사이드막 등, 또는 질화티탄 등의 금속 플러그, 그 외 비트선에 대하여 에칭내성을 가지는 재료라면 좋고, 이와 같은 기초층재료를 가짐으로써 틈이 벌어진 구조의 비트선에 패터닝하여도 다결정실리콘플러그의 제거에 의한 요철, 또는 컨택트 메탈의 횡방향 에칭에 의한 도전불량을 방지할 수 있다.

또한, 금속 플러그의 재료로서 질화티탄과 텅스텐과의 적층막을 적용하고, 비트선재료로서 텅스텐의 단층막을 적용하는 것도 가능하다. 이 경우, 금속 플러그 즉 제1 접속구멍에서의 기초층 재료에 텅스텐이 함유되므로, 비트선재료인 텅스텐막을 에칭할 때 기초층과의 에칭 선택비가 얻어지지 않는 경우에 해당한다. 하지만, 비트선으로 되는 텅스텐막은 그 막두께를 얇게 할 수 있기 때문에 오버에칭을 했다고 하여도 비트선 막두께에 대하여 50% 정도의 오버에칭시간이고, 이 사이에 기초층 즉 금속 플러그의 텅스텐이 에칭되는 양은 소량이다. 즉, 금속 플러그를 구성하는 재료와 동일한 재료로 비트선을 구성했다고 하여도 오버에칭에 의해 플러그 저부까지 에칭되는 일은 거의 없고, 플러그 저부에서의 실리사이드막의 사이드에치 등의 문제점이 발생하는 일은 없다.

(3) 본 발명의 반도체 집적회로장치는, 반도체 기판의 주면에 어레이형태로 배열된 선택 MISFET과, 선택 MISFET의 한쪽의 소스·드레인영역 상의 제1 절연막에 형성된 다결정실리콘플러그와, 제1 절연막상에 퇴적된 제2 절연막과, 다결정실리콘플러그 상의 제2 절연막에 개구된 제1 접속구멍을 통해 다결정실리콘플러그에 접속된 비트선을 가지는 반도체 집적회로장치에 있어서, 비트선의 두께 L_1, 제2 절연막의 두께에 비트선의 두께 L_1을 더한 거리 L_2 및, 제1 접속구멍의 지름 D와의 사이에는 $L_1 \times (1+OVE) < L_2$ 및, $L_1 > D/2$(단, OVE는 비트선을 패터닝할 때의 오버에칭량임)의 관계를 가지는 것이다.

이와 같은 반도체 집적회로장치에 의하면, $L1 > D/2$의 조건을 만족하여 제1 접속구멍을 비트선으로 되는 피막으로 완전하게 매립하고, 그것과 동시에, $L_1 \times (1+OVE) < L_2$의 조건, 즉 제2 절연막의 두께에 비트선의 두께 L_1을 더한 거리 L_2에 근사시킬 수 있는 제1 접속구멍에서의 비트선의 두께가 $L_1 \times (1+OVE)$로 나타내는 에칭량 이상의 조건을 만족하기 때문에, 비트선의 패터닝이 종료했을 때는 아직 제1 접속구멍내에 상기 피막이 잔존한 상태로 된다. 이와 같이 피막이 잔존한 상태에서는 컨택트 메탈 및 다결정실리콘플러그가 에칭되는 일은 없고, 상기한 요철의 형성이나 도전불량이 발생하지는 않는다. 이 결과, 상기 (1), (2)와 마찬가지로 공정마진의 증가, 반도체 집적회로장치의 수율 및 신뢰성의 향상을 도모한다.

또한 상기 (1)~(3)에 있어서, 비트선의 폭은 제1 접속구멍의 지름보다 작은 것, 즉 비트선을 제1 접속구멍에 대하여 틈이 벌어진 구조로 할 수 있다. 여기서의 틈이 벌어진 구조는 마스크의 설계에서 적극적으로 틈이 벌어진 구조로 하여 당연히 예상되는 틈이 벌어진 구조를 말하지만, 이것에 한정되지 않고 제조과정에서의 마스크 어긋남 때문에 우연히 틈이 벌어지게 되어 있는 경우에도 본 발명을 적용 가능한 것은 말할 것도 없다.

(4) 본 발명의 반도체 집적회로장치는 선택 MISFET 및 캐퍼시터로 이루어지는 DRAM의 메모리셀이 반도체 기판의 주면상에 어레이형태로 배열된 메모리셀 어레이영역과, 메모리셀 어레이영역의 주변에 형성된 직접 주변회로영역과, 직접 주변회로영역의 주변에 형성된 간접 주변회로영역을 포함하고, 직접 주변회로영역 또는 간접 주변회로영역의 반도체 기판의 주면과 제1층 배선을 접속하는 접속구멍을 가지는 반도체 집적회로장치에 있어서, 접속구멍의 지름이 직접 주변회로영역 및 간접 주변회로영역에 있어서 동일한 것이다.

이와 같은 반도체 집적회로장치에 의하면, 접속구멍의 지름이 직접 주변회로영역 및 간접 주변회로영역에 있어서 동일하기 때문에, 접속구멍 저부에서의 제1층 배선과 반도체 기판의 접속부분의 내열성이 향상하고 반도체 집적회로장치의 접속저항을 저감하여 리크전류를 저감할 수 있다. 이 결과 반도체 집적회로장치의 제조 수율의 향상, 신뢰성 및 성능의 향상을 도모할 수 있다.

즉, 접속구멍의 지름이 동일하므로, 그 접속구멍의 저부를 포함하여 형성되는 배선을 구성하는 각층, 즉 티탄층, 질화티탄층 및 텅스텐층의 막두께가 각 접속구멍의 저부에서 균일하게 형성되게 된다. 이와 같이 접속구멍의 저부에서 각층의 막두께가 균일하게 형성됨으로써, 각 접속구멍에서의 내열성에 편차가 발생하지 않고, 접속구멍 저부에서의 배선의 내열성을 향상할 수 있다. 특히, 티탄층의 막두께를 각 접속구멍 저부에서 균일하게 함으로써 티탄실리사이드막의 형성을 균일하게 행할 수 있고, 예컨대 티탄실리사이드막의 형성에 있어서 실리사이드화 반응의 미반응인 티탄막을 잔존시키는 일이 없다. 이와 같은 미반응인 티탄층이 잔존한 경우에는 나중의 열처리공정에서 미반응 티탄이 실리사이드화하여 티탄실리사이드막에 예기치 않은 스트레스가 발생하거나, 반도체 기판에 보이드가 형성되거나 하여 내열성을 저감시킬 우려가 발생하지만, 본 발명의 경우에는 이와 같은 우려는 발생하지 않는다.

이와 같은 접속구멍내에서의 티탄막두께의 편차에 기인하여 잔류 티탄막이 생기고 이것이 내열성의 저하의 요인으로 되고 있는 것은, 본 발명자들의 실험검토에 의해 밝혀지게 된 것이다.

또한, 접속구멍의 애스팩트비를, 메모리셀 어레이영역, 직접 주변회로영역 및 간접 주변회로영역에 있어서 동일하게 할 수 있다. 접속구멍의 지름이 상이한 경우라도 애스팩트비를 일정하게 하는 것에 의해, 접속구멍 저부에서의 막두께를 균일하게 할 수 있다. 이 결과, 티탄막 두께의 상이에 기인하는 내열성의 저하를 방지할 수 있다.

(5) 본 발명의 반도체 집적회로장치의 제조방법은, (a) 반도체 기판의 주면의 메모리셀 어레이영역에 선택 MISFET을 어레이형태로 배열하고, 주변회로영역에 주변회로의 MISFET을 형성하고, 선택 MISFET 및 주변회로의 MISFET을 덮는 제1 절연막을 퇴적하는 공정, (b) 선택 MISFET의 적어도 한쪽의 소스·드레인영역을 노출하는 제1 접속구멍을 제1 절연막에 개구하고, 제1 접속구멍내에 다결정실리콘플러그를 형성하는 공정, (c) 제1 절연막 및 다결정실리콘플러그 상에 제2 절연막을 퇴적하고, 다결정실리콘플러그의 상면을 노출하는 제2 접속구멍을 제2 절연막에 개구하는 공정, (d) 주변회로영역의 제2 절연막 및 제1 절연막을 에칭하여 주변회로의 MISFET의 소스·드레인영역 또는 주변회로영역의 반도체 기판의 주면을 노출하는 제3 접속구멍을 개구하는 공정, (e) 제2 절연막상에 도전막을 퇴적하고, 도전막을 패터닝하여 메모리셀 어레이영역에 비트선을, 주변회로영역에 제1층 배선을 형성하는 공정을 가지는 반도체 집적회로장치의 제조방법에 있어서, (e) 공정의 전에 제2 접속구멍의 내부 또는 저부, 또는 제3 접속구멍의 내부 또는 저부의 어느 한쪽 또는 양쪽에, 도전막의 패터닝에 사용하는 에칭법에서 도전막의 에칭속도보다도 느린 에칭속도를 가지는 부재를 형성하는 공정을 가지는 것이다.

이와 같은 반도체 집적회로장치의 제조방법에 의하면, (e) 공정의 전에, 제2 접속구멍의 내부 또는 저부, 또는 제3 접속구멍의 내부 또는 저부의 어느 한쪽 또는 양쪽에, 도전막의 패터닝에 사용하는 에칭법에서 도전막의 에칭속도보다 느린 에칭속도를 가지는 부재를 형성하기 때문에, 즉 그 부재를 도전막의 에칭즉, 비트선의 패터닝시의 에칭 스토퍼로서 사용할 수 있다. 이 때문에, 다결정실리콘플러그, 또는 다결정실리콘플러그의 상면에 컨택트 메탈을 형성하는 경우의 그 컨택트 메탈이 에칭되는 일이 없다. 이 결과, 다결정실리콘플러그에 함몰 형성되지 않고 또 컨택트 메탈이 횡방향으로 에칭되어, 요철의 형성, 또는 비트선의 도전불량이 발생하지 않는다.

이 경우, 부재를 (e) 공정에서의 비트선의 에칭의 에칭스토퍼로서 사용하고, 제2 접속구멍의 지름보다 미세한 폭의 비트선의 가공을 행할 수 있다. 즉, 비트선이 제2 접속구멍에 대하여 틈이 벌어진 구조로 할 수 있고, 반도체 집적회로장치의 고집적화, 비트선의 저용량화에 대응하는 것이 가능하게 된다.

또한, 부재는 제2 절연막상에 형성된 질소, 산소, 탄소 또는 게르마늄을 1원자%~13원자%의 범위에서 함유하는 코발트막, 티탄막 또는 텅스텐막, 또는 코발트막을 열처리하여 다결정실리콘플러그 또는 반도체 기판의 주면과의 실리사이드 반응에 의해 형성되는 실리사이드막으로 할 수 있다. 이와 같은 방법으로 형성된 실리사이드막에는 1원자%~13원자%의 범위에서 질소, 산소, 탄소 또는 게르마늄이 함유되어 이와 같은 실리사이드막에는 에칭내성이 있는 것은 상기한 바와 같다. 또, 질소를 함유하는 경우에는 그 함유량을 1원자%~3원자%의 범위로 하는 것에 의해 더욱 양호한 효과가 얻어지는 것은 상기와 동일하다.

또한, 부재는 제2 접속구멍 또는 제3 접속구멍에 형성된 텅스텐, 질화티탄 또는 질화텅스텐으로 이루어지는 플러그로 할 수 있다. 이와 같이 접속구멍의 플러그를 형성하는 경우라도 이 플러그가 에칭 스토퍼로서 기능한다.

또, 상기 제조방법에 있어서, 제3 접속구멍 즉, 주변회로의 접속구멍의 지름을 균일하게 개구할 수 있다. 이와 같은 제조방법에 의해, 제3 접속구멍 저부에서의 제1층 배선과 반도체 기판과의 접속부분의 내열성을 향상할 수 있다.

(6) 또한, 본 발명의 반도체 집적회로장치는 티탄, 텅스텐 또는 코발트의 실리사이드막의 막두께를 15~30nm로 하는 것이다. 이와 같이 실리사이드막의 막두께를 15~30nm로 함으로써, 그 부분에서의 접속저항을 저감할 수 있다. 이와 같은 접속저항의 저감효과는 본 발명자들의 실험검토에 의한 지견이다.

또, 본 발명의 개요를 항으로 나누어 설명하면 이하와 같다.

(1) 본 발명의 반도체 집적회로장치는, 반도체 기판의 주면에 형성된 메모리셀 선택용의 제1 MISFET 및 주변회로용의 제2 MISFET과, 제1 MISFET의 한쪽의 소스·드레인영역상의 제1 절연막에 형성된 다결정실리콘플러그와, 제1 절연막상의 제2 절연막에 개구된 제1 접속구멍을 통해 다결정실리콘플러그에 전기적으로 접속된 제2 절연막상의 비트선과, 제1 및 제2 절연막의 제2 접속구멍을 통해 제2 MISFET의 소스·드레인영역에 전기적으로 접속된 제2 절연막상의 제1층 배선을 가지는 반도체 집적회로장치에 있어서, 비트선과 다결정실리콘플러그의 접속영역, 또는 제1층 배선과 제2 MISFET의 소스·드레인영역 또는 게이트전극 또는 반도체 기판의 주면과의 접속영역에는 티탄, 텅스텐 또는 코발트에서 선택된 원소의 실리사이드막으로서 불순물을 포함하는 것, 또는 불순물을 포함하지 않는 코발트실리사이드막이 형성되어 있고, 불순물은 질소, 산소, 탄소 또는 게르마늄에서 선택된 어느 하나 또는 복수의 원소이다.

(2) 상기 (1)에 있어서, 불순물의 함유량은 1원자%~13원자%의 범위이다.

(3) 상기 (2)에 있어서, 불순물이 질소이고, 그 질소의 함유량은 1원자%~3원자%의 범위이다.

(4) 상기 (1)에 있어서, 비트선의 선폭은 제1 접속구멍의 지름 이하이다.

(5) 본 발명의 반도체 집적회로장치는, 반도체 기판의 주면에 형성된 메모리셀 선택용의 제1 MISFET과, 제1 MISFET의 한쪽의 소스·드레인영역 상의 제1 절연막에 형성된 다결정실리콘플러그와, 제1 절연막상의 제2 절연막상에 형성된 비트선을 가지는 반도체 집적회로장치에 있어서, 제2 절연막에는 제1 접속구멍이 개구되고, 비트선과 다결정실리콘플러그는 제1 접속구멍 내에 형성된 제1 플러그를 통해 접속되어 있는 것이다.

(6) 상기 (5)에 있어서, 제1 및 제2 절연막의 표면이 적어도 제1 MISFET이 형성된 영역에 걸쳐 평탄화되

어 있고, 제1 플러그의 표면과 제2 절연막의 표면이 동일평면에 형성되어 있는 것이다.

(7) 상기 (5)에 있어서, 비트선의 막두께는 제1 접속구멍의 지름의 2분의 1이하이다.

(8) 상기 (5)에 있어서, 비트선의 선폭은 제1 접속구멍의 지름 이하이다.

(9) 상기 (5)에 있어서, 비트선은 제1 플러그에 대하여 선택적으로 에칭이 가능한 재료로 구성되어 있는 것이다.

(10) 상기 (5)에 있어서, 비트선은 텅스텐 또는 몰리브덴의 단층막으로 이루어지고, 제1 플러그는 질화티탄 및 텅스텐을 포함하는 적층막, 또는 질화티탄 또는 질화텅스텐으로 이루어지는 것이다.

(11) 상기 (5)에 있어서, 또한 반도체 기판의 주면에 형성된 주변회로의 제2 MISFET과, 제2 절연막상에 형성된 주변회로의 제1층 배선을 가지고, 제1 및 제2 절연막에는 제2 접속구멍이 개구되고, 제1층 배선과, 제2 MISFET의 소스·드레인영역 또는 게이트전극 또는 반도체 기판의 주면이 제2 접속구멍내에 형성된 제2 플러그를 통해 접속되고, 제2 플러그는 제1 플러그와 동일한 재료로 이루어지고, 제1층 배선은 비트선과 동일한 재료로 이루어지는 것이다.

(12) 상기 (11)에 있어서, 제1 및 제2 절연막의 표면이 반도체 기판의 전면(全面)에 걸쳐 평탄화되어 있고, 제1 및 제2 플러그의 표면과 제2 절연막의 표면이 동일평면에 형성되어 있는 것이다.

(13) 상기 (11)에 있어서, 비트선 및 제1층 배선은 텅스텐 또는 몰리브덴의 단층막으로 이루어지고, 제1 및 제2 플러그는 질화티탄막 및 텅스텐막을 포함하는 적층막, 또는 질화티탄 또는 질화텅스텐으로 이루어지는 것이다.

(14) 상기 (11)에 있어서, 제1 플러그와 다결정실리콘플러그와의 접속영역, 또는 제2 플러그와 제2 MISFET의 소스·드레인영역 또는 게이트전극 또는 반도체 기판의 주면과의 접속영역에는 티탄, 텅스텐 또는 코발트막에서 선택된 원소의 실리사이드막으로서 불순물을 포함하는 것, 또는 불순물을 포함하지 않는 코발트실리사이드막이 형성되어 있고, 불순물은 질소, 산소, 탄소 또는 게르마늄에서 선택된 어느 하나 또는 복수의 원소이고, 불순물의 함유량이 1원자%~13원자%의 범위이다.

(15) 상기 (14)에 있어서, 불순물이 질소이고, 그 질소의 함유량은 1원자%~3원자%의 범위이다.

(16) 상기 (11)에 있어서, 제1 플러그와 다결정실리콘플러그와의 접속영역, 제2 플러그와 제2 MISFET의 소스·드레인영역 또는 게이트전극 또는 반도체 기판의 주면과의 접속영역, 또는 제2 MISFET의 소스·드레인의 표면영역에는 티탄, 텅스텐 또는 코발트에서 선택된 원소의 실리사이드막이 형성되어 있고, 어느 하나의 접속영역 또는 표면영역의 실리사이드막의 막두께가 15~30nm이다.

(17) 상기 (16)에 있어서, 제2 MISFET이 p채널형 MISFET을 포함하는 것이고, p채널형 MISFET의 소스·드레인의 표면영역, 또는 제2 플러그 저부와 p채널형 MISFET의 소스·드레인영역과의 접속영역에 형성된 실리사이드막의 막두께가 15~30nm이다.

(18) 본 발명의 반도체 집적회로장치는, 반도체 기판의 주면에 형성된 메모리셀 선택용의 제1 MISFET과, 제1 MISFET의 한쪽의 소스·드레인영역 상의 제1 절연막에 형성된 다결정실리콘플러그와, 제1 절연막상에 형성된 제2 절연막과, 제2 절연막에 개구된 제1 접속구멍을 통해 다결정실리콘플러그에 접속된 비트선을 가지는 반도체 집적회로장치에 있어서, 비트선의 두께 L_1과, 제2 절연막의 두께에 비트선의 두께 L_1을 더한 거리 L_2와, 제1 접속구멍의 지름 D와의 사이에는 $L_1 \times (1+OVE)L_2$ 및, $L_1 D/2$(단, OVE는 비트선을 패터닝할 때의 오버에칭량임)의 관계를 가지는 것이다.

(19) 상기 (18)에 있어서, 비트선의 선폭은 제1 접속구멍의 지름 이하이다.

(20) 본 발명의 반도체 집적회로장치는, 메모리셀 선택용의 제1 MISFET이 반도체 기판의 주면상에 어레이 형태로 배열된 메모리셀영역과, 메모리셀 영역의 주변에 형성된 직접 주변회로영역과, 직접 주변회로영역의 주변에 형성된 간접 주변회로영역을 포함하고, 직접 또는 간접 주변회로영역의 반도체 기판의 주면과 제1층 배선을 접속하는 제2 접속구멍을 가지는 반도체 집적회로장치에 있어서, 제2 접속구멍의 지름이 직접 및 간접 주변회로영역에 있어서 동일하다.

(21) 상기 (20)에 있어서, 제2 접속구멍의 애스팩트비가 메모리셀영역, 직접 주변회로영역 및 간접 주변회로영역에 있어서 동일하다.

(22) 본 발명의 반도체 집적회로장치는, 반도체 기판의 주면에 형성된 메모리셀 선택용의 제1 MISFET 및 주변회로용 제2 MISFET과, 제1 MISFET의 한쪽의 소스·드레인영역 상의 제1 절연막에 형성된 다결정실리콘플러그와, 제1 절연막상의 제2 절연막에 개구된 제1 접속구멍을 통해 다결정실리콘플러그에 전기적으로 접속된 제2 절연막상의 비트선과, 제1 및 제2 절연막의 제2 접속구멍을 통해 제2 MISFET의 소스·드레인영역에 전기적으로 접속된 제2 절연막상의 제1층 배선을 가지는 반도체 집적회로장치에 있어서, 비트선과 다결정실리콘플러그의 접속영역, 제1층 배선과 제2 MISFET의 소스·드레인영역 또는 게이트전극 또는 반도체 기판의 주면과의 접속영역, 또는 제2 MISFET의 소스·드레인의 표면영역에는 티탄, 텅스텐 또는 코발트에서 선택된 원소의 실리사이드막이 형성되어 있고, 어느 하나의 접속영역 또는 표면영역의 실리사이드막의 막두께가 15~30nm이다.

(23) 상기 (22)에 있어서, 제2 MISFET이 p채널형 MISFET을 포함하는 것이고, p채널형 MISFET의 소스·드레인의 표면영역, 또는 제1층 배선과 p채널형 MISFET의 소스·드레인영역과의 접속영역에 형성된 실리사이드막의 막두께가 15~30nm이다.

(24) 본 발명의 반도체 집적회로장치의 제조방법은, (a) 반도체 기판의 주면에 메모리셀 선택용의 제1 MISFET을 형성하고, 제1 MISFET을 덮는 제1 절연막을 형성한 후, 제1 절연막을 제1 MISFET의 적어도 한쪽의 소스·드레인영역 상에 개구를 가지는 포토레지스트막의 존재하에서 에칭하는 공정, (b) 반도체 기판의 전면(全面)에 에칭에 의해 형성된 제1 절연막의 개구를 매립하는 다결정실리콘막을 퇴적하고, 제1 절

연막상의 다결정실리콘막을 제거하여 제1 MISFET의 소스·드레인영역에 전기적으로 접속된 다결정실리콘플러그를 형성하는 공정, (c) 제1 절연막상에 제2 절연막을 형성하고, 제2 절연막을 다결정실리콘플러그상에 개구를 가지는 포토레지스트막의 존재하에서 에칭하여 제2 절연막에 제1 접속구멍을 형성하는 공정, (d) 제1 접속구멍의 저부 및 제2 절연막상에 질소, 산소, 탄소 및 게르마늄에서 선택된 어느 하나 또는 복수의 불순물을 포함하는 금속막에 있어서, 티탄, 텅스텐 또는 코발트중 어느 하나를 주성분으로 하는 것, 또는 불순물의 어느 것도 포함하지 않는 코발트막을 퇴적하고, 열처리를 행하는 공정, (e) 금속막 또는 코발트막 상에 제1 도전막을 퇴적하여 제1 접속구멍을 매립하는 공정, (f) 제1 도전막상에 비트선 패턴에 패터닝된 포토레지스트막을 형성하고, 포토레지스트막의 존재하에서 금속막 또는 코발트막과 제1 도전막을 에칭하여 비트선을 형성하는 공정을 가지는 것이다.

(25) 상기 (24)에 있어서, 열처리에 의해 금속막 또는 코발트막과 다결정실리콘플러그와의 접속영역에 형성되는 실리사이드막은 에칭공정에서의 에칭 스토퍼로서 기능하는 것이다.

(26) 상기 (24)에 있어서, 비트선 패턴의 패턴폭은 제1 접속구멍의 지름 이하이다.

(27) 상기 (24)에 있어서, 금속막의 불순물의 함유량은 1원자%～13원자%의 범위이다.

(28) 상기 (27)에 있어서, 불순물이 질소이고, 금속막의 불순물의 함유량은 1원자%～3원자%의 범위이다.

(29) 상기 (24)에 있어서, 제1 도전막은 질화티탄 및 텅스텐의 적층막인 것이다.

(30) 상기 (24)에 있어서, 제1 MISFET과 동일한 공정으로 주변회로용의 제2 MISFET을 형성하고, 제1 접속구멍의 형성과 동일한 공정으로 또는 제1 접속구멍의 형성에 전후하여 제2 MISFET의 소스·드레인영역 또는 게이트전극 또는 반도체 기판 주면의 반도체 영역에 전기적으로 접속하기 위한 제2 접속구멍을 형성하여, 비트선의 형성과 동일한 공정으로 주변회로의 제1층 배선을 형성하는 것이다.

(31) 본 발명의 반도체 집적회로장치의 제조방법은, (a) 반도체 기판의 주면에 메모리셀 선택용의 제1 MISFET을 형성하고, 제1 MISFET을 덮는 제1 절연막을 형성한 후, 제1 절연막을 제1 MISFET의 적어도 한쪽의 소스·드레인영역 상에 개구를 가지는 포토레지스트막의 존재하에서 에칭하는 공정, (b) 반도체 기판의 전면(全面)에 에칭에 의해 형성된 제1 절연막의 개구를 매립하는 다결정실리콘막을 퇴적하고, 제1 절연막상의 다결정실리콘막을 제거하여 제1 MISFET의 소스·드레인영역에 전기적으로 접속된 다결정실리콘플러그를 형성하는 공정, (c) 제1 절연막상에 제2 절연막을 형성하고, 제2 절연막을 다결정실리콘플러그상에 개구를 가지는 포토레지스트막의 존재하에서 에칭하여 제2 절연막에 제1 접속구멍을 형성하는 공정, (d) 제1 접속구멍을 매립하는 제1 도전막을 퇴적하고, 제2 절연막상의 제1 도전막을 제거하여 제1 접속구멍내에 제1 도전막으로 이루어지는 제1 플러그를 형성하는 공정, (e) 제1 플러그 및 제2 절연막상에 제2 도전막을 퇴적하는 공정, (f) 제2 도전막을 패터닝하여 비트선을 형성하는 공정을 포함하는 것이다.

(32) 상기 (31)에 있어서, 제1 절연막의 에칭공정의 전에 제1 절연막이 CMP법에 의해 평탄화 되고, 제1 플러그는 제1 도전막의 CMP법에 의한 연마에 의해 형성된다.

(33) 상기 (31)에 있어서, 제2 도전막의 막두께는 제1 접속구멍의 지름의 2분의 1 이하이다.

(34) 상기 (31)에 있어서, 비트선의 선폭은 제1 접속구멍의 지름 이하이다.

(35) 상기 (31)에 있어서, 제2 도전막은 제1 플러그에 대하여 에칭선택비를 가지는 재료이다.

(36) 상기 (31)에 있어서, 제1 도전막은 질화티탄막 및 텅스텐막을 포함하는 적층막, 또는 질화티탄 또는 질화텅스텐으로 이루어지는 단층막이고, 제2 도전막은 텅스텐 또는 몰리브덴으로 이루어지는 단층막이다.

(37) 상기 (31)에 있어서, 제1 MISFET과 동일한 공정으로 주변회로영역의 제2 MISFET을 형성하고, 제1 접속구멍의 형성과 동일한 공정으로, 또는 제1 접속구멍의 형성에 전후하여 제2 MISFET의 소스·드레인영역에 접속하기 위한 제2 접속구멍을 형성하고, 제1 플러그의 형성과 동시에 제2 접속구멍내에 제1 도전막으로 이루어지는 제2 플러그를 형성하고, 비트선의 형성과 동시에 제2 도전막으로 이루어지는 주변회로의 제1층 배선을 형성하는 것이다.

(38) 상기 (37)에 있어서, 제1 및 제2 플러그의 형성 전에 제1 및 제2 접속구멍의 저부 및 제2 절연막상에 질소, 산소, 탄소 및 게르마늄에서 선택된 어느 하나 또는 복수의 불순물을 그 농도가 1원자%～13원자%의 범위에서 포함하는 금속막에 있어서, 티탄, 텅스텐 또는 코발트 중의 어느 하나를 주성분으로 하는 것, 또는 불순물의 어느 것도 포함하지 않는 코발트막을 퇴적하고 열처리를 행하는 공정을 가지는 것이다.

(39) 상기 (37)에 있어서, 제1 및 제2 플러그의 형성 전에, 제1 및 제2 접속구멍의 저부 및 제2 절연막상에 티탄, 텅스텐 또는 코발트의 어느 하나를 주성분으로 하는 금속막을 그 막두께가 10～20nm의 범위에서 퇴적하고 열처리를 행하는 공정, 또는 티탄, 텅스텐 또는 코발트의 실리사이드막을 그 막두께가 15～30nm의 범위에서 퇴적하는 공정, 또는 티탄, 텅스텐 또는 코발트 중 어느 하나를 주성분으로 하는 금속막을 퇴적하고, 또 실리콘막을 금속막보다 얇은 막두께로 퇴적하여 열처리를 행하는 공정, 또는 티탄, 텅스텐 또는 코발트 중 어느 하나를 주성분으로 하는 금속막을 퇴적하고, 수소화규소 가스의 분위기하에서 금속막을 어닐링하는 공정 중 어느 하나의 공정을 가지는 것이다.

(40) 상기 (39)에 있어서, 금속막의 열처리공정 후, 미반응의 티탄, 텅스텐 또는 코발트를 에칭에 의해 선택적으로 제거하는 것이다.

(41) 본 발명의 반도체 집적회로장치의 제조방법은, (a) 반도체 기판의 주면에 MISFET을 형성하고, MISFET을 덮는 절연막을 형성하는 공정, (b) MISFET의 소스·드레인영역 상에 개구를 가지는 포토레지스트막의 존재하에서 절연막을 에칭하고 절연막에 접속구멍을 형성하는 공정, (c) 접속구멍을 매립하는 도전막을 퇴적하고, 도전막상에 배선패턴에 패터닝된 포토레지스트막을 형성하고, 포토레지스트막의 존재하에서 도전막을 에칭하여 배선을 형성하는 공정을 가지는 반도체 집적회로장치의 제조방법에 있어서, 도전막의 형성 전에 접속구멍의 저부 및 절연막상에 티탄, 텅스텐 또는 코발트 중 어느 하나를 주성분으로 하는 금속막을, 그 막두께가 10～20nm의 범위에서 퇴적하고 열처리를 행하는 공정, 또는 티탄, 텅스텐 또는

코발트의 실리사이드막을 그 막두께가 15~30㎚의 범위에서 퇴적하는 공정, 또는 티탄, 텅스텐 또는 코발트 중 어느 하나를 주성분으로 하는 금속막을 퇴적하고, 또 실리콘막을 금속막보다도 얇은 막두께로 퇴적하고 열처리를 행하는 공정, 또는 티탄, 텅스텐 또는 코발트 중 어느 하나를 주성분으로 하는 금속막을 퇴적하고 수소화규소 가스의 분위기하에서 금속막을 열처리하는 공정 중 어느 하나의 공정을 가지는 것이다.

(42) 상기 (41)에 있어서, 금속막의 열처리공정 후, 미반응의 티탄, 텅스텐 또는 코발트를 에칭에 의해 선택적으로 제거하는 것이다.

(43) 상기 (41)에 있어서, 도전막은 질화티탄 및 텅스텐의 적층막, 또는 티탄, 질화티탄 및 텅스텐의 3층 적층막 중 어느 하나이다.

(44) 본 발명의 반도체 집적회로장치의 제조방법은, (a) 반도체 기판의 주면에 MISFET을 형성하는 공정, (b) 적어도 MISFET의 소스·드레인영역을 덮는 영역에 티탄, 텅스텐 또는 코발트 중 어느 하나를 주성분으로 하는 금속막을 그 막두께가 10~20㎚의 범위에서 퇴적하는 공정, (c) 금속막을 열처리하여 실리콘과의 접촉부에 실리사이드막을 형성하는 공정, (d) 열처리공정에 있어서, 미반응의 티탄, 텅스텐 또는 코발트를 에칭에 의해 선택적으로 제거하는 공정, (e) MISFET을 덮는 절연막을 형성하는 공정, (f) MISFET의 소스·드레인영역 상에 개구를 가지는 포토레지스트막의 존재하에서 절연막을 에칭하고, 절연막에 접속구멍을 형성하는 공정, (g) 접속구멍을 매립하는 도전막을 퇴적하고, 도전막상에 배선패턴에 패터닝된 포토레지스트막을 형성하며, 포토레지스트막의 존재하에서 도전막을 에칭하여 배선을 형성하는 공정을 가지는 것이다.

(45) 상기 (44)에 있어서, 도전막은 질화티탄 및 텅스텐의 적층막, 또는 티탄, 질화티탄 및 텅스텐의 3층 적층막 중 어느 하나이다.

이하, 본 발명의 실시형태를 도면에 의거하여 상세하게 설명한다. 또한, 실시형태를 설명하기 위한 전체 도면에 있어서, 동일한 기능을 가지는 부재에는 동일한 부호를 부여하고, 그 중복되는 설명은 생략한다.

(실시형태 1)

도 1은 본 발명의 일실시형태인 DRAM을 형성한 반도체 칩 전체의 일례를 나타낸 평면도이다. 도시한 바와 같이, 단결정실리콘으로 이루어지는 반도체 칩(1A)의 주면에는 X방향(반도체 칩(1A)의 긴 변 방향) 및 Y방향(반도체 칩(1A)의 짧은 변 방향)을 따라서 다수의 메모리 어레이(MARY)가 매트릭스형태로 배치되어 있다. X방향을 따라서 서로 인접하는 메모리 어레이(MARY)의 사이에는 센스앰프(SA)가 배치되어 있다. 반도체 칩(1A)의 주면의 중앙부에는 워드드라이버(WD), 데이터선 선택회로 등의 제어회로나, 입출력회로, 본딩패드 등이 배치되어 있다.

도 2는 본 실시형태 1의 DRAM의 등가회로도이다. 도시한 바와 같이, 이 DRAM의 메모리 어레이(MARY)는 매트릭스형태로 배치된 복수의 워드선(WL(WL_{n-1}, WL_n, WL_{n+1}…))과 복수의 비트선(BL) 및 그들의 교점에 배치된 복수의 메모리셀(MC)에 의해 구성되어 있다. 1비트의 정보를 기억하는 1개의 메모리셀은 1개의 캐퍼시터(C)와 이것에 직렬로 접속된 1개의 선택 MISFET(Qs)으로 구성되어 있다. 선택 MISFET(Qs)의 소스, 드레인의 한쪽은 캐퍼시터(C)와 전기적으로 접속되고, 다른쪽은 비트선(BL)과 전기적으로 접속되어 있다. 워드선(WL)의 한쪽 단부는 워드 드라이버(WD)에 접속되고, 비트선(BL)의 한쪽 단부는 센스앰프(SA)에 접속되어 있다.

도 3은 도 1의 일부를 확대한 평면도이다. 도 3에 있어서, 도면을 보기 쉽게 하기 위해 비트선(BL), 비트선 접속구멍(BLCT) 및 제1층 배선(M1)은 실선으로 나타내고, 그 외의 부재는 파선 또는 점선으로 나타내고 있다. 도 3의 좌측영역은 메모리 어레이(MARY)의 일부를 나타내고, 우측영역은 직접주변회로의 n채널 MISFET(Qn) 및 센스앰프(SA)의 일부를 구성하는 p채널 MISFET(Qp)이 나타나 있다. n채널 MISFET(Qn)은 쉐어드(shared) MISFET으로서 기능한다.

메모리 어레이(MARY)에는 활성영역(L_1)이 배치되고, Y방향으로 워드선(WL)이, X방향으로 비트선(BL)이 형성되어 있다. 워드선(WL)과 활성영역(L_1)의 겹치는 영역에서는, 워드선(WL)은 선택 MISFET(Qs)의 게이트전극으로서 기능한다. 워드선(WL)의 게이트전극으로서 기능하는 영역에 끼인 활성영역(L_1)의 영역, 즉 활성영역(L_1)의 중앙부분에는 비트선 접속구멍(BLCT)이 형성되어 있고, 활성영역(L_1)의 중앙부분과 비트선과는 비트선 접속구멍(BLCT)을 통해 접속된다. 활성영역(L_1)의 양단(兩端) 영역은 캐퍼시터 접속구멍(SNCT)을 통해 캐퍼시터(C)에 접속된다.

주변회로영역에는 활성영역(L_2, L_3)이 형성되고, 활성영역(L_1)과 게이트배선(FG1)과의 겹치는 부분에 쉐어드 MISFET으로서 기능하는 n채널 MISFET(Qn)이 형성되어 있다. n채널 MISFET(Qn)의 한쪽의 소스·드레인영역은 접속구멍(CT)을 통해 비트선(BL)과 접속되어 있다. n채널 MISFET(Qn)의 다른쪽의 소스·드레인영역은 접속구멍(CT)을 통해 제1층 배선(M1)에 접속되어 있다. 활성영역(L_3)과 게이트 배선(FG2)과의 겹치는 부분에 센스앰프(SA)의 일부를 구성하는 p채널 MISFET(Qp)이 형성되어 있다.

본 실시형태에서는 비트선 접속구멍(BLCT)은 비트선(BL)에 대하여 틈이 벌어진 구조로 되어 있다. 즉, 비트선(BL)은 비트선 접속구멍(BLCT)의 개구 지름보다도 그 폭이 짧고, 또 직선적인 형상으로 되어 있다. 이와 같은 비트선(BL)은 형상이 단순하기 때문에 포토리소그래피의 경우에 노광광의 간섭이 발생하기 어려워 해상도를 올리기 쉽다. 또한, 인접하는 비트선(BL) 사이의 간격이 길게 되기 때문에, 비트선(BL)의 용량을 작게 할 수 있다. 이들의 특성은, DRAM의 미세가공을 용이하게 하고, 또 미세화에 따르는 축적전하의 감소에 대한 센스앰프(SA)의 감도향상에 기여할 수 있고, 금후의 DRAM의 미세화, 고집적화에 대하여 특히 유리하다.

도 4는 도 3에서의 IV-IV선의 단면도이다. 도 4에 있어서, A영역은 메모리 어레이(MARY)의 일부를 나타내고, B영역은 주변회로의 일부를 나타낸다.

p형 단결정실리콘으로 이루어지는 반도체 기판(1)의 주면에는 A영역의 p형 웰(well)(2), B영역의 p형 웰(3) 및 n형 웰(4)이 형성되어 있다. 또, p형 웰(2)을 둘러싸도록 n형의 딥 웰(deep well)(6)이 형성되어 있다. 또한, 각 웰에는 문턱치 전압조정층이 형성되어 있어도 된다.

각 웰의 주면에는 분리영역(7)이 형성되어 있다. 분리영역(7)은 실리콘산화막으로 이루어지고, 반도체 기판(1)의 주면에 형성된 얕은 홈(8)에 열산화된 실리콘산화막(9)을 통해 형성되어 있다.

p형 웰(2)의 주면에는 DRAM의 선택 MISFET(Qs)이 형성되어 있다. 또한, p형 웰(3) 및 n형 웰(4)의 주면에는 각각 n채널 MISFET(Qn) 및 p채널 MISFET(Qp)이 형성되어 있다.

선택 MISFET(Qs)은 p형 웰(2)의 주면상에 게이트절연막(10)을 통해 형성된 게이트전극(11)과, 게이트전극(11)의 양측의 p형 웰(2)의 주면에 형성된 불순물 반도체 영역(12)으로 이루어진다.
게이트절연막(10)은, 예컨대 7~8nm의 막두께를 가지는 열산화에 의해 형성된 실리콘산화막으로 이루어진다. 게이트전극(11)은, 예컨대 막두께 70nm의 다결정실리콘막(11a), 막두께 50nm의 질화티탄막(11b) 및 막두께 100nm의 텅스텐막(11c)의 적층막으로 할 수 있다. 또한, 불순물 반도체영역(12)에는 n형의 불순물, 예컨대 비소 또는 인이 도입되어 있다.

선택 MISFET(Qs)의 게이트전극(11)의 상층에는 실리콘질화막으로 이루어지는 캡절연막(13)이 형성되고, 또 그 상층을 실리콘질화막(14)으로 덮는다. 실리콘질화막(14)은 게이트전극(11)의 측벽에도 형성되어, 나중에 설명하는 접속구멍을 형성할 때의 자기정합가공에 이용된다. 또한, 선택 MISFET(Qs)의 게이트전극(11)은 DRAM의 워드선으로서 기능하는 것이고, 분리영역(7)의 상면에는 워드선(WL)이 형성되어 있다.

한편, n채널 MISFET(Qn) 및 p채널 MISFET(Qp)은 각각 p형 웰(3) 및 n형 웰(4)의 주면상에 형성되고, 게이트절연막(10)을 통해 형성된 게이트전극(11)과, 게이트전극(11)의 양측의 각 웰의 주면에 형성된 불순물 반도체영역(15)으로 구성된다. 게이트절연막(10) 및 게이트전극(11)은 상기와 동일하다. 불순물 반도체영역(15)은 저농도 불순물영역(15a)과 고농도 불순물영역(15b)으로 이루어지고, 소위 LDD(Lightly Doped Drain)구조를 형성하고 있다. 불순물 반도체영역(15)에 도입되는 불순물은 MISFET의 도전형에 따라서 n형 또는 p형 불순물이 도입된다.

n채널 MISFET(Qn) 및 p채널 MISFET(Qp)의 게이트전극(11)의 상층에는 실리콘질화막으로 이루어지는 캡절연막(13)이 형성되고, 측면에는 예컨대, 실리콘질화막으로 이루어지는 사이드월스페이서(16)가 형성되어 있다.

선택 MISFET(Qs), n채널 MISFET(Qn) 및 p채널 MISFET(Qp)은 층간절연막(17)으로 덮여져 있다. 층간절연막(17)은, 예컨대 SOG(Spin On Glass)막(17a), TEOS(테트라메톡시실란)를 원료가스로 하여 플라즈마 CVD법에 의해 형성된 실리콘산화막(이하, TEOS산화막이라 함)이 CMP(Chemical Mechanical Polishing)법에 의해 평탄화된 TEOS산화막(17b) 및 TEOS산화막(17c, 17d)의 적층막으로 할 수 있다.

층간절연막(17)상에는 비트선(BL) 및 제1층 배선(18)이 형성되어 있다. 비트선(BL) 및 제1층 배선(18)은, 예컨대 티탄막(18a), 질화티탄막(18b) 및 텅스텐막(18c)의 적층막으로 할 수 있다. 이것에 의해, 비트선(BL) 및 제1층 배선(18)을 저(低)저항화하여 DRAM의 성능을 향상할 수 있다. 또한, 비트선(BL)과 제1층 배선(18)은 나중에 설명하는 바와 같이 동시에 형성된다. 이것에 의해, 공정을 간략화할 수 있다.

비트선(BL)은 플러그(19)를 통해 한쌍의 선택 MISFET(Qs)에 공유되는 불순물 반도체영역(12)에 접속된다. 플러그(19)는, 예컨대 n형의 불순물이 도입된 다결정실리콘막으로 할 수 있다. 또한, 플러그(19)와 비트선(BL)의 접속부에는 티탄실리사이드막(20)이 형성되어 있다. 이것에 의해 비트선(BL)과 플러그(19)의 사이의 접속저항이 저감하고, 접속신뢰성을 향상할 수 있다.

본 실시형태의 티탄실리사이드막(20)에는 질소가 1원자%~13원자%의 범위, 예컨대 1~3원자% 함유되어 있다. 비트선 접속구멍(BLCT)이 비트선(BL)에 대하여 틈이 벌어진 구조로 되어 있는 것은 상기한 바와 같지만, 본 실시형태에서는 나중에 설명하는 바와 같이 티탄실리사이드막(20)에 질소가 1~3원자% 함유되어 있기 때문에, 비트선(BL)을 패터닝할 때 티탄실리사이드막(20)이 에칭 스토퍼로서 기능하여 플러그(19)가 과잉 에칭되지 않는다. 이 때문에, 그 후의 공정에서의 노광 초점 맞춤에 문제가 생기지 않게 되며, 공정마진을 증가시키고 DRAM의 신뢰성 및 수율을 향상할 수 있다. 또한, 티탄실리사이드막(20)이 에칭되지 않기 때문에, 티탄실리사이드막(20)의 횡방향 에칭이 진행하지 않고, 비트선(BL)과 플러그(19)와의 접속을 확실하게 유지할 수 있다. 즉, 종래의 질소를 함유하지 않는 티탄실리사이드막에서는 비트선(BL)의 패터닝시에 티탄실리사이드막이 과잉으로 에칭되고, 또 횡방향으로 에칭되어 비트선(BL)과 플러그(19)와의 사이에 공극을 발생하고, 이 공극이 비트선(BL)과 플러그(19)의 접속신뢰성을 저하시키고 있었지만, 본 실시형태에서는 그와 같은 일이 발생하지 않는다. 이것에 의해 접속 신뢰성을 유지하여 DRAM의 신뢰성을 향상할 수 있다.

또한, 여기에서는 질소가 첨가된 티탄실리사이드막을 예시하고 있지만, 산소, 탄소 또는 게르마늄이 1원자%~13원자%의 범위에서 첨가되어 있어도 된다. 또한, 티탄실리사이드가 아니고, 텅스텐실리사이드막이라도 된다. 이 경우 질소, 산소, 탄소 또는 게르마늄이 1원자%~13원자%의 범위에서 첨가되어 있는 것이 필요하다. 또한 코발트 실리사이드막이라도 좋다. 이 경우, 질소, 산소, 탄소 또는 게르마늄의 1원자%~13원자%의 범위에서의 첨가는 필수적이지 않다. 즉, 질소, 산소, 탄소 또는 게르마늄을 첨가하지 않은 코발트실리사이드막에 있어서도, 비트선(BL)의 패터닝 경우의 에칭 스토퍼의 역할을 완수할 수 있다. 그러나, 코발트실리사이드막에 1원자%~13원자%의 범위의 질소, 산소, 탄소 또는 게르마늄을 첨가한다면, 에칭내성은 더욱 양호하게 된다. 이들 티탄 또는 텅스텐의 실리사이드막에 질소, 산소, 탄소 또는 게르마늄을 첨가하고, 또는 코발트실리사이드막, 또는 코발트실리사이드막에 질소, 산소, 탄소 또는 게르마늄을 첨가하여 내에칭성이 향상하는 것은 본 발명자들의 실험검토에 의거한 것이다. 실험검토의 결과에 의하면, 질소,

산소, 탄소 또는 게르마늄을 첨가함으로써 에칭속도가 3분의 2정도로 감소한다.

또한, 나중에 설명하는 바와 같이, 실리사이드막의 형성시에 산소 또는 탄소가 자연히 혼입되는 경우도

있다. 즉, 원료가스에 산소 또는 탄소를 포함하는 유기가스 등을 사용하는 경우, 또는 실리콘표면에 형성된 산화막(실리콘산화막)중 산소가 실리사이드 어닐링시에 티탄 등이 환원하여 실리사이드막 중으로 들어가는 경우 등이 있다. 본 실시형태의 실리사이드막에서는 이와 같은 자연적으로 산소 또는 탄소가 혼입되는 프로세스를 사용하여 1원자%~13원자%의 불순물을 혼입시켜도 좋다.

제1층 배선(18)은 접속구멍(21)을 통해 n채널 MISFET(Qn) 및 p채널 MISFET(Qp)의 불순물 반도체영역(15)에 접속된다. 또한, 제1층 배선(18)과 불순물 반도체영역(15)의 접속부에는 티탄실리사이드막(20)이 형성되어 있다. 이것에 의해 제1층 배선(18)과 불순물 반도체영역(15)과의 사이의 접속저항을 저감하여 접속 신뢰성을 향상할 수 있다.

제1층 배선(18)과 불순물 반도체영역(15)의 접속부에 형성되는 티탄실리사이드막(20)도 상기와 마찬가지로, 1원자%~13원자%의 범위, 예컨대 1~3원자%의 질소를 포함하는 것이다. 이와 같이 질소를 포함하는 티탄실리사이드막(20)을 사용함으로써 접속부에서의 내열성을 향상할 수 있다. 이 경우도 질소의 함유량은 1원자%~3원자%가 바람직하다. 내열성의 열화는 접속부에서의 접촉저항의 증가, 또는 리크전류의 증대로서 관측되지만, 본 실시형태의 질소를 포함하는 티탄실리사이드막(20)을 사용하면, 이와 같은 접촉저항의 증가 또는 리크전류의 증대가 발생하지 않는다. 이것도 발명자들의 실험검토의 결과 얻어진 지견에 의거한다.

또한, 제1층 배선(18)과 불순물 반도체영역(15)의 접속부의 티탄실리사이드막(20)도 상기와 마찬가지로 산소, 탄소 또는 게르마늄이 1원자%~13원자%의 범위에서 첨가되어 있어도 된다. 또한, 티탄실리사이드가 아니고, 텅스텐 실리사이드막이라도 된다. 이 경우 질소, 산소, 탄소 또는 게르마늄이 1원자%~13원자%의 범위에서 첨가되어 있는 것이 필요하다. 또한, 코발트실리사이드막이라도 된다. 이 경우, 질소, 산소, 탄소 또는 게르마늄의 1원자%~13원자%의 범위에서의 첨가는 필수적이지 않다. 즉, 질소, 산소, 탄소 또는 게르마늄을 첨가하지 않은 코발트실리사이드막이라도 접속부에서의 내열성이 향상한다. 그러나, 코발트실리사이드막에 1원자%~13원자%의 범위의 질소, 산소, 탄소 또는 게르마늄을 첨가하면, 내열성은 더욱 양호하게 된다.

이와 같은 내열성의 향상은 나중에 설명하는 바와 같이, 캐퍼시터(C)의 용량절연막을 형성할 때의 열처리에서 접속부의 열화가 발생하지 않고, 용량절연막의 형성에 열처리상의 제한이 영향을 미치지 않게 되는 점에서 의의가 있다. 이 때문에, 높은 축적용량의 캐퍼시터(C)를 실현하면서, 상기 접속부에서의 접촉저항의 상승, 리크전류의 상승을 억제할 수 있다.

비트선(BL) 및 제1층 배선(18)(M1)은 실리콘질화막으로 이루어지는 캡절연막(22a) 및 사이드월스페이서(22b)로 덮여지고, 또 층간절연막(23)으로 덮여져 있다. 층간절연막(23)은, 예컨대 SOG막(23a), CMP법에 의해 평탄화된 TEOS산화막(23b), TEOS산화막(23c)의 적층막으로 할 수 있다.

층간절연막(23)의 상층의 A영역에는 정보축적용 캐퍼시터(C)가 형성되어 있다. 또한, B영역의 층간절연막(23)의 상층에는 캐퍼시터(C)와 같은 층에 절연막(24)이 형성되어 있다. 절연막(24)은 예컨대 실리콘산화막으로 할 수 있고, 캐퍼시터(C)와 동일한 층에 형성함으로써 캐퍼시터(C)의 표고(標高)에 기인하는 A영역과 B영역의 사이의 단차의 발생을 방지할 수 있다. 이것에 의해, 포토리소그래피의 초점심도에 여유를 가질 수 있고, 공정을 안정하게 하여 미세가공에 대응할 수 있다.

캐퍼시터(C)는 선택 MISFET(Qs)의 비트선(BL)에 접속되는 불순물 반도체영역(12)과는 반대의 불순물 반도체영역(12)에 접속되는 플러그(25)에, 플러그(26)를 통해 접속되는 하부전극(27)과, 예컨대 실리콘질화막 및 산화탄탈로 이루어지는 용량절연막(28)과, 예컨대 질화티탄으로 이루어지는 플레이트전극(29)으로 구성된다.

캐퍼시터(C)의 상층에는, 예컨대 TEOS산화막으로 이루어지는 절연막(30)을 통해 제2층 배선(31)(M2)이 형성되어 있다. 제2층 배선(31)은, 예컨대 티탄막(31a), 알루미늄막(31b) 및 질화티탄막(31c)의 적층막으로 할 수 있다.

제2층 배선(31)은 플러그(32)를 통해 제1층 배선(18)에 접속된다. 플러그(32)는, 예컨대 티탄막 및 질화티탄의 적층막으로 이루어지는 접착층(32a)과 CVD법에 의한 텅스텐막(32b)의 적층막으로 할 수 있다.

제2층 배선(31)은 층간절연막(33)으로 덮이고, 층간절연막(33)의 상층에는 제2층 배선(31)과 동일한 제3층 배선(34)(M3)이 형성되어 있다. 층간절연막(33)은, 예컨대 TEOS산화막(33a), SOG막(33b) 및 TEOS산화막(33c)의 적층막으로 할 수 있다. 또한, 제3층 배선(34)과 제2층 배선(31)은 플러그(32)와 동일한 플러그(35)에 의해 접속되어 있다.

다음에, 본 실시형태의 DRAM의 제조방법을 도 5~도 18을 사용하여 공정순으로 설명한다. 도 5~도 8은 본 발명의 일실시형태의 DRAM의 제조방법의 일례를 공정순으로 나타낸 단면도이다.

우선, p형의 반도체 기판(1)을 준비하고, 이 반도체 기판(1)의 주면에 얕은 홈(8)을 형성한다. 그후 반도체 기판(1)에 열산화를 실시하여 실리콘산화막(9)을 형성한다. 또한, 실리콘산화막을 퇴적하여 이것을 CMP법에 의해 연마하여 얕은 홈(8)내에만 실리콘산화막을 남기고 분리영역(7)을 형성한다.

다음에, 포토레지스트를 마스크로 하여 불순물을 이온주입하고, p형 웰(2, 3), n형 웰(4) 및 딥 웰(6)을 형성한다(도 5).

다음에, p형 웰(2, 3), n형 웰(4)이 형성된 활성영역에 열산화법에 의해 게이트절연막(10)을 형성하고, 또 반도체 기판(1)의 전면(全面)에 불순물이 도핑된 다결정실리콘막, 질화티탄막, 텅스텐막 및 실리콘질화막을 순차적으로 퇴적한다. 그후, 실리콘질화막, 텅스텐막, 질화티탄막 및 다결정실리콘막을 포토리소그래피 기술 및 에칭기술을 사용하여 패터닝하고, 게이트전극(11)(워드선(WL)) 및 캡절연막(13)을 형성한다. 또 캡절연막(13) 및 게이트전극(11)과 포토레지스트를 마스크로 하여 불순물을 이온주입하고, 불순물 반도체영역(12) 및 저농도 불순물영역(15a)을 형성한다(도 6).

다음에, 반도체 기판(1)의 전면(全面)에 실리콘질화막(도시생략)을 퇴적하고, 메모리셀이 형성되는 영역(A영역)에만 포토레지스트막(도시생략)을 형성한다. 그후, 그 포토레지스트막을 마스크로 하여 상기 실

리콘질화막을 이방성에칭하고, A영역의 반도체 기판(1)상에만 실리콘질화막(14)을 형성함과 동시에 B영역의 게이트전극(11)의 측벽에 사이드월스페이서(16)를 형성한다. 또한, 사이드월스페이서(16)를 마스크로 하여 불순물을 자기정합적으로 이온주입하고, 고농도 불순물영역(15b)을 형성한다(도 7).

다음에, 반도체 기판(1)의 전면(全面)에 SOG막(17a)을 도포하고, 이것을 큐어(cure)한 후, 플라즈마 CVD법에 의해 TEOS산화막(17b)을 퇴적한다. 이 TEOS산화막을 CMP법을 사용하여 연마하고, 그 표면을 평탄화한다. 이것에 의해 이 후의 포토리소그래피공정의 포커스마진을 향상할 수 있고, 미세한 접속구멍의 개구 등이 가능하게 된다. 표면을 세정후, 또 TEOS산화막(17c)을 퇴적하고, 층간절연막(17)을 형성한다. 이 TEOS산화막(17c)은 CMP에 의해 발생된 TEOS산화막(17b)상의 스크래치에 의한 손상을 보상하기 위한 것이다.

다음에, TEOS산화막(17c, 17b) 및 SOG막(17a)에 접속구멍을 개구하고, 플러그인프라를 행한 후에 불순물이 도핑된 다결정실리콘막을 퇴적하고, 이 다결정실리콘막을 CMP법에 의해 연마하여 플러그(19, 25)를 형성한다(도 8). 또한, 이 접속구멍은 2단계의 에칭에 의해 개구하여 반도체 기판(1)의 과잉에칭을 방지할 수 있다.

다음에 TEOS산화막(17d)을 형성한 후, 비트선(BL)이 접속되는 플러그(19)가 노출하도록 TEOS산화막(17d)에 개구를 형성하고, n채널 MISFET(Qn) 및 p채널 MISFET(Qp)의 불순물 반도체영역(15)이 노출하도록 층간절연막(17)에 접속구멍(21)을 형성한다(도 9).

다음에 반도체 기판(1)의 전면(全面)에 티탄막(18a)을 퇴적한다. 이 퇴적된 상태를 도 10의 일부 확대도에 나타낸다(도 10). 또, 도 10~도 13에서는 좌측에 비트선 접속구멍(BLCT)의 부분을 나타내고, 우측에 제1층 배선(M1)과 반도체 기판(1)의 주면과의 접속구멍(CT)의 부분을 나타내고 있다.

티탄막(18a)은 1~3원자%의 질소를 포함하도록 형성한다. 이와 같은 질소를 첨가한 티탄막의 퇴적은 반응성 스퍼터법, 또는 CVD법에 의해 행할 수 있다. 반응성 스퍼터법에 의한 퇴적조건을 예시하면 이하와 같다. 즉, 스퍼터 타겟으로서 티탄(Ti)을 사용하고, 분위기 가스로서 질소(N_2)가스 및 아르곤(Ar)가스를 사용한다. 스퍼터압력은 1mTorr~10mTorr, 바람직하게는 3MTorr로 할 수 있다. 투입전력으로서는 1kW~20kW, 바람직하게는 4kW로 할 수 있다. 또한, CVD법에 의한 퇴적조건을 예시하면 이하와 같다. 즉, CVD 가스로서는 TDMAT(테트라디메틸아미노티탄;$Ti(N(CH_3)_2)_4$) 또는 TDEAT(테트라디에틸아미노티탄;$Ti(N(C_2H_5)_2)_4$) 등의 유기소스 및 암모니아(NH_3)로 할 수 있다. 또한, 4염화티탄($TiCl_4$) 및 암모니아로 하는 것도 가능하다. 형성방법으로서는 IMP(Ion Metal Plasma)법을 사용할 수 있다.

다음에, 반도체 기판(1)을 감압분위기로 유지하고, 650℃, 1분간의 열처리를 행하여 질소를 포함하는 티탄막(18a)과 플러그(19) 및 반도체 기판(1)을 실리사이드화 반응시키고, 티탄실리사이드막(20)을 형성한다(도 11). 이와 같이 하여 형성된 티탄실리사이드막(20)에는 질소가 약 1~3원자% 함유되게 된다.

또한, 도면에서는 미반응의 티탄막을 잔존시키고 있지만, 이것을 제거하는 것도 가능하다. 미반응 티탄막의 제거는, 예컨대 암모니아수와 과산화수소수를 1:5의 체적비로 혼합한 용액을 사용하여 선택적으로 제거할 수 있다.

다음에, 질화티탄막(18b)을 퇴적한다(도 12). 질화티탄막(18b)은 스퍼터법에 의해 형성할 수 있다.

다음에, 텅스텐막(18c)을 블랭킷(blanket) CVD법에 의해 퇴적한다(도 13). 블랭킷 CVD법을 사용하므로 미세한 접속구멍(21)이라도 양호하게 텅스텐막을 매립할 수 있다.

다음에, 캡절연막(22a)으로 되는 실리콘질화막을 퇴적하고, 이 실리콘질화막, 텅스텐막(18c), 질화티탄막(18b) 및 티탄막(18a)을 패터닝한다. 도 14에 도 3에서의 XIV-XIV선의 단면부분의 확대도를 나타낸다. (a)는 도 13의 단계에서의 단면도를 나타내고, (b)는 패터닝하여 비트선(BL)을 형성한 후를 나타낸다. (b)에 있어서, 비트선 접속구멍(BLCT)은 비트선(BL)에 대하여 완전하게 틈이 벌어진 구조로 되어 있다. 그러나, 본 실시형태에서는 티탄실리사이드막(20)에 질소를 1~3원자%를 포함하기 때문에, 텅스텐막(18c), 질화티탄막(18b) 및 티탄막(18a)의 패터닝의 경우에 티탄실리사이드막(20)이 에칭내성을 가지므로 에칭되지 않고, 플러그(19)가 과잉으로 에칭되는 것도, 또 티탄실리사이드막(20)이 횡방향으로 에칭되는 것도 없다. 또한, 텅스텐막(18c)의 에칭에는 6플루오르화 유황(SF_6)가스를 사용할 수 있고, 질화티탄막(18b)의 에칭에는 염소(Cl_2)가스를 사용할 수 있다.

이와 같은 에칭에 의해 비트선(BL)과 동시에 제1층 배선(M1)(18)도 형성된다.

또한, 실리콘질화막을 퇴적하여 이것을 이방성에칭하는 것에 의해 사이드월스페이서(22b)를 형성한다(도 15).

다음에, 반도체 기판(1)의 전면(全面)의 SOG막(23a)을 도포하고, 이것을 큐어한 후, 플라즈마 CVD법에 의해 TEOS산화막(23b)을 퇴적한다. 이 TEOS산화막(23b)을 CMP법을 사용하여 연마하고, 그 표면을 평탄화한다. 이것에 의해 이 후의 포토리소그래피공정의 포커스마진을 향상할 수 있고, 미세한 접속구멍의 개구 등이 가능하게 된다. 표면을 세정한 후, 또 TEOS산화막(23c)을 퇴적하고, 층간절연막(23)을 형성한다. 이 TEOS산화막(23c)은 CMP에 의해 형성된 TEOS산화막(23b)상의 스크래치를 덮기 위한 것이다.

다음에, 층간절연막(23)에 접속구멍을 개구하고, 불순물이 도프된 다결정실리콘막을 퇴적하고, 이 다결정실리콘막을 CMP법에 의해 연마하여 플러그(26)를 형성한다(도 16).

다음에, 메모리셀 어레이영역(A)에만 실리콘질화막(23d)을 형성하고, 절연막(24)을 퇴적한 후 캐퍼시터(C)가 형성되는 영역에 홈을 형성하여 플러그(26)를 노출시키고, 이 홈을 덮은 다결정실리콘막을 퇴적하며, 홈 이외의 다결정실리콘막을 제거하여 캐퍼시터(C)의 하부전극(27)을 형성한다. 그후, 메모리셀 어레이영역(A)의 절연막(24) 및 하부전극(27)의 내부에 형성된 절연막을 습식에칭에 의해 제거하고, 하부전극(27)을 원통형상으로 노출한다. 또한, 이 때, 실리콘질화막(23d)을 습식에칭의 마스크로 할 수 있다. 그후, 하부전극(27) 표면을 질화 또는 산질화처리한 후 산화탄탈막을 퇴적한다. 여기에서, 산화탄탈막에

열처리를 행하여 산화탄탈막을 결정화(結晶化)하여, 보다 견고한 유전체로 하고 용량절연막(28)을 형성한다. 또한, 이 산화탄탈막의 소성열처리에 있어서, 상기한 접속구멍(21) 저부에서의 내열성이 주로 문제로 된다. 그러나, 본 실시형태 1에서는 이미 설명한 방책을 강구하고 있기 때문에, 이와 같은 열처리를 행하여도 리크전류의 발생, 접촉저항의 증가 등의 문제는 발생하지 않는다. 또한, 질화티탄막을 퇴적하여 이것을 패터닝하고, 플레이트전극(29)을 형성한다(도 17).

다음에, TEOS산화막을 반도체 기판(1)의 전면(全面)에 퇴적하여 절연막(30)으로 하고, 직접주변회로영역(B) 및 간접주변회로영역(C)에 제1층 배선(18)에 접속되는 접속항을 개구하여, 플러그(32)를 형성한다. 플러그(32)는 티탄 및 질화티탄의 적층막을 반도체 기판의 전면(全面)에 퇴적하고, 또 블랭킷 CVD법에 의해 텅스텐막을 퇴적하고, 그후 텅스텐막, 질화티탄막 및 티탄막을 에칭함으로써 형성할 수 있다. 또한, 티탄 및 질화티탄은 스퍼터법에 의해 형성할 수 있지만, CVD법에 의해 형성하는 것도 가능하다. 또한, 반도체 기판(1)의 전면(全面)에 티탄막(31a), 알루미늄막(31b) 및 질화티탄막(31c)을 스퍼터법에 의해 퇴적하고, 이것을 패터닝하여 제2층 배선(31)을 형성한다(도 18).

최후에 TEOS산화막(33a), SOG막(33b) 및 TEOS산화막(33c)을 퇴적하여 층간절연막(33)을 형성하고, 제2층 배선(31)과 마찬가지로 플러그(35)를 형성하며, 또 제3층 배선(34)을 형성하여, 도 2에 나타내는 DRAM이 거의 완성된다.

본 실시형태 1의 DRAM에 의하면, 티탄실리사이드막(20)에 질소를 포함하고 있기 때문에 비트선(BL)의 패터닝의 경우에 비트선 접속구멍(BLCT)이 틈이 벌어진 구조에서도 티탄실리사이드막(20)을 에칭 스토퍼로서 기능시켜, 플러그(19)의 과잉에칭, 티탄실리사이드막(20)의 횡방향 에칭이 발생하지 않는다. 이 때문에, 그후의 가능공정을 용이하게 하고 비트선(BL)과 플러그(19)와의 접속 신뢰성을 향상하여 DRAM의 신뢰성 및 수율을 향상할 수 있다.

또한, 접속구멍(21)(CT)의 하부에서의 티탄실리사이드막(20)에 질소를 포함하고 있기 때문에, 접속구멍 저부의 내열성이 향상하고, 용량절연막(28)의 형성시에 고온을 가해도 제1층 배선(M1)과 반도체 기판(1)의 접속부분의 접속저항의 증가 및 리크전류의 상승은 발생하지 않는다. 이 상황을 데이터를 사용하여 설명한다. 도 19 및 도 20은 본 발명자들에 의해 검토된 실험결과를 나타내는 그래프이고, 도 19는 질소함유량에 대한 컨택트저항(접촉저항)의 변화를, 도 20은 질소함유량에 대한 리크전류의 변화를 나타내고 있다. 도 19 및 도 20에 있어서 (a)는 n형 기판의 경우, (b)는 p형 기판의 경우를 나타내고 있다.

도면에서 알 수 있는 바와 같이, 질소가 함유되지 않은 티탄실리사이드막의 경우(질소함유량 0%일 때) 컨택트저항 및 리크전류가 크게 되고, 질소함유량의 증가와 함께 컨택트저항 및 리크전류는 저하하고 있다. 다만, 질소함유량이 13%를 초과할 때쯤부터 컨택트저항, 리크전류도 함께 상승하고 있어 큰 질소함유량에서는 별로 효과가 얻어지지 않는 것을 알 수 있다. 따라서, 질소함유량에는 최적치가 존재하고 1원자%～13원자%, 바람직하게는 1원자%～3원자%가 그 범위라고 할 수 있다.

또한, 본 실시형태에서는 비트선(BL) 및 제1층 배선(18)(M1)의 재료로서 질화티탄 및 텅스텐의 경우를 예시했지만, 질화티탄막의 단층막이라도 된다. 이 경우, 티탄실리사이드막(20)은 질화티탄막의 에칭가스인 플루오르계 가스에 노출되지만, 질소를 포함하는 티탄실리사이드막(20)이므로 에칭내성을 가지며, 문제는 없다. 다만, 코발트 실리사이드, 또는 텅스텐 실리사이드인 편이 효과가 크다.

또, 비트선(BL) 및 제1층 배선(18)이 질화티탄 및 텅스텐의 경우라도 코발트 실리사이드, 또는 질소, 산소, 탄소 또는 게르마늄을 포함한 코발트 실리사이드인 편이 에칭내성이 우수하고, 바람직하다.

(실시형태 2)

도 21～도 23은 본 발명의 다른 실시형태인 DRAM의 제조방법의 일례를 나타낸 확대단면도이다. 도 21～도 23에서는 좌측에 비트선 접속구멍(BLCT)의 부분을 나타내고, 우측에 제1층 배선(M1)과 반도체 기판(1)의 주면과의 접속구멍(CT)의 부분을 나타내고 있다.

본 실시형태의 DRAM은, 실시형태 1의 DRAM은 비트선(BL) 및 제1층 배선의 구조, 비트선 접속구멍(BLCT) 및 접속구멍(21)에 형성되는 플러그를 가지는 점에서 다르지만, 그 외의 구성 및 제조방법은 동일하다. 따라서, 이하에서는 그 상이한 점에 대해서만 설명한다.

본 실시형태의 DRAM의 제조방법은, 실시형태 1의 DRAM의 도 13에서의 제조방법까지는 거의 동일하다. 단, 본 실시형태에서의 티탄실리사이드막(20)에는 질소, 산소, 탄소 또는 게르마늄을 포함할 필요는 없다. 물론, 실시형태 1과 마찬가지로 질소, 산소, 탄소 또는 게르마늄을 포함하여도 되고, 또 코발트 실리사이드막, 텅스텐 실리사이드라도 된다.

실시형태 1에서의 도 13과 같이 텅스텐막(18c)을 퇴적한 후, 텅스텐막(18c), 질화티탄막(18b) 및 티탄막(18a)을 에치백하고, 비트선 접속구멍(BLCT) 및 접속구멍(21) 이외의 상기 적층막을 제거한다. 이것에 의해, 비트선 접속구멍(BLCT)에 비트선 플러그(BP) 및 접속구멍(21)에 배선 플러그(CTP)를 형성한다(도 21). 에치백으로는 에치백법 또는 CMP법을 사용할 수 있다.

또한, CMP법을 사용하여 비트선 플러그(BP) 및 배선 플러그(CTP)를 형성하는 경우에는 비트선 접속구멍(BLCT) 및 접속구멍(21)이 형성되는 TEOS산화막(17d)의 표면이 평탄화되어 있을 필요가 있다. 또한, 플러그(19, 25)가 형성되는 TEOS산화막(17c)의 표면도 평탄화되어 있는 것이 바람직하다. 이와 같이 기초층 또는 비트선 플러그(BP) 및 배선 플러그(CTP)가 형성되는 층이 평탄화되어 있는 것에 의해, 비트선 플러그(BP) 및 배선 플러그(CTP)를 형성하기 위한 각 도전막의 막두께를 저감하고, 또 연마막두께를 작게 하여 연마공정에서의 공정 부담을 저감할 수 있다.

다음에, 반도체 기판(1)의 전면(全面)에 금속막(M)을 퇴적하고(도 22), 그 후, 금속막(M)을 패터닝하여 비트선(BL) 및 제1층 배선(M1)을 형성한다(도 23). 금속막(M)으로서는 예컨대 텅스텐, 또는 몰리브덴의 단층막을 사용할 수 있다.

이후의 공정은 실시형태 1과 동일하다.

본 실시형태의 DRAM에 의하면, 비트선 플러그(BP)를 형성하고 있기 때문에, 금속막(M)의 패터닝의 경우에, 비트선 플러그(BP)가 일종의 마스크의 역할을 하고, 티탄실리사이드막(20), 플러그(19)까지 에칭되는 일이 없다. 이것에 의해, 비트선(BL)이 틈이 벌어진 구조라도 플러그(19)의 과잉 에칭 및 티탄실리사이드막(20)의 횡방향 에칭을 방지할 수 있다. 즉, 비트선(BL)이 텅스텐막으로 이루어지는 단층막인 경우에는, 비트선 플러그(BP)가 텅스텐을 포함하는 것일 때 비트선 플러그(BP)의 텅스텐부분을 에칭해버리게 된다. 하지만, 이후에 설명하는 바와 같이, 비트선(BL)의 막두께를 얇게 할 수 있기 때문에, 비트선(BL)으로 되는 금속막(M)의 에칭시의 오버에칭은 그 막두께에 따른 양만큼 행하면 된다. 결국, 막두께가 얇기 때문에 금속막(M)의 오버에칭량은 적어도 된다. 이 때문에, 금속막(M)의 에칭시에 기초층인 비트선 플러그(BP)가 텅스텐을 포함하여도 이 텅스텐의 에칭량은 적고, 플러그 저부에 에칭이 도달하지는 않는다. 이 결과, 실리사이드층의 과잉 에칭은 방지된다.

또한, 비트선(BL)이 몰리브덴으로 구성되는 경우는 비트선(BL)으로 되는 금속막(M)의 에칭을 몰리브덴의 에칭속도가 텅스텐의 에칭속도보다 높게 되는 조건을 선택하여 행함으로써, 비트선 플러그(BP)에 대하여 선택적으로 금속막(M)의 에칭을 행할 수 있다. 결국, 비트선 플러그(BP)를 금속막(M)의 에칭 스토퍼로서 기능시킬 수 있다. 이것에 의해, 비트선(BL)이 비트선 플러그(BP)에 대하여 틈이 벌어진 구조라도 비트선 플러그(BP)를 에칭하지 않고, 실리사이드막의 에칭을 방지할 수 있다.

또한, 비트선(BL)을 텅스텐 단층막으로 구성하기 때문에, 비트선(BL)의 p저저항화(低抵抗化)를 도모할 수 있다. 즉, 종래는 접속구멍으로의 매립성의 관계에서 질화티탄막을 사용하지 않을 수 없었지만, 본 실시형태에서는 접속구멍을 플러그로 매립하기 때문에, 비트선(BL)은 질화티탄막과 비교하여 저저항인 텅스텐막만으로 할 수 있다. 질화티탄막은 가공에 곤란성을 수반하기 때문에, 가공이 용이한 텅스텐막만으로 비트선(BL)을 구성하는 것은 가공성의 점에서도 유효하다.

또한, 비트선 접속구멍(BLCT)에는 미리 비트선 플러그(BP)가 형성되어 있기 때문에, 금속막(M)에 의해 비트선 접속구멍(BLCT)을 매립할 필요가 없고, 그 때문에 금속막(M)의 막두께를 얇게 할 수 있다. 이 결과, 비트선(BL) 사이의 용량을 저감하여 축적전하의 검출감도를 향상할 수 있다. 예컨대, 접속구멍의 지름을 300nm로 하면, 종래는 금속막(M)의 막두께로서 150nm이상이 필요했다. 그러나, 본 실시형태에서는 150nm이하로 하는 것이 가능하고, 또, 도전율이 높은 텅스텐막으로 이루어지므로 보다 박막화하는 것이 가능하다.

비트선(BL)의 형상은 도 3에 나타낸 바와 같이 직선형상이고, 또 근접하여 배치되어 있다. 이와 같이 근접되어 있는 것은, 메모리셀 영역에서는 최소가공치수로 패터닝되기 때문이며 패턴폭도 거의 최소가공치수로 형성된다. 비트선(BL)이 직선형상이기 때문에 그 포토리소그래피의 해상도가 향상하여 비트선(BL)의 폭을 좁게 하여 비트선(BL) 사이의 용량을 저감할 수 있는 효과는 실시형태 1에 기재된 것과 같지만, 더욱 용량을 저감하려고 하면 포토리소그래피의 해상도에서 제한되는 한계가 자연히 존재한다. 이 때문에, 비트선(BL) 사이의 간격을 넓히는 것에 의한 비트선(BL) 사이의 선간용량의 저감은 곤란하다. 이것에 대하여, 본 실시형태에서는 비트선(BL)의 두께를 저감하는 것에 의한 용량저감을 달성하는 것이고, 실시형태 1 이상의 용량저감의 효과를 기대할 수 있다.

또한, 도 24에 나타낸 바와 같이, 비트선 플러그(BP)에는 상기한 질화티탄과 텅스텐의 적층막을 대신하여 질화티탄막(50)을 사용할 수 있다. 이 경우에는 비트선(BL)을 구성하는 텅스텐막에 대하여 질화티탄막(50)은 에칭선택비가 크기 때문에, 질화티탄막(50)으로 이루어지는 비트선 플러그(BP)를 비트선(BL)의 패터닝할 때의 에칭 스토퍼로 사용할 수 있다. 이와 같은 에칭은 SF_6을 에칭가스로 사용하여 실현할 수 있다. 이와 같은 경우, 비트선(BL)의 가공마진을 증가시킬 수 있다. 또한, 질화티탄막(50)은 질화텅스텐막에 대신하여도 된다. 이 경우도 질화텅스텐막을 비트선(BL)을 구성하는 텅스텐을 에칭할 때의 에칭 스토퍼로 사용할 수 있다.

또한, 비트선 플러그(BP)를 질화티탄 및 텅스텐의 적층막, 또는 질화티탄막, 질화텅스텐막으로 구성하는 경우, 비트선(BL)이 몰리브덴으로 구성되는 경우에는 몰리브덴막을 에칭할 때의 에칭 스토퍼로서 기능시킬 수 있는 것은 물론이다.

(실시형태 3)

도 25~도 28은 본 발명의 또 다른 실시형태인 DRAM의 제조방법의 일례를 나타낸 확대단면도이다.

본 실시형태의 제조방법은 실시형태 1의 도 9 까지의 제조방법과 거의 동일하다. 다만, TEOS산화막(17d)의 막두께를 약간 두껍게 형성하고 있다(도 25).

다음에, 티탄막(18a)을 퇴적하고, 실시형태 1과 마찬가지로 열처리하여 티탄실리사이드막(20)을 형성하여, 질화티탄막(18b)을 퇴적한다(도 26). 여기에서 티탄실리사이드막(20)에 질소 또는 산소를 첨가할 필요는 없지만, 첨가해도 되는 것은 말할 것도 없다.

다음에, 텅스텐막(18c)을 블랭킷CVD법에 의해 퇴적한다(도 27). 이 때, 텅스텐막(18c), 질화티탄막(18b) 및 티탄막(18a)을 더한 두께, 즉 비트선(BL)의 막두께를 L_1으로 하면 TEOS산화막(17d)의 막두께 L_1을 더한 거리 L_2 및, 비트선 접속구멍(BLCT)의 지름 D와의 사이에는 $L_1 \times (1+OVE) < L_2$ 및, $L_1 > D/2$의 관계를 만족하도록 각각의 지름, 막두께를 설정한다. 다만, OVE는 비트선(BL)을 패터닝할 때의 오버에칭량이다. 오버에칭량으로서는 0.5로 하는 것이 적당하다.

이와 같은 관계를 만족하는 한, 도 28에 나타낸 바와 같이, 포토레지스트막(40)을 사용하여 텅스텐막(18c), 질화티탄막(18b) 및 티탄막(18a)을 패터닝하여도, 비트선 접속구멍(BLCT)의 저부까지 에칭이 진행하지는 않는다. 이 결과, 비트선(BL)이 틈이 벌어진 구조라도 티탄실리사이드막(20) 및 플러그(19)가 에칭되지는 않는다.

또한, 텅스텐막(18c), 질화티탄막(18b) 및 티탄막(18a)의 에칭방법은 실시형태 1에서 설명한 것과 같다.

본 실시형태에 의하면, 티탄실리사이드막(20) 및 플러그(19)의 에칭을 방지하고, 상기한 실시형태 1 및 2

와 동일한 효과가 얻어진다.

(실시형태 4)

도 29는 본 발명의 다른 실시형태인 DRAM의 일례를 나타낸 단면도이다. 또한, 도 30 및 도 31은 본 실시형태의 DRAM의 제조방법의 일례를 나타낸 단면도이다

본 실시형태의 DRAM은, 도 29에서의 A영역 및 B영역에서는 실시형태 1과 거의 동일하다. 도 29에서는 특히 간접주변회로영역인 C영역을 나타내고, 본 실시형태의 DRAM은 C영역에서의 접속구멍(21)의 지름과 B영역에서의 접속구멍(21)의 지름을 동일하게 한 것이다.

본 실시형태의 DRAM의 제조방법은 실시형태 1의 제조방법과 거의 동일하다. 다만, 도 30에 나타낸 바와 같이, 접속구멍(21)을 개구할 때, 직접주변회로인 B영역의 접속구멍(21)과, 간접주변회로인 C영역의 접속구멍(21)을 동일한 지름으로 개구한다.

다음에, 실시형태 1에서의 도 10~도 13을 사용하여 설명한다. 여기에서, 도 10~도 13은 직접주변회로인 B영역과, 간접주변회로인 C영역을 공통으로 나타낸 것이다.

반도체 기판(1)의 전면(全面)에 티탄막(18a)을 퇴적한다. 이 퇴적된 상태를 도 1의 일부확대도에 나타낸다(도 10). 티탄막(18a)은 층간절연막(17)상에서의 막두께와 접속구멍(21)의 저부에서의 막두께를 비교하면, 접속구멍(21)의 저부에서의 막두께 쪽이 얇게 된다. 이것은 티탄막(18a)이 스퍼터법을 사용하여 형성되기 때문이고, 접속구멍(21)의 저부에서의 소망하는 각에 의존하여 저부에서의 막두께가 얇게 되는 것에 기인한다, 즉 개구가 클수록 그 저부에서의 막두께는 두껍게 된다. 그 때문에, 본 실시형태에서는 직접주변회로영역(B) 및 간접주변회로영역(C)의 양영역에서 접속구멍(21)의 개구는 균일하다. 그 때문에, 양쪽 영역에서의 접속구멍(21) 저부의 티탄막(18a)의 막두께는 동일하게 된다.

다음에, 반도체 기판(1)을 어닐링하고, 반도체 기판(1)과 티탄막(18a)에 실리사이드반응을 발생시킨다(도 11). 이것에 의해, 접속구멍(21)의 저부에 티탄실리사이드층(20)을 형성한다. 이때, 티탄막(18a)의 막두께는 직접주변회로영역(B)인지 간접주변회로영역(C)인지에 관계없이 균일하기 때문에, 접속구멍(21)의 저부의 티탄막(18a)의 전체를 반응시킬 수 있고, 미반응인 티탄을 잔존시키는 일이 없다. 이것에 의해, 나중의 공정에 있어서 발생하는 열공정에 의해, 예기치 않은 실리사이드반응을 발생시키지 않고, 접속구멍(21)에서의 접속 신뢰성 즉 내열성을 향상할 수 있다.

다음에, 질화티탄막(18b)을 퇴적한다(도 12). 질화티탄막(18b)도 CVD법 또는 스퍼터법에 의해 형성할 수 있고, 상기한 티탄막(18a)과 마찬가지로 접속구멍(21)의 저부에서 균일한 막두께를 실현할 수 있다. 이것에 의해, 질화티탄막(18b)의 막두께의 편차에 기인하는 내열성의 저하를 억제하여 접속구멍(21) 부분에서의 접속 신뢰성을 향상할 수 있다.

다음에, 텅스텐막(18c)을 블랭킷 CVD법에 의해 퇴적한다(도 13). 블랭킷 CVD법을 사용하기 때문에, 미세한 접속구멍(21)이라도 양호하게 텅스텐막을 매립할 수 있다.

그후, 실리콘질화막을 퇴적하고, 이것을 패터닝하여 비트선(BL) 및 제1층 배선(M1), 캡절연막(22a)을 형성하고, 사이드월스페이서(22b)를 형성한다(도 31).

그후의 공정은 실시형태 1과 동일하다.

이와 같은 DRAM에서는 접속구멍(21)의 지름이 반도체 기판(1)의 전면(全面)에서 동일하기 때문에, 내열성이 우수한 티탄실리사이드(20)를 형성할 수 있다. 즉, 티탄막(18a)은 스퍼터법으로 형성되므로 접속구멍의 개구 지름에 따라 접속구멍 저부에서의 티탄막(18a)의 막두께가 상이하다. 이와 같이 상이한 막두께의 티탄막(18a)에 열처리를 행하여 티탄실리사이드막(20)을 형성한 경우에는, 일부에 미반응 티탄을 남기게 된다. 이와 같은 미반응 티탄은 개구지름이 큰 접속구멍이 잔류하기 쉽다. 이것은 개구 지름이 클수록 접속구멍 저부에서의 티탄막 두께가 두꺼운 것에 기인하다. 그리고, 잔류티탄은 나중의 열공정에 의해 반응하고, 공동이나 반도체 기판(1)으로의 침식을 발생하고, 이것이 리크전류의 증가와 컨택트저항의 증가에 관계하는 것을 본 발명자들은 인식하였다.

즉, 본 실시형태의 DRAM은 모든 접속구멍(21)의 지름을 균일화함으로써, 그 접속구멍(21)의 저부에서의 티탄막(18a)의 막두께를 균일화하는 것이고, 이것에 의해 실리사이드반응 후의 미반응 티탄을 없게 하여 접속구멍부에서의 내열성(내리크전류상승성, 내컨택트저항 상승성)을 향상하는 것이다.

또한, 본 실시형태의 DRAM의 티탄막(18a)의 막두께를 예시하면, 컬러메이션(collimation) 스퍼터법에 의해 50nm 막두께의 티탄막(18a)을 퇴적한 경우, 접속구멍(21)의 저부에서는 어느 접속구멍(21)이라도 10nm의 막두께이었다. 이 티탄막(18a)에 650℃, 1분의 열처리를 행한 결과, 잔류티탄은 검출되지 않았다. 또한, 나중에 캐퍼시터(C)를 형성할 때 800℃, 11분의 열처리를 행하였지만, 접속구멍(21)의 부분에서의 접촉저항의 상승이나, 리크전류의 증가는 특히 관찰되지 않았다.

본 실시형태에서는 접속구멍(21)의 지름을 균일하게 하는 예를 나타내었지만, 접속구멍(21)의 깊이가 상이할 경우에는 애스팩트비가 일치하도록 지름을 결정할 수 있다. 이것에 따라, 접속구멍 저부에서의 티탄 막두께를 균일화하고, 접속구멍 부분에서의 내열성을 향상할 수 있다.

또한, 본 실시형태에 있어서, 실시형태 2와 같이 비트선 플러그(BP) 및 배선 플러그(CTP)를 CMP법에 의해 작성해도 좋은 것은 물론이다.

(실시형태 5)

도 32의 (a)는 본 발명의 또 다른 실시형태인 반도체 집적회로장치의 간접주변회로의 일부를 나타낸 평면도이고, 도 32의 (b)는 그 등가회로도이다.

본 실시형태에서는 출력버퍼를 일례로서 나타낸다. 본 실시형태의 출력버퍼는 n채널 MISFET이 4개, p채널 MISFET이 4개가 병렬로 접속되고, 또 n채널 MISFET과 p채널 MISFET이 직렬로 접속된 CMOS 인버터를 구

성하고 있다.

n채널 MISFET은, n형 불순물이 확산된 n확산영역(101)에 형성되어 있고, p채널 MISFET은 p형 불순물이 확산된 p확산영역(102)에 형성되어 있다.

n확산영역(101) 및 p확산영역(102)에는 게이트전극(13)이 형성되고, 각 게이트전극(103)은 각각 접속되어 입력부(104)로 된다.

게이트전극(103)의 양측에는 소스·드레인영역이 형성되어 각 MISFET의 한쪽의 소스·드레인영역은 접속구멍(105)을 통해 접속된 배선(106)에 의해 전원단자(107)에, 또는 접속구멍(105)을 통해 접속된 배선(108)에 의해 접지단자(109)에 접속된다. 또한, 다른 쪽의 소스·드레인영역은 접속구멍(105)을 통해 접속된 배선(110)에 의해 접속되어 출력부(111)로 된다. 또한, p채널 MISFET은 그 전류구동능력이 n채널 MISFET에 비해 낮기 때문에 게이트폭이 크게 되어 있다.

여기에서, 접속구멍(105)은 실시형태 4에서 설명한 것과 마찬가지로 직접주변 또는 간접주변의 양영역에서 동일한 지름으로 되도록 형성하고 있다. 이것에 의해, 접속구멍의 내열성을 향상할 수 있는 것은 실시형태 4에서 설명한 것과 같다.

그러나, 본 실시형태와 같이, 구동전류의 용량이 요구되는 경우에는 접속구멍 저부의 접촉면적이 작게 되고 컨택트 저항을 상승하여, 전류구동의 장애로 되는 경우가 있다.

그래서, 본 실시형태에서는 접속구멍(105)의 배열을 게이트전극의 폭방향으로 2열 나란히 하여 접촉저항의 상승을 억제하고 있다. 이것에 의해, 버퍼의 전류용량을 증가하여 큰 전류에 있어서도 충분한 동작을 확보할 수 있다.

또한, 본 실시형태에서는 접속구멍(105)의 배열을 2열로 하고 있는 부분은, 전원단자(107) 또는 접지단자(109)에 접속되는 배선(106) 또는 배선(108)이 레이아웃되는 부분에 한정되고, 출력부(111)에 접속되는 배선(110)이 레이아웃되는 부분은 접속구멍(105)이 1열로 배치되어 있다. 이것은 접속구멍(105)을 2열로 배치하면 컨택트저항은 저감되지만, 배선과 반도체 기판의 접촉면적이 증대하고 배선에 기판 용량이 부가되어 출력신호의 응답성능이 저하하기 때문이다.

이와 같이, 본 실시형태에서는, 큰 전류용량이 요구되는 경우에는 접속구멍을 2열로 배치하여 컨택트저항을 저감하고, 한쪽 신호응답성능이 요구되는 부분에서는 접속구멍(105)을 1열로 배치하여 전류용량과 응답성능을 함께 향상하는 것이 가능하게 된다. 이와 같은 효과는, 접속구멍(105)에서의 내열성의 향상과 동시에 얻는 것은 말할 것도 없다.

또한, 여기에서는 접속구멍(105)이 2열로 배열된 예를 나타냈지만, 2이상의 복수의 열로 배치하여도 된다. 또한, 간접주변회로영역에서는 비교적 레이아웃에 여유가 있기 때문에, 본 실시형태 2와 같이 복수열의 접속구멍(105)을 배치하는 것이 비교적 용이하고, 레이아웃 면적의 증가의 큰 장해로 되지 않는다.

(실시형태 6)

도 33~도 36은 본 발명의 다른 실시형태인 DRAM의 제조방법의 일례를 나타낸 확대단면도이다. 도 33~도 36에 있어서는, 주변회로의 부분에 대해서만 나타나 있다.

본 실시형태의 DRAM은, 실시형태 1의 DRAM과는 티탄실리사이드막의 구조 및 형성방법에 대해서 상이한 것 이외는 실시형태 1의 DRAM의 구조 및 제조방법과 마찬가지이다. 따라서, 이하에서는 그 상이한 점에 대해서만 설명한다. 본 실시형태의 DRAM의 제조방법은 실시형태 1의 DRAM의 도 9에서의 제조방법까지는 거의 동일하다.

접속구멍(21)을 형성한 후, 티탄막(18a)을 퇴적한다(도 33). 티탄막(18a)은 예컨대 컬리메이션 스퍼터법에 의해 퇴적할 수 있다. 또한, 티탄막(18a)은 접속구멍(21)의 저부에서 그 막두께가 10~20nm로 되도록 퇴적한다.

다음에, 실시형태 1과 마찬가지로 열처리를 행하여 티탄막(18a)과 반도체 기판(1)의 실리콘을 반응시키고, 티탄실리사이드막(20)을 형성한다(도 34). 이 티탄실리사이드막(20)의 형성에서는 접속구멍(21)의 저부에서 잔류티탄이 발생하지 않도록 저부에서의 모든 티탄이 반응하도록 열처리한다.

티탄막(18a)의 접속구멍(21)의 저부에서의 막두께를 10~20nm로 하고, 이것을 모두 반응시키면, 티탄실리사이드막(20)의 막두께는 15~30nm의 범위로 된다. 이와 같은 실리사이드화 반응에 의해, 접속구멍(21) 저부의 티탄막(18a)은 모두 실리사이드화 되어 잔류티탄은 존재하지 않게 된다. 이와 같이 잔류티탄이 존재하지 않는 것에 의해, 컨택트부분의 내열성을 향상할 수 있는 것, 또 잔류티탄이 존재하면, 그 후의 열공정에 의해 잔류티탄이 실리사이드화 하고 티탄실리사이드막(20)의 막두께가 증가하지만, 본 실시형태에서는 나중의 열공정에 의해 티탄실리사이드막(20)의 막두께는 증가하지 않는다. 이와 같은 티탄실리사이드막(20)의 막두께가 증가하지 않는 것은 다음에 설명한 바와 같이, 컨택트 부분의 접속저항의 상승을 억제한다.

티탄실리사이드막(20)의 막두께를 15~30nm의 범위로 함으로써, 접속구멍(21) 저부에서의 접촉저항을 저감할 수 있다. 이와 같이 티탄실리사이드막(20)의 막두께에 의해 접촉저항의 값이 변화하는 것은 본 발명자들의 실험검토에 의한 지견에 의거한다. 도 37을 사용하여 이 지견을 설명한다. 도 37은 컨택트저항과 접속구멍(21)의 저부에서의 티탄실리사이드막(20)의 막두께와의 관계를 나타낸 그래프이고, (a)는 n형의 경우, (b)는 p형의 경우를 나타낸다. n형, p형중 어느 하나의 경우라도, 티탄실리사이드막(20)의 막두께가 15nm이하의 경우에 컨택트저항이 크게 된다. 이것은, 낮은 접속저항을 확보하는데는 15nm정도의 막두께가 필요한 것을 나타내고, 어느 정도의 막두께가 아니면 실리사이드막으로서의 기능을 발휘할 수 없고 저저항화 할 수 없는 것을 나타낸다. 한편, p형의 경우에는 티탄실리사이드막(20)의 막두께가 크게 됨에 따라서, 컨택트저항이 상승한다. 이것은 고농도 불순물영역(15b)의 불순물 농도 프로파일을 반영한 것이라고 생각된다. 결국, p형의 고농도 불순물영역(15b)에 있어서는 표면영역에서 불순물농도가

높고, 깊게 됨에 따라서 불순물농도가 저하한다. 이와 같은 불순물 농도 프로파일에 있어서, 두꺼운 티탄실리사이드층이 형성되면, 티탄실리사이드층이 불순물 농도가 낮은 영역, 즉 고농도 불순물영역(15b)의 깊은 영역에 형성되고, 불순물 농도가 높고 저저항인 영역이 실리사이드층으로 들어가는 현상이 발생하는 것이라고 생각된다. 이와 같은 경우에는 고농도 불순물영역(15b)이 충분하게 저저항화되어 있지 않고, 결국 접속저항이 높게 되는 현상이 나타난다.

한편, n형의 경우에는 티탄실리사이드막(20)의 막두께가 크게 되어도 현저한 컨택트저항의 증가는 보이지 않는다. 이것은 n형의 고농도 불순물영역(15b)에 있어서는 불순물 프로파일이 깊게 의존하지 않고, 거의 일정하게 유지되고 있는 것을 반영하고 있다고 생각된다. 이 때문에, n형의 경우에는 다소의 티탄실리사이드막(20)의 막두께가 크게 되어도 컨택트저항의 상승에는 영향을 미치지 않는다. 이것은 메모리셀 영역에 있어서 비트선(BL)과 접속하는 플러그(19)상면의 티탄실리사이드막(20)에 취하는 경우가 좋다. 결국, 플러그(19)상에 형성되는 개구의 깊이는 얕고, 접속구멍(21)과 비교하여 그 애스팩트는 낮다. 따라서, 개구저부의 티탄막(18a)의 막두께는 접속구멍(21) 저부의 막두께와 비교하여 두껍게 된다. 이 때문에, 플러그(19) 상면에 형성되는 티탄실리사이드막(20)의 막두께는 두껍게 된다. 하지만, 메모리셀 선택용의 선택 MISFET(Qs)은 n채널형이고, 플러그(19)에 도입되는 불순물은 n형의 도전형을 나타내는 불순물이다. 이 때문에, 플러그(19)상면의 티탄실리사이드막(20)의 막두께가 다소 두껍게 되어도 접속저항을 상승시키는 일이 없이 양호하다.

또한, 티탄실리사이드막(20)에는 질소, 산소, 탄소 또는 게르마늄을 포함할 필요는 없지만, 물론 실시형태 1과 마찬가지로 질소, 산소, 탄소 또는 게르마늄을 포함하여도 된다. 또한, 티탄막(18a)을 대신하여 텅스텐막, 코발트막을 사용하여 코발트실리사이드, 텅스텐실리사이드를 형성해도 된다.

다음에, 실시형태 1과 마찬가지로 질화티탄막(18b)을 퇴적하고(도 35), 실시형태 1과 마찬가지로 텅스텐막(18c)을 퇴적한다(도 36).

이후의 공정은 실시형태 1과 동일하다.

본 실시형태에 의하면, 접속구멍(21) 저부에서의 컨택트저항을 저감하고, 또 컨택트부분의 내열성을 향상시킬 수 있다.

또한, 질화티탄막(18b) 및 텅스텐막(18c)을 질화티탄막의 단층막, 또는 질화텅스텐막의 단층막에 대신하여도 좋은 것은 실시형태 1과 마찬가지이다. 또한, 본 실시형태의 티탄실리사이드막(20)을 실시형태 2에 적용하는 것도 물론 가능하다.

(실시형태 7)

도 38~도 41은 본 발명의 다른 실시형태인 DRAM의 제조방법의 일례를 나타낸 확대단면도이다. 도 38~도 41에 있어서는, 주변회로의 부분에 대해서만 나타나 있다.

본 실시형태의 DRAM은, 실시형태 6의 DRAM과는 티탄실리사이드막의 형성방법에 대해서 상이한 것 이외는 실시형태 6의 DRAM의 구조 및 제조방법과 마찬가지이다. 따라서, 이하에서는 그 상이한 점에 대해서만 설명한다. 본 실시형태의 DRAM의 제조방법은 실시형태 6의 DRAM의 도 33에서의 제조방법까지는 거의 동일하다. 다만, 본 실시형태에서는 티탄막(18a)의 막두께는 10nm이상, 즉 열처리후의 티탄실리사이드막의 막두께가 15nm이상으로 된다면 좋고, 특히 한정되지 않는다. 따라서, 티탄막(18a)의 막두께는 20nm이상이라도 된다(도 38).

다음에, 실시형태 6과 마찬가지로 열처리를 행하고, 티탄실리사이드막(20)을 형성한다(도 39). 다만, 접속구멍(21) 저부의 티탄막(18a)의 모두는 실리사이드화 하지 않고, 티탄실리사이드막(20)의 막두께가 15~30nm로 되도록 열처리시간 및 온도를 제어한다. 이와 같이 티탄실리사이드막(20)의 막두께를 15~30nm로 함으로써, 실시형태 6에서 설명한 것과 마찬가지로 접속저항의 증가를 억제할 수 있는 효과가 얻어진다.

본 실시형태의 경우, 도 39에 나타낸 바와 같이 접속구멍(21)의 저부에 미반응의 티탄이 잔존한다. 이와 같은 미반응 티탄의 잔존은 나중의 열처리공정에 의해 접속 신뢰성이 저하하는 것은 상기한 것과 같다. 따라서, 본 실시형태에서는 미반응티탄을 예컨대 습식에칭법에 의해 선택적으로 에칭하여 제거한다(도 40). 이와 같이 미반응 티탄을 에칭에 의해 제거함으로써, 티탄의 잔류를 방지하고, 그 후의 공정에 의한 접속부의 신뢰성의 저하, 결국 내열성의 저하를 방지할 수 있다.

다음에, 실시형태 6과 마찬가지로, 질화티탄막(18b) 및 텅스텐막(18c)을 퇴적한다(도 41). 그후의 공정은 실시형태 6과 동일하다.

본 실시형태에 의하면, 접속구멍(21) 저부의 접속저항의 저하 및 접속 신뢰성(내열성)의 향상을 도모한다.

또한, 티탄실리사이드막(20)에는 질소, 산소, 탄소 또는 게르마늄을 포함할 필요는 없지만, 물론, 실시형태 1과 마찬가지로 질소, 산소, 탄소 또는 게르마늄을 포함하여도 된다. 또한, 티탄막(18a)을 대신하여 텅스텐막, 코발트막을 사용하여 코발트 실리사이드, 텅스텐 실리사이드를 형성하여도 좋은 것은 실시형태 1과 동일하다.

또한, 질화티탄막(18b) 및 텅스텐막(18c)을 질화티탄막의 단층막, 또는 질화텅스텐막의 단층막에 대신하여도 좋은 것은 실시형태 2와 동일하다. 또, 본 실시형태의 티탄실리사이드막(20)을 실시형태 2에 적용하는 것도 물론 가능하다.

(실시형태 8)

도 42는 본 발명의 다른 실시형태인 DRAM의 제조방법의 일례를 나타낸 확대 단면도이다. 도 42에 있어서는 주변회로의 부분에 대해서만 나타나 있다.

본 실시형태의 DRAM은 실시형태 1의 DRAM과는 비트선(BL) 및 제1층 배선(M1)의 구조에 있어서 상이하다.

또한, 본 실시형태에서는 티탄실리사이드층(20)이 반도체 기판(1)의 주면에는 형성되어 있지 않다. 따라서, 이하에서는 그 상이한 점에 대해서만 설명한다.

본 실시형태의 비트선(BL) 및 제1층 배선(M1)은 티탄실리사이드막(51), 질화티탄막(18b) 및 텅스텐막(18c)으로 구성된다. 티탄실리사이드막(51)은 실시형태 1~7에서의 티탄실리사이드층(20)을 대신하는 것이고, 비트선(BL) 및 제1층 배선(M1)과 플러그(19) 또는 반도체 기판(1)과의 접속저항을 저감하는 기능을 갖는다.

본 실시형태의 티탄실리사이드막(51)은 실시형태 1과 마찬가지로 접속구멍(21)을 형성한 후, 스퍼터법 또는 CVD법에 의해 형성할 수 있다. 또한, 티탄실리사이드막(51)의 막두께는 15~30㎚의 범위로 할 수 있다.

본 실시형태의 DRAM에 의하면, 티탄실리사이드막(51)에 의해 접속구멍(21) 저부에서의 접속저항의 저감을 도모할 수 있고, 또, 여분의 티탄의 잔류가 없기 때문에, 접속구멍(21) 저부에서의 접속 신뢰성(내열성)이 향상한다.

또한, 티탄실리사이드막(51)에는 질소, 산소, 탄소 또는 게르마늄을 포함할 필요는 없지만, 물론 실시형태 1과 마찬가지로 질소, 산소, 탄소 또는 게르마늄을 포함하여도 된다. 또한, 티탄막(18a)을 대신하여 텅스텐막, 코발트막을 사용하여 코발트 실리사이드, 텅스텐 실리사이드를 형성하여도 좋은 것은 실시형태 1과 동일하다.

또한, 질화티탄막(18b) 및 텅스텐막(18c)을 질화티탄막의 단층막, 또는 질화텅스텐막의 단층막에 대신하여도 좋은 것은 실시형태 2와 동일하다. 또, 도 42의 공정 후에, 실시형태 2와 마찬가지로 비트선 플러그(BP), 배선 플러그(CTP)를 형성해도 좋은 것은 말할 것도 없다.

(실시형태 9)

도 43 및 도 44는 본 발명의 또 다른 실시형태인 DRAM의 제조방법의 일례를 나타낸 확대단면도이다. 도 43 및 도 44에 있어서는, 주변회로의 부분에 대해서만 나타나 있다.

본 실시형태의 DRAM은, 실시형태 1의 DRAM과는 비트선(BL) 및 제1층 배선(M1)의 구조에 있어서 상이하다. 또한, 본 실시형태에 있어서는 티탄실리사이드층(20)의 형성방법이 상이하다. 따라서, 이하에서는 그 상이한 점에 대해서만 설명한다.

본 실시형태의 DRAM의 제조방법은 실시형태 6의 DRAM의 도 33에서의 제조방법까지는 거의 동일하다. 다만, 본 실시형태에서는 티탄막(18a)의 막두께는 10㎚이상, 즉 열처리후의 티탄실리사이드막의 막두께가 15㎚이상으로 되면 좋고, 특히 한정되지 않는다. 따라서, 티탄막(18a)의 막두께는 20㎚이상이라도 된다.

다음에, 다결정실리콘막(52)을 퇴적한다(도 43). 다결정실리콘막(52)은 다음에 설명하는 열처리를 할 때 여분의 티탄막과 반응하여 잔류티탄을 발생시키지 않는 기능을 갖는다.

다음에, 실시형태 6과 마찬가지로 열처리를 행한다(도 44). 이 열처리의 결과, 접속구멍(21) 저부의 티탄막(18a)의 일부(저면측)는 반도체 기판(1)의 실리콘과 반응하여 티탄실리사이드막(20)을 형성하고, 티탄막(18a)의 다른 일부(상면측)는 다결정실리콘막(52)과 반응하여 티탄실리사이드막(52a)을 만든다. 이 결과, 다결정실리콘막(52)과의 반응에 티탄막(18a)의 상면측이 소비되고, 남은 티탄막(18a)의 저면측이 반도체 기판(1)의 실리콘과의 반응에 소비된다. 이 때문에, 반도체 기판(1)의 고농도 불순물영역(15b)의 깊은 영역까지 실리사이드층이 형성되지 않고, 접속저항이 높게 되는 일이 없다. 한편, 티탄막(18a)의 막두께가 두꺼워도 잔류티탄이 형성되는 일이 없고, 접속부의 내열성(접속 신뢰성)이 높게 유지된다.

또한, 접속구멍(21)의 측벽이나 TEOS산화막(17d)의 상면에는 다결정실리콘막(52)과 반응할 수 없었던 티탄막(18a)의 일부가 잔류하지만, 이 잔류티탄은 그후의 열처리에 의해서도 접속 신뢰성을 손상시킬 우려가 없다. 즉, 접속구멍(21)의 저부에 잔류티탄이 존재하지 않는 한, 그후의 열공정에 의한 신뢰성의 저하는 없다. 결국, 본 실시형태에 있어서는 접속구멍(21)의 저부에서 잔류티탄이 존재하지 않도록, 또 형성되는 실리사이드층이 반도체 기판(1)의 깊은데 형성되지 않도록 티탄막(18a)과 다결정실리콘막(52)의 막두께를 선택하면 된다. 다결정실리콘막(52)의 막두께는, 예컨대 티탄막(18a)의 막두께보다 얇게 형성할 수 있다.

그후의 공정은 실시형태 6과 동일하다.

본 실시형태에 의하면, 접속구멍(21) 저부의 접속저항을 저감함과 동시에, 그후의 열공정에 의한 접속 신뢰성(내열성)의 저감을 억제할 수 있다.

또, 티탄실리사이드막(20)에는 질소, 산소, 탄소 또는 게르마늄을 포함할 필요는 없지만, 물론, 실시형태 1과 마찬가지로 질소, 산소, 탄소 또는 게르마늄을 포함하여도 된다. 또한, 티탄막(18a)을 대신하여 텅스텐막, 코발트막을 사용하여 코발트 실리사이드, 텅스텐 실리사이드를 형성하여도 좋은 것은 실시형태 1과 동일하다.

또한, 질화티탄막(18b) 및 텅스텐막(18c)을 질화티탄막의 단층막, 또는 질화텅스텐막의 단층막에 대신하여도 좋은 것은 실시형태 2와 동일하다. 또, 본 실시형태의 티탄실리사이드막(20)을 실시형태 2에 적용하는 것도 물론 가능하다.

또, 도 45에 나타낸 바와 같이, 티탄막(18a)을 20㎚보다도 두껍게 형성하여도, 열처리에 의한 티탄실리사이드막의 형성시에, 예컨대 실란가스(SiH_4)의 분위기에서 열처리를 할 수 있다. 이와 같은 경우에도 여분의 티탄을 실란가스와의 반응에 의해 실리사이드화하여 미반응 티탄의 발생을 억제할 수 있다.

(실시형태 10)

도 46 및 도 47은 본 발명의 다른 실시형태인 DRAM의 제조방법의 일례를 나타낸 단면도이다.

본 실시형태의 반도체 집적회로장치의 제조방법은 실리사이드화 반응을 실시형태 1에서의 SOG막(17a)의 형성 전에 행하는 것이다.

실시형태 1에서의 도 7의 공정 후, 반도체 기판(1)의 전면(全面)에 티탄막(53)을 퇴적한다. 그후, 반도체 기판(1)을 실시형태 1의 경우와 마찬가지로 열처리하여 티탄실리사이드막(54)을 형성한다(도 46).

그후, 미반응의 티탄막을 예컨대 습식에칭에 의해 선택적으로 제거한다(도 47). 그후의 공정은 실시형태 1과 거의 동일하다. 다만, 접속구멍(21)의 형성후, 비트선(BL) 및 제1층 배선(M1)으로 되는 금속막(M)에 티탄 등 실리사이드화하기 위한 층은 필요하지 않다.

본 실시형태에 의하면, 반도체 기판(1)의 실리콘이 노출하고 있는 영역의 전체에 실리사이드층이 형성되기 때문에, 보다 확실하게 접속저항을 저감할 수 있다. 또한, 미반응 티탄을 선택적으로 제거하기 때문에, 내열성을 높일 수 있다.

또한, 접속구멍(21)의 형성후의 비트선(BL) 및 제1층 배선(M1)으로 되는 금속막(M)에 티탄 등의 실리사이드화하기 위한 층을 포함해도 상관없다. 이 경우, 접속구멍(21)의 저부에서는 과잉의 티탄 등이 존재하기 때문에, 이 부분 즉 접속구멍(21)의 저부에서의 내열성은 저하하고 접속저항이 상승하지만, 본 실시형태에 있어서는 접속구멍(21) 저부 이외의 반도체 영역 즉 고농도 불순물영역(15b)에도 티탄실리사이드막(54)이 형성되어 있기 때문에, 반도체 영역의 저저항성은 이 접속구멍(21)의 저부 이외의 티탄실리사이드막(54)으로 보정된다.

이상, 본 발명자에 의해 이루어진 발명을 발명의 실시형태에 의거하여 구체적으로 설명했지만, 본 발명은 상기 실시형태에 한정되지 않고, 그 요지를 일탈하지 않는 범위에서 여러 가지로 변경 가능한 것을 말할 것도 없다.

예컨대, 상기 실시형태 1~10에서는, 비트선(BL)이 비트선 접속구멍(BLCT)에 대하여 의도적으로 틈이 벌어진 구조로 되는 경우를 나타냈지만, 본래 비트선(BL)과 비트선 접속구멍(BLCT)이 틈이 벌어진 구조로 되는 것을 의도하고 있지 않은 경우라도 도 48에 나타낸 바와 같이, 마스크 어긋남 등에 의해 틈이 벌어진 구조로 되는 경우가 있다. 이와 같은 경우에도 본 발명을 적용할 수 있는 것은 말할 것도 없다.

또한, 상기 실시형태에서는 제1층 배선(M1)과 하층과의 접속은 MISFET의 소스·드레인영역인 고농도불순물영역(15b)과 제1층 배선(M1)의 사이의 경우에 대하여 설명했지만, MISFET의 소스·드레인영역에 한정되지 않고, 다른 영역, 예컨대 반도체 기판(1)의 그 외의 표면이나, MISFET의 게이트전극과의 사이의 접속에 적용되어도 상관없다.

발명의 효과

본원에 있어서 개시되는 발명 중, 대표적인 것에 의해 얻어지는 효과를 간단하게 설명하면 이하와 같다.

(1) 비트선 접속구멍에서의 다결정실리콘플러그의 요철을 방지할 수 있다. 또한, 이 요철의 방지에 의해 그후 공정, 예컨대 포토리소그래피공정이나 에칭공정에서의 악영향을 제거하고, 공정마진을 증가시킬 수 있다.

(2) 비트선과 다결정실리콘플러그와의 접속부의 실리사이드막의 횡방향의 에칭을 방지할 수 있다. 또한, 이 실리사이드막의 횡방향 에칭의 방지에 의해, 비트선과 다결정실리콘플러그와의 도전성을 안정하게 확보하여 반도체 집적회로장치의 수율 및 신뢰성을 향상할 수 있다.

(3) 비트선의 용량을 저감하고, DRAM의 정보기억에 필요한 축적용량의 저감, 또는 DRAM의 동작속도의 향상을 도모할 수 있다.

(4) DRAM의 비트선과 주변회로영역의 제1층 배선을 공용한 경우의 제1층 배선과 반도체 기판과의 접속부분의 내열성을 향상하고, 그후의 열공정에서의 접속부분에서의 리크전류의 증가를 억제하여, DRAM의 제조수율과 그 신뢰성 및 성능을 향상할 수 있다.

(5) 제1층 배선과 반도체 기판 등 하층부재와의 접속저항을 저감하고, 반도체 집적회로장치의 성능을 향상할 수 있다.

(57) 청구의 범위

청구항 1

반도체 기판의 주면에 형성된 메모리셀 선택용의 제1 MISFET 및 주변회로용의 제2 MISFET과, 상기 제1 MISFET의 한쪽의 소스·드레인영역 상의 제1 절연막에 형성된 다결정실리콘플러그와, 상기 제1 절연막상의 제2 절연막에 개구(開口)된 제1 접속구멍을 통해 상기 다결정실리콘플러그에 전기적으로 접속된 상기 제2 절연막상의 비트선과, 상기 제1 및 제2 절연막의 제2 접속구멍을 통해 상기 제2 MISFET의 소스·드레인영역에 전기적으로 접속된 상기 제2 절연막상의 제1층 배선을 가지는 반도체 집적회로장치에 있어서,

상기 비트선과 상기 다결정실리콘플러그와의 접속영역, 또는 상기 제1층 배선과 상기 제2 MISFET의 소스·드레인영역 또는 게이트전극 또는 상기 반도체 기판의 주면과의 접속영역에는 티탄, 텅스텐 또는 코발트에서 선택된 원소의 실리사이드막으로서 불순물을 포함하는 것, 또는 불순물을 포함하지 않는 코발트실리사이드막이 형성되어 있고,

상기 불순물은 질소, 산소, 탄소 또는 게르마늄에서 선택된 어느 하나 또는 복수의 원소인 것을 특징으로 하는 반도체 집적회로장치.

청구항 2

제 1 항에 있어서,

상기 불순물의 함유량은 1원자%~13원자%의 범위인 것을 특징으로 하는 반도체 집적회로장치.

청구항 3

제 2 항에 있어서,

상기 불순물이 질소이고, 그 질소의 함유량은 1원자%~3원자%의 범위인 것을 특징으로 하는 반도체 집적회로장치.

청구항 4

제 1 항에 있어서,

상기 비트선의 선폭은 상기 제1 접속구멍의 지름 이하인 것을 특징으로 하는 반도체 집적회로장치.

청구항 5

반도체 기판의 주면에 형성된 메모리셀 선택용의 제1 MISFET과, 상기 제1 MISFET의 한쪽의 소스·드레인 영역 상의 제1 절연막에 형성된 다결정실리콘플러그와, 상기 제1 절연막상의 제2 절연막상에 형성된 비트선을 가지는 반도체 집적회로장치에 있어서,

상기 제2 절연막에는 제1 접속구멍이 개구되고, 상기 비트선과 상기 다결정실리콘플러그는 상기 제1 접속구멍내에 형성된 제1 플러그를 통해 접속되어 있는 것을 특징으로 하는 반도체 집적회로장치.

청구항 6

제 5 항에 있어서,

상기 제1 및 제2 절연막의 표면이 적어도 상기 제1 MISFET이 형성된 영역에 걸쳐서 평탄화되어 있고, 상기 제1 플러그의 표면과 상기 제2 절연막의 표면이 동일평면에 형성되어 있는 것을 특징으로 하는 반도체 집적회로장치.

청구항 7

제 5 항에 있어서,

상기 비트선의 막두께는 상기 제1 접속구멍 지름의 2분의 1 이하인 것을 특징으로 하는 반도체 집적회로장치.

청구항 8

제 5 항에 있어서,

상기 비트선의 선폭은 상기 제1 접속구멍의 지름 이하인 것을 특징으로 하는 반도체 집적회로장치.

청구항 9

제 5 항에 있어서,

상기 비트선은 상기 제1 플러그에 대하여 선택적으로 에칭이 가능한 재료로 구성되어 있는 것을 특징으로 하는 반도체 집적회로장치.

청구항 10

제 5 항에 있어서,

상기 비트선은 텅스텐 또는 몰리브덴의 단층막으로 이루어지고,

상기 제1 플러그는 질화티탄 및 텅스텐을 포함하는 적층막, 또는 질화티탄 또는 질화텅스텐으로 이루어지는 것을 특징으로 하는 반도체 집적회로장치.

청구항 11

제 5 항에 있어서,

상기 반도체 기판의 주면에 형성된 주변회로의 제2 MISFET과, 상기 제2 절연막상에 형성된 주변회로의 제1층 배선을 가지고,

상기 제1 및 제2 절연막에는 제2 접속구멍이 개구되고, 상기 제1층 배선과, 상기 제2 MISFET의 소스·드레인영역 또는 게이트전극 또는 상기 반도체 기판의 주면이 상기 제2 접속구멍내에 형성된 제2 플러그를 통해 접속되고,

상기 제2 플러그는 상기 제1 플러그와 동일한 재료로 이루어지고, 상기 제1층 배선은 상기 비트선과 동일한 재료로 더 이루어지는 것을 특징으로 하는 반도체 집적회로장치.

청구항 12

제 11 항에 있어서,

상기 제1 및 제2 절연막의 표면이 상기 반도체 기판의 전면(全面)에 걸쳐 평탄화되어 있고, 상기 제1 및 제2 플러그의 표면과 상기 제2 절연막의 표면이 동일평면에 형성되어 있는 것을 특징으로 하는 반도체 집적회로장치.

청구항 13

제 11 항에 있어서,

상기 비트선 및 제1층 배선은 텅스텐 또는 몰리브덴의 단층막으로 이루어지고,

상기 제1 및 제2 플러그는 질화티탄막 및 텅스텐막을 포함하는 적층막, 또는 질화티탄 또는 질화텅스텐으로 이루어지는 것을 특징으로 하는 반도체 집적회로장치.

청구항 14

제 11 항에 있어서,

상기 제1 플러그와 상기 다결정실리콘플러그의 접속영역, 또는 상기 제2 플러그와 상기 제2 MISFET의 소스·드레인영역 또는 게이트전극 또는 반도체 기판의 주면과의 접속영역에는 티탄, 텅스텐 또는 코발트에서 선택된 원소의 실리사이드막으로서 불순물을 포함하는 것, 또는 불순물을 포함하지 않는 코발트 실리사이드막이 형성되어 있고,

상기 불순물은 질소, 산소, 탄소 또는 게르마늄으로 선택된 어느 하나 또는 복수의 원소이고,

상기 불순물의 함유량이 1원자%~13원자%의 범위인 것을 특징으로 하는 반도체 집적회로장치.

청구항 15

제 14 항에 있어서,

상기 불순물이 질소이고, 그 질소의 함유량은 1원자%~3원자%의 범위인 것을 특징으로 하는 반도체 집적회로장치.

청구항 16

제 11 항에 있어서,

상기 제1 플러그와 상기 다결정실리콘플러그의 접속영역, 상기 제2 플러그와 상기 제2 MISFET의 소스·드레인영역 또는 게이트전극 또는 반도체 기판의 주면과의 접속영역, 또는 상기 제2 MISFET의 소스·드레인의 표면영역에는 티탄, 텅스텐 또는 코발트에서 선택된 원소의 실리사이드막이 형성되어 있고,

상기 어느 하나의 접속영역 또는 표면영역의 실리사이드막의 막두께가 15~30nm인 것을 특징으로 하는 반도체 집적회로장치.

청구항 17

제 16 항에 있어서,

상기 제2 MISFET이 p채널형 MISFET을 포함하는 것이고,

상기 p채널형 MISFET의 소스·드레인의 표면영역, 또는 상기 제2 플러그 저부(底部)와 상기 p채널형 MISFET의 소스·드레인영역과의 접속영역에 형성된 상기 실리사이드막의 막두께가 15~30nm인 것을 특징으로 하는 반도체 집적회로장치.

청구항 18

반도체 기판의 주면에 형성된 메모리셀 선택용의 제1 MISFET과, 상기 제1 MISFET의 한쪽의 소스·드레인영역 상의 제1 절연막에 형성된 다결정실리콘플러그와, 상기 제1 절연막상에 형성된 제2 절연막과, 상기 제2 절연막에 개구된 제1 접속구멍을 통해 상기 다결정실리콘플러그에 접속된 비트선을 가지는 반도체 집적회로장치에 있어서,

상기 비트선의 두께 L_1과, 상기 제2 절연막의 두께에 상기 비트선의 두께 L_1을 더한 거리 L_2와, 상기 제1 접속구멍의 지름 D와의 사이에는 $L_1 \times (1+OVE) < L_2$ 및, $L_1 > D/2$(단, OVE는 비트선을 패터닝할 때의 오버에칭량임)의 관계를 가지는 것을 특징으로 하는 반도체 집적회로장치.

청구항 19

제 18 항에 있어서,

상기 비트선의 선폭은 상기 제1 접속구멍의 지름 이하인 것을 특징으로 하는 반도체 집적회로장치.

청구항 20

메모리셀 선택용의 제1 MISFET이 반도체 기판의 주면상에 어레이(array)형태로 배열된 메모리셀영역과, 상기 메모리셀 영역의 주변에 형성된 직접 주변회로영역과, 상기 직접 주변회로영역의 주면에 형성된 간접주변회로영역을 포함하고, 상기 직접 또는 간접주변회로영역의 상기 반도체 기판의 주면과 제1층 배선을 접속하는 제2 접속구멍을 가지는 반도체 집적회로장치에 있어서,

상기 제2 접속구멍의 지름이 상기 직접 및 간접주변회로영역에 있어서 동일한 것을 특징으로 하는 반도체 집적회로장치.

청구항 21

제 20 항에 있어서,

상기 제2 접속구멍의 애스팩트비(aspect ratio)가 상기 메모리셀영역, 직접주변회로영역 및 간접주변회로

영역에 있어서 동일한 것을 특징으로 하는 반도체 집적회로장치.

청구항 22

반도체 기판의 주면에 형성된 메모리셀 선택용의 제1 MISFET 및 주변회로용의 제2 MISFET과, 상기 제1 MISFET의 한쪽의 소스·드레인영역 상의 제1 절연막에 형성된 다결정실리콘플러그와, 상기 제1 절연막상의 제2 절연막에 개구된 제1 접속구멍을 통해 상기 다결정실리콘플러그에 전기적으로 접속된 상기 제2 절연막상의 비트선과, 상기 제1 및 제2 절연막의 제2 접속구멍을 통해 상기 제2 MISFET의 소스·드레인영역에 전기적으로 접속된 상기 제2 절연막상의 제1층 배선을 가지는 반도체 집적회로장치에 있어서,

상기 비트선과 상기 다결정실리콘플러그와의 접속영역, 상기 제1층 배선과 상기 제2 MISFET의 소스·드레인영역 또는 게이트전극 또는 상기 반도체 기판의 주면과의 접속영역, 또는 상기 제2 MISFET의 소스·드레인의 표면영역에는 티탄, 텅스텐 또는 코발트에서 선택된 원소의 실리사이드막이 형성되어 있고,

상기 어느 하나의 접속영역 또는 표면영역의 실리사이드막의 막두께가 15~30nm인 것을 특징으로 하는 반도체 집적회로장치.

청구항 23

제 22 항에 있어서,

상기 제2 MISFET이 p채널형 MISFET을 포함하는 것이고,

상기 p채널형 MISFET의 소스·드레인의 표면영역, 또는 상기 제1층 배선과 상기 p채널형 MISFET의 소스·드레인영역과의 접속영역에 형성된 상기 실리사이드막의 막두께가 15~30nm인 것을 특징으로 하는 반도체 집적회로장치.

청구항 24

(a) 반도체 기판의 주면에 메모리셀 선택용의 제1 MISFET을 형성하고, 상기 제1 MISFET을 덮는 제1 절연막을 형성한 후, 상기 제1 절연막을 상기 제1 MISFET의 적어도 한쪽의 소스·드레인영역 상에 개구를 가지는 포토레지스트막의 존재하에서 에칭하는 공정,

(b) 상기 반도체 기판의 전면(全面)에 상기 에칭에 의해 형성된 제1 절연막의 개구를 매립하는 다결정실리콘막을 퇴적하고, 상기 제1 절연막상의 상기 다결정실리콘막을 제거하여 상기 제1 MISFET의 소스·드레인영역에 전기적으로 접속된 다결정실리콘플러그를 형성하는 공정,

(c) 상기 제1 절연막상에 제2 절연막을 형성하고, 상기 제2 절연막을 상기 다결정실리콘플러그 상에 개구를 가지는 포토레지스트막의 존재하에서 에칭하여 상기 제2 절연막에 제1 접속구멍을 형성하는 공정,

(d) 상기 제1 접속구멍의 저부 및 상기 제2 절연막상에 질소, 산소, 탄소 및 게르마늄에서 선택된 어느 하나 또는 복수의 불순물을 포함하는 금속막에 있어서, 티탄, 텅스텐 또는 코발트 중 어느 하나를 주성분으로 하는 것, 또는 상기 불순물의 어느 것도 포함하지 않는 코발트막을 퇴적하고, 열처리를 실시하는 공정,

(e) 상기 금속막 또는 코발트막 상에 제1 도전막을 퇴적하여 상기 제1 접속구멍을 매립하는 공정,

(f) 상기 제1 도전막상에 비트선 패턴에 패터닝된 포토레지스트막을 형성하고, 상기 포토레지스트막의 존재하에서 상기 금속막 또는 코발트막과 상기 제1 도전막을 에칭하여 비트선을 형성하는 공정,

을 가지는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 25

제 24 항에 있어서,

상기 열처리에 의해 상기 금속막 또는 코발트막과 상기 다결정실리콘플러그와의 접속영역에 형성되는 실리사이드막은, 상기 에칭공정에서의 에칭스토퍼로서 기능하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 26

제 24 항에 있어서,

상기 비트선 패턴의 패턴폭은 상기 제1 접속구멍의 지름 이하인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 27

제 24 항에 있어서,

상기 금속막의 상기 불순물의 함유량은 1원자%~13원자%의 범위인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 28

제 27 항에 있어서,

상기 불순물이 질소이고, 상기 금속막의 상기 불순물의 함유량은 1원자%~3원자%의 범위인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 29

제 24 항에 있어서,

상기 제1 도전막은 질화티탄 및 텅스텐의 적층막인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 30

제 24 항에 있어서,

상기 제1 MISFET과 동일한 공정으로 주변회로용의 제2 MISFET을 형성하고,

상기 제1 접속구멍의 형성과 동일한 공정으로, 또는 상기 제1 접속구멍의 형성에 전후하여 상기 제2 MISFET의 소스·드레인영역 또는 게이트전극 또는 상기 반도체 기판 주면의 반도체 영역에 전기적으로 접속하기 위한 제2 접속구멍을 형성하고,

상기 비트선의 형성과 동일한 공정으로 주변회로의 제1층 배선을 형성하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 31

(a) 반도체 기판의 주면에 메모리셀 선택용의 제1 MISFET을 형성하고, 상기 제1 MISFET을 덮는 제1 절연막을 형성한 후, 상기 제1 절연막을 상기 제1 MISFET의 적어도 한쪽의 소스·드레인영역 상에 개구를 가지는 포토레지스트막의 존재하에서 에칭하는 공정,

(b) 상기 반도체 기판의 전면(全面)에 상기 에칭에 의해 형성된 제1 절연막의 개구를 매립하는 다결정실리콘막을 퇴적하고, 상기 제1 절연막상의 상기 다결정실리콘막을 제거하여 상기 제1 MISFET의 소스·드레인영역에 전기적으로 접속된 다결정실리콘플러그를 형성하는 공정,

(c) 상기 제1 절연막상에 제2 절연막을 형성하고, 상기 제2 절연막을 상기 다결정실리콘플러그 상에 개구를 가지는 포토레지스트막의 존재하에서 에칭하여 상기 제2 절연막에 제1 접속구멍을 형성하는 공정,

(d) 상기 제1 접속구멍을 매립하는 제1 도전막을 퇴적하고, 상기 제2 절연막상의 상기 제1 도전막을 제거하여 상기 제1 접속구멍내에 상기 제1 도전막으로 이루어지는 제1 플러그를 형성하는 공정,

(e) 상기 제1 플러그 및 제2 절연막상에 제2 도전막을 퇴적하는 공정,

(f) 상기 제2 도전막을 패터닝하여 비트선을 형성하는 공정,

을 포함하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 32

제 31 항에 있어서,

상기 제1 절연막의 에칭공정 전에 상기 제1 절연막이 CMP법에 의해 평탄화되고, 상기 제1 플러그는 상기 제1 도전막의 CMP법에 의한 연마에 의해 형성되는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 33

제 31 항에 있어서,

상기 제2 도전막의 막두께는 상기 제1 접속구멍의 지름의 2분의 1 이하인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 34

제 31 항에 있어서,

상기 비트선의 선폭은 상기 제1 접속구멍의 지름 이하인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 35

제 31 항에 있어서,

상기 제2 도전막은 상기 제1 플러그에 대하여 에칭선택비를 가지는 재료인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 36

제 31 항에 있어서,

상기 제1 도전막은 질화티탄막 및 텅스텐막을 포함하는 적층막, 또는 질화티탄 또는 질화텅스텐으로 이루어지는 단층막(單層膜)이고, 상기 제2 도전막은 텅스텐 또는 몰리브덴으로 이루어지는 단층막인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 37

제 31 항에 있어서,

상기 제1 MISFET과 동일한 공정으로 주변회로영역의 제2 MISFET을 형성하고,

상기 제1 접속구멍의 형성과 동일한 공정으로 또는 상기 제1 접속구멍의 형성에 전후하여, 상기 제2 MISFET의 소스·드레인영역에 접속하기 위한 제2 접속구멍을 형성하고,

상기 제1 플러그의 형성과 동시에, 상기 제2 접속구멍내에 상기 제1 도전막으로 이루어지는 제2 플러그를 형성하고,

상기 비트선의 형성과 동시에, 상기 제2 도전막으로 이루어지는 주변회로의 제1층 배선을 형성하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 38

제 37 항에 있어서,

상기 제1 및 제2 플러그의 형성 전에, 상기 제1 및 제2 접속구멍의 저부 및 상기 제2 절연막상에 질소, 산소, 탄소 및 게르마늄에서 선택된 어느 하나 또는 복수의 불순물을 그 농도가 1원자%~13원자%의 범위에서 포함하는 금속막에 있어서, 티탄, 텅스텐 또는 코발트 중 어느 하나를 주성분으로 하는 것, 또는 상기 불순물의 어느 것도 포함하지 않는 코발트막을 퇴적하고, 열처리를 실시하는 공정을 가지는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 39

제 37 항에 있어서,

상기 제1 및 제2 플러그의 형성 전에, 상기 제1 및 제2 접속구멍의 저부 및 상기 제2 절연막상에,

티탄, 텅스텐 또는 코발트 중의 어느 하나를 주성분으로 하는 금속막을 그의 막두께가 10~20㎚의 범위에서 퇴적하고, 열처리를 실시하는 공정 또는,

티탄, 텅스텐 또는 코발트의 실리사이드막을 그 막두께가 15~30㎚의 범위에서 퇴적하는 공정 또는,

티탄, 텅스텐 또는 코발트 중의 어느 하나를 주성분으로 하는 금속막을 퇴적하고, 또 실리콘막을 상기 금속막보다도 얇은 막두께로 퇴적하고, 열처리를 실시하는 공정 또는,

티탄, 텅스텐 또는 코발트 중의 어느 하나를 주성분으로 하는 금속막을 퇴적하고, 수소화규소 가스의 분위기하에서 상기 금속막을 어닐링(annealing)하는 공정,

중 어느 하나의 공정을 가지는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 40

제 39 항에 있어서,

상기 금속막의 열처리공정 후, 미반응의 티탄, 텅스텐 또는 코발트를 에칭에 의해 선택적으로 제거하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 41

(a) 반도체 기판의 주면에 MISFET을 형성하고, 상기 MISFET을 덮는 절연막을 형성하는 공정,

(b) 상기 MISFET의 소스·드레인영역 상에 개구를 가지는 포토레지스트막의 존재하에서 상기 절연막을 에칭하고, 상기 절연막에 접속구멍을 형성하는 공정,

(c) 상기 접속구멍을 매립하는 도전막을 퇴적하고, 상기 도전막상에 배선패턴으로 패터닝된 포토레지스트막을 형성하고, 상기 포토레지스트막의 존재하에서 상기 도전막을 에칭하여 배선을 형성하는 공정을 가지는 반도체 집적회로장치의 제조방법에 있어서,

상기 도전막의 형성 전에 상기 접속구멍의 저부 및 상기 절연막상에,

티탄, 텅스텐 또는 코발트 중 어느 하나를 주성분으로 하는 금속막을 그 막두께가 10~20㎚의 범위에서 퇴적하고, 열처리를 실시하는 공정 또는,

티탄, 텅스텐 또는 코발트의 실리사이드막을 그 막두께가 15~30㎚의 범위에서 퇴적하는 공정 또는

티탄, 텅스텐 또는 코발트 중 어느 하나를 주성분으로 하는 금속막을 퇴적하고, 또 실리콘막을 상기 금속막보다도 얇은 막두께로 퇴적하고, 열처리를 실시하는 공정 또는,

티탄, 텅스텐 또는 코발트 중 어느 하나를 주성분으로 하는 금속막을 퇴적하고, 수소화규소가스의 분위기하에서 상기 금속막을 열처리하는 공정,

중 어느 하나의 공정을 가지는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 42

제 41 항에 있어서,

상기 금속막의 열처리공정 후, 미반응의 티탄, 텅스텐 또는 코발트를 에칭에 의해 선택적으로 제거하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 43

제 41 항에 있어서,

상기 도전막은 질화티탄 및 텅스텐의 적층막, 또는 티탄, 질화티탄 및 텅스텐의 3층 적층막 중 어느 하나인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 44

(a) 반도체 기판의 주면에 MISFET을 형성하는 공정,

(b) 적어도 상기 MISFET의 소스·드레인을 덮는 영역에 티탄, 텅스텐 또는 코발트 중 어느 하나를 주성분으로 하는 금속막을 그 막두께가 10~20㎚의 범위에서 퇴적하는 공정,

(c) 상기 금속막을 열처리하여 실리콘과의 접촉부에 실리사이드막을 형성하는 공정,

(d) 상기 열처리공정에 있어서, 미반응의 티탄, 텅스텐 또는 코발트를 에칭에 의해 선택적으로 제거하는 공정,

(e) 상기 MISFET을 덮는 절연막을 형성하는 공정,

(f) 상기 MISFET의 소스·드레인영역 상에 개구를 가지는 포토레지스트막의 존재하에서 상기 절연막을 에칭하고, 상기 절연막에 접속구멍을 형성하는 공정,

(g) 상기 접속구멍을 매립하는 도전막을 퇴적하고, 상기 도전막상에 배선패턴으로 패터닝된 포토레지스트막을 형성하고, 상기 포토레지스트막의 존재하에서 상기 도전막을 에칭하여 배선을 형성하는 공정,

을 가지는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

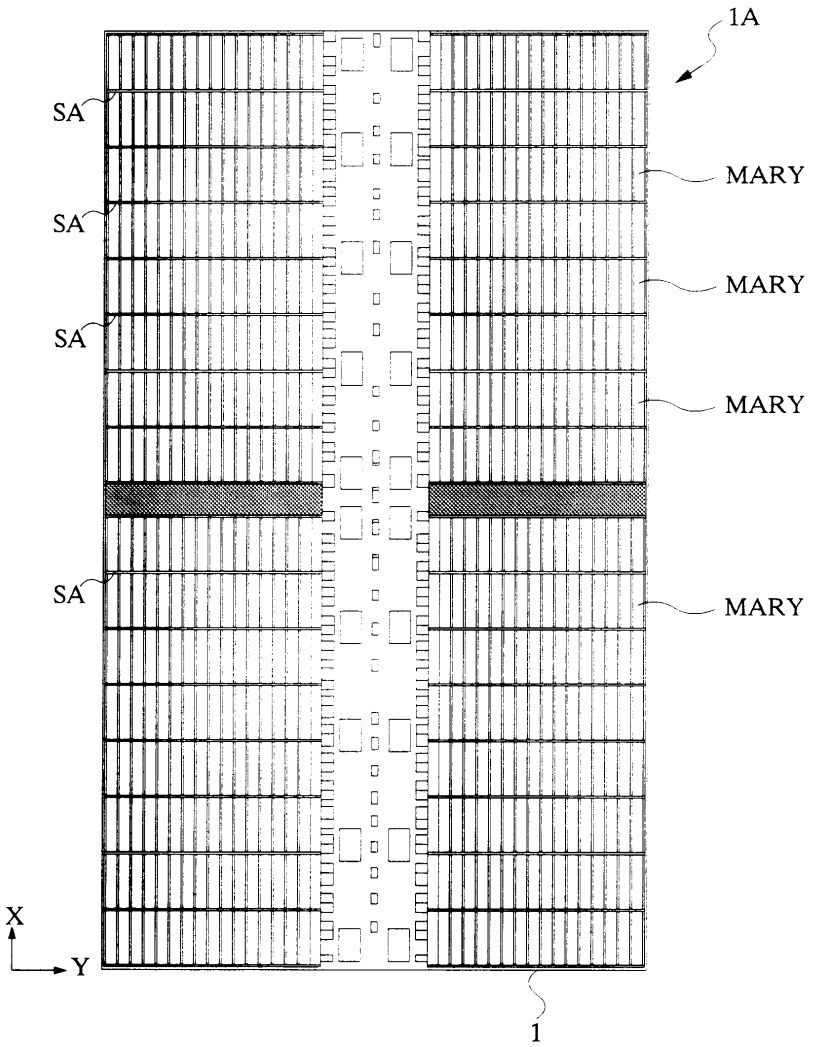
청구항 45

제 44 항에 있어서,

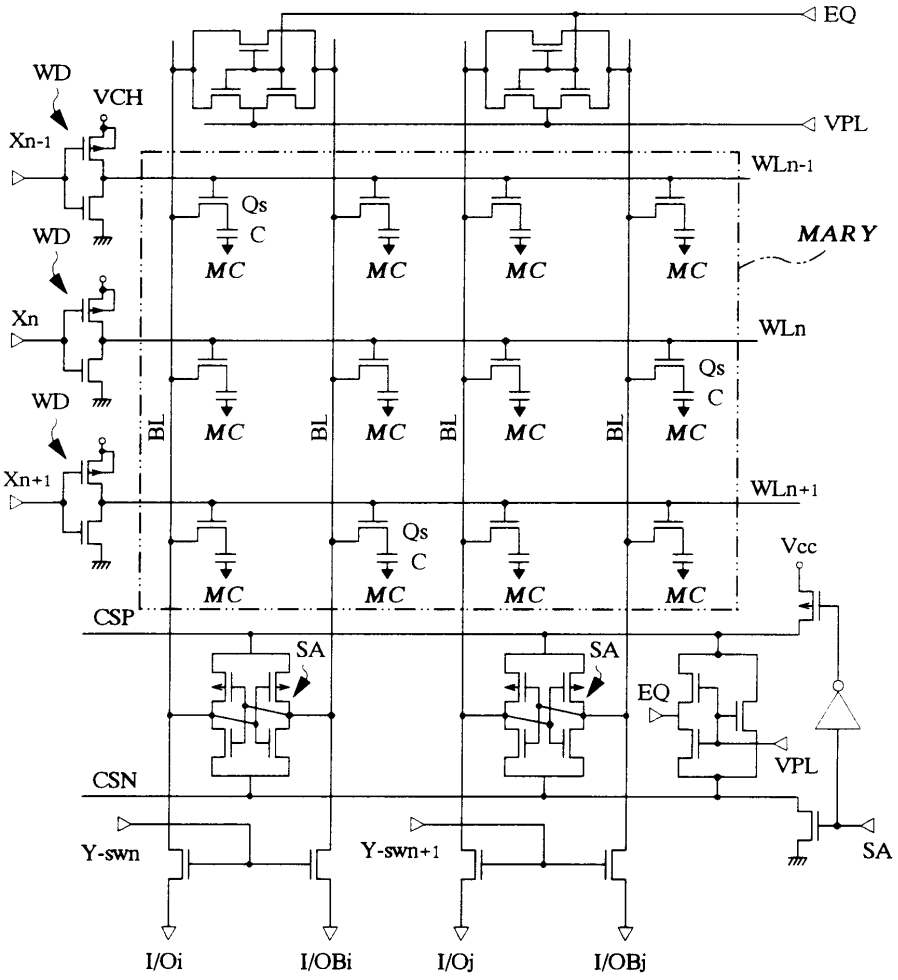
상기 도전막은 질화티탄 및 텅스텐의 적층막, 또는 티탄, 질화티탄 및 텅스텐의 3층적층막 중 어느 하나인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

도면

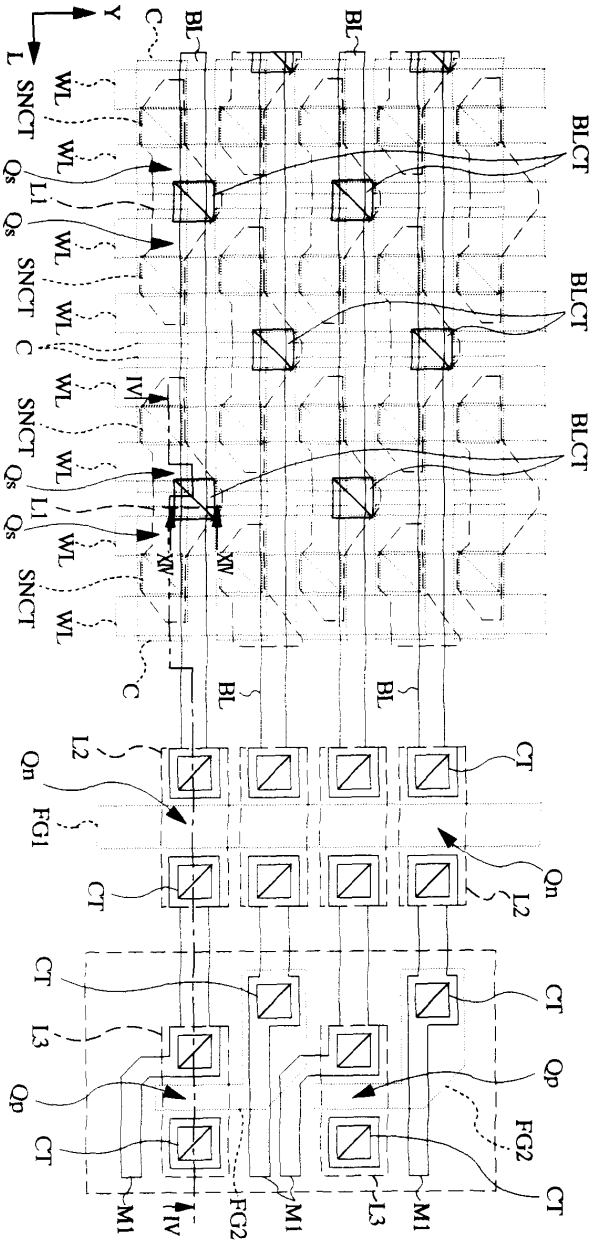
도면1



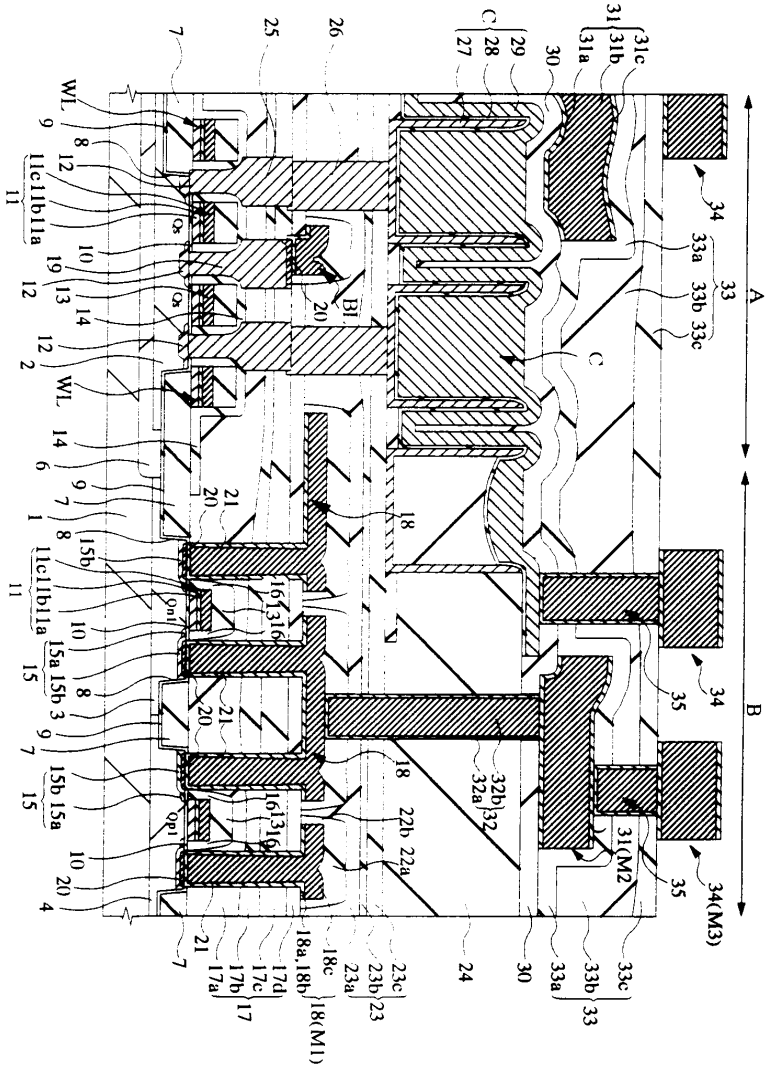
도면2


EQ
VPL
WD
VCH
Xn-1
WLn-1
Qs
C
MC
MARY
WD
Xn
WLn
WD
BL
Xn+1
WLn+1
Vcc
CSP
SA
EQ
VPL
CSN
Y-swn
Y-swn+1
SA
I/Oi
I/OBi
I/Oj
I/OBj

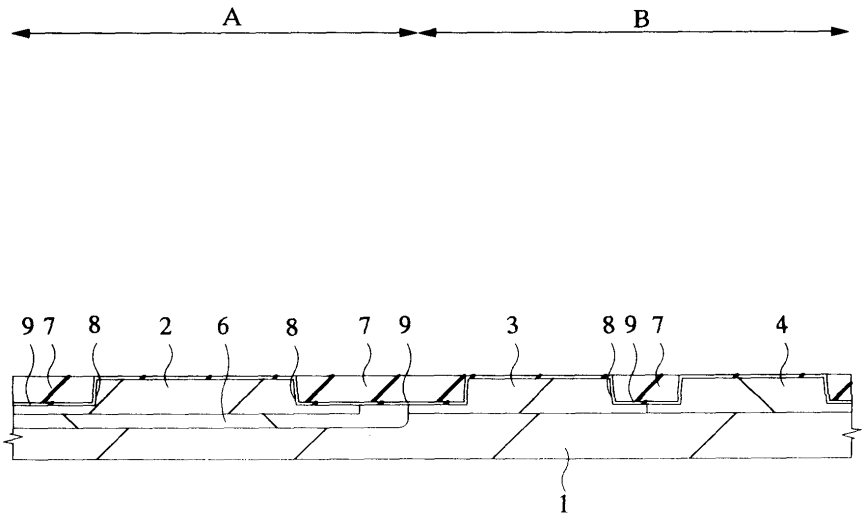
도면3


Y
L
C
BL
BL
WL
SNCT
Qs
L1
BLCT
BLCT
BLCT
IV
IV
W
W
BL
BL
L2
Qn
FG1
CT
CT
Qn
L2
CT
CT
L3
Qp
Qp
CT
FG2
CT
M1
IV
FG2
M1
L3
M1

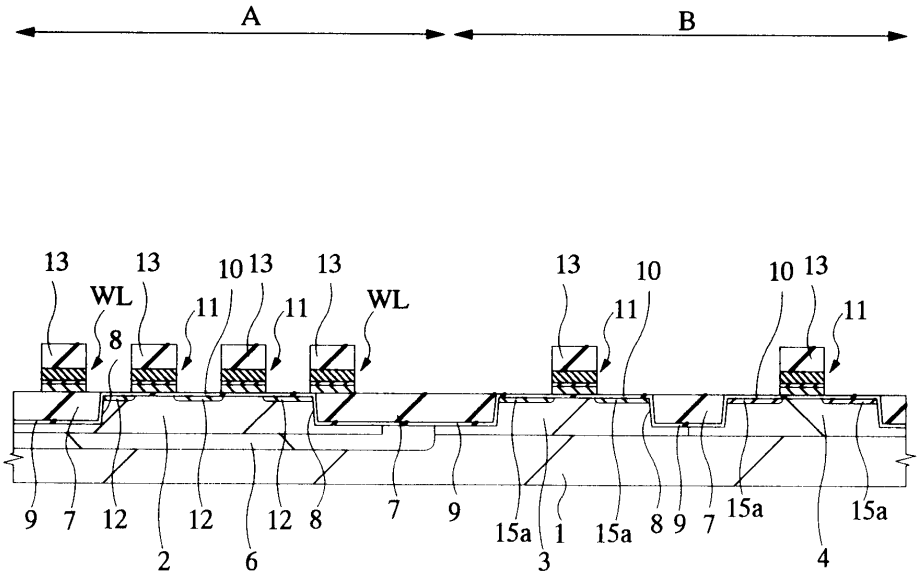
도면4



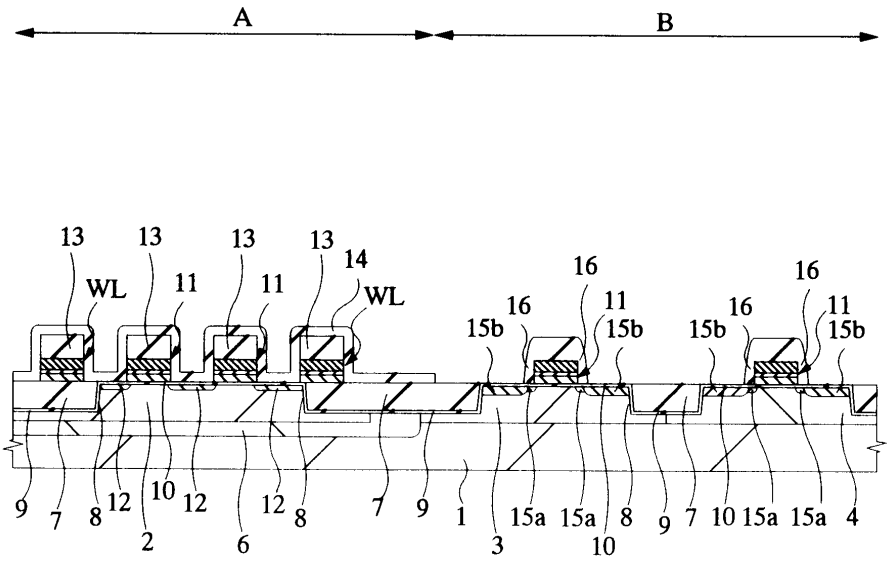
도면5



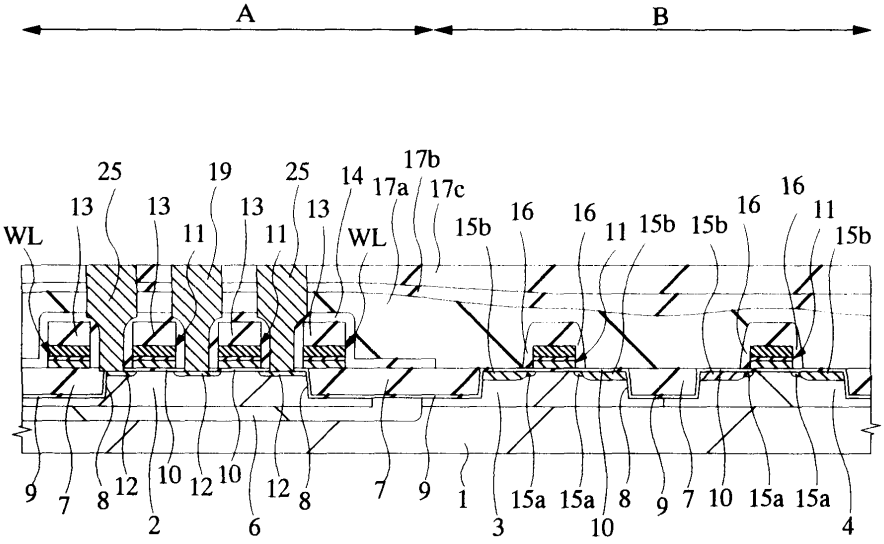
도면6


A
B
13
WL
8
11
10
9
7
12
2
6
15a
1
3
4

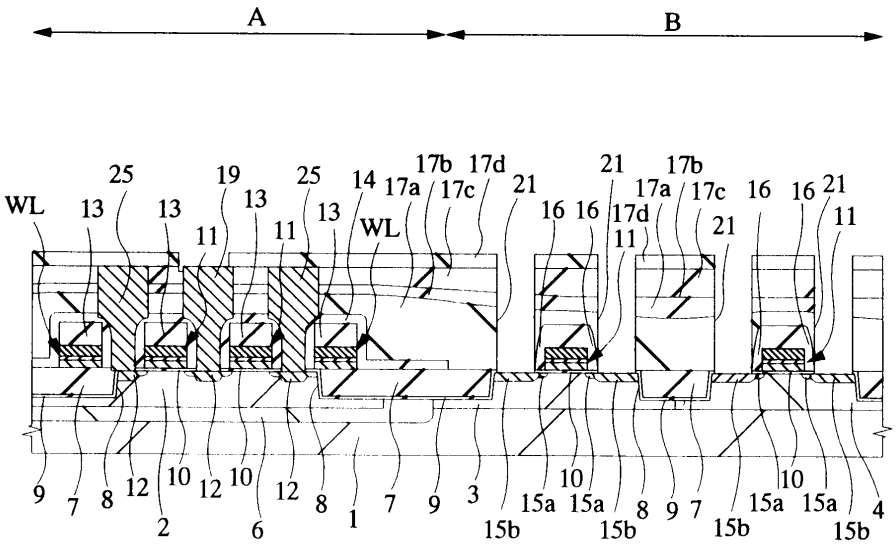
도면7


A
B
13
WL
11
14
16
15b
9
7
8
12
10
2
6
1
3
15a
4

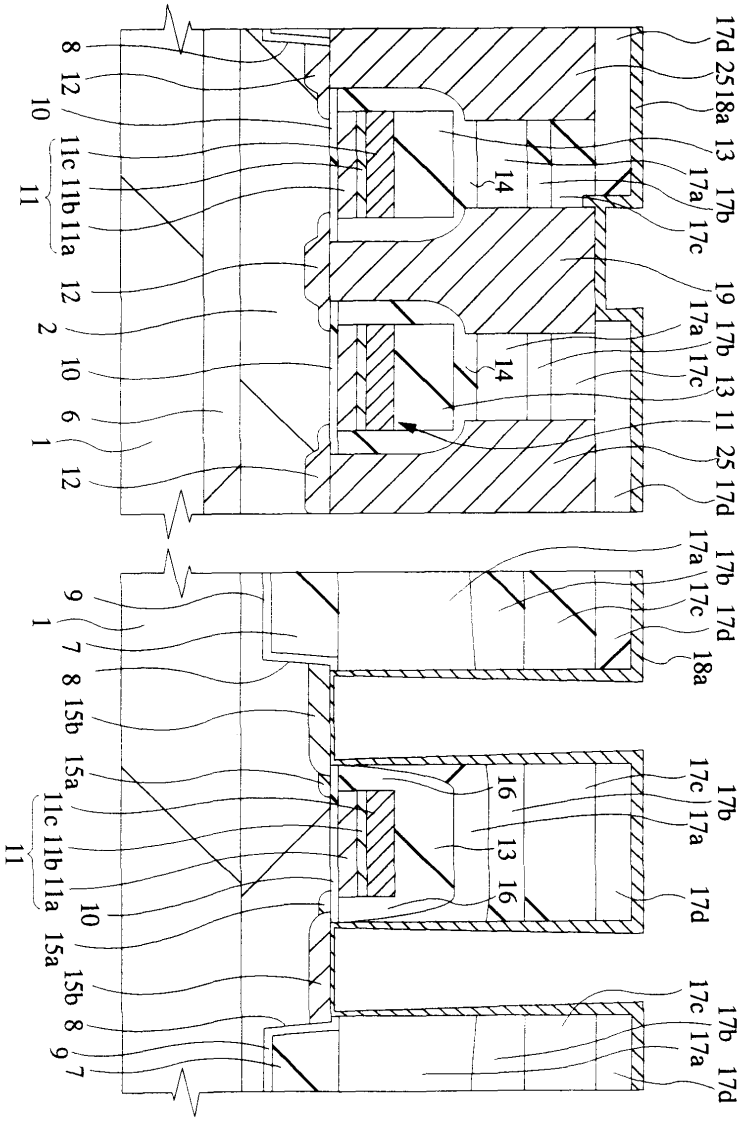
도면8


A
B
WL
13
25
19
11
14
17a
17b
17c
15b
16
9
7
8
12
10
2
6
1
3
15a
4

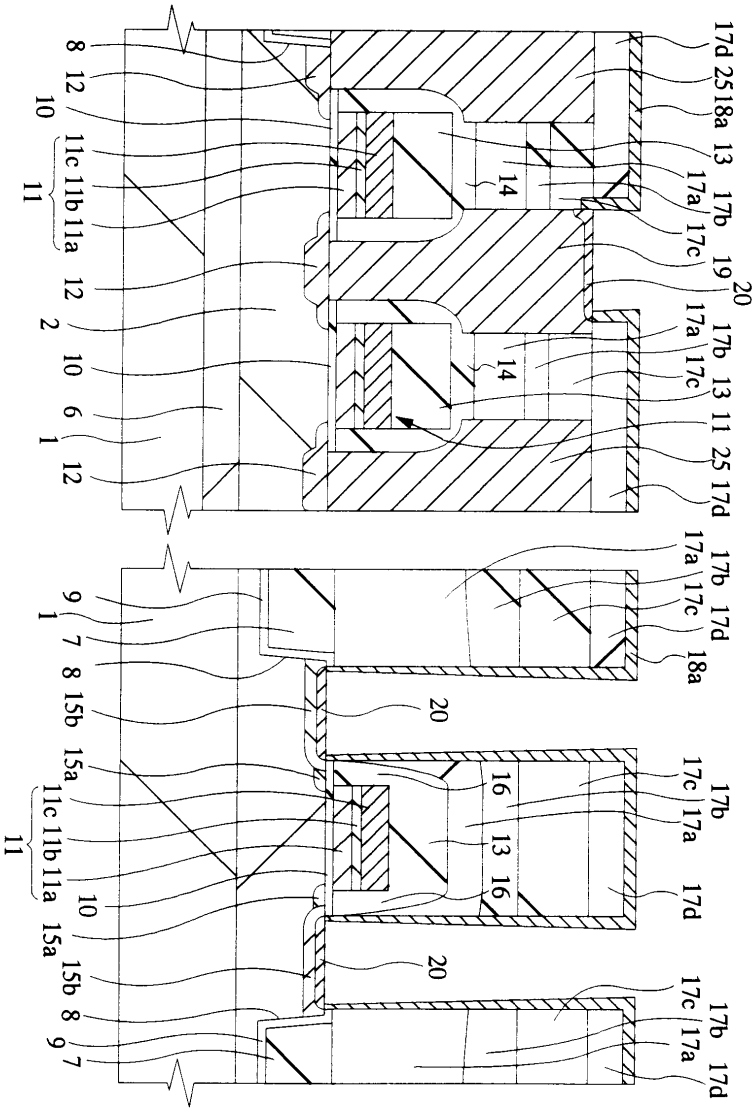
도면9


A
B
WL
13
25
19
11
14
17a
17b
17c
17d
21
16
9
7
8
12
10
2
6
1
3
15a
15b
4

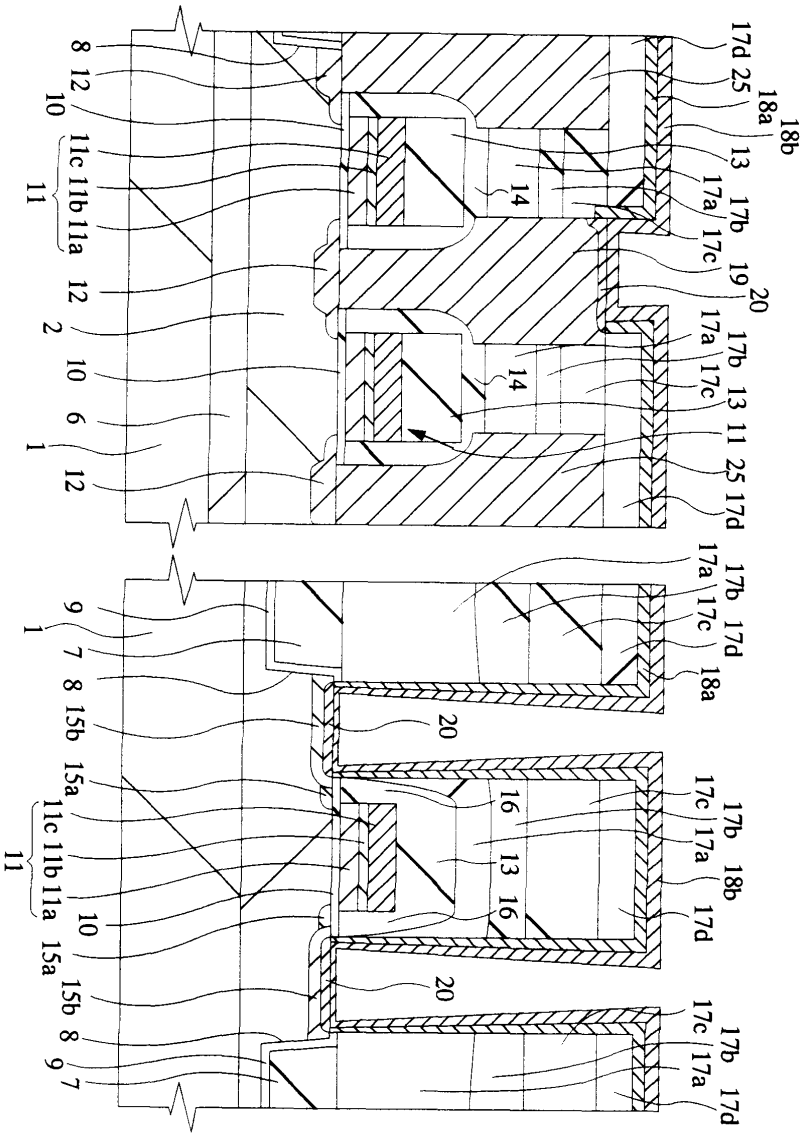
도면10


17d 25 18a 13 17b 17a 17c 14 19 17b 17a 17c 14 13 11 25 17d
8 12 10 11c 11b 11a 11 12 2 10 6 1 12
17a 17b 17c 17d 18a
9 1 7 8 15b 15a 11c 11b 11a 11 10 15a 15b 8 9 7
17c 17b 17a 16 13 16 17d
17c 17b 17a 17d

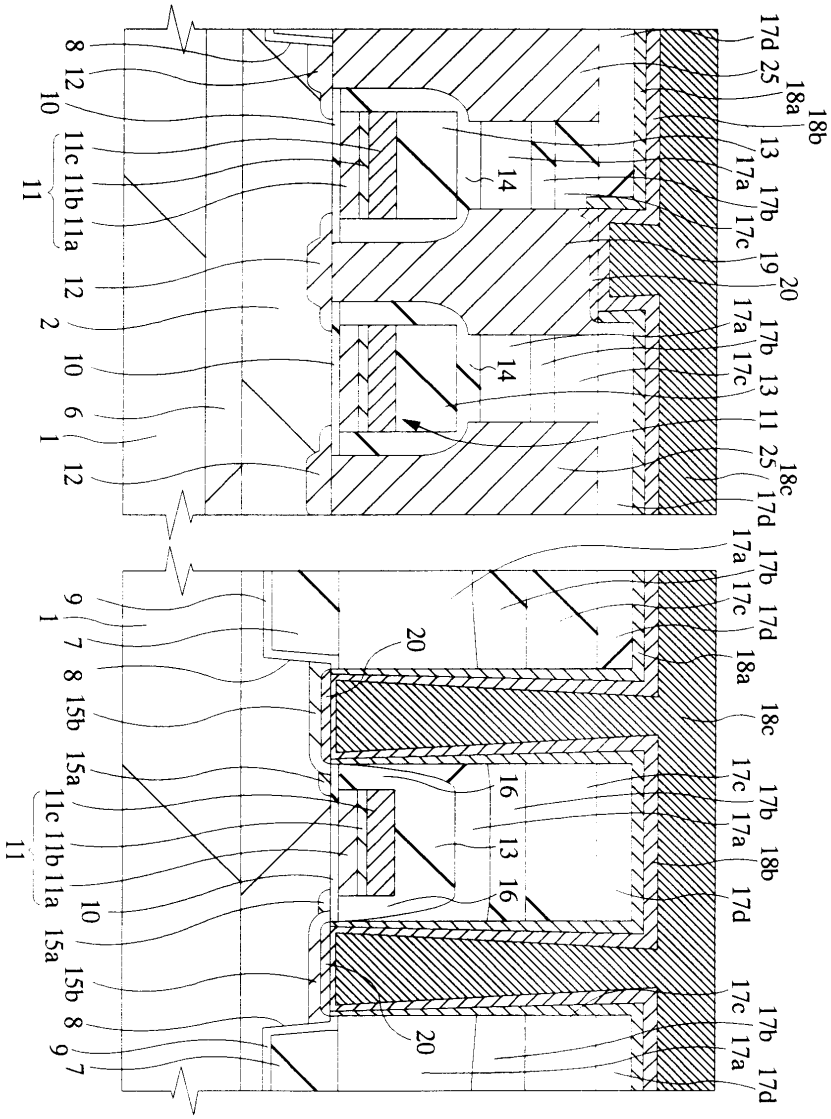
도면11


17d 25 18a 13 17b 17a 17c 19 20
8 12 10 11c 11b 11a 11 12 2 10 6 1 12
14
17a 17b 13 11 25 17d
17a 17b 17d
17c 18a
9 1 7 8 15b 15a 11c 11b 11a 11 10 15a 15b 8 9 7
20
16 13 16
17c 17a 17b 17d

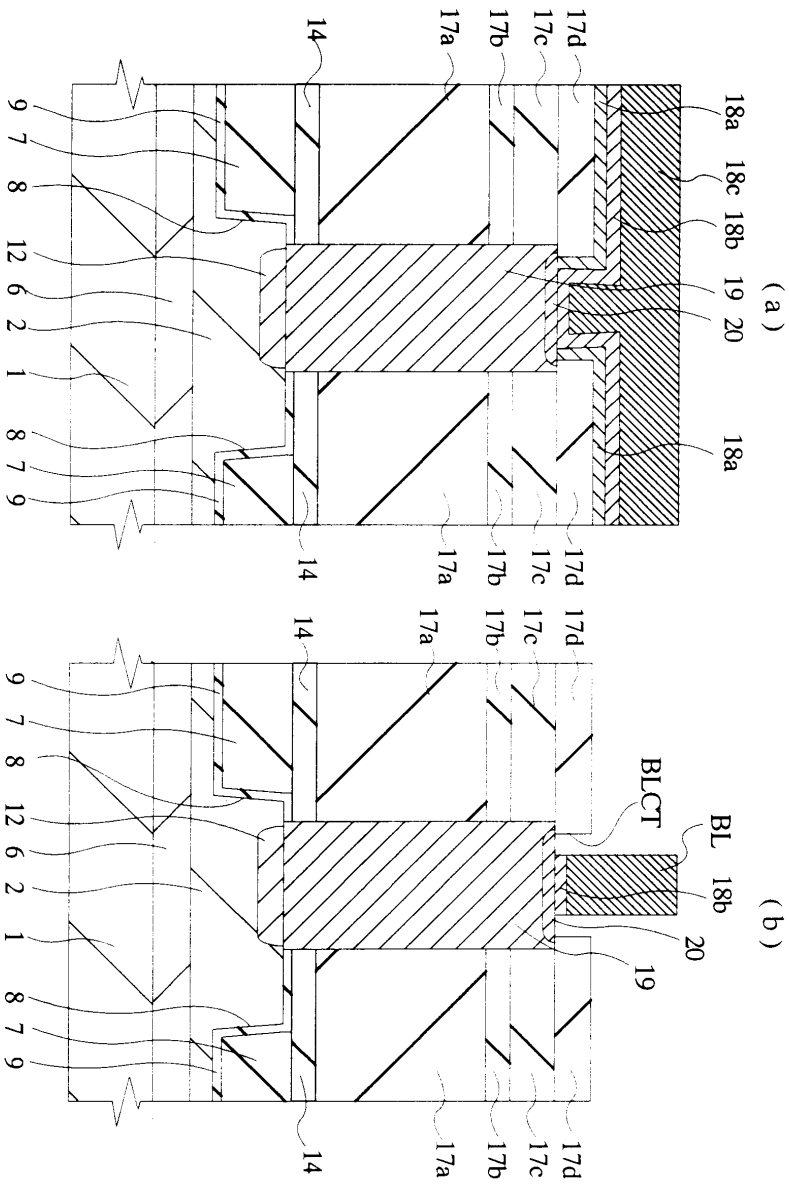
도면12


8
12
10
11c
11b
11a
11
12
2
10
6
1
12
17d
25
18a
18b
13
17a
17b
17c
19
20
14
14
17a
17b
17c
13
11
25
17d
9
1
7
8
15b
15a
11c
11b
11a
11
10
15a
15b
8
9
7
17a
17b
17c
17d
18a
20
16
13
16
17c
17b
17a
18b
17d
20
17c
17b
17a
17d

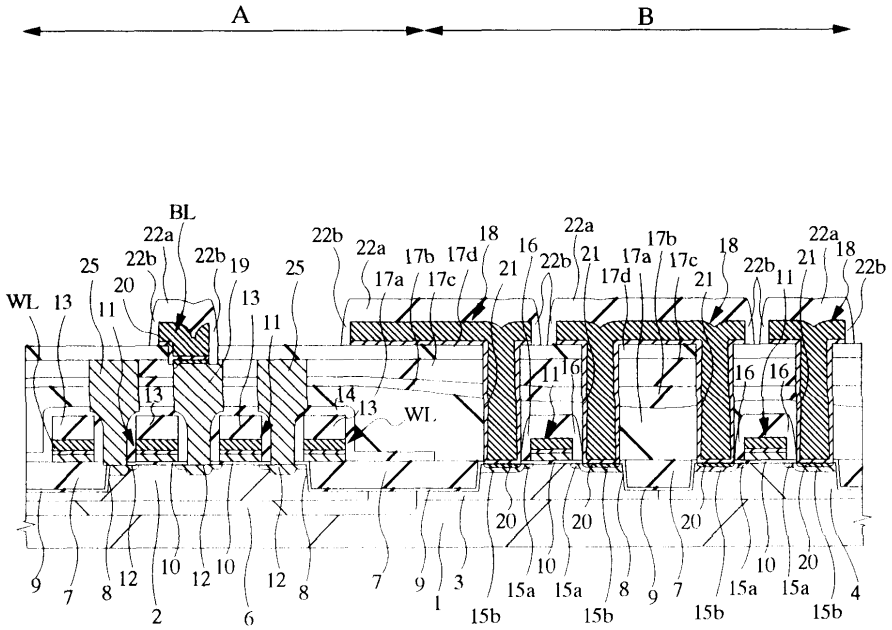
도면13


8
12
10
11c
11b
11a
11
12
2
10
6
1
12
14
13
17a
17b
17c
19
20
25
17d
18a
18b
18c
9
1
7
8
15b
15a
16
20

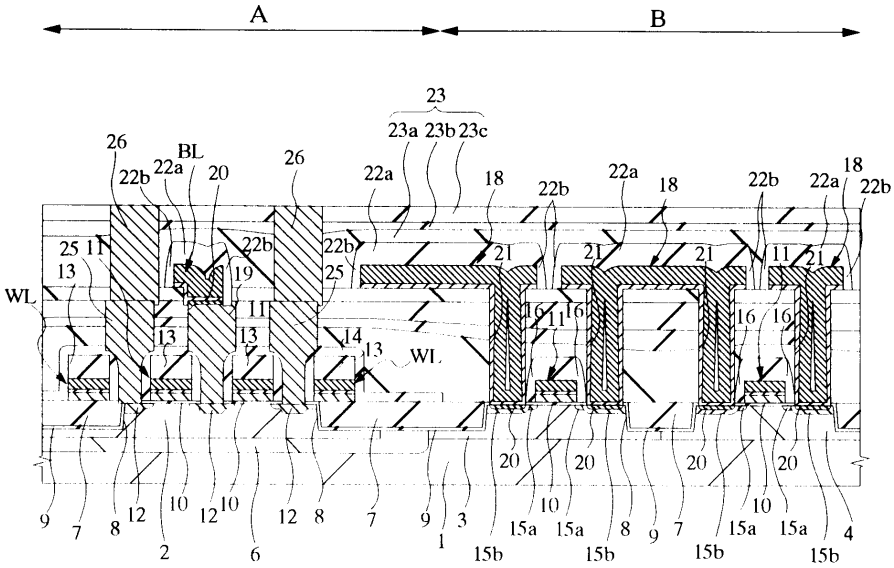
도면14



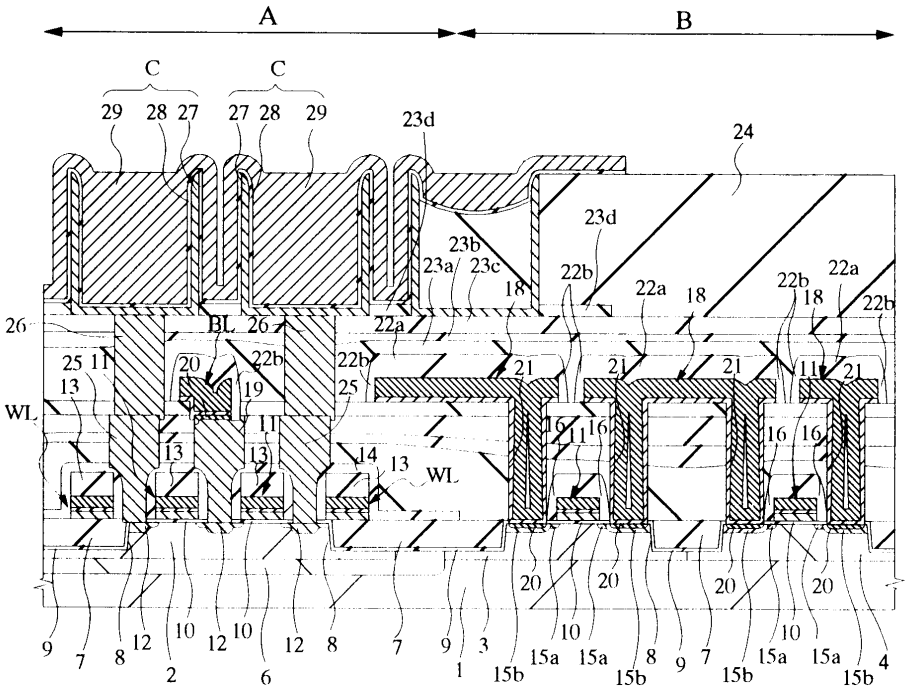
도면15



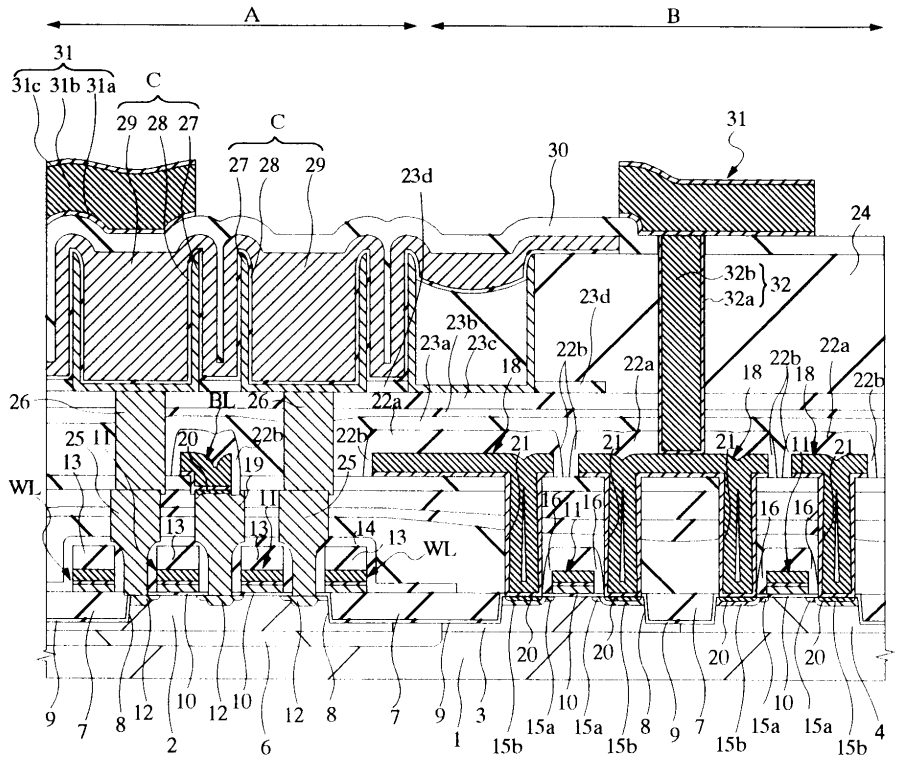
도면16



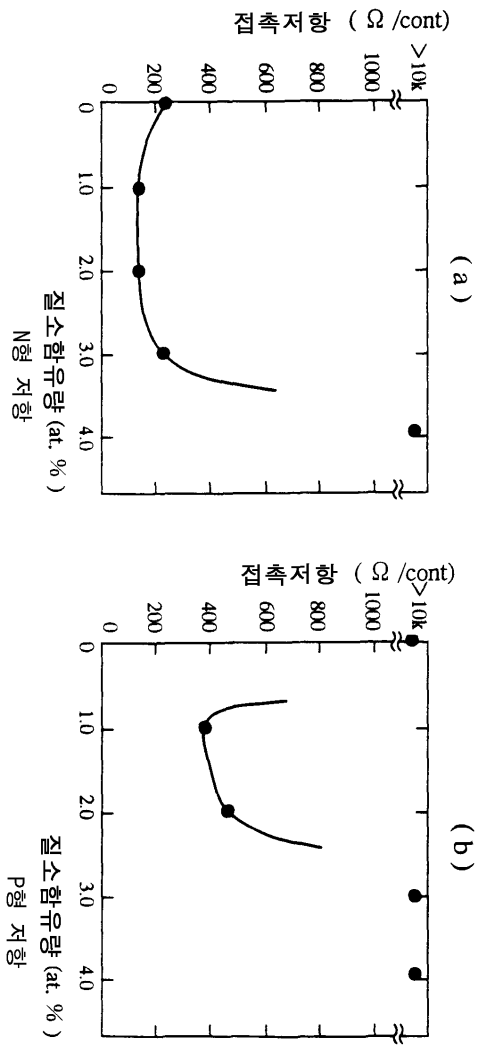
도면17


A
B
C
C
29 28 27
27 28 29
23d
24
23d
23b
23a 23c
18
22b
22a
18
22b
18
22a
22b
26
BL 26
22a
25 11
13
20
22b
19
22b
25
21
21
21
11
21
WL
11
16
11
16
16
16
13
13
14
13
WL
20
20
20
20
9 7 8 12 10 12 10 12 8 7 9 3 10 15a 15a 8 9 7 10 15a 15a 4
2
6
1
15b
15b
15b
15b

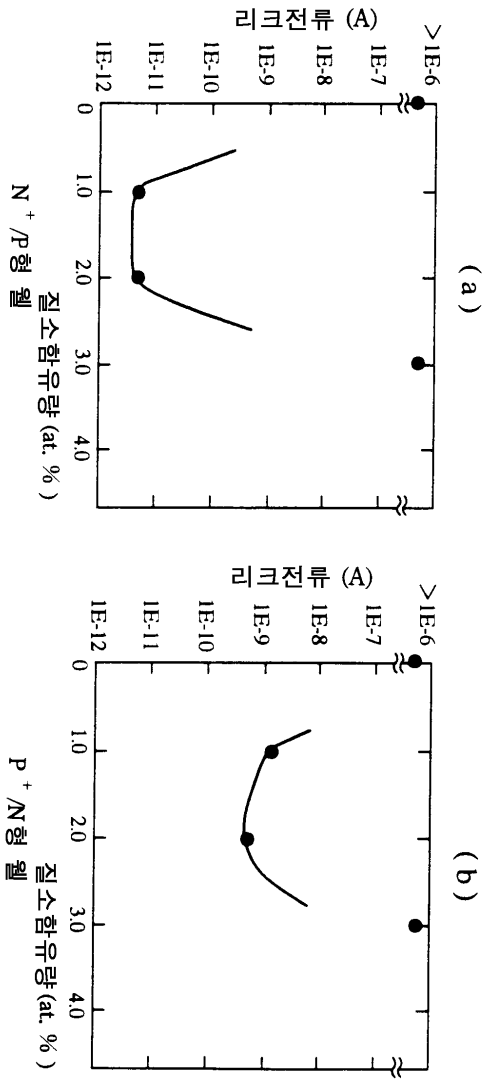
도면18


A
B
31
31c 31b 31a
C
29 28 27
C
27 28 29
23d
30
31
24
32b
32a
32
23d
23b
23a 23c
18
22b
22a
18
22b
18
22a
22b
26
BL 26
22a
25 11
13
20
22b
19
22b
25
21
21
21
11
21
WL
11
16
11
16
16
16
13
13
14
13
WL
20
20
20
20
9 7 8 12 10 12 10 12 8 7 9 3 10 15a 15a 8 9 7 10 15a 15a 4
2
6
1
15b
15b
15b
15b

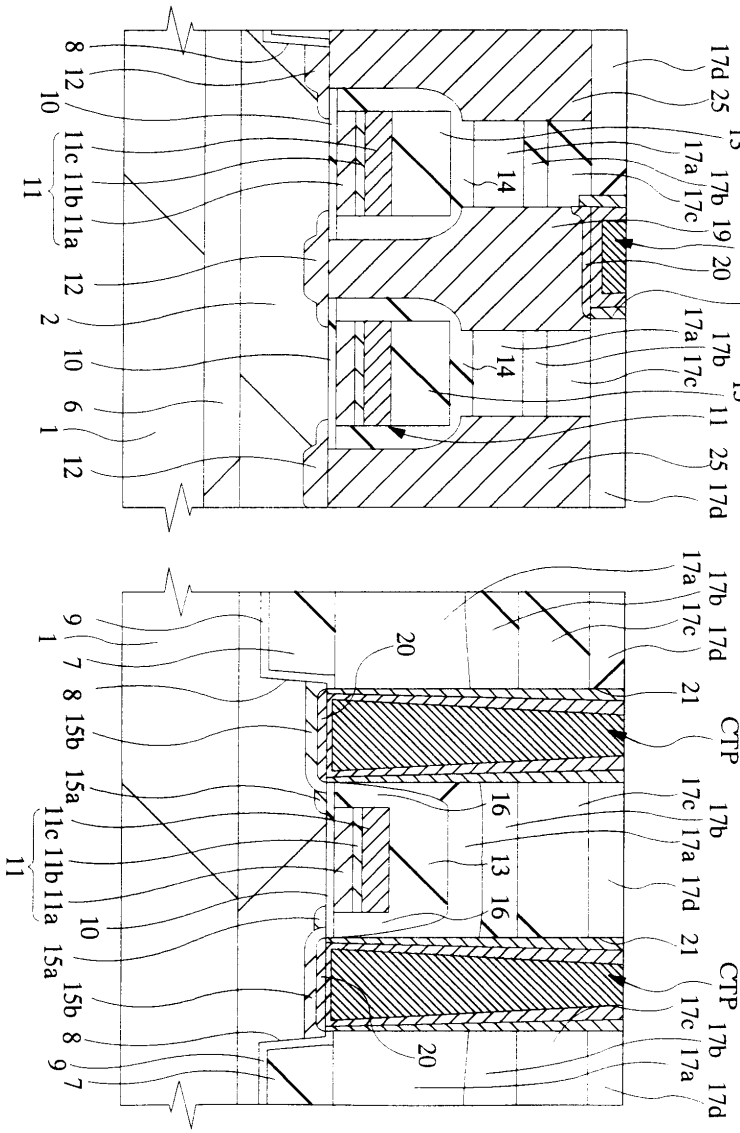
도면19


접촉저항 (Ω /cont)
0
200
400
600
800
1000
>10k
0
1.0
2.0
3.0
4.0
질소함유량 (at. %)
N형 저항
(a)
접촉저항 (Ω /cont)
0
200
400
600
800
1000
>10k
0
1.0
2.0
3.0
4.0
질소함유량 (at. %)
P형 저항
(b)

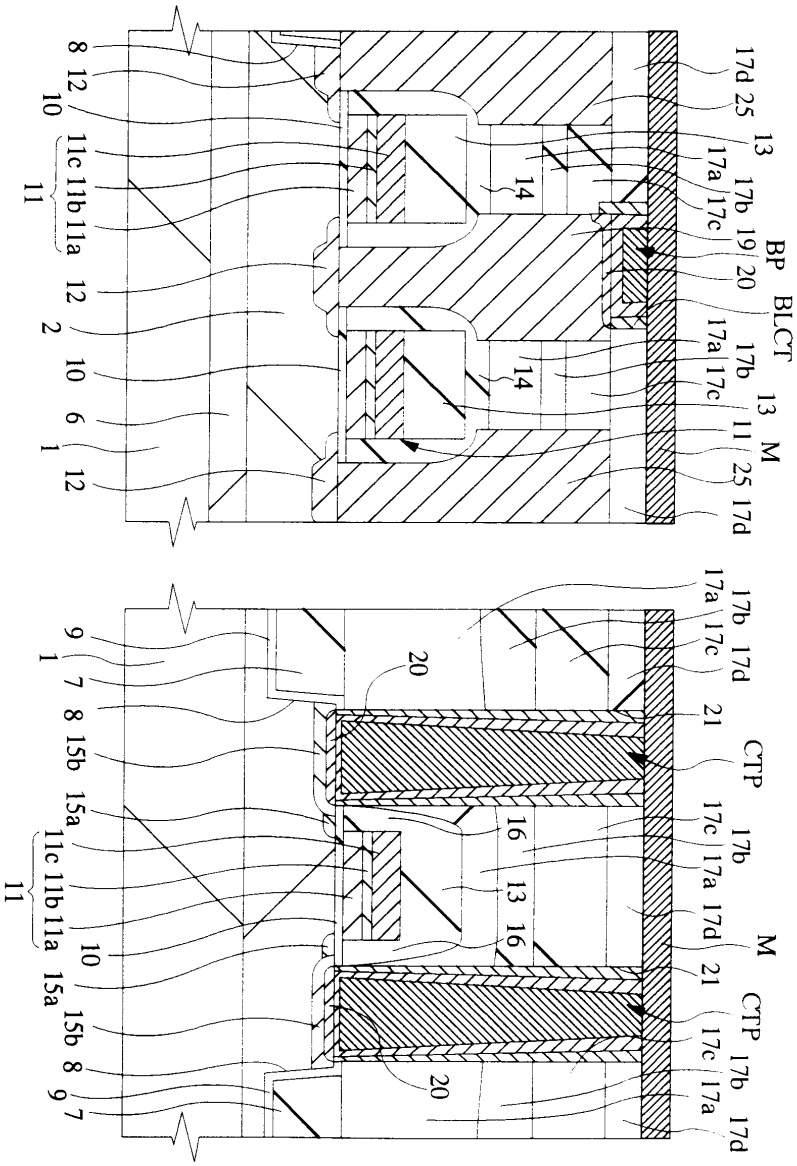
도면20


리크전류 (A)
>1E-6
1E-7
1E-8
1E-9
1E-10
1E-11
1E-12
0
1.0
2.0
3.0
4.0
질소함유량 (at. %)
N + /P형 웰
(a)
리크전류 (A)
>1E-6
1E-7
1E-8
1E-9
1E-10
1E-11
1E-12
0
1.0
2.0
3.0
4.0
질소함유량 (at. %)
P + /N형 웰
(b)

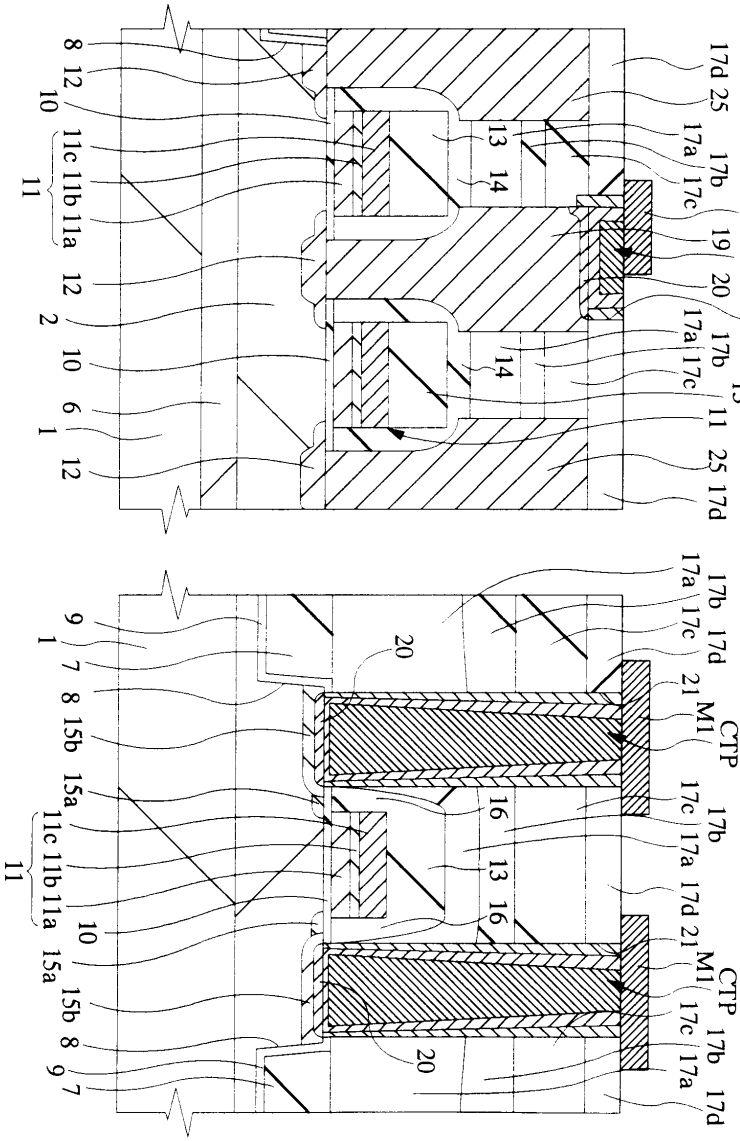
도면21



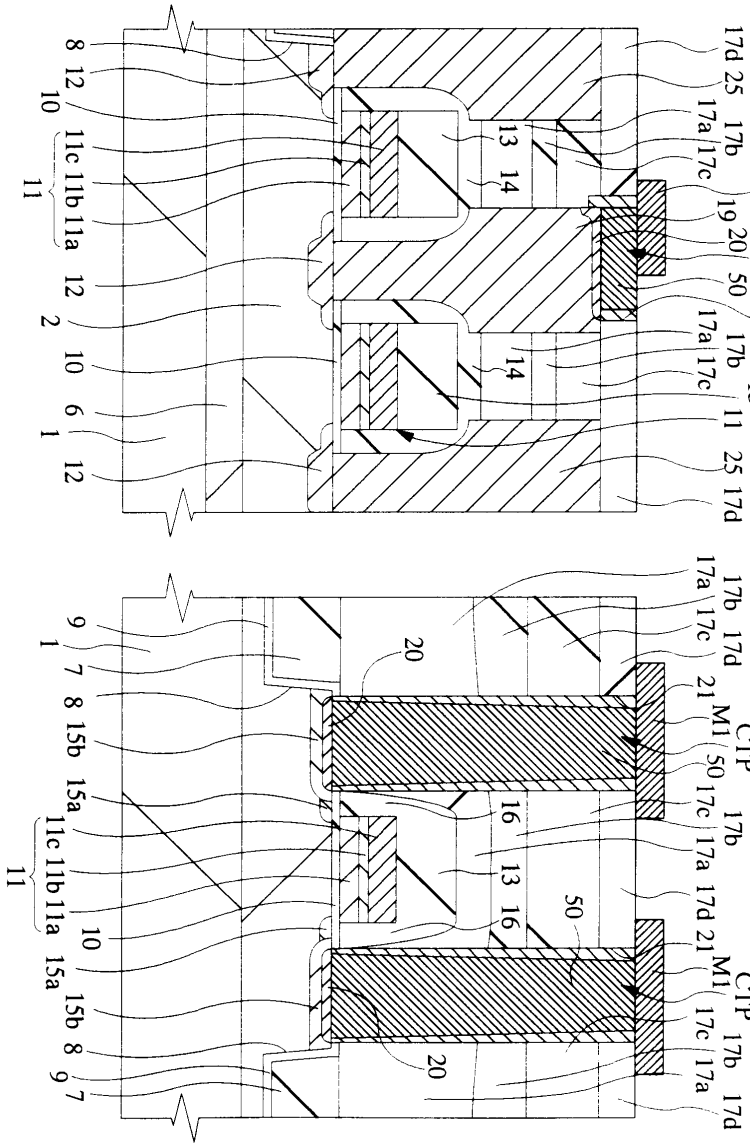
도면22


8
12
10
11c
11b
11a
11
12
2
10
6
1
12
14
14
17d
25
13
17a
17b
17c
19
BP
20
BLCT
17a
17b
17c
13
11
M
25
17d
9
1
7
8
15b
15a
11c
11b
11a
11
10
15a
15b
8
9
7
20
20
16
13
16
17a
17b
17c
17d
21
CTP
17c
17b
17a
17d
M
21
CTP
17c
17b
17a
17d

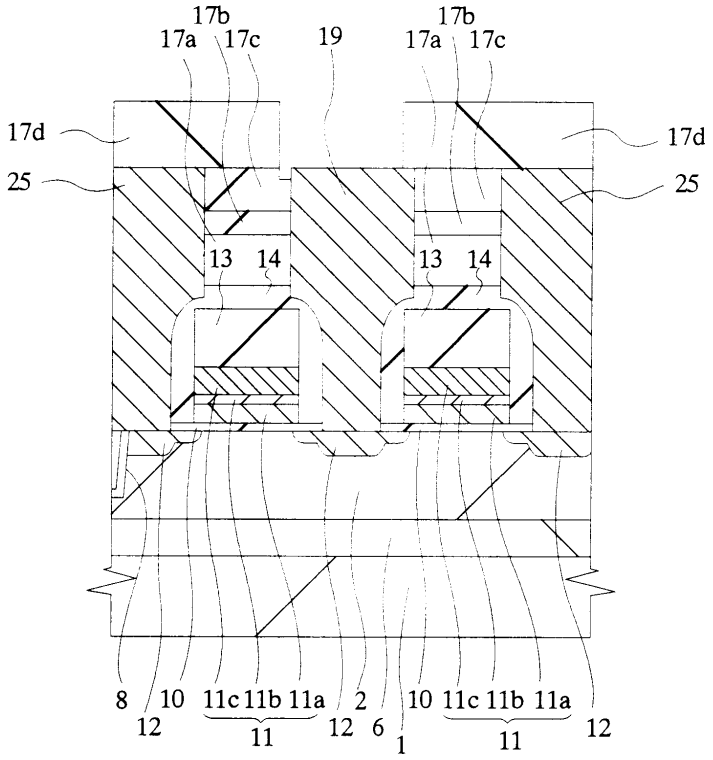
도면23


8
12
10
11c
11b
11a
11
12
2
10
6
1
12
17d
25
17a
17b
17c
13
14
BL
BP
19
20
BLCT
17a
17b
17c
13
11
25
17d
9
1
7
8
15b
15a
11c
11b
11a
11
10
15a
15b
8
9
7
20
16
13
16
20
17a
17b
17c
17d
21
M1
CTP
17c
17b
17a
17d
21
M1
CTP
17c
17b
17a
17d

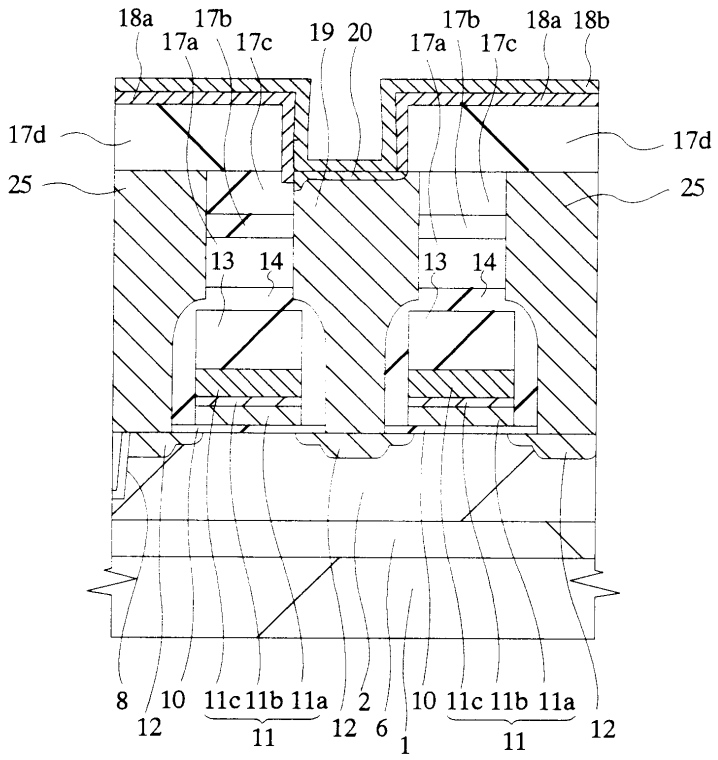
도면24


17d 25 17b 17a 17c BL 19 20 BP 50 BLCT 17a 17b 17c 13 11 25 17d
8 12 10 11c 11b 11a 11 12 2 10 6 1 12
13 14 14
17a 17b 17c 17d 21 M1 CTP 50 17c 17b 17a 17d 21 M1 CTP 17c 17b 17a 17d
9 1 7 8 15b 15a 11c 11b 11a 11 10 15a 15b 8 9 7
20 16 13 16 50 20

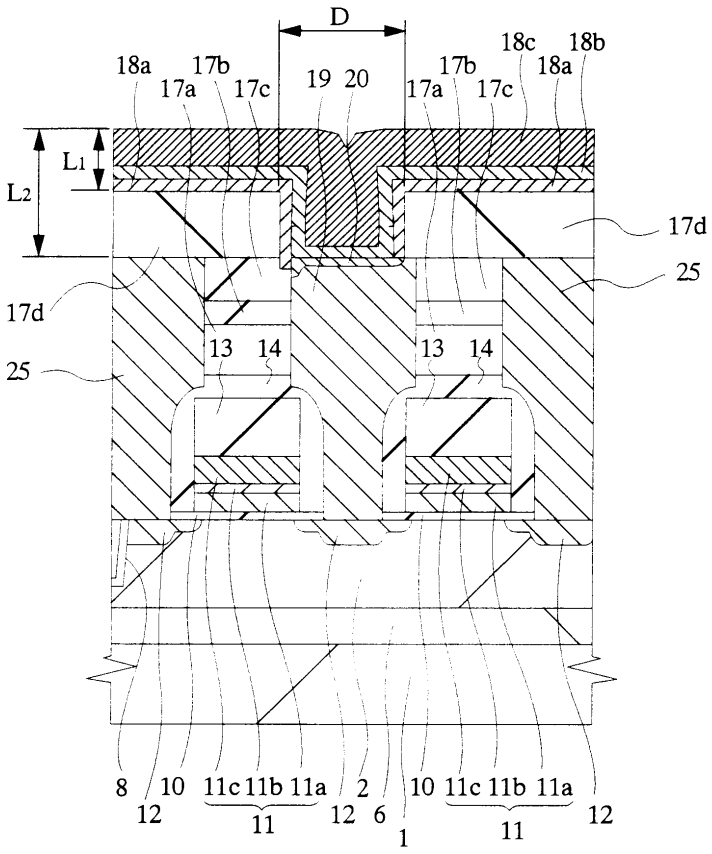
도면25


17b
17a
17c
19
17b
17a
17c
17d
17d
25
25
13
14
13
14
8
10
11c
11b
11a
2
10
11c
11b
11a
12
12
6
1
11
11
12

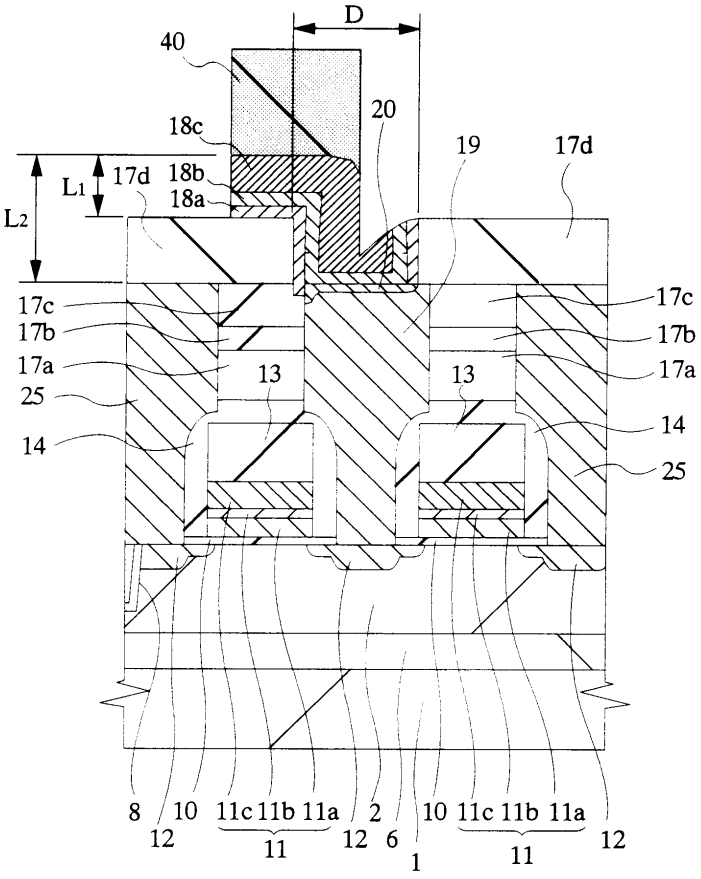
도면26


18a
17b
17a
17c
19
20
17b
17a
17c
18a
18b
17d
17d
25
25
13
14
13
14
8
10
11c
11b
11a
2
10
11c
11b
11a
12
12
6
1
11
11
12

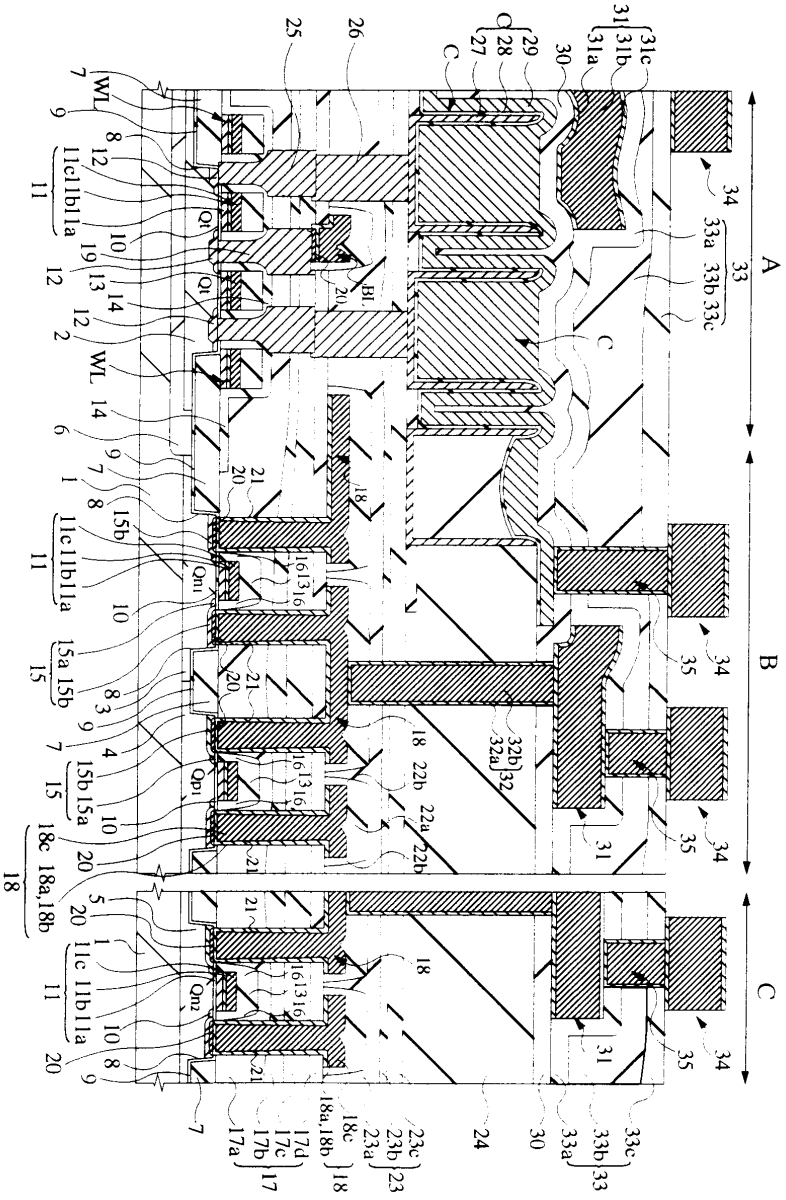
도면27


D
18a
17b
17a
17c
19
20
17b
17a
17c
18c
18b
18a
L1
L2
17d
25
17d
25
13
14
13
14
8
10
11c
11b
11a
2
10
11c
11b
11a
12
12
11
12
6
1
11

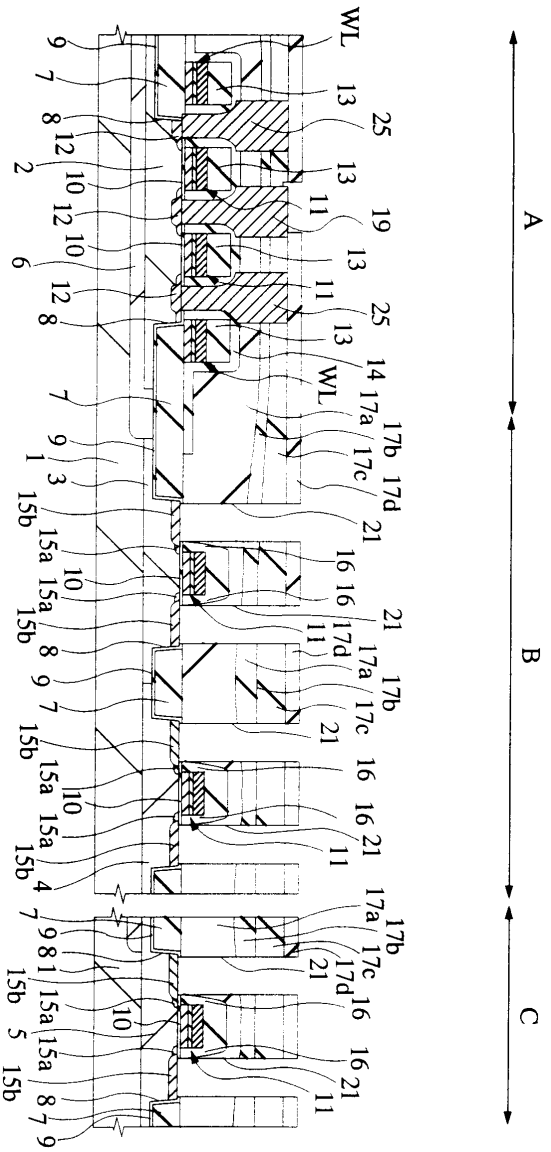
도면28


D
40
20
18c
19
17d
L1
17d
18b
18a
L2
17c
17b
17a
25
14
13
13
17c
17b
17a
14
25
8
10
11c
11b
11a
2
10
11c
11b
11a
12
12
6
12
11
11
1

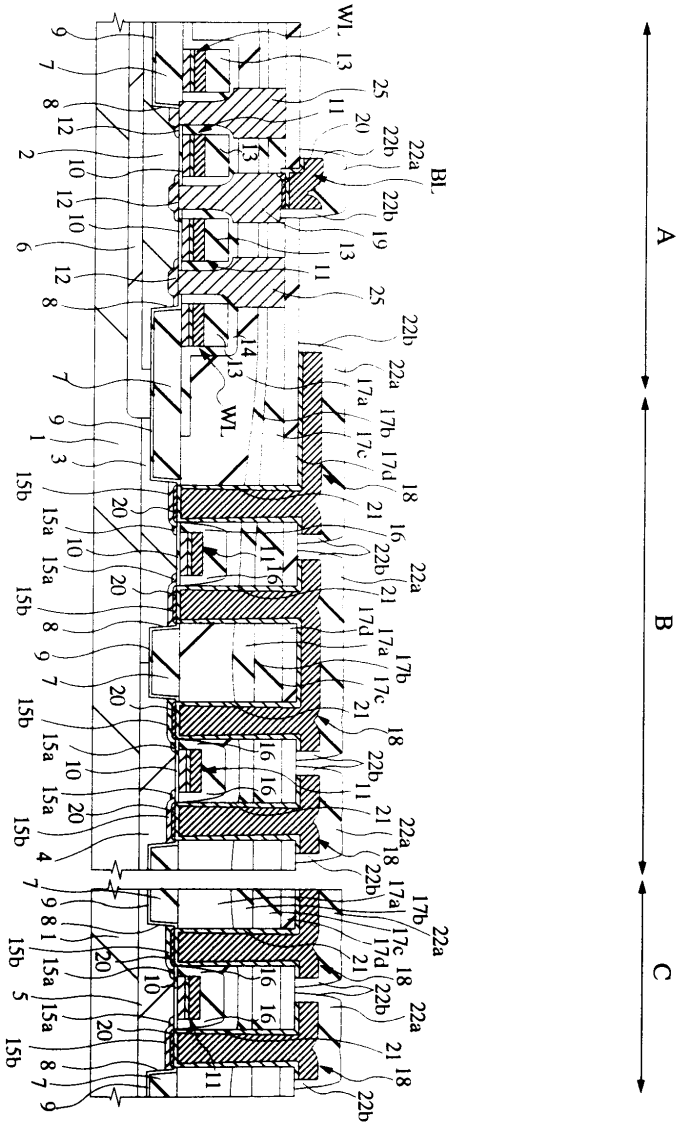
도면29



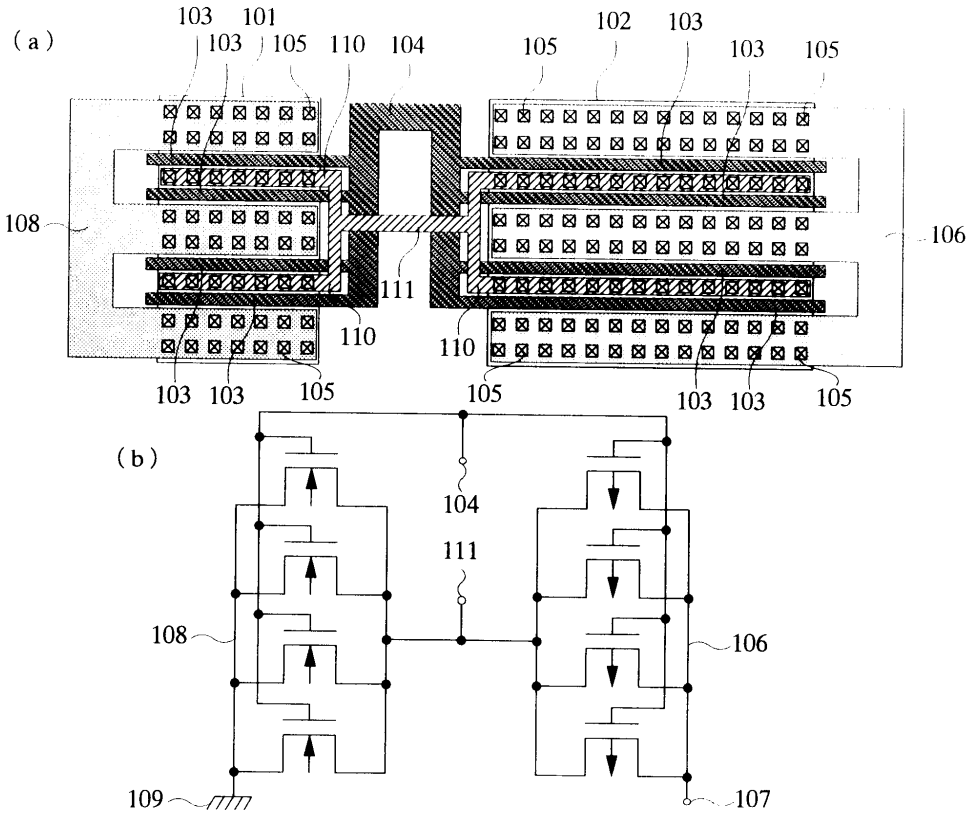
도면30



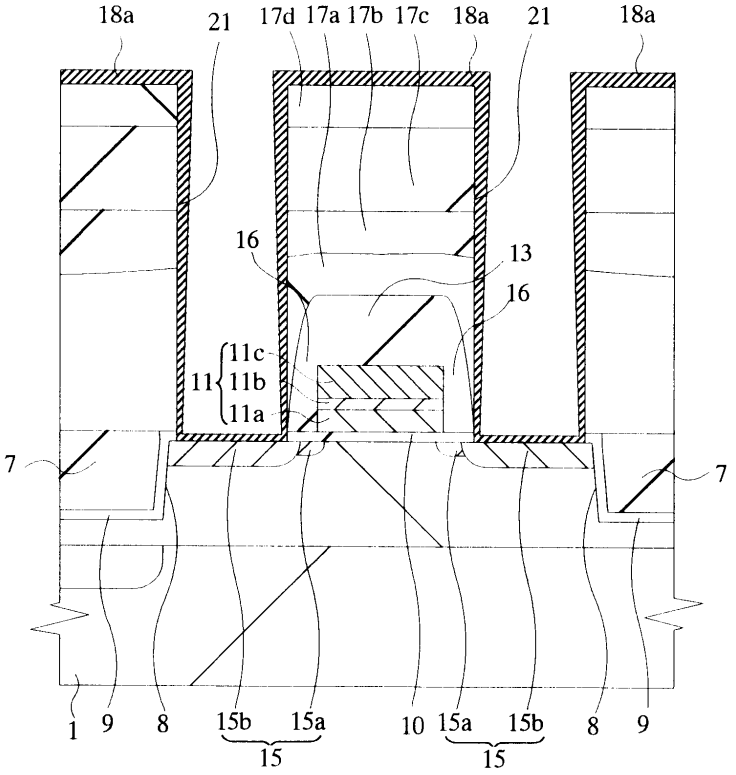
도면31



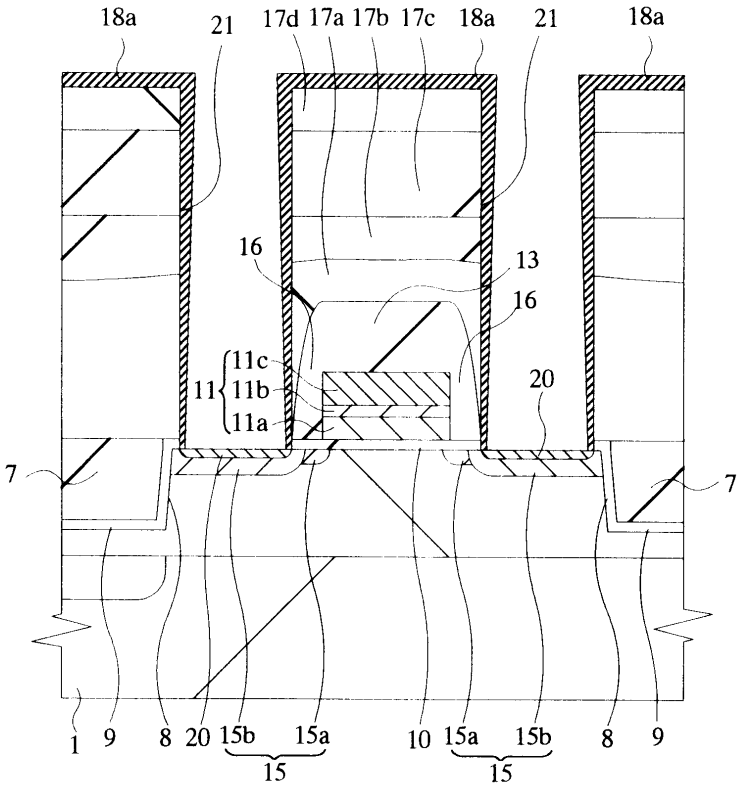
도면32


(a)
103
101
103
105
110
104
105
102
103
103
105
108
106
111
110
110
103
103
105
105
103
103
105
(b)
104
111
108
106
109
107

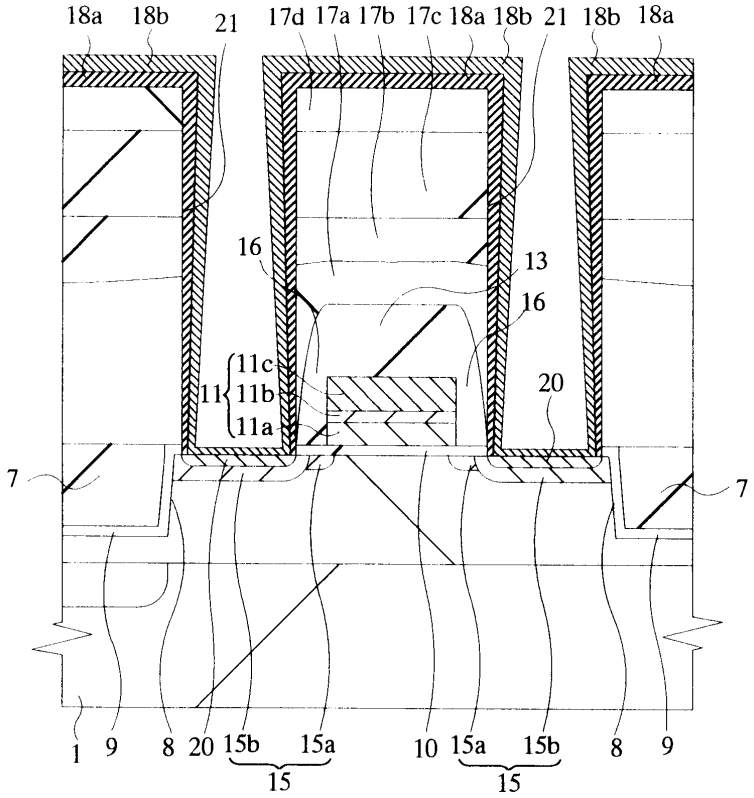
도면33


18a
21
17d
17a
17b
17c
18a
21
18a
16
13
16
11c
11
11b
11a
7
7
1
9
8
15b
15a
15
10
15a
15b
15
8
9

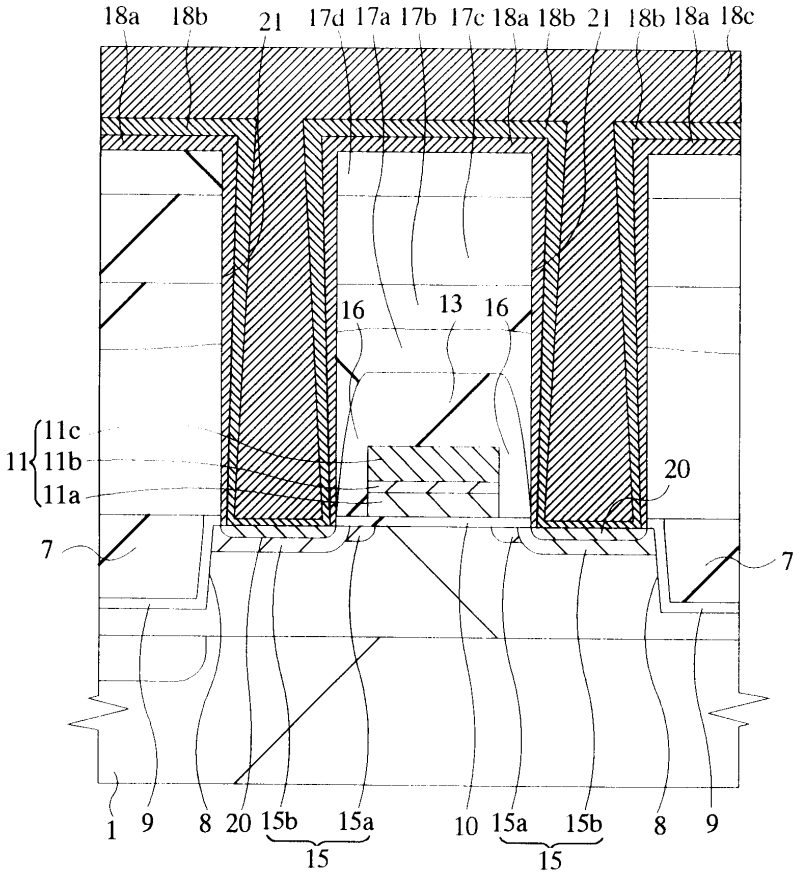
도면34


18a
21
17d
17a
17b
17c
18a
21
18a
16
13
16
11c
11
11b
11a
20
7
7
1
9
8
20
15b
15a
15
10
15a
15b
15
8
9

도면35

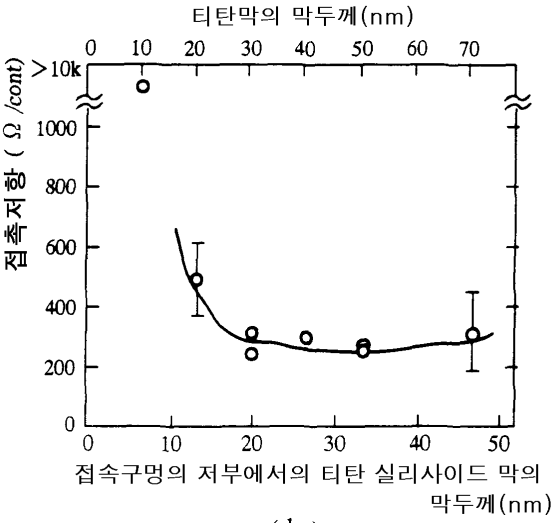

18a
18b
21
17d
17a
17b
17c
18a
18b
21
18b
18a
16
13
16
11c
11
11b
11a
20
7
7
1
9
8
20
15b
15a
15
10
15a
15b
15
8
9

도면36

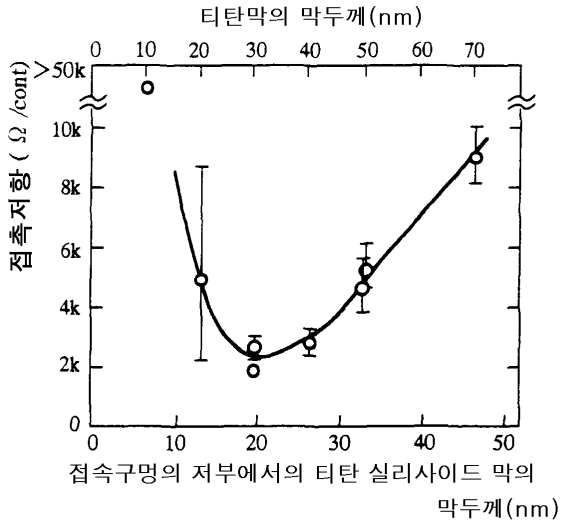

18a
18b
21
17d
17a
17b
17c
18a
18b
21
18b
18a
18c
16
13
16
11c
11b
11a
11
20
7
7
1
9
8
20
15b
15a
15
10
15a
15b
15
8
9

도면37

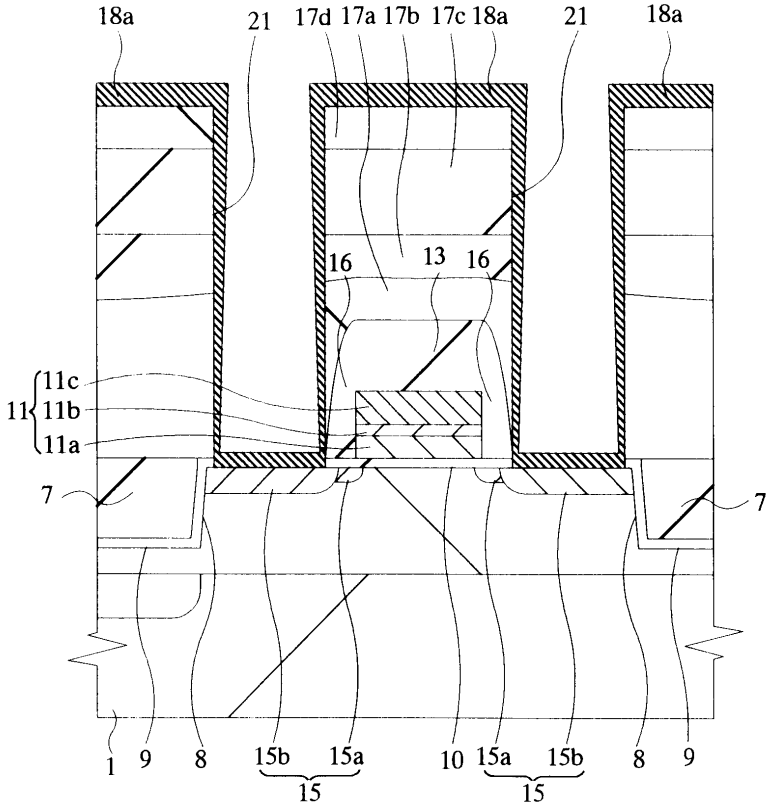
(a)


티탄막의 막두께(nm)
0 10 20 30 40 50 60 70
>10k
1000
800
600
400
200
0
접촉저항 (Ω /cont)
0 10 20 30 40 50
접속구멍의 저부에서의 티탄 실리사이드 막의 막두께(nm)

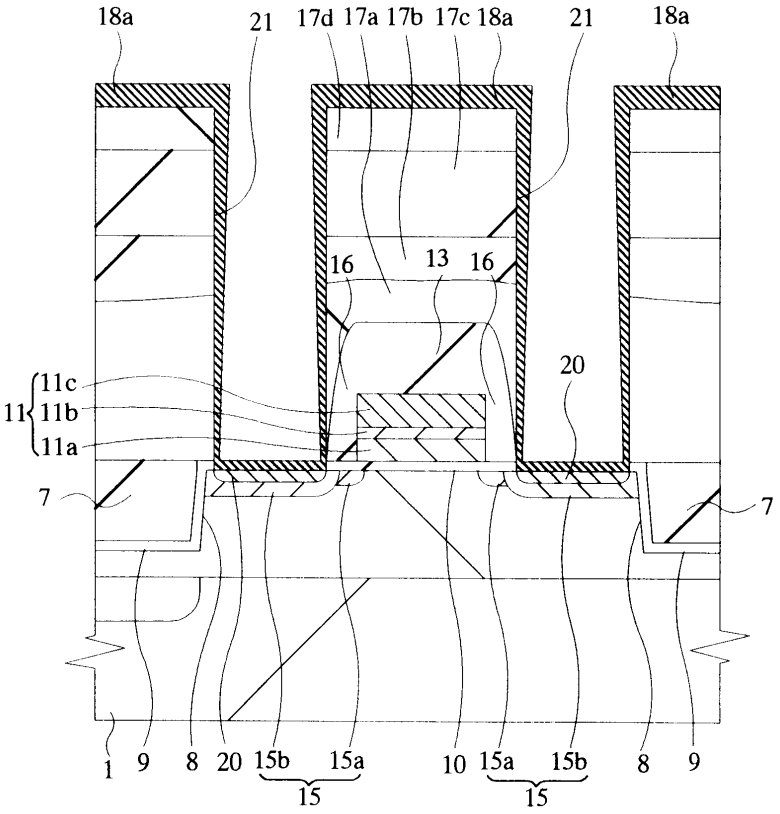
(b)


티탄막의 막두께(nm)
0 10 20 30 40 50 60 70
>50k
10k
8k
6k
4k
2k
0
접촉저항 (Ω /cont)
0 10 20 30 40 50
접속구멍의 저부에서의 티탄 실리사이드 막의 막두께(nm)

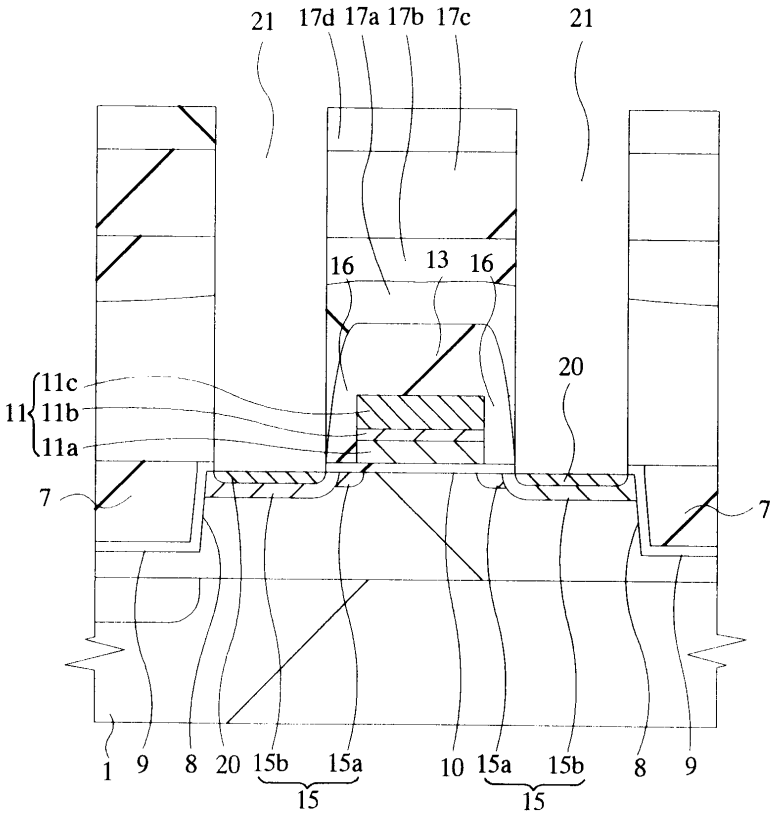
도면38


18a
21
17d
17a
17b
17c
18a
21
18a
16
13
16
11c
11
11b
11a
7
7
1
9
8
15b
15a
15
10
15a
15b
15
8
9

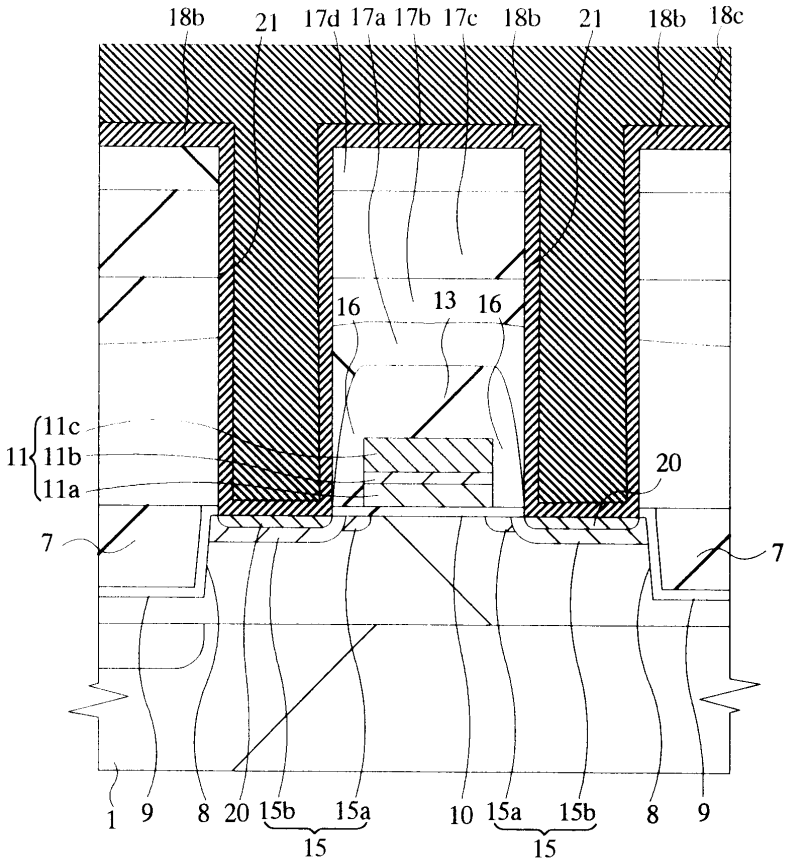
도면39


18a
21
17d
17a
17b
17c
18a
21
18a
16
13
16
20
11c
11
11b
11a
7
7
1
9
8
20
15b
15a
15
10
15a
15b
15
8
9

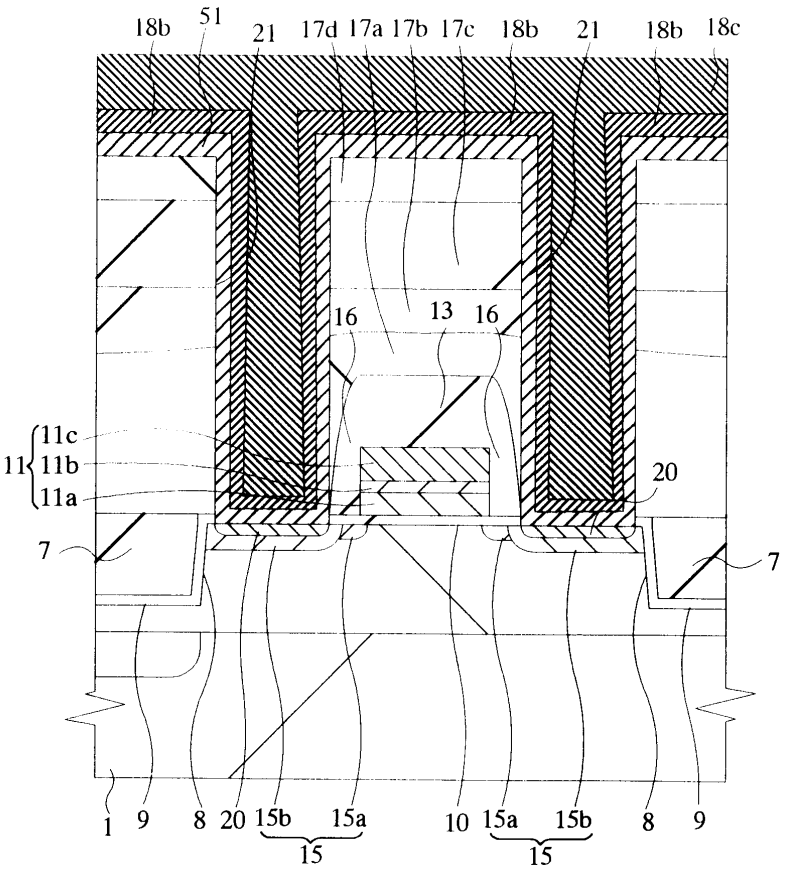
도면40


21
17d
17a
17b
17c
21
16
13
16
20
11c
11b
11a
11
7
7
1
9
8
20
15b
15a
15
10
15a
15b
15
8
9

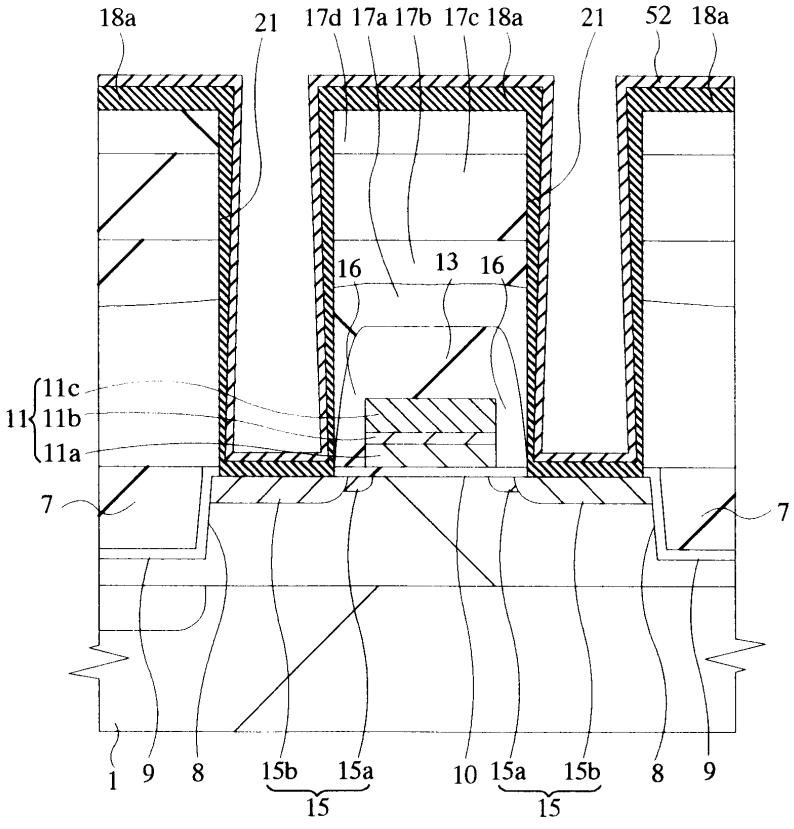
도면41


18b
21
17d
17a
17b
17c
18b
21
18b
18c
16
13
16
20
11c
11b
11a
11
7
7
1
9
8
20
15b
15a
15
10
15a
15b
15
8
9

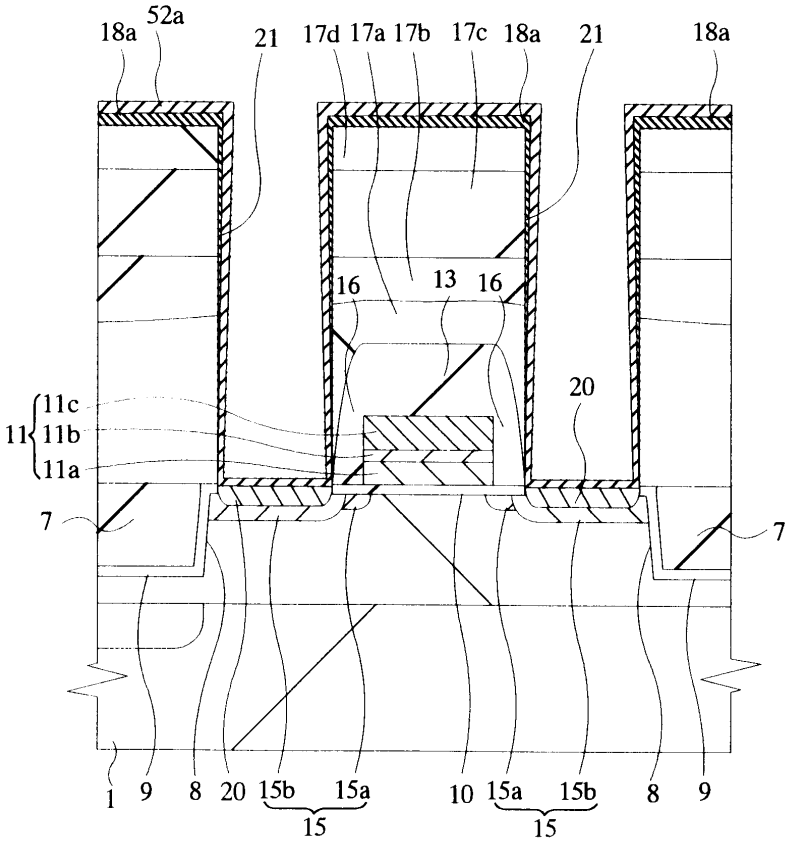
도면42


18b
51
21
17d
17a
17b
17c
18b
21
18b
18c
16
13
16
11c
11b
11a
11
20
7
7
1
9
8
20
15b
15a
15
10
15a
15b
15
8
9

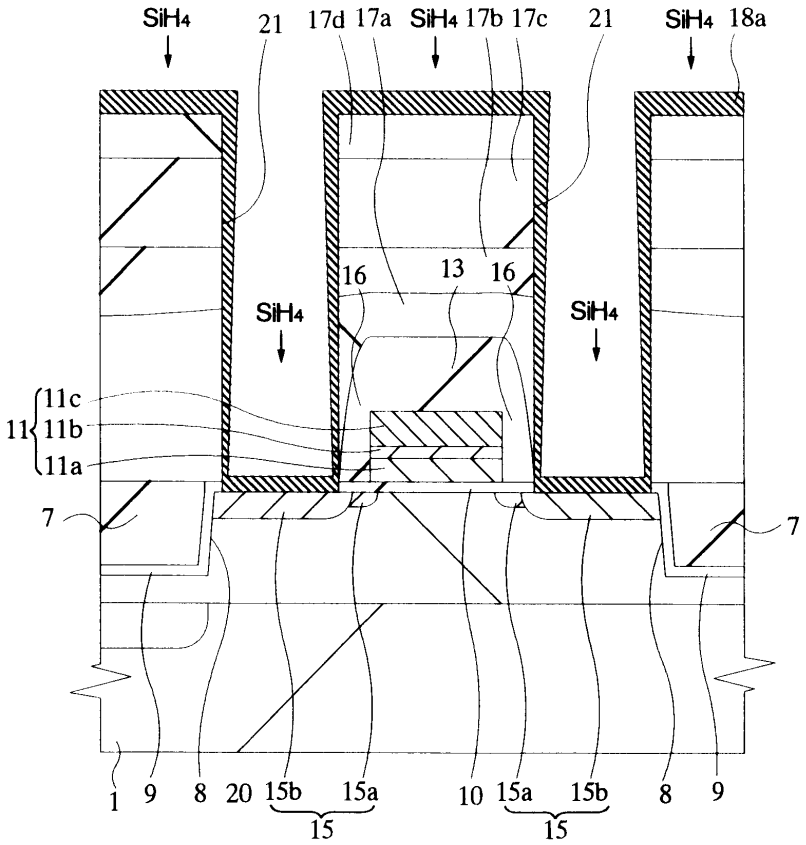
도면43


18a
21
17d
17a
17b
17c
18a
21
52
18a
16
13
16
11c
11b
11a
11
7
7
1
9
8
15b
15a
15
10
15a
15b
15
8
9

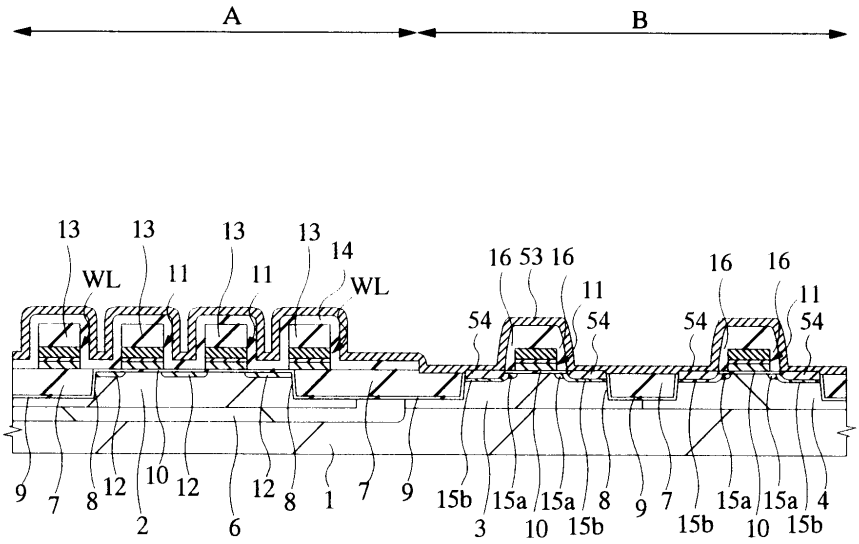
도면44


18a
52a
21
17d
17a
17b
17c
18a
21
18a
16
13
16
20
11c
11b
11a
11
7
7
1
9
8
20
15b
15a
15
10
15a
15b
15
8
9

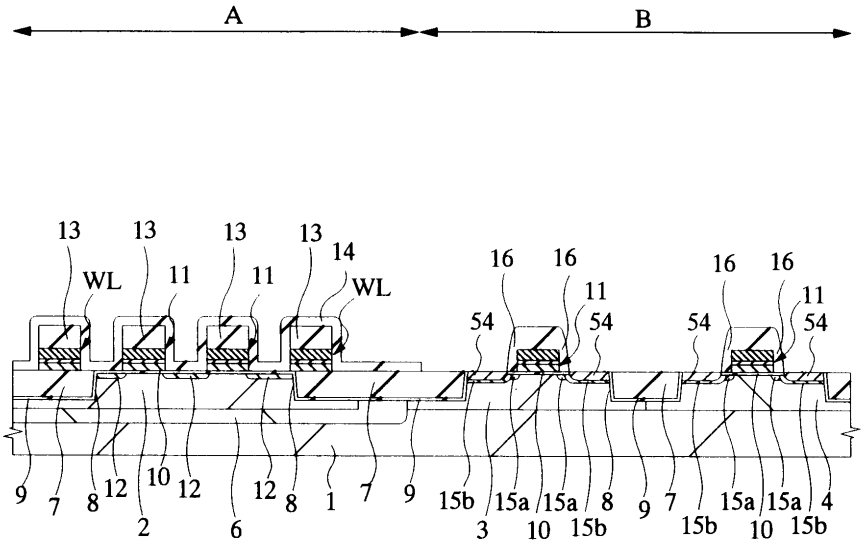
도면45


SiH4
21
17d
17a
SiH4
17b
17c
21
SiH4
18a
16
13
16
SiH4
SiH4
11c
11
11b
11a
7
7
1
9
8
20
15b
15a
15
10
15a
15b
15
8
9

도면46


A
B
13
13
13
13
14
WL
11
11
WL
16
53
16
11
54
54
54
16
16
11
54
9
7
8
12
10
12
2
6
12
8
1
7
9
15b
3
15a
10
15a
15b
8
9
7
15b
15a
10
15a
15b
4

도면47


A
B
13
13
13
13
14
WL
11
11
WL
16
16
16
16
11
11
54
54
54
54
9
7
8
12
10
12
12
8
1
7
9
15b
15a
15a
8
9
7
15a
15a
4
15b
3
10
15b
15b
10
15b

도면48

