

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/112 (2006.01)



# [12] 发明专利说明书

专利号 ZL 03120826.6

[45] 授权公告日 2008 年 10 月 1 日

[11] 授权公告号 CN 100423270C

[22] 申请日 2003. 3. 20 [21] 申请号 03120826. 6

[30] 优先权

[32] 2002. 3. 21 [33] US [31] 10/101, 922

[73] 专利权人 旺宏电子股份有限公司

地址 台湾省新竹科学工业园区力行路 16 号

[72] 发明人 林宏穗 邹年凯 赖汉昭 卢道政

[56] 参考文献

US5467308A 1995. 11. 14

US6166958A 2000. 12. 26

US5688713A 1997. 11. 18

US5437179A 1995. 12. 5

US5966603A 1999. 10. 12

CN1050228C 2000. 3. 8

US5397726A 1995. 3. 14

US6011725A 2000. 1. 4

审查员 白燕

[74] 专利代理机构 北京集佳知识产权代理有限公司

代理人 逯长明

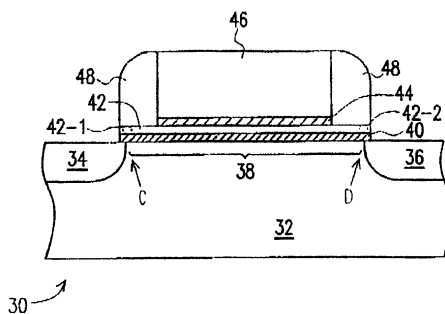
权利要求书 4 页 说明书 7 页 附图 1 页

[54] 发明名称

具高介电物质的硅/氧化物/氮化物/氧化物/  
硅器件架构

[57] 摘要

一种具高介电物质的硅/氧化物/氮化物/氧化物/硅器件架构，含有具有一源极区、一漏极区与位于其间的一信道区的一基底、位于信道区上的第一氧化层、在第一氧化层上的一氮化层、在氮化层上的第二氧化层、第二氧化层上的一栅极结构，其中在栅极结构底下的基底中有一个没有源/漏极区的区域、以及在氮化层上邻近栅极结构的侧壁间隙壁，其中至少一注入点，以注入电子于氮化层中，其中注入点位于信道区以及源极区与漏极区其中之一之间的一接合处，以及其中电荷储存于侧壁间隙壁底下的部分氮化层内。



1、一种具高介电物质的硅/氧化物/氮化物/氧化物/硅器件架构，其特征在于：包括：

一基底，具有一源极区、一漏极区与位于其间的一信道区；

一第一氧化层，位于对应该信道区上方的该基底上，以及配置在部分该源极区与部分该漏极区上；

一氮化层，位于该第一氧化层上，以及对应配置在该信道区、部分该源极区与部分该漏极区的上方；

一第二氧化层，位于该氮化层上；

一栅极结构，位于该第二氧化层上，以及对应配置于部分的该信道区上方；以及

二侧壁间隙壁，位于该氮化层上以及邻接该栅极结构，各该二侧壁间隙壁的下方为对应部分信道区与部分的该源极区/该漏极区，该二侧壁间隙壁具有足以在其下的该基底中形成一反向区域的一介电系数值，以连接在各该二侧壁间隙壁下面有该源极区、该漏极区与该信道区的该区域，其中电荷储存于该二侧壁间隙壁底下的部分该氮化层内。

2、如权利要求1所述的具高介电物质的硅/氧化物/氮化物/氧化物/硅器件架构，其特征在于：还包括二注入点，以注入电子于该氮化层中，其中该二注入点位于该信道区与该源极区之间以及该信道区与该漏极区之间的接合处。

3、如权利要求2所述的具高介电物质的硅/氧化物/氮化物/氧化物/硅

器件架构，其特征在于该注入点是位于各该二侧壁间隙壁底下。

4、如权利要求1所述的具有高介电物质的硅/氧化物/氮化物/氧化物/硅器件架构，其特征在于各该二侧壁间隙壁包括氧化钽。

5、如权利要求1所述的具有高介电物质的硅/氧化物/氮化物/氧化物/硅器件架构，其特征在于该介电系数值大于25。

6、如权利要求1所述的具有高介电物质的硅/氧化物/氮化物/氧化物/硅器件架构，其特征在于该介电系数值在25至30之间。

7、如权利要求1所述的具有高介电物质的硅/氧化物/氮化物/氧化物/硅器件架构，其特征在于：该源极区与该漏极区是N型区域以及该信道区是P型区域。

8、如权利要求1所述的具有高介电物质的硅/氧化物/氮化物/氧化物/硅器件架构，其特征在于：该源极区与该漏极区是P型区域以及该信道区是N型区域。

9、如权利要求1所述的具有高介电物质的硅/氧化物/氮化物/氧化物/硅器件架构，其特征在于：在该基底中该栅极结构底下的该区域排除该源极区与该漏极区。

10、一种氮化硅只读存储器件，其特征在于：包括：

一基底，具有一源极区、一漏极区与位于其间的一信道区；

一第一氧化层，位于对应该信道区上方的该基底上，以及配置在部分该源极区与部分该漏极区上；

一氮化层，位于该第一氧化层上，以及对应配置在该信道区、部分该源极区与部分该漏极区的上方；

一第二氧化层，位于该氮化层上；

一栅极结构，位于该第二氧化层上，以及对应配置于部分的该信道区上方；以及

二侧壁间隙壁，位于该氮化层上以及邻接该栅极结构，各该些侧壁间隙壁的下方为对应部分信道区与部分的该源极区/该漏极区；以及

二注入点，以注入电子于该氮化层中，

其中该二注入点位于该些侧壁间隙壁底下，该信道区与该源极区之间以及该信道区与该漏极区之间的接合处，以及

其中电荷储存于该二侧壁间隙壁底下的部分该氮化层内。

11、如权利要求 10 所述的氮化硅只读存储器件，其特征在于该些侧壁间隙壁具有足以在其下的该基底中形成一反向区域的一介电系数值，以连接在该些侧壁间隙壁下面有该源极区、该漏极区与该信道区的该区域。

12、如权利要求 10 所述的氮化硅只读存储器件，其特征在于：该些侧壁间隙壁包括氧化钽。

13、如权利要求 11 所述的氮化硅只读存储器件，其特征在于：该介电系数值大于 25。

14、如权利要求 11 所述的氮化硅只读存储器件，其特征在于：该介电系数值在 25 至 30 之间。

15、如权利要求 10 所述的氮化硅只读存储器件，其特征在于：该源极区与该漏极区是 N 型区域以及该信道区是 P 型区域。

16、如权利要求 10 所述的氮化硅只读存储器件，其特征在于：该源极区与该漏极区是 P 型区域以及该信道区是 N 型区域。

---

17、如权利要求 10 所述的氮化硅只读存储器件，其特征在于：在该基底中该栅极结构底下的该区域排除该源极区与该漏极区。

## 具高介电物质的硅/氧化物/氮化物/氧化物/硅器件架构

### 发明领域

本发明是有关于一种硅/氧化物/氮化物/氧化物/硅 (silicon-oxide-nitride-oxide-silicon, 简称 SONOS) 半导体架构(component), 且特别有关于一种在氮化硅只读存储器(nitride only memory, 简称 NROM) 半导体器件中的硅/氧化物/氮化物/氧化物/硅架构。

### 背景技术

图 1 是公知一种氮化硅只读存储器件 10。请参照图 1, 氮化硅只读存储器件 10 包括一基底 12, 其中具有一 N 型源极区(n-type source region)14、一 N 型漏极区(n-type drain region)16 与位于其间的一 P 型信道区(p-type channel region)18。氮化硅只读存储器件 10 还包括形成于信道区 18、部分源极区 14 与部分漏极区 16 上的一氧化物/氮化物/氧化物(ONO)结构 28。氧化物/氮化物/氧化物结构 28 包含位于基底 12 上的第一氧化层 20、在第一氧化层 20 上的一氮化层 22、在氮化层 22 上的第二氧化层 24。氮化硅只读存储器件 10 还包括在第二氧化层 24 上的一栅极结构(gate structure)26, 以及邻接至少栅极结构 26 的侧壁间隙壁(sidewall spacer, 未绘示)。

氮化层 22 通过捕捉电子于其中来“储存”电荷(electrical charge), 且第一与第二氧化层 20、24 的厚度应足以防止漏电(leakage), 譬如在一般操作情形下储存的电子的直接穿隧(tunneling)。利用穿隧增进热电洞注入

(tunnel-enhanced hot hole injection)达到抹除, 以及由信道热电子注入(channel hot electron injection)来施程序化。氮化硅只读存储器件 10 可以储存至两个完全分开的位, 但是只有一个位可同时被程序化与储存。美国专利第 6011725 号, 由 Boaz Eitan 所写标题为“Two Bit Non-Volatile Electrically Erasable and Programmable Semiconductor Memory Cell Utilizing Asymmetrical Charge Trapping”, 描述用以储存二位数据(two bits of data)的一种根据氮化硅只读存储器件的非挥发性存储器件, 并且借此并入参考文献中。

因为氮化层 22 可用于单独储存电荷, 所以二位数据可被写入氮化硅只读存储器件 10 中。请继续参照图 1, 在程序化期间在其中的一注入点(injection point)A 或 B 注入电子于氮化硅层 22 内, 以及分别储存于氮化层 22 的其中的一位置 22-1 与 22-2。注入点 A 位在源极区 14 与信道区 18 之间的接合处(junction)。而注入点 B 位在漏极区 16 与信道区 18 之间的接合处。由于 N 型杂质(impurity)的扩散, 使源极区 14 与漏极区 16 都超出基底 12 的区域而在栅极结构 28 下方。结果注入点 A 与 B 均位在栅极结构 26 底下。

由于位置 22-1 与 22-2 间的接近(proximity), 在储存的二位数据间的扰乱(interference)或干扰(cross-talk)也许会妨碍储存的数据被精确地读出。因此, 储存电荷的位置通常被以尽可能大的距离分开。然而, 上述要求会妨碍公知氮化硅只读存储单元的栅极长度的降低, 以符合深次微米(deep sub-micron)的运用。

## 发明内容

本发明提出一种半导体存储器件，包括具有一源极区、一漏极区与位于其间的一信道区的一基底、位于对应信道区上方的该基底上，以及配置在部分该源极区与部分该漏极区上的第一氧化层、在第一氧化层上，以及对应配置在信道区、部分源极区与部分漏极区的上方的一氮化层、在氮化层上的第二氧化层、第二氧化层上，以及对应配置于部分的信道区上方的一栅极结构、以及在氮化层上邻接栅极结构的二侧壁间隙壁，各该二侧壁间隙壁的下方为对应部分信道区与部分的源极区/漏极区，其中二侧壁间隙壁具有一介电系数值(dielectric constant value)足以在侧壁间隙壁底下的基底中形成一反向区域(inversion region)，以连接在各二侧壁间隙壁下面有源/漏极区与信道区的区域，其中电荷储存于二侧壁间隙壁底下的部分氮化层内。

一方面，此一半导体器件还包括二注入点，以注入电子于氮化层中，其中二注入点位于信道区与源极区之间，以及信道区与漏极区之间的接合处。

另一方面，注入点是位于各二侧壁间隙壁底下。

又一方面，介电系数值大概在 25 与 30 之间。

依照本发明，另提出一种氮化硅只读存储器件，包括具有一源极区、一漏极区与位于其间的一信道区的一基底、位于对应信道区上方的该基底上，以及配置在部分该源极区与部分该漏极区上的第一氧化层、在第一氧化层上，以及对应配置在信道区、部分源极区与部分漏极区的上方的一氮化层、在氮化层上的第二氧化层、第二氧化层上，以及对应配置于部分的信道区上方的一栅极结构、以及在氮化层上有二侧壁间



隙壁邻接栅极结构,各该些侧壁间隙壁的下方为对应部分信道区与部分的源极区/漏极区,以及二注入点,以在氮化层中注入电子,其中二注入点位于侧壁间隙壁底下,信道区与源极区之间,以及信道区与漏极区之间的接合处,且电荷被储存于二侧壁间隙壁底下的部分氮化层中。

一方面,注入点是位于其中一个侧壁间隙壁底下。

本发明额外的目的与优点将于下列描述中被部分提出,并且从描述中将部分明显的,或是在发明的实施中获悉。本发明的目的与优点将以分别指出于权利要求中的要素(element)与结合(combination)被理解与达成。

已知前述大体的描述与后续详细的描述皆是示范性的以及只是解释用的,而非限定本发明用。

为了让本发明的上述和其它目的、特征、和优点能更明显易懂,下文特举较佳实施例,并配合所附图式,作详细说明。

## 附图说明

图 1 是公知一种氮化硅只读存储器件; 以及

图 2 是本发明的一较佳实施例的一种氮化硅只读存储器件的剖面图。

图式的标号说明:

10, 30: 氮化硅只读存储器件	12, 32: 基底
14, 34: 源极区	16, 36: 漏极区
18, 38: 信道区	20, 24, 40, 44: 氧化层
22, 42: 氮化层	
22-1, 22-2, 42-1, 42-2: 位置	26, 46: 栅极结构
28: 氧化物/氮化物/氧化物结构	48: 侧壁间隙壁

A, B, C, D: 注入点

### 具体实施方式

本发明将详细于实施例中被提及，并于图标中说明此一实例。只要可能的话，在图标中使用的相同图式标号即代表相同或类似的部位。

图 2 是本发明的一较佳实施例的一种氮化硅只读存储器(nitride only memory, 简称 NROM)器件 30 的剖面图。请参照图 2，氮化硅只读存储器器件 30 包括具有一源极区(source region)34、一漏极区(drain region)36 与

位于其间的一信道区(channel region)36 的一硅基底 32。而氮化硅只读存储器件 30 可以是一 N 型氮化硅只读存储器或一 P 型氮化硅只读存储器。于一实施例中,源极区 34 与漏极区 36 是 N 型区域以及信道区 38 是 P 型区域。于另一实施例中,源极区 34 与漏极区 36 是 P 型区域以及信道区 38 是 N 型区域。

氮化硅只读存储器件 30 也包括一氧化物/氮化物/氧化物(ONO)结构(未标号)含有形成位于信道 38 上的第一氧化层 40、在第一氧化层 40 上的一氮化层 42、在氮化层 42 上的第二氧化层 44。氮化硅只读存储器件 30 还包括在第二氧化层 44 上的一多晶硅(polysilicon)栅极结构(gate structure)46,以及形成于氮化层 42 上邻接栅极结构 46 的侧壁间隙壁(sidewall spacer)48。这个侧壁间隙壁 48 具有高介电系数(dielectric constant) K 以及包括如氧化钽( $Ta_2O_5$ )的氧化物材质。

在操作中,本发明的氮化硅只读存储器件 30 能够储存二位的数据(two bits of data)。请继续参照图 2,在程序化期间在其中的一注入点(injection point)C 或 D 注入电子于氮化硅层 42 内,以及分别储存于氮化层 42 的其中的一位置 42-1 与 42-2。注入点 C 位在源极区 34 与信道区 38 之间的接合处(junction)。而注入点 D 位在漏极区 36 与信道区 38 之间的接合处。注入点 C 与 D 都位于侧壁间隙壁 48 底下的基底 32 部位,并且在栅极结构 46 底下的区域外。

在本发明的制作工艺期间,控制源极区 34 与漏极区 36 的形成以使栅极结构 46 底下的区域里没有任一区扩散进入。而具有高介电系数的侧壁间隙壁 48 能够在侧壁间隙壁 48 底下形成低阻抗(low-impedance)的反向区

域(inversion region), 而实际上连接在侧壁间隙壁 48 底下有信道区 38、源极区 34 与漏极区 36 的区域。低阻抗的反向区域也会使较大电流流经侧壁间隙壁 48 底下的基底区域。因此, 譬如大于 25 的较高的介电系数, 就是使具低阻抗的较大反向区域可被形成。于一实施例中, 侧壁间隙壁 48 具有大概在 25 至 30 之间的介电系数值。本发明的信道区 38 是在栅极结构 46 底下被延伸。在程序化期间于反向区域与源极区 34 和漏极区 36 其中之一之间的接合处会形成一电子注入点, 因为在氮化硅只读存储器件 30 基底 32 中的接合处拥有最高的电场(electrical field)。

因此, 本发明能够通过使用侧壁间隙壁的某些特征来控制电子注入点的位置。本发明的电子注入点被移到传统信道区之外, 以排除氧化物/氮化物/氧化物结构中二储存位的数据之间的扰乱(interference)。本发明的信道区凭借具高介电系数  $K$  的侧壁间隙壁 48 而延伸至整个反向区域。因为本发明排除二储存位的数据之间的扰乱或干扰(cross-talk), 所以本发明的氮化硅只读存储器件的栅极长度可被降低而适于未来次微米(sub-micron)的运用。

虽然本发明已以较佳实施例公开如上, 然其并非用以限定本发明, 任何熟悉此技术者, 在不脱离本发明的精神和范围内, 当可作各种的更动与润饰, 因此本发明的保护范围当视权利要求所界定为准。

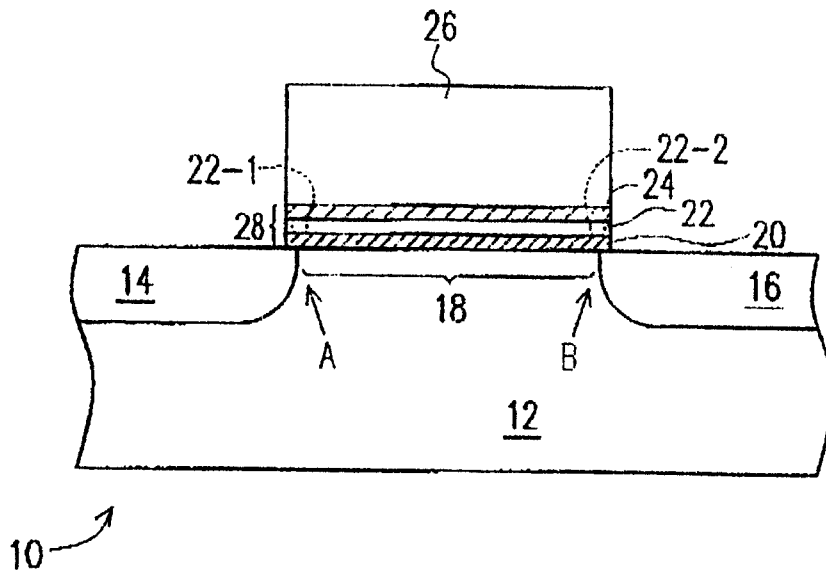


图 1

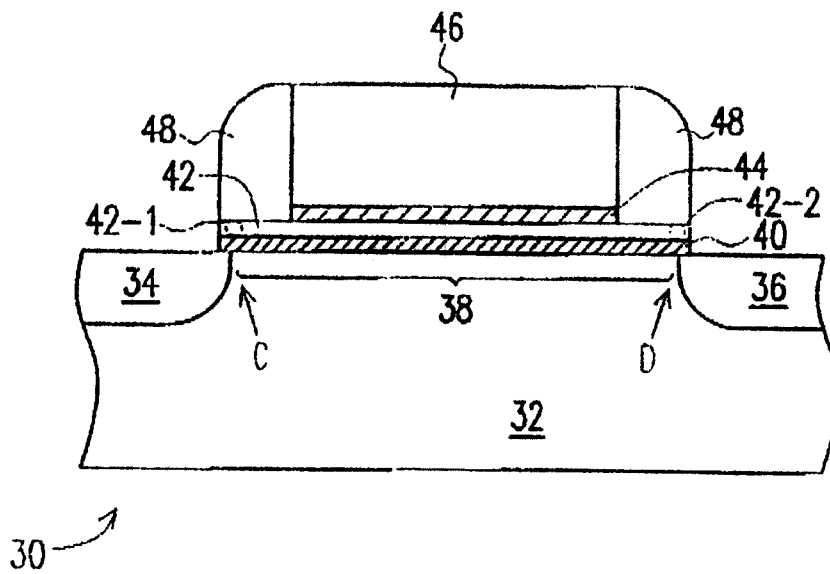


图 2