



(21)申請案號：101134476

(22)申請日：中華民國 101 (2012) 年 09 月 20 日

(51)Int. Cl. : G11C16/10 (2006.01)

G11C16/08 (2006.01)

(30)優先權：2011/09/23 美國

61/538,540

2012/04/25 美國

13/455,780

(71)申請人：摩賽德科技股份有限公司 (加拿大) MOSAID TECHNOLOGIES INCORPORATED

(CA)

加拿大

(72)發明人：金鎮祺 KIM, JIN-KI (CA)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：29 項 圖式數：19 共 63 頁

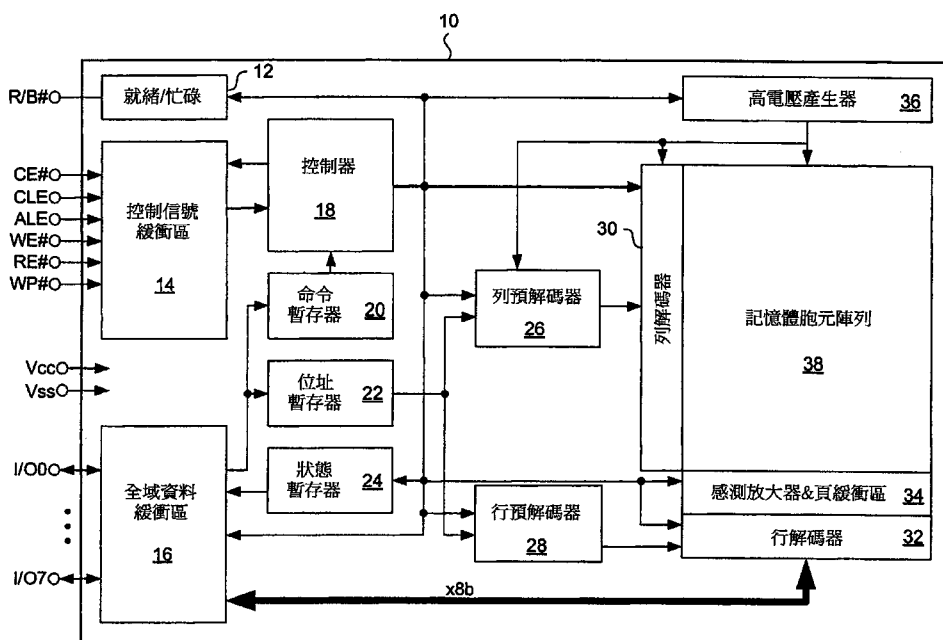
(54)名稱

快閃記憶體系統

FLASH MEMORY SYSTEM

(57)摘要

本發明係關於用於控制 MBC 組態的快閃記憶體裝置，來以 SBC 儲存模式、或少於完全 MBC 儲存模式容量的部分 MBC 儲存模式儲存資料的方法及系統。在完全 MBC 儲存模式中，針對記憶體胞元之各實體列，頁資料係連續地自第一頁至第 N 頁被寫入，其中 N 為可儲存於一實體列的總頁數。記憶體胞元之每實體列的多達 N 個虛擬頁位址伴隨著待寫入之各頁，用於指定在該實體列中之該頁的虛擬位置。關於 SBC 或部分 MBC 資料儲存，快閃記憶體控制器發出程式命令至各實體列使用少於最大 N 個虛擬頁位址的 MBC 記憶體裝置。該 MBC 記憶體裝置連續地執行寫入操作直到該實體列最後接收到的虛擬頁位址。



10：快閃記憶體裝置

12：就緒/忙碌信號緩衝區

14：控制信號緩衝區

16：全域資料緩衝區

18：控制器

20：命令暫存器

22：位址暫存器

24：狀態暫存器

26：列預解碼器

28：行預解碼器

30：列解碼器

32：行解碼器

34：感測放大器及頁
緩衝區塊

36：高電壓產生器

38：記憶體陣列

(21)申請案號：101134476

(22)申請日：中華民國 101 (2012) 年 09 月 20 日

(51)Int. Cl. : **G11C16/10 (2006.01)**

G11C16/08 (2006.01)

(30)優先權：2011/09/23 美國

61/538,540

2012/04/25 美國

13/455,780

(71)申請人：摩賽德科技股份有限公司 (加拿大) MOSAID TECHNOLOGIES INCORPORATED

(CA)

加拿大

(72)發明人：金鎮祺 KIM, JIN-KI (CA)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：29 項 圖式數：19 共 63 頁

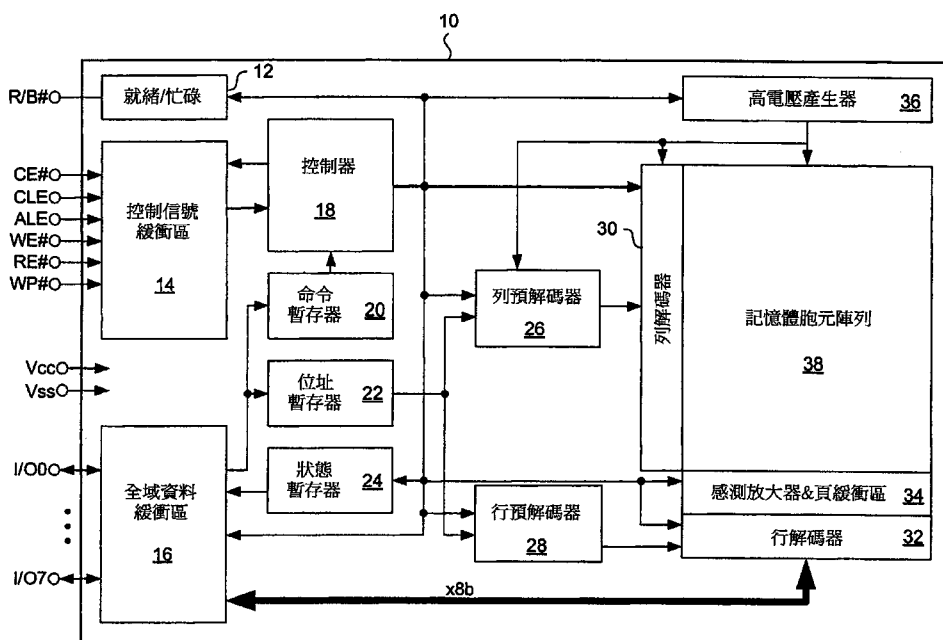
(54)名稱

快閃記憶體系統

FLASH MEMORY SYSTEM

(57)摘要

本發明係關於用於控制 MBC 組態的快閃記憶體裝置，來以 SBC 儲存模式、或少於完全 MBC 儲存模式容量的部分 MBC 儲存模式儲存資料的方法及系統。在完全 MBC 儲存模式中，針對記憶體胞元之各實體列，頁資料係連續地自第一頁至第 N 頁被寫入，其中 N 為可儲存於一實體列的總頁數。記憶體胞元之每實體列的多達 N 個虛擬頁位址伴隨著待寫入之各頁，用於指定在該實體列中之該頁的虛擬位置。關於 SBC 或部分 MBC 資料儲存，快閃記憶體控制器發出程式命令至各實體列使用少於最大 N 個虛擬頁位址的 MBC 記憶體裝置。該 MBC 記憶體裝置連續地執行寫入操作直到該實體列最後接收到的虛擬頁位址。



10：快閃記憶體裝置

12：就緒/忙碌信號緩衝區

14：控制信號緩衝區

16：全域資料緩衝區

18：控制器

20：命令暫存器

22：位址暫存器

24：狀態暫存器

26：列預解碼器

28：行預解碼器

30：列解碼器

32：行解碼器

101年1月15日

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101134476

※申請日：101年09月20日

※IPC分類：G11C 16/10 (2006.01)
G11C 16/08 (2006.01)

一、發明名稱：(中文/英文)

快閃記憶體系統

Flash memory system

二、中文發明摘要：

本發明係關於用於控制 MBC 組態的快閃記憶體裝置，來以 SBC 儲存模式、或少於完全 MBC 儲存模式容量的部分 MBC 儲存模式儲存資料的方法及系統。在完全 MBC 儲存模式中，針對記憶體胞元之各實體列，頁資料係連續地自第一頁至第 N 頁被寫入，其中 N 為可儲存於一實體列的總頁數。記憶體胞元之每實體列的多達 N 個虛擬頁位址伴隨著待寫入之各頁，用於指定在該實體列中之該頁的虛擬位置。關於 SBC 或部分 MBC 資料儲存，快閃記憶體控制器發出程式命令至各實體列使用少於最大 N 個虛擬頁位址的 MBC 記憶體裝置。該 MBC 記憶體裝置連續地執行寫入操作直到該實體列最後接收到的虛擬頁位址。

三、英文發明摘要：

A method and system for controlling an MBC configured flash memory device to store data in an SBC storage mode, or a partial MBC storage mode less than a full MBC storage mode capacity. In a full MBC storage mode, pages of data are programmed sequentially from a first page to an Nth page for each physical row of memory cells, where N is the total number of pages that can be stored a physical row. Up to N virtual page addresses per physical row of memory cells accompany each page to be programmed for designating the virtual position of the page in the physical row. For SBC or partial MBC data storage, a flash memory controller issues program command(s) to the MBC memory device using less than the maximum N virtual page addresses for each physical row. The MBC memory device sequentially executes programming operations up to the last received virtual page address for the physical row.

四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件符號簡單說明：

- 10：快閃記憶體裝置
- 12：就緒/忙碌信號緩衝區
- 14：控制信號緩衝區
- 16：全域資料緩衝區
- 18：控制器
- 20：命令暫存器
- 22：位址暫存器
- 24：狀態暫存器
- 26：列預解碼器
- 28：行預解碼器
- 30：列解碼器
- 32：行解碼器
- 34：感測放大器及頁緩衝區塊
- 36：高電壓產生器
- 38：記憶體陣列

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

[相關申請案之參照]

本申請案主張享有於 2011 年 9 月 23 日申請之美國臨時專利申請案第 61/538,540 號及於 2012 年 4 月 25 日申請之美國專利申請案第 13/455,780 號之優先權，該等優先權案之全部內容已併入此案供參考。

【發明所屬之技術領域】

本發明實施例係普遍地關於非揮發性記憶體。

【先前技術】

在作為消費性電子產品諸如數位相機及可攜式數位音樂播放器之大容量儲存器的廣泛應用中，快閃記憶體係非揮發性記憶體之一常用型態。目前可用之快閃記憶體晶片的密度可高達數十億位元組（GB）的大小，其適合用於普遍的 USB 隨身碟（USB flash drives）中，因為一個快閃晶片的尺寸係很小的。快閃記憶體之另一個新興應用為固態硬碟，用於取代膝上型或桌上型電腦中所用的傳統硬碟。這些應用通常使用具有有限生命週期的多層胞元（multi-level cell：MLC）快閃裝置。單層胞元（single level cell：SLC）快閃裝置之其他型態的快閃記憶體亦被使用於應用中以實現可靠的資料儲存。相較於 MLC 快閃裝置，SLC 快閃裝置的缺點為成本。

【發明內容】

在第一態樣中，提供有用於寫入（program）每胞元多位元（multiple bit per cell：MBC）快閃記憶體裝置的方法，該 MBC 快閃記憶體裝置係組態成每實體列儲存達到 N 頁資料，N 為大於一的整數。該方法包含發出一組程式命令，用來將多頁的資料寫入至具有該快閃記憶體裝置之至少一實體列的細分（subdivision）。該組程式命令被限制來定址邏輯頁位址的子集合，該等邏輯頁位址係選自對應於該至少一實體列之各者的所有可能邏輯頁位址。該方法另外包含在該等程式命令中回應邏輯頁位址的該子集合而將少於 N 頁寫入給該快閃記憶體裝置之至少一實體列之各者。依據本實施例，該方法另外包括在發出該組程式命令之前，存取包含該快閃記憶體裝置之各細分的儲存模式資訊的映射表，其中存取該映射表包括選擇具有部分 MBC 儲存模式的細分，該部分 MBC 儲存模式中每一實體列儲存少於 N 頁的資料。

本方法可另外包括選擇對應部分 MBC 儲存模式之邏輯頁位址的子集合，並且對應至少一個實體列之各者的所有可能的邏輯頁位址包括以下頁（lower page）位址起始而以上頁（upper page）位址結尾的連續的頁位址。邏輯頁位址的該子集合可包括至少一個實體列之各者的下頁位址，直到在下頁位址及上頁位址之間的中間頁（intermediate page）位址。替代地，邏輯頁位址的該子集合可僅包括至少一個實體列之各者的下頁位址。

在第一態樣之其他實施例中，發出一組程式命令包括迭代地提供各包含多個頁資料之其中一頁以及邏輯頁位址之子集合的其中之一的程式命令，並且提供 M 個程式命令封包用於將多個頁資料之其中 M 頁寫入至快閃記憶體裝置之一個實體列，其中 M 為小於 N 之整數值。替代地，發出一組程式命令包括迭代地提供一個程式命令封包用於將多個頁資料之其中一頁寫入至快閃記憶體裝置之一個實體列。

在第一態樣之又一實施例中，該方法另外包括在發出該組程式命令前，接收一主機請求而以部分 MBC 儲存模式寫入多個頁資料。在又另一個實施例中，該方法另外包括在發出該組程式命令前，接收一主機請求而以完全 MBC 儲存模式寫入多個頁資料，判斷該細分之最大 MBC 寫入/抹除週期數是否已達到，並且選擇被組態為以完全 MBC 儲存模式寫入多個頁資料的其他細分，及設定該細分為部分 MBC 儲存模式。在此發明之實施例中，完全 MBC 儲存模式包括每胞元兩位元儲存模式，而部分 MBC 儲存模式包括每胞元單位元儲存模式。

在第二態樣中，提供一系統，其包括記憶體控制器。該記憶體控制器係組態以發出程式命令，該等程式命令被限制以定位選自對應記憶體裝置之各實體列之所有可能的邏輯頁位址之邏輯頁位址的子集合。該記憶體裝置包括每胞元多位元（MBC）記憶體裝置，其被組態成每實體列儲存最大 N 頁，其中 N 為大於一的整數。該記憶體裝置係

另外被組態以回應自該記憶體控制器接收之程式命令中的邏輯頁位址的子集合，而寫入每實體列少於 N 頁。在本實施例中，記憶體控制器包括一映射表，用於儲存對應於該記憶體裝置之細分的元資料 (meta-data)，其中該映射表被組態成包括用於各個細分的儲存模式資訊以及與用於各個細分之儲存模式相關聯的位址連結 (address binding) 資訊。

在本實施例中，該記憶體控制器包括控制電路，用於存取該映射表及回應該映射表之該元資料而提供該等程式命令。各個程式命令包括頁資料、用於選擇該記憶體裝置之一細分以及在該細分內的一實體列的位址資訊，以及待寫入於該實體列中之該頁資料的邏輯頁位址。在此實施例中，該記憶體裝置係被組態以儲存每實體列最大 $N=2$ 個頁，且每實體列之兩個頁之各者係可藉由上頁位址及下頁位址來定址，其中該上頁位址具有第一最低有效位元 (least significant bit)，而下頁位址具有與該第一最低有效位元不同之第二最低有效位元。依據本態樣之另外的實施例，該記憶體裝置之該等細分包括記憶體區塊、記憶體區塊之子區塊、或記憶體區塊之實體列。

在第三態樣中，提供一方法，用於寫入每胞元多位元 (MBC) 快閃記憶體裝置，其被組態為每胞元儲存達到 N 個位元，其中 N 為大於一的整數。該方法包括接收一主機請求以寫入資料頁；判斷該等資料頁係待以部分 MBC 儲存模式來寫入，其中少於 N 個虛擬可定址資料頁係儲存於

該快閃記憶體裝置之各實體列中；存取一映射表，其包含用於該快閃記憶體裝置之元資料，以選擇以部分 MBC 儲存模式組態之該 MBC 快閃記憶體裝置之一細分；以及發出至少一個程式命令，用於使用虛擬頁位址來將該等資料頁寫入至該細分，該等虛擬頁位址被限制為用於寫入頁至各實體列之少於 N 個可能的虛擬頁位址之子集合。在本態樣中， $N=2$ 且可能的虛擬頁位址包括下頁位址及上頁位址，且發出至少一個程式命令包括迭代地發出程式命令，其各包括資料頁及下頁位址。替代地， $N>2$ 且可能的虛擬頁位址包括下頁位址、上頁位址、以及在該下頁位址與該上頁位址之間的至少一個中間頁位址，且發出至少一個程式命令包括迭代地發出程式命令，其各包括資料頁、以及下頁位址及至少一個中間頁位址之其中之一者。

藉由審查下列描述之本發明之具體實施例，所描述之該等實施例的其他態樣及特徵對於熟習本技藝之人士而言將變得明顯。

【實施方式】

圖 1 描述適用本發明之實施例的典型快閃記憶體裝置。參照圖 1，快閃記憶體裝置 10 包括輸入/輸出介面電路、控制電路、記憶體電路及記憶體陣列。快閃記憶體裝置 10 之輸入/輸出介面電路包括就緒/忙碌 (Ready/Busy) 信號緩衝區 12、控制信號緩衝區 14 及全域資料緩衝區 16。在特定的範例中，就緒/忙碌信號緩衝區 12 係一輸出

緩衝區，其透過個別的腳位或埠來驅動就緒/忙碌信號 R/B#。控制信號緩衝區 14 係輸入緩衝區，其自對應的腳位或埠接收快閃記憶體控制信號 CE#、CLE、ALE、WE#、RE#及 WP#。自前述觀點，應將以"#"結尾的信號名稱理解為主動低位準信號，其中主動低信號對應於"0"邏輯位準，或例如 VSS 電壓位準。相反的，主動高邏輯位準信號對應於"1"邏輯位準，或例如 VDD 或 VCC 電壓位準。以下是前述控制信號的簡短說明。

- 命令門鎖致能 (Command Latch Enable : CLE) : CLE 輸入信號係用來控制將操作模式載入到內部命令暫存器。當 CLE 為高 (High) 時，在 WE#信號的上升邊緣將命令自輸入/輸出埠鎖存到命令暫存器中。

- 位址門鎖致能 (Address Latch Enable : ALE) : ALE 信號係用來控制將位址資訊載入到內部位址暫存器。當 ALE 為高時，在 WE#信號的上升邊緣將位址資訊自輸入/輸出埠鎖存到位址暫存器中。

- 晶片致能 (Chip Enable : CE#) : 在裝置處於就緒狀態期間，當 CE#變高時，裝置進入低功耗待機模式。當裝置處於忙碌狀態 (R/B#=L)，例如在寫入 (Program) 或抹除 (Erase) 或讀取 (Read) 操作期間，且即使 CE#輸入變高也不會進入待機模式時，CE#信號被忽略。

- 寫入致能 (Write Enable : WE#) : WE#信號係用來控制從輸入/輸出埠獲取資料。

- 讀取致能 (Read Enable: RE#) : RE 信號控制串列資料輸出。在 RE# 的下降邊緣之後，資料係可用的。內部行位址計數器亦在此下降邊緣增加 (位址 = 位址 +1)。
- 輸入/輸出埠 (I/O0 至 7) : I/O0 至 7 腳位係用來作為用於傳輸位址、命令及輸入/輸出資料至裝置及自裝置傳輸位址、命令及輸入/輸出資料的埠。
- 寫入保護 (WP#) : WP# 信號係用來保護裝置免於遭受意外的寫入或抹除。當 WP# 為低 (Low) 時，內部電壓調節器 (高電壓產生器) 被重置。此信號通常被用來當輸入信號係無效時，在電力開啓/關閉序列期間保護資料。
- 就緒/忙碌 (R/B#) : R/B# 係開汲極 (open drain) 腳位，且輸出信號係用來表示裝置的操作條件。R/B# 信號在寫入、抹除及讀取操作期間係處於忙碌狀態 (R/B#=L)，且在操作完成之後將返回就緒狀態 (R/B#=H)。

全域資料緩衝區 16 係雙向緩衝區，其在個別的輸入/輸出 (I/O) 腳位或埠上接收寫入資料及提供讀取資料。快閃記憶體裝置 10 係顯示具有八個此種埠 I/O0 至 I/O7，但在其他的資料寬度組態中可以有多於或小於八個。這些 I/O 埠亦被用來接收位址及命令資訊。

快閃記憶體裝置 10 之控制電路包括控制器 18、命令暫存器 20、位址暫存器 22 及狀態暫存器 24。控制器 18

控制在快閃記憶體裝置 10 中的其他電路的各種功能，其中此種功能包括例如讀取、寫入（program）及寫入驗證。儘管未示出，控制器 18 可包括命令解碼器，用於回應接收到的命令而執行功能。暫存器 22、24 儲存由快閃記憶體裝置 10 所接收或待提供給包括例如記憶體控制器（未示出）之外部主機系統（未示出）的資訊類型。所述該些暫存器並非意圖窮舉，而可包括其他暫存器，例如資料暫存器。

主要由控制器 18 所控制的電路為記憶體電路，其包括列及行預解碼器 26 及 28、列及行解碼器 30 及 32、感測放大器及頁緩衝區塊 34 及高電壓產生器 36。快閃記憶體裝置 10 之記憶體胞元陣列 38 包括連接至位元線的 NAND 胞元串（cell strings），其中一 NAND 胞元串的各個記憶體胞元係連接至字線。NAND 胞元串之進一步的細節於稍後的圖 3 中顯示。列預解碼器 26、列解碼器 30 及高電壓產生器 36 係於寫入操作中被控制以將所選擇的字線驅動至高電壓，有效用於將所連接之記憶體胞元的臨界電壓自預設的已抹除臨界電壓位移至所欲的電壓位準。應注意的是，在記憶體陣列 38 中可能使用高電壓，以藉由將記憶體胞元的臨界電壓位移至預設值而抹除該等記憶體胞元。高電壓及該等高電壓之施加時間的不同組合可被用來設定用於快閃記憶體胞元的特定臨界電壓。用於寫入特定臨界電壓的組合可被稱為寫入檔案（programming profile）。頁緩衝區 34 儲存將被寫入到連接至所選擇之

字線的該等胞元的一頁資料。通常，連接至位元線的記憶體胞元係依據該位元線所偏壓或被設定之邏輯位準，來防止被寫入或是被致能於透過所選擇的字線來寫入。儲存在頁緩衝區中的資料位元係被用來偏壓該位元線。記憶體胞元陣列 38 具有任意數量的庫 (bank)，其係針對特定快閃裝置所選擇的設計參數。

圖 2 顯示圖 1 之記憶體胞元陣列 38 的一個記憶庫 (bank) 40 的組織。記憶庫 40 係組織成 k 個區塊，而各個區塊具有 i 個頁。 k 及 i 均為整數值。各頁對應於耦合至一共同字線的一列記憶體胞元。以下為區塊之記憶體胞元的詳細說明。

各區塊包括 NAND 記憶體胞元串，具有多達 i 個快閃記憶體胞元 42 串聯排列並且彼此電耦合。因此，字線 WL_1 至 WL_i 係耦合至記憶體胞元串中之各個快閃記憶體胞元的閘極。耦合至信號 SSL (串選擇線 (string select line)) 之串選擇裝置 44 選擇性地將記憶體胞元串連接至位元線 46，其中耦合至信號 GSL (地選擇線 (ground select line)) 之地選擇裝置 48 選擇性地將記憶體胞元串連接至源極線，例如 VSS 。串選擇裝置 44 及地選擇裝置 48 係 N 通道電晶體。

有 j 個位元線 46 為記憶庫 40 之所有區塊所共有，且各位元線 46 在各個區塊 [1] 至 [k] 中係耦合至一個 NAND 記憶體胞元串。變數 j 為整數值。各個字線 (WL_1 至 WL_i)、 SSL 及 GSL 信號在區塊之各個 NAND 記憶體胞元

串中係耦合至相同之對應的電晶體裝置。如同熟習本技藝之人士應了解的是，沿著一個字線儲存在快閃記憶體胞元中的資料被稱為一頁資料。

在記憶庫 40 之外耦合至各位元線者為頁緩衝區 50，用於儲存待寫入至快閃記憶體胞元之一個頁中的一頁寫入資料。頁緩衝區 50 對應於圖 1 中所示之感測放大器及頁緩衝區塊 34。因此，頁緩衝區 50 亦包括感測電路，用於感測自快閃記憶體胞元之一頁所讀取的資料。在寫入操作期間，頁緩衝區執行寫入驗證操作，以確保資料已被正確地寫入進耦合至所選擇之字線的快閃記憶體胞元。一區塊內的寫入典型地開始自對應於 WL1 的頁，接著依次進行上至 WLi，以填滿目前之區塊。或者，寫入可開始自 WLi 並接著依次進行下至 WL1。然後寫入將繼續一新區塊之 WL1。

快閃記憶體 10 可被組態成以兩種不同方式之其中一種來儲存資料。資料可以每胞元單位元 (SBC) 儲存模式或每胞元多位元 (MBC) 儲存模式來儲存。在 SBC 儲存模式中，一個胞元中只儲存剛好一個位元的資訊，以表示兩種可能狀態之其中一種。在 MBC 儲存模式中，一個胞元中儲存至少兩個位元，以表示四種可能狀態之其中一種。

圖 3 顯示圖 2 之相同的兩個 NAND 胞元串，具有附加注釋以幫助解釋儲存於 SLC 組態之快閃記憶體裝置中的頁資料。連接至相同實體字線，即，例如 WL1，的各個記憶體胞元儲存一頁資料之一個位元的資料。因此如圖 3 中所

示，連接至實體字線 WL_1 的胞元儲存「Page 1」，而連接至最後實體字線 WL_i 的胞元則儲存「Page i」。

圖 4 顯示在 SBC 儲存模式中之已抹除的記憶體胞元及已寫入的記憶體胞元的臨界電壓 (V_t) 分佈。由於過程和電壓供應變化，已抹除及已寫入的臨界電壓係分佈於一電壓範圍中。如圖 3 中所示，已抹除的記憶體胞元具有在 $-3V$ 至 $-1V$ 之間的負臨界電壓，而已寫入的記憶體胞元具有在 $1V$ 及 $3V$ 之間的正臨界電壓。該等範圍取決於記憶體胞元之所需臨界電壓。該等臨界電壓範圍係可被用於特定快閃記憶體裝置的可能臨界電壓的例示，然而熟習本技藝之人士能理解，用於已抹除及已寫入之記憶體胞元的臨界電壓之選擇取決於快閃記憶體裝置的設計及製造過程。熟習本技藝之人士能理解的是，不同的快閃裝置具有不同的臨界電壓範圍以適應特定的設計或應用。

圖 5 顯示與圖 3 相同的電路，除了資料的二個位元係被儲存在每胞元兩位元 MLC 組態之快閃記憶體裝置的各記憶體胞元中。因此，各實體字線儲存兩頁資料。如圖 5 中所示，以 WL_1 定址之實體列儲存邏輯頁 1 及頁 2。最後字線 WL_i 儲存頁 $2i$ 及頁 $2i-1$ ，其中「 i 」為整數值。

圖 6 顯示可被儲存於各個記憶體胞元中之可能狀態的臨界電壓分佈圖，以及代表各狀態之對應的兩位元組合。

圖 7 顯示與圖 3 相同的電路，除了資料的三個位元係被儲存在每胞元三位元 MLC 組態之快閃記憶體裝置的各記憶體胞元中。因此，各實體字線儲存三頁資料。如圖 7

所示，以 WL1 定址之實體列儲存邏輯頁 1、頁 2 及頁 3。最後字線 WLi 儲存頁 3i、頁 3i-1 及頁 3i-2，其中「i」為整數值。應注意的是，頁 3i、頁 3i-1 及頁 3i-2 係一般數學表達式，用於分別表示針對各字線之上頁（upper page）、中間頁及下頁（lower page）的頁碼。

圖 8 顯示可被儲存於各個記憶體胞元中之可能狀態的臨界電壓分佈圖，該等可能狀態之各者表示一可能的三位元組合。

以 MBC 儲存模式（每胞元兩位元或更多）儲存資料之優點為，當使用相同胞元數時，儲存容量至少比 SBC 儲存模式增加一倍。典型地，快閃記憶體製造商在製造過程中應用遮罩選項以將快閃記憶體裝置 10 組態成執行 SBC 特定演算法或 MBC 特定演算法，因為在 SBC 及 MBC 讀取和寫入操作之間，快閃電路之控制方式不同。

眾所皆知的是，快閃記憶體裝置在它們不再能被使用來可靠地儲存資料前，具有有限的抹除 - 寫入週期（cycle）次數。例如，目前的 SBC 快閃記憶體的典型額定抹除 - 寫入週期次數為約 100,000 次。然而，目前的 MBC 快閃記憶體具有 10,000 次之較小的額定限制，此係由於該等胞元受到較高應力的事實。上述之抹除 - 寫入週期限制僅為例示，但可充分理解的是，MBC 快閃記憶體裝置較 SBC 組態之快閃記憶體裝置具有顯著較低的抹除 - 寫入週期次數。

儘管 MBC 快閃記憶體適用於多數的消費性應用，然

而對其他資料寫入及抹除係頻繁的，或是資料係關鍵任務（mission-critical）的應用來說，10,000 次的寫入-抹除限制可能是不足夠的。因此，此問題對於有更頻繁的寫入-抹除週期的商業應用，諸如 HDD 應用，來說，是非常重要的。因為 HDD 應用較多數的消費性應用需要較高的資料完整性，因此不適合使用 MBC 快閃記憶體，此係由於其相對短的 10,000 次生命週期。特殊的雙模式 SBC/MBC 快閃記憶體裝置已被提出，其中操作模式係被靜態設定或即時動態改變。此種雙模式裝置需要不同的命令集及/或邏輯電路。

最後，SBC 快閃記憶體裝置的成本目前超過較高密度 MBC 快閃記憶體裝置的成本，供應商認定要求高可靠性的消費者將支付更高的設備成本。特殊的雙模式 SBC/MBC 快閃記憶體裝置亦可能花費較 MBC 快閃記憶體裝置多的成本。

因此，想要提供一低成本快閃記憶體系統，其中可使用 MBC 快閃記憶體裝置來以 SBC 儲存模式儲存資料。

通常，至少某些範例實施例提供用於控制 MBC 組態之快閃記憶體裝置以 SBC 儲存模式或少於完全 MBC 儲存模式容量之部分 MBC 儲存模式來儲存資料的方法及系統。在完全 MBC 儲存模式中，針對記憶體胞元之各實體列，頁資料係自第一頁至第 N 頁循序地被寫入，其中 N 為一實體列可儲存之總頁數。記憶體胞元之每個實體列之多達 N 個虛擬頁位址伴隨著待寫入的各頁，用於指定在實

體列中頁的虛擬位置。針對 SBC 或部分 MBC 資料儲存，快閃記憶體控制器發出程式命令至 MBC 記憶體裝置，其各實體列使用少於最大 N 個虛擬頁位址。MBC 記憶體裝置循序地執行寫入操作直到實體列之最後接收的虛擬頁位址。

本發明所述之實施例可被用於圖 9 及圖 10 中所示之記憶體系統。

圖 9 顯示依據本發明之實施例的快閃記憶體系統。參照圖 9，快閃記憶體系統 100 係與主機系統 102 整合在一起。快閃記憶體系統 100 包括與主機系統 102 通訊之快閃記憶體控制器 104，以及複數個 MBC 快閃記憶體裝置 106-1-106-4。主機系統 102 包括一處理裝置，例如微控制器、微處理器或電腦系統（未示出）。快閃記憶體系統 100 被組態成包括一個通道 108，其中 MBC 快閃記憶體裝置 106-1-106-4 並聯耦合至通道 108。通道 108 包括一組公用匯流排（未示出），其包括耦合至所有記憶體裝置 106-1-106-4 的資料及控制線。儘管未示出，各個記憶體裝置係以由快閃記憶體控制器 104 所提供的各自的晶片選擇信號而被致能/失能。快閃記憶體控制器 104 係依據主機系統 102 的操作，負責將命令及資料透過通道 108 發出至所選定的記憶體裝置 106-1-106-4 之其中一者。從該所選定的記憶體裝置 106-1-106-4 之其中一者所讀取的資料係透過通道 108 傳送回快閃記憶體控制器 104，其反過來將所讀取之資料提供給主機系統 102。熟習本技藝之人士

應理解的是，記憶體系統 100 可具有更多或更少的耦合至通道 108 的記憶體裝置。

快閃記憶體系統 100 通常被稱為多點下傳 (multi-drop) 架構，其中 MBC 快閃記憶體裝置 106-1-106-4 係相對於通道 108 並聯耦合。在多點架構中，快閃記憶體控制器 104 可具有多個通道，其各有耦合的快閃記憶體裝置 106-1-106-4。各個 MBC 快閃記憶體裝置 106-1-106-4 可為 NAND 快閃記憶體裝置，其具有之前示於圖 2 之記憶庫記憶體組織。快閃記憶體裝置 106-1-106-4 可具有相同的容量或不同的容量。

圖 10 顯示依據本發明之另一實施例的快閃記憶體系統。參照圖 10，快閃記憶體系統 120 包括與主機系統 124 通訊之快閃記憶體控制器 122，及複數個串聯的快閃記憶體裝置。在特定範例中，四個 MBC 快閃記憶體裝置 126-1-126-4 係串聯耦合。四個快閃記憶體裝置 126-1-126-4 之各者具有輸入/輸出電路，用於促進記憶體裝置之間的操作。熟習本技藝之人士應理解的是，記憶體系統 120 可具有更多或更少的與快閃記憶體控制器 122 串聯耦合的記憶體裝置。此種快閃記憶體裝置之一範例係被描述於共同擁有之於 2005 年 12 月 30 日所申請的美國專利申請案序號第 11/324,023 號以及共同擁有之於 2006 年 7 月 31 日所申請的美國專利申請案第 11/496,278 號，該等專利申請案之內容係被併入此案供參考。

依據本發明之實施例，圖 9 及圖 10 之系統的 MBC 記

記憶體裝置具有內部控制器，其被組態以識別接收到的頁位址，並判斷需要哪一個特定的寫入演算法。例如，待寫入至實體列之對應第一頁的頁位址係以與待寫入至實體列之第二頁之演算法不同的演算法來寫入。記憶體控制器 104 及 122 係組態有位址連結架構，用於限制將頁資料寫入至記憶體胞元之實體列的可用虛擬位址空間。此位址連結架構被用來以 SBC 模式或部分 MBC 模式寫入資料。在部分 MBC 儲存模式中，記憶體胞元之一實體列中儲存多於一頁的資料，但少於可儲存於記憶體胞元之該實體列中的最大頁數。例如，若 MBC 記憶體裝置可儲存更多的三位元/胞元（或每實體列多於三頁的資料），則該記憶體控制器可被組態以具有第一位址連結架構用於以 SBC 儲存模式來寫入資料，以及第二位址連結架構用於以兩位元/胞元 MBC 儲存模式來寫入資料。

在該等實施例中，位址連結架構可被應用到記憶體陣列之任意細分（sub-division），其中一細分可包括記憶體區塊、記憶體區塊之子區塊或部分、或實體列。因此，可實現具有不同細分之不同位址連結架構的組合以改善系統靈活度。

圖 11 為顯示虛擬頁位址映射至 NAND 快閃記憶體陣列之實體列或字線之範例的表格，用於每胞元儲存資料之一位元的 SBC 儲存模式，每胞元儲存資料之兩位元的 MBC 儲存模式，及每胞元儲存資料之三位元的 MBC 儲存模式。

在目前所示之範例中，假設 NAND 胞元串包括 32 條字線（WL1-WL32），各被稱為實體列。表格左邊數來第二欄顯示針對每胞元一位元之資料儲存模式的虛擬位址映射。因此，在每胞元一位元的儲存模式中，各實體列儲存一頁資料（Page 1-Page 32）。顯示在各個編號頁旁的方括號中的是 8 位元虛擬頁位址，其中最低有效位元（LSB）位在最右邊的位元位置。在本範例中，各個虛擬頁位址的前七個位元係以「x」來顯示，而 LSB 則顯示為「0」或「1」。在此範例中假設該等頁係按順序從 WL1 至 WL32 被寫入，因此虛擬位址亦按順序排列。

在標示「2 位元/胞元」的欄中，各實體列中儲存兩頁資料。由於依序寫入，待寫入的第一頁被稱為下頁（LP），而待寫入的第二及最後一頁被稱為上頁（UP）。

圖 12A 顯示在下頁已被寫入之後，兩位元 MBC 記憶體之可能臨界電壓的範例臨界電壓分佈。圖 12B 顯示顯示在上頁已被寫入之後，可能臨界電壓之範例臨界電壓分佈，考慮到圖 12A 之先前已寫入之下頁資料。圖 12A 中的箭頭顯示在下頁寫入之後，已抹除的胞元狀態 0 可使其臨界值轉移至狀態 1。圖 12B 中的箭頭顯示在上頁寫入之後，對應狀態 0 及狀態 1 的臨界電壓可被轉移。

應注意的是，各實體列之下頁的 LSB 為「0」，而各實體列之上頁的 LSB 為「1」。在替代實施例中，下頁及上頁之 LSB 可不同於圖 11 之表格中所示。然而，各實體

列之下頁將具有相同的 LSB，而各實體列之上頁將具有相同的 LSB。

參照圖 11，在標示「3 位元/胞元」的欄中，各實體列儲存三頁資料。在每胞元 3 位元的 MBC 儲存模式中，首先寫入下頁，接著是中間頁（IP），最後是上頁。

圖 13A 顯示在下頁已寫入之後，三位元 MBC 記憶體之可能臨界電壓的範例臨界電壓分佈。圖 13B 顯示在中間頁已寫入之後，可能臨界電壓之範例臨界電壓分佈，考慮到圖 13A 之先前已寫入的下頁資料。圖 13C 顯示在上頁已寫入之後，可能臨界電壓之範例臨界電壓分佈，考慮到圖 13B 之先前已寫入的下頁資料。

在每胞元儲存多於三位元的 MBC 儲存模式中，在下頁和上頁之間可以有至少兩個中間頁。應注意的是，各實體列之下頁的最後兩個 LSB 為「00」，各實體列之中間頁的最後兩個 LSB 為「01」，而各實體列之上頁的最後兩個 LSB 為「10」。在替代實施例中，下頁、中間頁及上頁之最後兩個 LSB 可不同於圖 11 之表格中所示。然而，各實體列之下頁將具有相同的最後兩個 LSB，各實體列之中間頁將具有相同的最後兩個 LSB，而各實體列之上頁將具有相同的最後兩個 LSB。

依據實施例，每實體列儲存多達 N 頁且具有如圖 11 中所示之虛擬頁位址架構的 MBC 記憶體裝置，可被控制以每實體列少於 N 頁的儲存模式將資料寫進記憶體陣列的細分。此係以一記憶體控制器來完成，該記憶體控制器被

組態以發出程式命令，該等程式命令僅使用可用虛擬頁位址之子集合，其反之將被用於定址每實體列之全部 N 頁。更具體的，虛擬頁位址之子集合被限制為每實體列之可用虛擬頁位址的最低連續集合。該子集合之虛擬頁位址的數目決定用於 MBC 記憶體裝置的儲存模式。此被稱為位址連結架構，用於將虛擬頁位址限制為那些只被用於特定儲存模式者。

藉由範例參照圖 11 之表格，三位元 MBC 記憶體裝置可每實體列儲存多達 $N=3$ 頁資料，以 $N=3$ 個虛擬頁位址來定址。例如為了以 SBC 儲存模式將資料儲存至記憶體區塊，記憶體控制器針對各頁資料發出程式命令，其中所提供之對應的虛擬頁位址係針對各實體列之下頁。如圖 13A 中所示，在各個下頁被寫入至對應的實體列之後，所得到的可能臨界電壓對應於狀態 1 或狀態 2。在各實體列中儲存兩頁的部分 MBC 儲存模式中，針對各實體列所發出的程式命令包括下頁及中間頁位址。在中間頁資料被寫入之後，各實體列將具有圖 13B 中所示之四個可能狀態之其中之一者。

圖 14 顯示依據本發明之一實施例，用於兩位元 MBC 記憶體裝置之 SBC 寫入操作的範例。參照圖 14，兩位元 MBC 記憶體裝置 200 被控制以 SBC 儲存模式將資料儲存至記憶體區塊。記憶體裝置 200 包括具有形成記憶體區塊 204 之 NAND 胞元串的記憶體陣列 202，且可具有圖 1 中所示之快閃記憶體裝置方塊圖。在圖 14 中所示之範例

中，僅顯示記憶體區塊 204 的一個 NAND 胞元串。並且，圖 11 之表格中所示之虛擬頁定址架構被用於兩位元 MBC 記憶體裝置 200。發出至記憶體裝置 200 的程式命令封包包括初始化寫入操作（OP）碼欄位（PGM）206、區塊位址欄位（BA）208、列位址欄位（RA）210、行位址欄位（CA）212、資料欄位（DATA）214 及確認寫入 OP 碼欄位（CFRM）216。在本範例中，OP 碼欄位 206 包括預定的二進位序列，其指示記憶體裝置 200 遵循關於寫入操作之資訊。區塊位址欄位 208 包含區塊位址，其被用來在記憶體陣列 202 內選擇特定的記憶體區塊。列位址欄位 210 包含被選定之實體列的虛擬頁位址，其中非 LSB 的較高階位元被用來定址實體字線。行位址欄位 212 包含用於資料儲存的起始行位址。資料欄位 214 包含待寫入之頁資料。確認寫入 OP 碼欄位 216 包括預定的二進位序列，其指示記憶體裝置 200，寫入操作可繼續運行。

目前顯示的程式命令封包可被提供作為串列位元流，或透過輸入埠平行。針對不同的記憶體系統，程式命令封包可能不同，而因此可能省略 OP 碼欄位 206 及/或 216，或可能包括額外的協定資訊。程式命令封包之順序及格式可被改變。程式命令封包需要用於寫入頁資料的位址資訊。

在本 SBC 儲存模式範例中，列位址欄位 210 被限制為包括僅對應於各實體列之下頁的虛擬頁位址。在圖 14 中，這些虛擬頁位址被方塊包圍以顯示該等虛擬頁位址係

被連結至該些對應於記憶體區塊 204 之下頁者。因此，爲了以 SBC 儲存模式寫入頁資料至記憶體區塊 204 之所有實體列，連續的程式命令封包被提供給記憶體裝置 200，其中各程式命令封包包括待寫入之頁資料及下頁虛擬頁位址。雖然記憶體裝置 200 被組態用於每實體列寫入多達兩頁資料，因而導致如圖 12B 中所示之四種可能狀態的其中一種，但僅寫入下頁導致圖 12A 中所示之兩個可能臨界電壓分佈。因此，在兩位元 MBC 記憶體裝置中可達成 SBC 儲存模式寫入。

因此，由於已達到其預定之寫入/抹除週期次數而再也無法可靠地以完全 MBC 儲存模式來儲存資料的記憶體陣列 202 之細分，可被降級來以 SBC 儲存模式儲存資料。若細分之主要目的爲最大化資料儲存容量，則該細分從完全 MBC 儲存轉變至 SBC 儲存被稱爲「降級」。替代地，若該細分之主要目的爲可靠地儲存資料，則此種轉變可被稱爲「升級」。

相同的位址連結原則可被應用至三位元 MBC 記憶體裝置，其中一細分被用來以 SBC 儲存模式儲存資料。然而，三位元或更多位元之 MBC 記憶體裝置具有額外的優勢，即當特定儲存模式之寫入/抹除週期次數已達到時，細分可自完全 MBC 儲存模式漸進地轉變至下一個較低的部分 MBC 儲存模式。

圖 15 顯示依據本發明之一實施例，用於三位元 MBC 記憶體裝置之兩位元 MBC 寫入操作範例。參照圖 15，三

位元 MBC 記憶體裝置 300 被組態以兩位元 MBC 儲存模式將資料儲存至記憶體區塊。記憶體裝置 300 包括具有形成記憶體區塊 304 之 NAND 胞元串的記憶體陣列 302。僅顯示記憶體區塊 304 的一個 NAND 胞元串。圖 11 之表格中所示之虛擬頁定址架構被用於該三位元 MBC 記憶體裝置。在此範例中，三個連續的程式命令封包 306、308 及 310 被提供至記憶體裝置 300。程式命令封包 306、308 及 310 之各者可具有與先前示於圖 14 中之程式命令封包相同的格式。程式命令封包 306 包含頁 1 之資料以及對應的下頁虛擬位址。程式命令封包 308 包含頁 2 之資料以及對應的中間頁虛擬位址。程式命令封包 310 包含頁 4 之資料以及對應的下頁虛擬位址。在三位元 MBC 記憶體裝置的例子中，控制器，例如圖 1 之記憶體裝置 10 之控制器 18，將檢查虛擬頁位址之最後兩個有效位元以判斷使用哪一個寫入演算法。這是由於每實體列有三個頁位址，且僅使用 LSB 不足以判斷使用哪一個寫入演算法的事實。

因此，當記憶體裝置 300 接收到程式命令封包 306 時，執行一寫入操作以將頁 1 寫入至連接到 WL1 的記憶體胞元。針對這些記憶體胞元所得到的可能臨界電壓分佈係顯示於圖 12A 或圖 13A 中。在記憶體裝置 300 接收程式命令封包 308 之後，執行一寫入操作以將頁 2 寫入至連接到 WL1 的記憶體胞元。因為第二頁資料將被寫入至連接到 WL1 的記憶體胞元，因此使用一寫入演算法，其不同於用來寫入頁 1 的寫入演算法。針對這些記憶體胞元所

得到的可能臨界電壓分佈係顯示於圖 12B 或圖 13B 中。針對連接至 WL1 之記憶體胞元的兩位元 MBC 寫入係現在被完成。第三程式命令封包 310 係由記憶體裝置 300 所接收，用來在新的下頁，頁 4，寫入至下一個字線 WL2。一旦被寫入，連接至 WL1 的記憶體胞元將具有圖 12A 或圖 13A 中所示之可能臨界電壓分佈。儘管未示出，額外的程式命令封包係由記憶體裝置 300 所接收，用來將資料寫入至記憶體區塊 304 的剩餘實體列。使用三位元或更多位元 MBC 記憶體裝置的優點是，一細分可以兩位元 MBC 儲存模式而被使用，而接著稍後以 SBC 儲存模式被使用。

圖 16 顯示 N 位元 MBC 快閃記憶體控制器之一範例。參照圖 16，N 位元 MBC 快閃記憶體控制器 400 係組態有至少一個位址連結架構，用於在少於 N 位元儲存模式中寫入資料。記憶體控制器 400 通常包括 CPU 及時脈控制區塊 402、快閃控制區塊 404 及映射表 406。儘管未示出，CPU 及時脈控制區塊 402 包括用於透過公用匯流排與其他子系統通訊的中央處理單元、用於將需要的時脈信號提供給記憶體控制器 400 之其他電路的時脈產生器、及其他電路，其可能係需要的以用來致能裝置的正確操作。快閃控制區塊 404 包括檔案及記憶體管理子區塊、ECC（錯誤校正碼）子區塊及實體快閃介面子區塊。快閃記憶體裝置係經由實體快閃介面子區塊被存取。所存取之來自快閃記憶體裝置的資料係由 ECC 子區塊來檢查及校正。檔案及記憶體管理子區塊提供邏輯至實體位址的轉譯，並執行平均

磨損 (wear-leveling) 演算法。

通常快閃控制區塊 404 精確地追蹤及更新記憶體裝置之性質 (資訊) ，例如針對在所連接之系統中的各快閃記憶體裝置之各頁或區塊的抹除週期、有效 / 空 (valid/empty) 等等。此資訊被儲存在本地記憶體並被架構為映射表。一範例映射表 408 係顯示於圖 16 中。映射表 408 儲存各記憶體裝置之資訊，其被稱為元資料，其可包括指定各區塊之資料儲存模式的 SBC/MBC 狀態位元，及各區塊之寫入 / 抹除週期。SBC/MBC 狀態位元為「0」可表示細分以 MBC 儲存模式來儲存資料，而「1」可表示細分以 SBC 儲存模式來儲存資料。應了解的是，針對每胞元儲存多於三個位元的 MBC 記憶體裝置，至少使用兩個狀態位元來表示各個可能的資料儲存模式。應注意的是，快閃記憶體控制器亦保持追蹤各記憶體裝置之虛擬頁位址範圍，並且該快閃記憶體控制器係針對各位址連結架構以一演算法來編程，以使用僅用於特定儲存模式之被允許的虛擬頁位址。

快閃控制區塊 404 在記憶體系統的使用生命週期期間，持續地更新及監視映射表 408。應注意的是，映射表在記憶體系統電力開啓時可被填入資訊，而諸如耐用性 (endurance) 及 SBC/MBC 狀態的資訊可被儲存在記憶體裝置中之與各實體列及 / 或記憶體區塊有關的額外資料欄位中。若頁或區塊達到寫入 / 抹除週期之最大次數 (在 MLC 快閃記憶體中為 10K 週期) ，則快閃控制區塊 404

可決定將儲存模式改變為 SBC 儲存模式，藉此延伸寫入/抹除週期至 100K。

當記憶體控制器 400 接收到一主機請求以寫入資料時，快閃控制區塊 404 查找映射表 406 以判斷資料應該被寫入在哪裡。若所選擇的記憶體區塊被組態用於 SBC 儲存模式，則應用僅使用各實體列之下頁虛擬位址的預編程的位址連結架構。假設有多个頁待寫入，則命令封包被預備且由記憶體控制器 400 發出至所選擇的 MBC 記憶體裝置，各具有一列位址欄位僅包含下頁虛擬位址。

圖 17 為依據本發明之實例，操作記憶體控制器以發出在 SBC、完全 MBC 或部分 MBC 儲存模式之命令之方法的流程圖，其目的在於控制 MBC 記憶體裝置來儲存資料。

參照圖 16 及圖 17，該方法藉由電力開啓記憶體系統而開始（步驟 500）。該記憶體系統包括被組態相似於記憶體控制器 400 之一記憶體控制器，及至少一個 N 位元 MBC 記憶體裝置。此記憶體系統可具有圖 9 或圖 10 中所示之組態。作為電力開啓程序的一部分，記憶體控制器執行至少一個 N 位元 MBC 記憶體裝置的掃描以獲得裝置元資料，例如其細分的耐用性以及 SBC/MBC 狀態資訊（步驟 502）。收集此資訊並儲存在記憶體控制器 400 之映射表中。一旦完成了電力開啓程序，記憶體控制器 400 可接收來自主機裝置的命令。主機程式請求係由記憶體控制器 400 所接收（步驟 504）。此請求可包括待寫入之資料的

某些優先權等級。例如，低優先權資料可為非關鍵的媒體資料，而高優先權資料可為標示為需求高可靠度儲存的資料。可執行記憶體控制器 400 的其他演算法來決定將使用的適當的平均磨損技術，其係基於例如，諸如待寫入之資料大小、在記憶體裝置中之自由空間的可用性，以及前述之優先權等級的係數。

記憶體控制器存取其之映射表來確認資料應被儲存於何處，其係基於由記憶體控制器 400 所執行之前述演算法（步驟 506）。接著，記憶體控制器判斷針對主機程式請求是否需要 SLC 儲存（步驟 508）。若需要 SLC 儲存，則記憶體控制器 400 在步驟 510 發出命令，以使用其中針對各實體列僅使用下頁虛擬位址的 SBC 位址連結架構，在所選擇的細分中儲存資料。否則，該方法進行至步驟 512，其中記憶體控制器判斷是否需要完全 MLC 寫入。若需要完全 MLC 寫入，則記憶體控制器發出具有針對各實體列之完整虛擬頁位址範圍的命令（步驟 514）。否則，發出具有其中使用每一實體列之虛擬頁位址之完整範圍的子集合來寫入資料的 MLC 位址連結架構的命令（步驟 516）。

依據圖 17 之方法，由記憶體控制器所發出的命令不需要發出用於以其他儲存模式來組態所選擇之 MBC 記憶體裝置之操作的特殊命令。因為即時發出該等命令，此保證了記憶體系統之更高的效率，因為沒有時脈週期被浪費於組態 MBC 記憶體裝置。此外，不需要重設記憶體裝置來將其設定至需要的儲存模式。

圖 18 顯示自記憶體控制器接收命令之 N 位元 MBC 記憶體裝置的操作，該記憶體控制器以圖 17 中所概述的方法操作。參照圖 18，該方法起始於由記憶體控制器 400 所發出之寫入命令係由 MBC 記憶體裝置接收（步驟 600）。共同地，這些命令係用於寫入由主機所請求的一組資料，其可跨越多個頁。應注意的是，記憶體裝置可接收交錯命令，用於將不同組的資料寫入至記憶體裝置之不同的細分。換言之，可接收一個命令以開始寫入資料至一個細分，然後可接收隨後接收的命令以開始寫入資料至其他的細分。接著可接收第三個命令以繼續寫入更多的資料至第一個細分。接著，MBC 記憶體裝置至少檢查與資料之各頁相關聯的虛擬頁位址之 LSB（步驟 602）。若舉例而言，該 MBC 記憶體裝置係被組態用於每胞元多達三個位元的資料儲存，則檢查最後兩個 LSB。若舉例而言，該 MBC 記憶體裝置係被組態用於每胞元多達兩個位元的資料儲存，則檢查最後一個 LSB。不管該記憶體裝置被組態以每胞元最大位元數來儲存，將有識別實體列之各虛擬頁所需要之虛擬頁位址 LSB 的最小數目。這些為在步驟 602 待檢查的 LSB。MBC 記憶體裝置之內部控制器，亦稱為命令解碼器，接著在步驟 604 回應該等 LSB 而執行適當的寫入程序或演算法。更具體地，該內部控制器執行部分 MLC 寫入演算法，其包括針對少於 MBC 記憶體裝置之每胞元最大位元數的任何寫入演算法。此內部控制器在圖 1 之快閃記憶體裝置方塊中以範例顯示為控制器 18。

例如，MBC 記憶體裝置之內部控制器可執行 SBC 寫入演算法，若虛擬頁位址之 LSB 為「0」。若無其他具有「1」之虛擬頁位址 LSB 的程式命令被接收，則該頁已在 SBC 儲存模式中被寫入至實體列。針對該實體列之胞元所得到的可能臨界電壓可示例性的顯示為如圖 12A 或 13A 中所示。在另一範例中，一對程式命令被接收，其中第一個包括「0」之虛擬頁位址 LSB 而第二個包括「1」之虛擬頁位址 LSB。在此情況中，第一頁資料係以 SBC 寫入演算法被寫入。相同實體列具有「1」之 LSB 的第二頁資料則依據 2 位元 MBC 寫入演算法被寫入，其係由記憶體裝置之內部控制器所執行。針對實體列之胞元所得到的可能臨界電壓可顯示為如圖 12B 或 13B 中所示。

圖 19 顯示依據一實施例，記憶體系統之詳細的範例操作。起始於步驟 700，假設 MBC 記憶體裝置使其所有的細分，例如記憶體區塊，被組態為用於完全 N 位元 MBC 儲存，其中 N 為每胞元可儲存之最大位元數。在本範例中，假設 $N=2$ 。因此，記憶體控制器之映射表可具有設定以表示完全 MLC 資料儲存模式的各細分之 SLC/MLC 狀態位元。在步驟 702 由記憶體控制器接收一主機請求，且記憶體控制器在步驟 704 判斷該請求是否為寫入請求或抹除請求之一。若該主機請求均不為寫入請求或抹除請求，則在步驟 706 執行該請求，且該系統等待其他的主機請求。反之，該方法進行至步驟 708，其中記憶體控制器進一步判斷資料是否應以 MBC 模式來寫入。若資料待以 MBC 儲

存模式來寫入，則在步驟 710 檢查所選擇之記憶體區塊的寫入/抹除週期數。在步驟 712，執行一判斷，判斷所選擇之記憶體區塊的最大寫入/抹除週期數是否已達到。若尚未達到，則在步驟 714 藉由發出所請求之程式命令至記憶體裝置來執行 MLC 寫入操作。

另一方面，若所選擇之記憶體區塊的最大寫入/抹除週期數已達到，則記憶體控制器接著執行區塊生命週期延長演算法。此演算法開始於步驟 716，其中新資料被寫入至可用的 MLC 記憶體區塊或 SLC 組態的記憶體區塊。在原本所選擇之記憶體區塊中所存在的任何資料稍後將於背景操作期間被複製到可用的 MLC 記憶體區塊或 SLC 組態的記憶體區塊，其可為與新資料最近被寫入至的記憶體區塊相同的記憶體區塊。此背景操作可由記憶體控制器排程。

在步驟 718，所選擇之區塊被轉換為使用作為 SLC 記憶體區塊，其係藉由更新在記憶體陣列中其對應的 SLC/MLC 標記位元。記憶體控制器之映射表在步驟 720 被更新，以反映所選擇之記憶體區塊之儲存模式的此改變。此更新可進一步包括將已轉換之 SLC 記憶體區塊的寫入/抹除週期數重設為適當的 SLC 寫入/抹除限制。例如，此限制可在 10K 至 100K 週期之間。

返回在步驟 708 的決定，若寫入請求係用於 SLC 儲存，則在步驟 722 檢查所選擇之 SLC 記憶體區塊之寫入/抹除週期數，以判斷是否已達到最大週期數。若在步驟

724，所選擇之 SLC 記憶體區塊之最大週期數尚未達到，則在步驟 706 藉由發出所請求的程式命令至記憶體裝置來執行 SLC 寫入操作。如先前所討論，SLC 位址連結架構係由記憶體控制器所使用，用來發出具有虛擬頁位址之程式命令，該等虛擬頁位址被限制在各實體列之下頁的虛擬頁位址。反之，SLC 記憶體區塊無法可靠地儲存 SLC 資料，且該方法進行至步驟 726，其中針對其他可用的 SLC 記憶體區塊執行 SLC 寫入操作，且在原本所選擇之 SLC 記憶體區塊中所存在的任何資料將被複製到相同可用的 SLC 記憶體區塊或其他可用的 SLC 記憶體區塊。在步驟 728 將原本所選擇之 SLC 記憶體區塊標記為在記憶體裝置中無效，且在步驟 720 相應地更新在記憶體控制器中的映射表。標記記憶體區塊為無效具有使記憶體區塊從未來使用中退出的效果。

目前所示之實施例的優點為，可執行少於記憶體裝置之完全 MBC 儲存模式之操作的任何儲存模式，而不需要設定任何暫存器、重開啓記憶體裝置或至其正常操作的任何其他中斷。

在前述所有的實施例中，由快閃記憶體控制器所執行之選擇性的 MBC 或 SBC 過程對於使用者而言係透明地完成。不需要來自使用者請求的額外的指令、或指令的修正，因為所有的 SBC/MBC 儲存模式操作之判斷係由快閃記憶體控制器來完成。因此，有實行本發明所述之具有主機系統之快閃記憶體系統所需之最小的負擔（overhead）。

在前面的描述中，爲了說明的目的，提出眾多細節以提供對該等實施例之深入的理解。然而，對於熟習本技藝之人士而言，明顯可知這些具體細節並非實施該等實施例所必須。在其他情況下，爲了不模糊該等實施例之態樣，習知的電子結構及電路係以方塊圖形式顯示。例如，關於本文所述之該等實施例係被實施爲軟體常用程式、硬體電路、韌體或其之組合，並未提供具體的細節。

上述實施例之目的僅爲範例。熟習本技藝之人士可在不背離僅由隨附之申請專利範圍所定義之範疇下，完成特定實施例之改變、修改及變化。

【圖式簡單說明】

實施例將參照隨附之圖示僅透過範例的方式說明，其中：

圖 1 爲適用本發明之快閃記憶體裝置的方塊圖；

圖 2 爲顯示圖 1 之快閃記憶體裝置之一個記憶庫的組織的示意圖；

圖 3 爲顯示將頁資料每胞元單位元（SBC）映射至快閃記憶體胞元之列的電路示意圖；

圖 4 爲 SBC 資料儲存之臨界電壓分佈的圖表；

圖 5 爲顯示將兩頁資料每胞元多位元（MBC）映射至快閃記憶體胞元之列的電路示意圖；

圖 6 爲二位元 MBC 資料儲存之臨界電壓分佈的圖表；

圖 7 爲顯示將三頁資料 MBC 映射至快閃記憶體胞元

之列的電路示意圖；

圖 8 為三位元 MBC 資料儲存之臨界電壓分佈的圖表；

圖 9 為依據本發明之一實施例的快閃記憶體系統的方塊圖；

圖 10 為依據本發明之另一實施例的快閃記憶體系統的方塊圖；

圖 11 為顯示虛擬頁位址映射至實體列之範例的表格；

圖 12A 及 12B 為二位元 MBC 寫入序列之臨界電壓分佈的圖表；

圖 13A、13B 及 13C 為三位元 MBC 寫入序列之臨界電壓分佈的圖表；

圖 14 為顯示依據本發明之一實施例，二位元 MBC 記憶體裝置之 SBC 寫入操作之範例的圖示；

圖 15 為顯示依據本發明之一實施例，三位元 MBC 記憶體裝置之二位元 MBC 寫入操作之範例的圖示；

圖 16 為顯示依據本發明之一實施例，具有一範例映射表儲存於記憶體控制器中之 N 位元 MBC 快閃記憶體控制器之範例的圖示；

圖 17 為依據本發明之一實施例，操作記憶體控制器以發出寫入命令給 MBC 記憶體裝置之方法的流程圖；

圖 18 為依據本發明之一實施例，回應自記憶體控制器接收到的寫入命令而操作 MBC 記憶體裝置之方法的流

程圖；以及

圖 19 為顯示依據本發明之一實施例，記憶體系統之詳細範例操作方法的流程圖。

【主要元件符號說明】

- 10：快閃記憶體裝置
- 12：就緒/忙碌信號緩衝區
- 14：控制信號緩衝區
- 16：全域資料緩衝區
- 18：控制器
- 20：命令暫存器
- 22：位址暫存器
- 24：狀態暫存器
- 26：列預解碼器
- 28：行預解碼器
- 30：列解碼器
- 32：行解碼器
- 34：感測放大器及頁緩衝區塊
- 36：高電壓產生器
- 38：記憶體陣列
- 40：記憶庫
- 42：快閃記憶體胞元
- 44：串選擇裝置
- 46：位元線

- 48 : 地 選 擇 裝 置
- 50 : 頁 緩 衝 區
- 100 : 快 閃 記 憶 體 系 統
- 102 : 主 機 系 統
- 104 : 快 閃 記 憶 體 控 制 器
- 106-1 : M B C 快 閃 記 憶 體 裝 置
- 106-2 : M B C 快 閃 記 憶 體 裝 置
- 106-3 : M B C 快 閃 記 憶 體 裝 置
- 106-4 : M B C 快 閃 記 憶 體 裝 置
- 108 : 通 道
- 120 : 快 閃 記 憶 體 系 統
- 122 : 快 閃 記 憶 體 控 制 器
- 124 : 主 機 系 統
- 126-1 : M B C 快 閃 記 憶 體 裝 置
- 126-2 : M B C 快 閃 記 憶 體 裝 置
- 126-3 : M B C 快 閃 記 憶 體 裝 置
- 126-4 : M B C 快 閃 記 憶 體 裝 置
- 200 : 兩 位 元 M B C 記 憶 體 裝 置
- 202 : 記 憶 體 陣 列
- 204 : 記 憶 體 區 塊
- 206 : 初 始 化 寫 入 操 作 (O P) 碼 欄 位 (P G M)
- 208 : 區 塊 位 址 欄 位 (B A)
- 210 : 列 位 址 欄 位 (R A)
- 212 : 行 位 址 欄 位 (C A)

- 214 : 資料欄位 (DATA)
- 216 : 確認寫入 OP 碼欄位 (CFRM)
- 300 : 三位元 MBC 記憶體裝置
- 302 : 記憶體陣列
- 304 : 記憶體區塊
- 306 : 程式命令封包
- 308 : 程式命令封包
- 310 : 程式命令封包
- 400 : N 位元 MBC 快閃記憶體控制器
- 402 : CPU 及時脈控制區塊
- 404 : 快閃控制區塊
- 406 : 映射表
- 408 : 映射表

七、申請專利範圍：

1. 一種用於寫入 (programming) 每胞元多位元 (MBC) 快閃記憶體裝置之方法，該 MBC 快閃記憶體裝置被組態以每實體列儲存達到 N 頁資料，N 為大於一的整數，該方法包含：

發出 (issuing) 一組程式命令，用於寫入多頁資料至具有該快閃記憶體裝置之至少一個實體列的細分 (subdivision) ，

該組程式命令被限制以定址邏輯頁位址之子集合，該等邏輯頁位址係選自對應該至少一個實體列之各者的所有可能的邏輯頁位址；以及

回應該等程式命令中之該邏輯頁位址之子集合，寫入少於 N 頁至該快閃記憶體裝置之該至少一個實體列之各者。

2. 如申請專利範圍第 1 項之方法，更包含：

在發出該組程式命令之前，存取一映射表，該映射表包含用於該快閃記憶體裝置之各個細分的儲存模式資訊。

3. 如申請專利範圍第 2 項之方法，其中該存取該映射表包括：

選擇具有每實體列儲存少於 N 頁資料之部分 (partial) MBC 儲存模式的細分。

4. 如申請專利範圍第 3 項之方法，更包含：

選擇對應該部分 MBC 儲存模式之該邏輯頁位址的子集合。

5.如申請專利範圍第 4 項之方法，其中對應該至少一個實體列之各者的所有可能的邏輯頁位址包括以下頁（lower page）位址起始並以上頁（upper page）位址結束的連續的頁位址。

6.如申請專利範圍第 5 項之方法，其中該邏輯頁位址之子集合包括該至少一個實體列之各者的該下頁位址，直到在該下頁位址及該上頁位址之間的一中間頁位址。

7.如申請專利範圍第 5 項之方法，其中該邏輯頁位址之子集合僅包括該至少一個實體列之各者的下頁位址。

8.如申請專利範圍第 5 項之方法，其中該發出包括迭代地提供程式命令封包，其各包含該多頁資料之其中一頁以及該邏輯頁位址之子集合之其中之一。

9.如申請專利範圍第 8 項之方法，其中該發出包括：

提供 M 個程式命令封包，用於寫入該多頁資料之其中 M 頁至該快閃記憶體裝置的一個實體列，其中 M 為少於 N 的整數值。

10.如申請專利範圍第 8 項之方法，其中該發出包括：

迭代地提供一個程式命令封包，用於寫入該多頁資料之其中一頁至該快閃記憶體裝置的一個實體列。

11.如申請專利範圍第 1 項之方法，更包含：

在發出該組程式命令之前，接收一主機請求而以部分 MBC 儲存模式來寫入該多頁資料。

12.如申請專利範圍第 1 項之方法，更包含：

在發出該組程式命令之前，接收一主機請求而以完全 (full) MBC 儲存模式來寫入該多頁資料。

13.如申請專利範圍第 12 項之方法，包括判斷用於該細分之最大 MBC 寫入/抹除週期數已達到。

14.如申請專利範圍第 13 項之方法，更包含：

選擇被組態用於以該完全 MBC 儲存模式來寫入該多頁資料的其他細分，以及設定該細分為部分 MBC 儲存模式。

15.如申請專利範圍第 14 項之方法，其中該完全 MBC 儲存模式包括每胞元兩位元儲存模式，而該部分 MBC 儲存模式包括每胞元一位元儲存模式。

16.一種系統，包含：

記憶體控制器，其被組態以發出程式命令，該等程式命令被限制以定址選自對應記憶體裝置之各實體列的所有可能的邏輯頁位址的邏輯頁位址之子集合，該記憶體裝置包含：

每胞元多位元 (MBC) 記憶體裝置，其被組態以

每實體列儲存最大 N 頁， N 為大於一的整數，以及

回應接收自該記憶體控制器之該等程式命令中之該邏輯頁位址之子集合，每實體列寫入少於 N 頁。

17.如申請專利範圍第 16 項之系統，其中該記憶體控制器包括：

映射表，用於儲存對應該記憶體裝置之細分的元資

料。

18.如申請專利範圍第 17 項之系統，其中該映射表被組態以包括用於該等細分之各者的儲存模式資訊。

19.如申請專利範圍第 18 項之系統，其中該映射表被組態以包括與用於該等細分之各者的儲存模式相關聯的位址連結資訊。

20.如申請專利範圍第 19 項之系統，其中該記憶體控制器包括：

控制電路，用於存取該映射表以及回應該映射表之該元資料而提供該等程式命令。

21.如申請專利範圍第 20 項之系統，其中該等程式命令之各者包括：

頁資料、用於選擇該記憶體裝置之細分以及在該細分內之實體列的位址資訊，以及

待寫入於該實體列中之該頁資料的邏輯頁位址。

22.如申請專利範圍第 21 項之系統，其中：

該記憶體裝置被組態以每實體列儲存最大 $N=2$ 頁，以及

每實體列之兩頁的各者係可以上頁位址及下頁位址來定址。

23.如申請專利範圍第 22 項之系統，其中：

該上頁位址具有第一最低有效位元 (least significant bit)，及

該下頁位址具有與該第一最低有效位元不同的第二最

低有效位元。

24.如申請專利範圍第 17 項之系統，其中該記憶體裝置之該等細分包括記憶體區塊。

25.如申請專利範圍第 17 項之系統，其中該記憶體裝置之該等細分包括記憶體區塊之子區塊。

26.如申請專利範圍第 17 項之系統，其中該記憶體裝置之該等細分包括記憶體區塊之實體列。

27.一種用於寫入每胞元多位元 (MBC) 快閃記憶體裝置之方法，該 MBC 快閃記憶體裝置被組態以每胞元儲存達到 N 位元，其中 N 為大於一的整數，該方法包含：

接收一主機請求以寫入資料頁；

判斷該等資料頁係待以該快閃記憶體裝置之各實體列中儲存少於 N 個虛擬可定址資料頁的部分 MBC 儲存模式來寫入；

存取包含用於該快閃記憶體裝置之元資料的映射表，以選擇以該部分 MBC 儲存模式組態的該 MBC 快閃記憶體裝置的細分；以及

發出至少一個程式命令，用於使用虛擬頁位址來寫入該等資料頁至該細分，該等虛擬頁位址被限制為用於寫入頁至各實體列之少於 N 個可能的虛擬頁位址的子集合。

28.如申請專利範圍第 27 項之方法，其中：

N=2 且可能的虛擬頁位址包括下頁位址及上頁位址，以及

該發出包括迭代地發出程式命令，其各包括資料頁及

下頁位址。

29.如申請專利範圍第 27 項之方法，其中：

$N > 2$ 且可能的虛擬頁位址包括下頁位址、上頁位址以及在該下頁位址與該上頁位址之間的至少一個中間頁位址，以及

該發出包括迭代地發出程式命令，其各包括資料頁以及該下頁位址及該至少一個中間頁位址的其中一者。



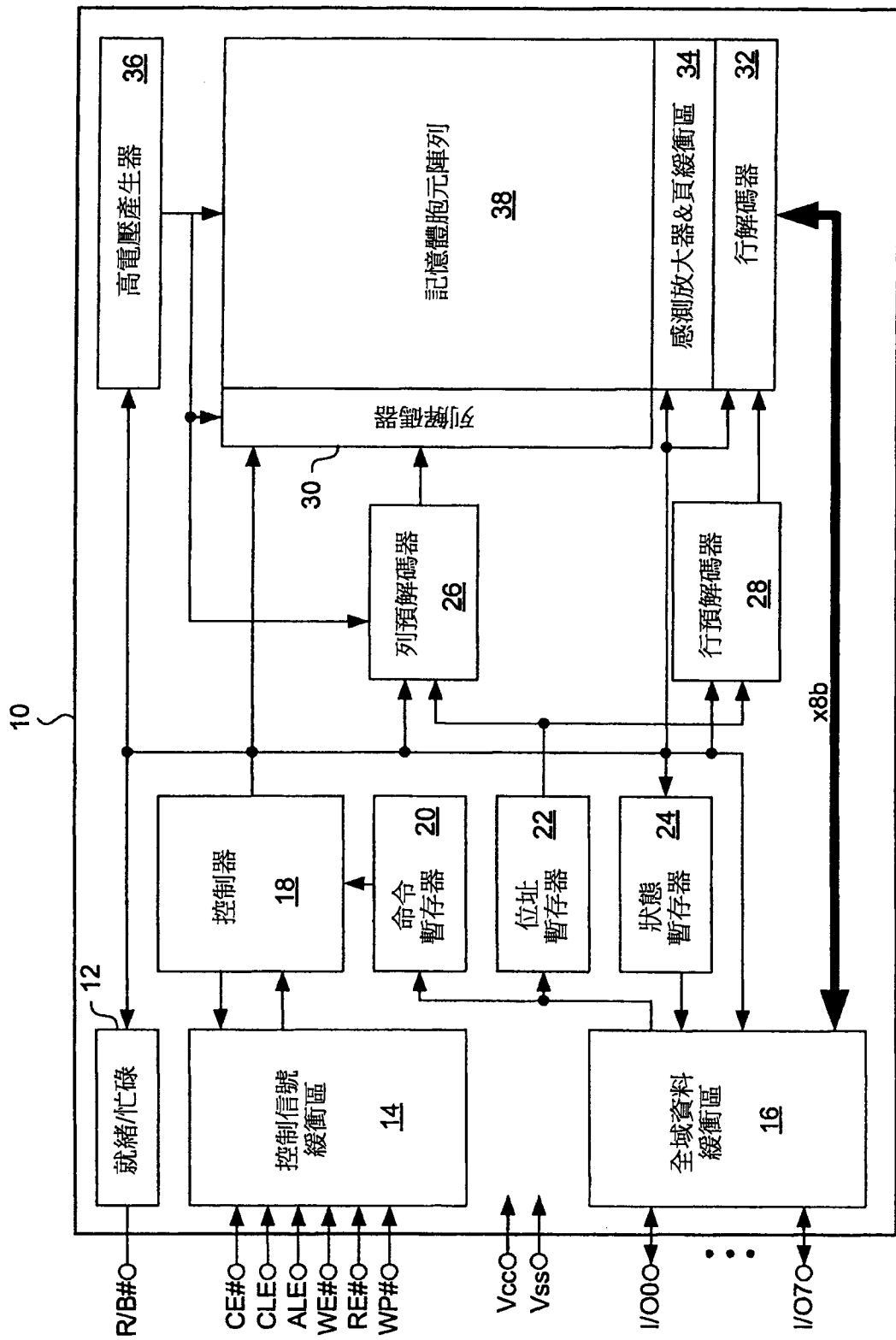


圖1

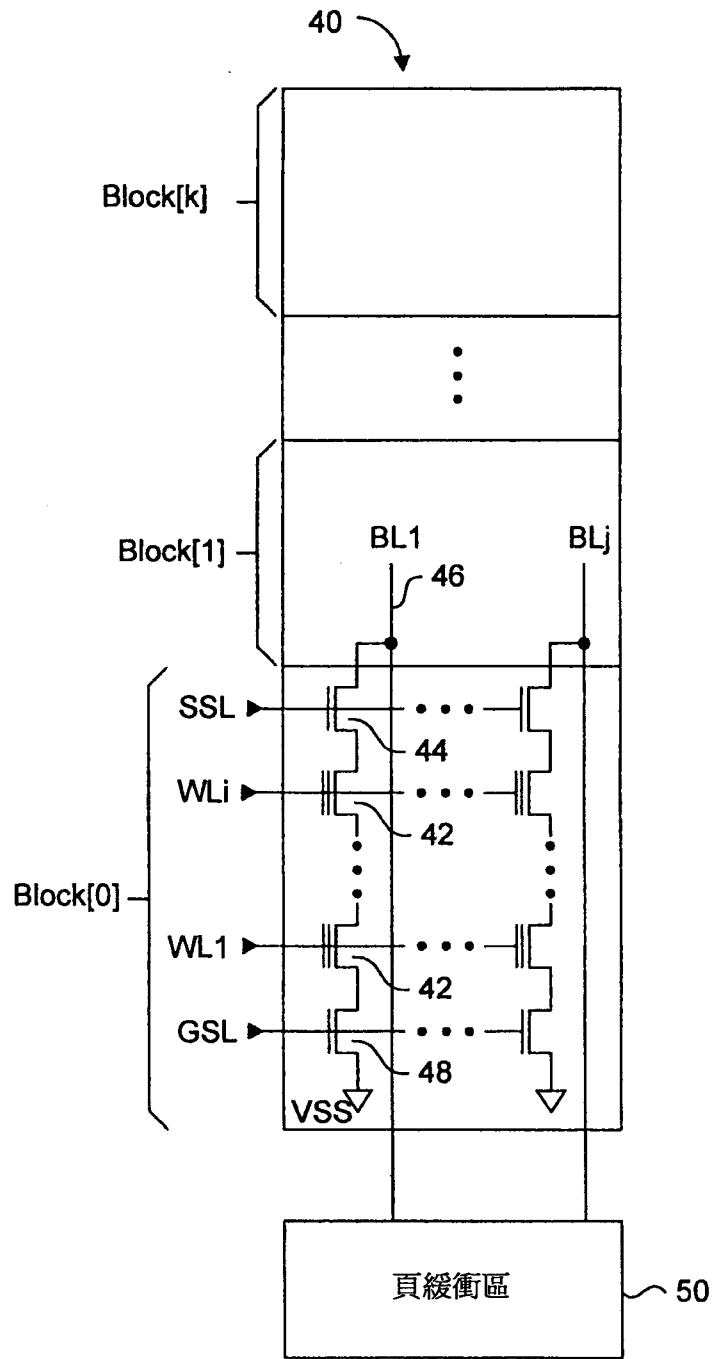


圖 2

(先前技術)

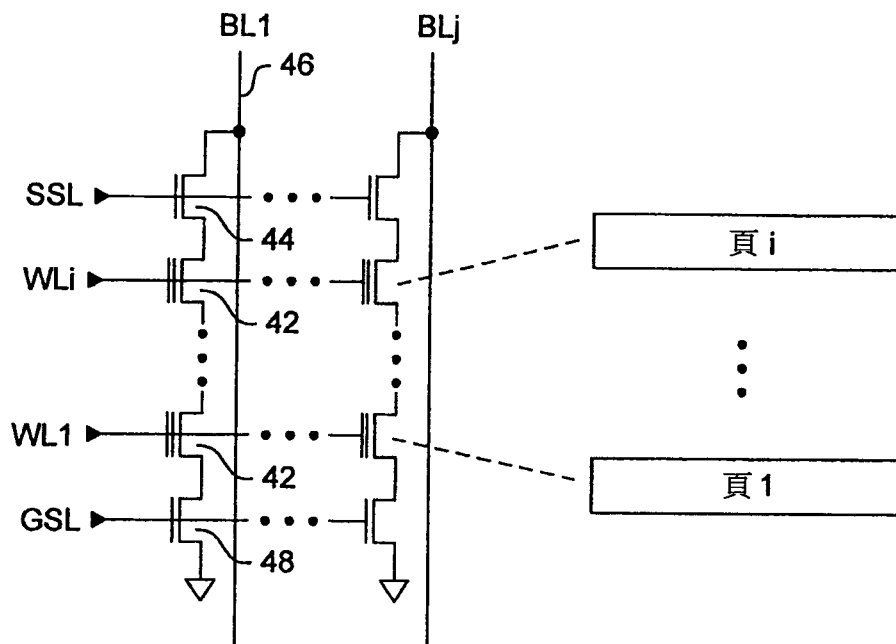


圖3

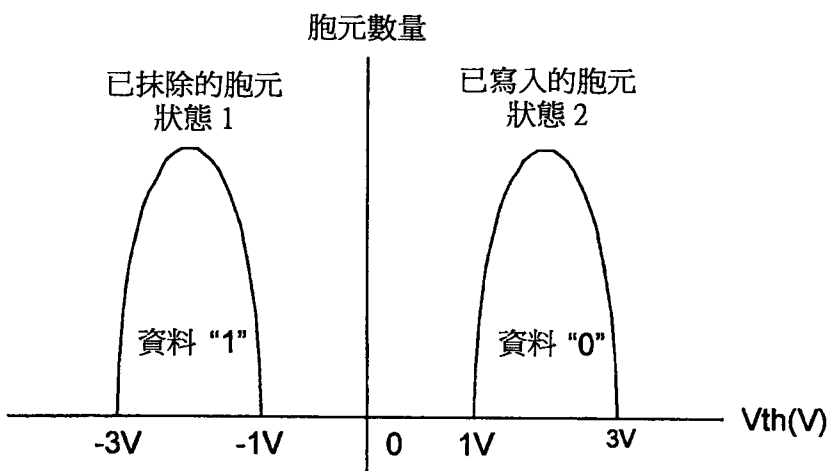


圖4

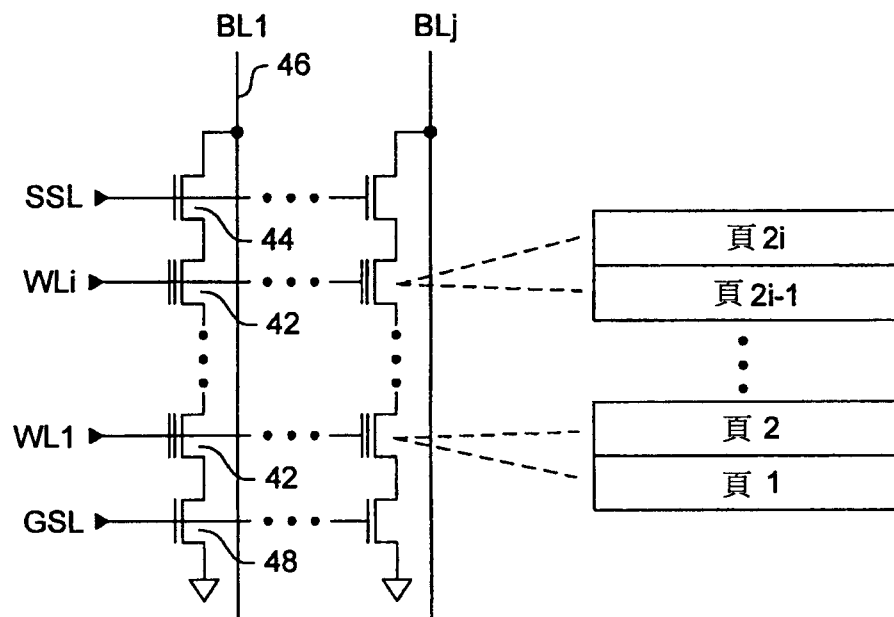


圖 5

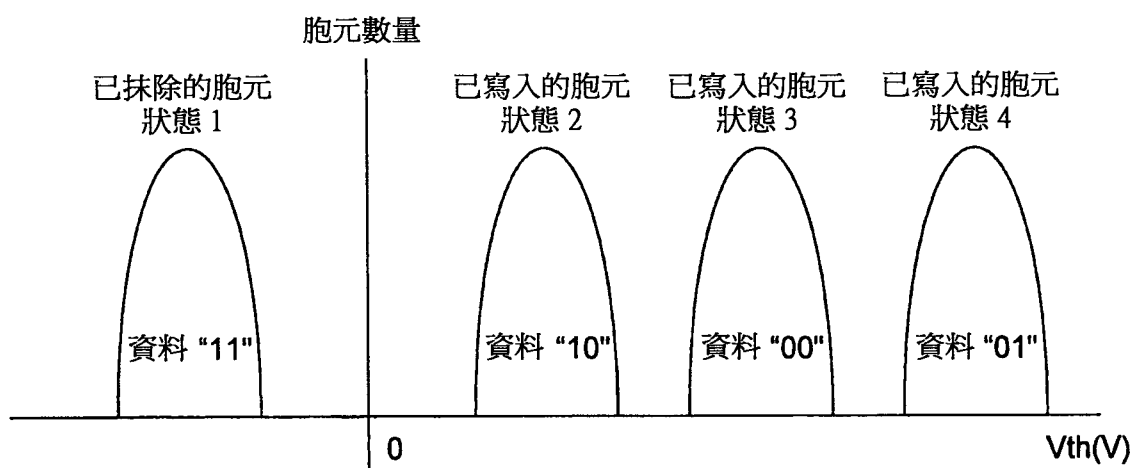


圖 6

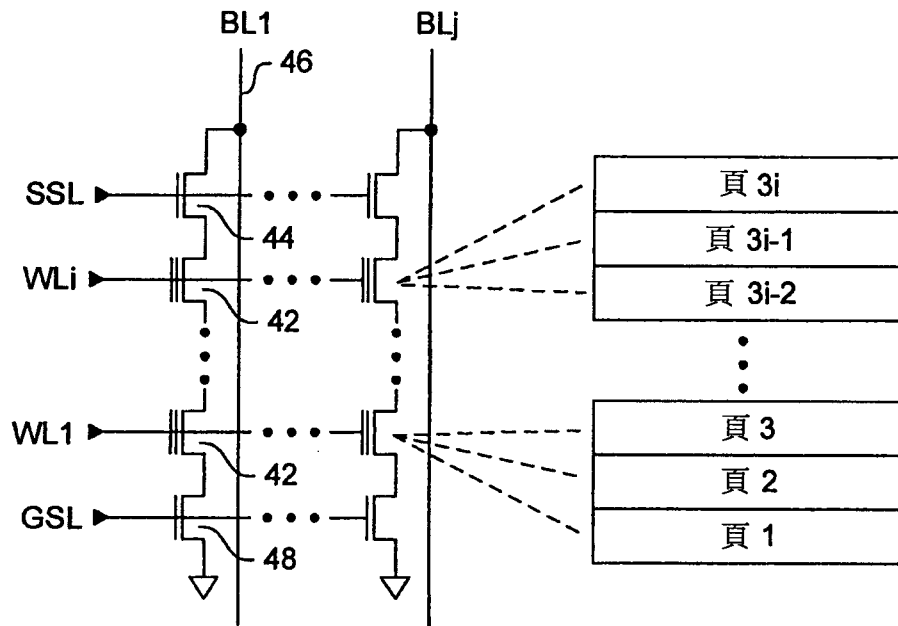


圖 7

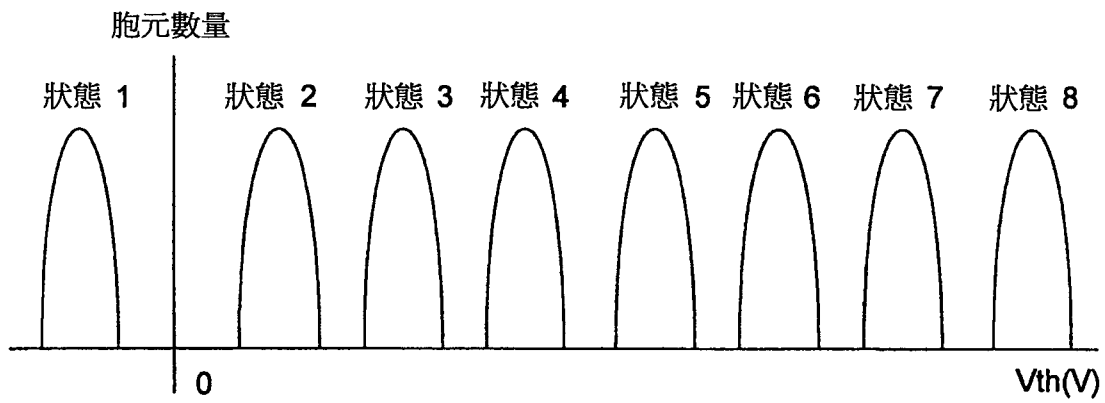


圖 8

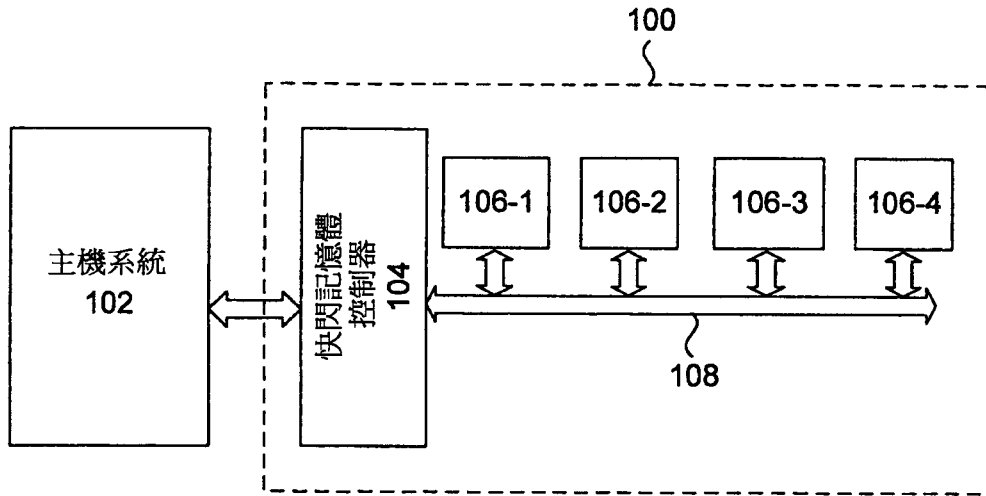


圖 9

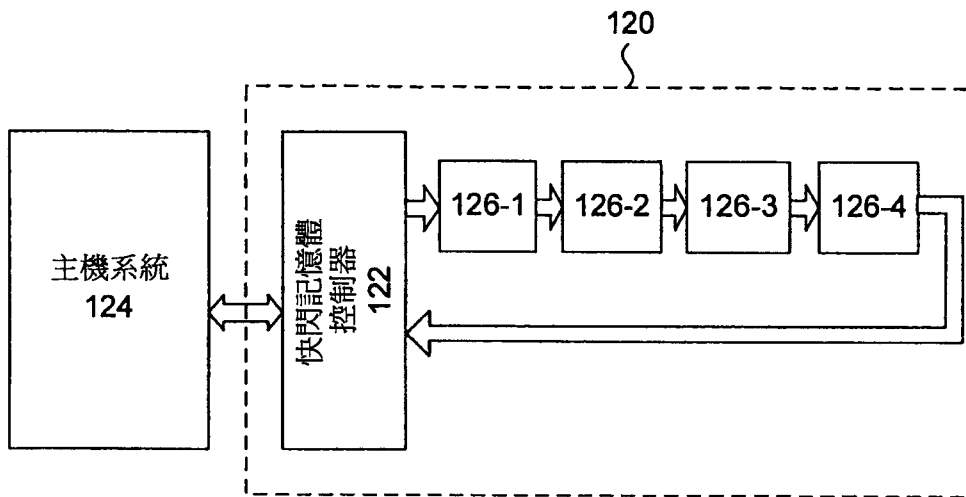


圖 10

字線	1 位元/胞元 (1 頁/列)	2 位元/胞元 (2 頁/列)	3 位元/胞元 (3 頁/列)
WL32	頁 32 [xxxxxxxx0]	頁 64 (UP) [xxxxxxxx1] 頁 63 (LP) [xxxxxxxx0]	頁 96 (UP) [xxxxxxxx10] 頁 95 (IP) [xxxxxxxx01] 頁 94 (LP) [xxxxxxxx00]
• • •	• • •	• • •	• • •
WL2	頁 2 [xxxxxxxx0]	頁 4 (UP) [xxxxxxxx1] 頁 3 (LP) [xxxxxxxx0]	頁 6 (UP) [xxxxxxxx10] 頁 5 (IP) [xxxxxxxx01] 頁 4 (LP) [xxxxxxxx00]
WL1	頁 1 [xxxxxxxx0]	頁 2 (UP) [xxxxxxxx1] 頁 1 (LP) [xxxxxxxx0]	頁 3 (UP) [xxxxxxxx10] 頁 2 (IP) [xxxxxxxx01] 頁 1 (LP) [xxxxxxxx00]

圖 11

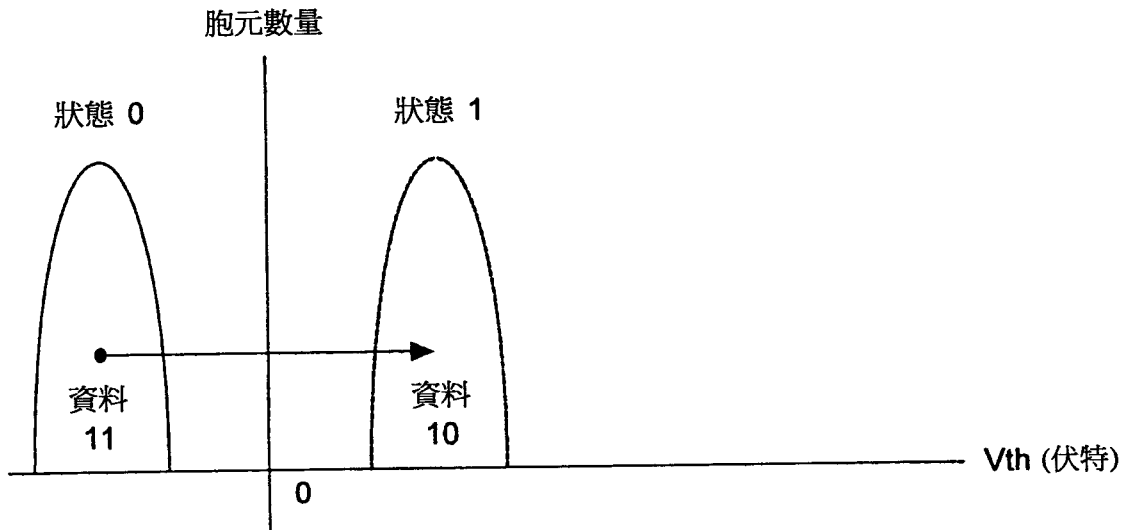


圖 12A

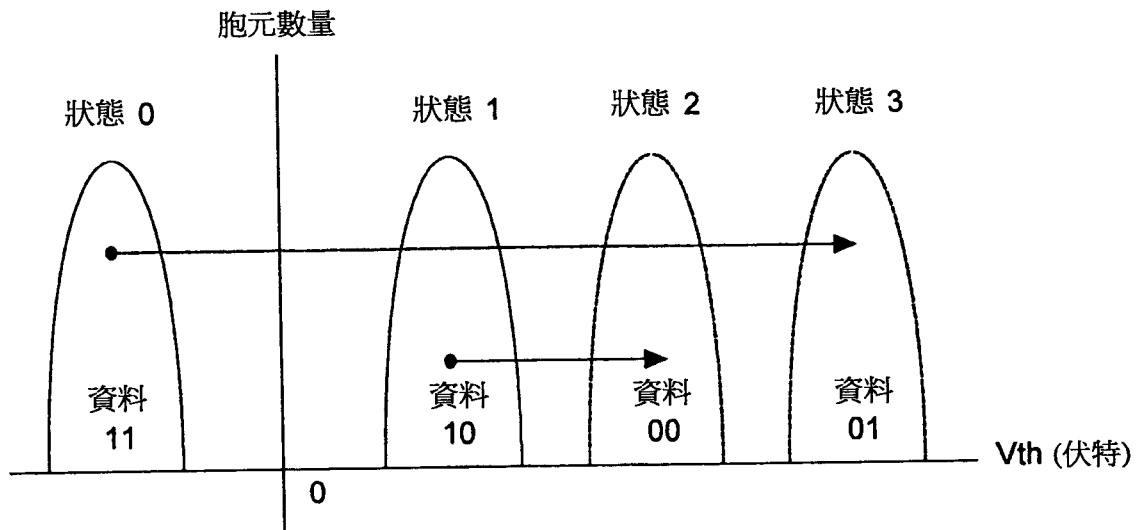


圖 12B

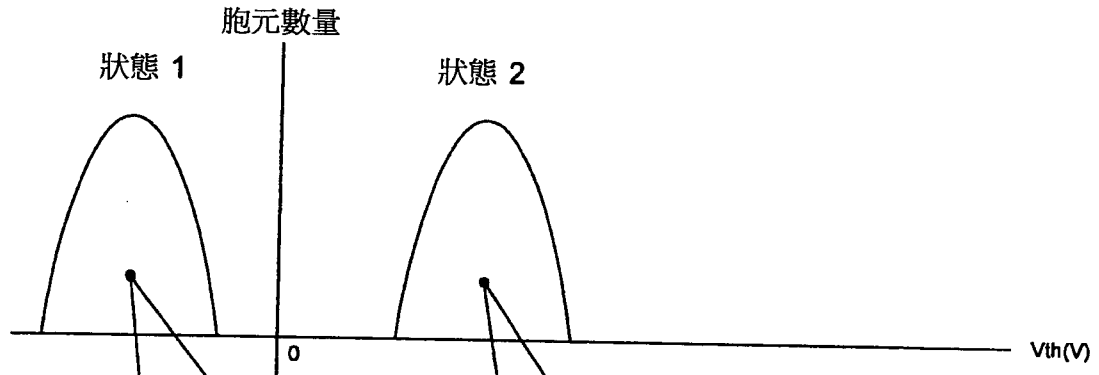


圖 13A

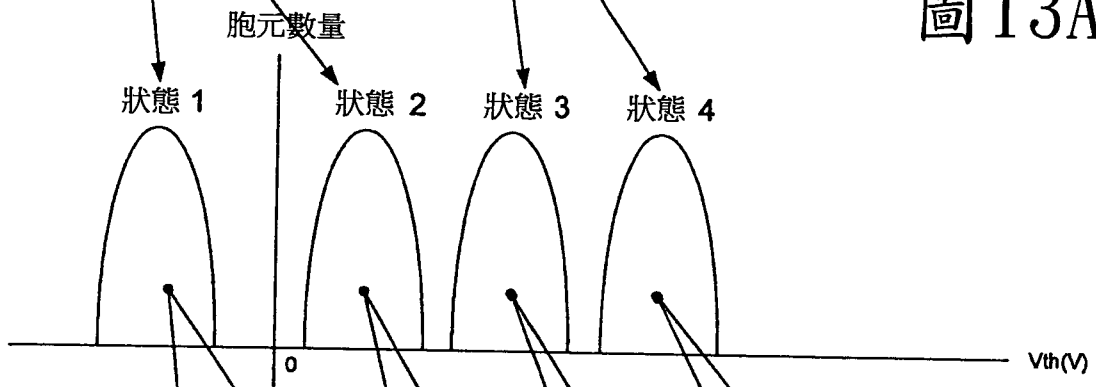


圖 13B

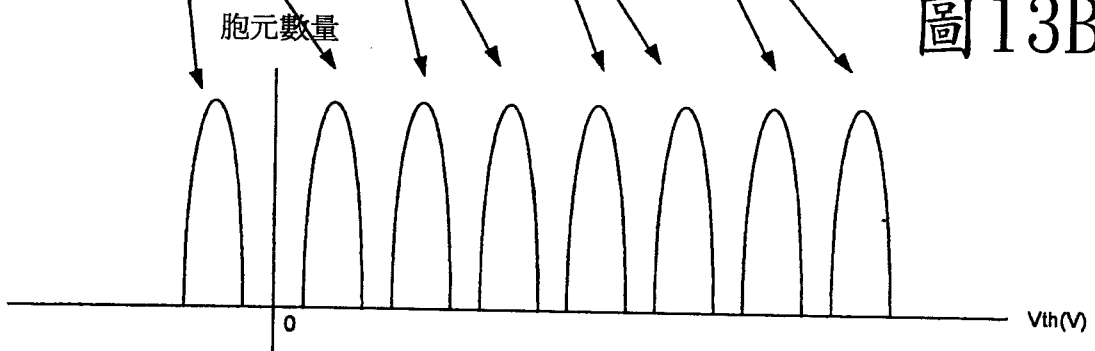


圖 13C

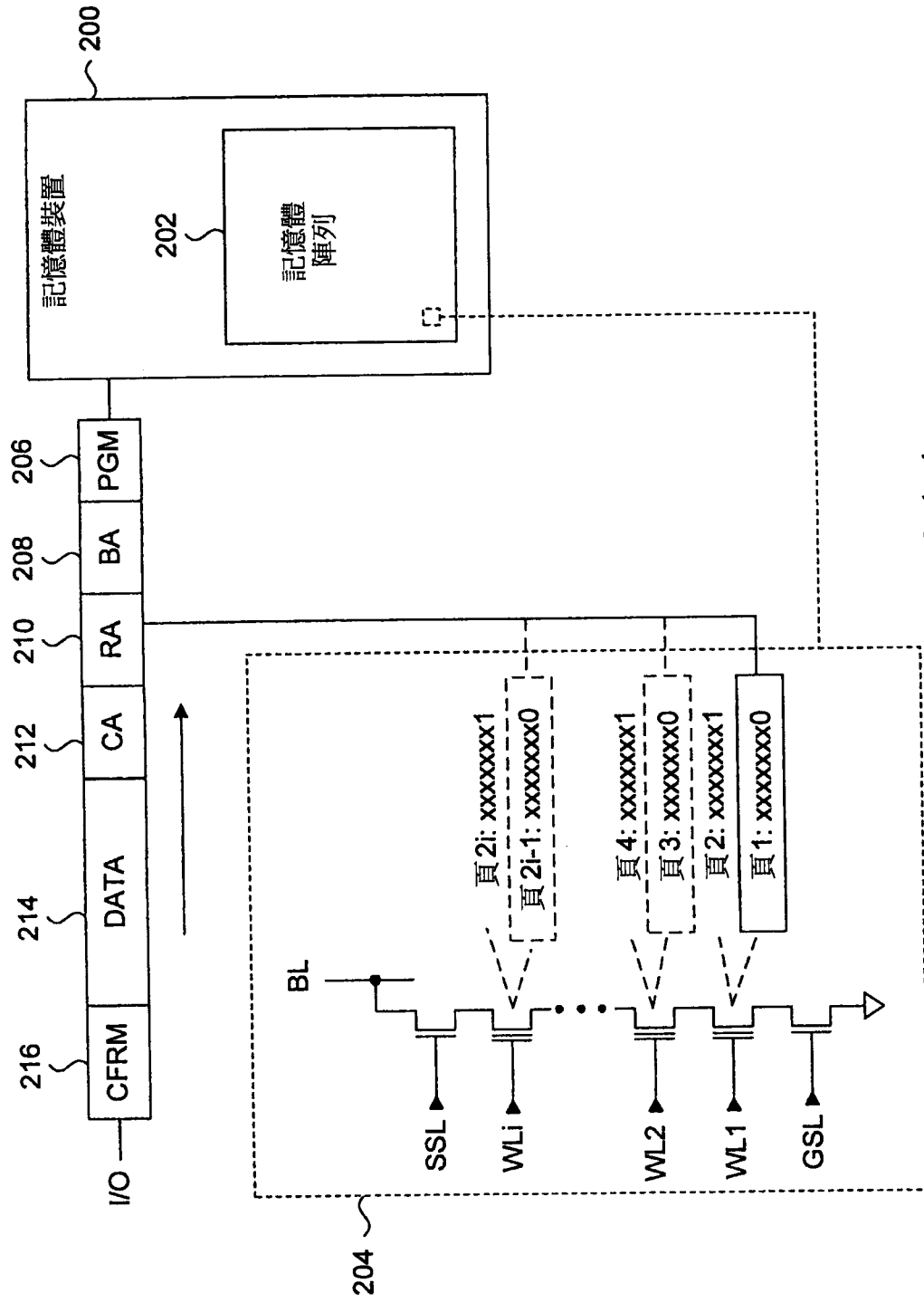


圖14

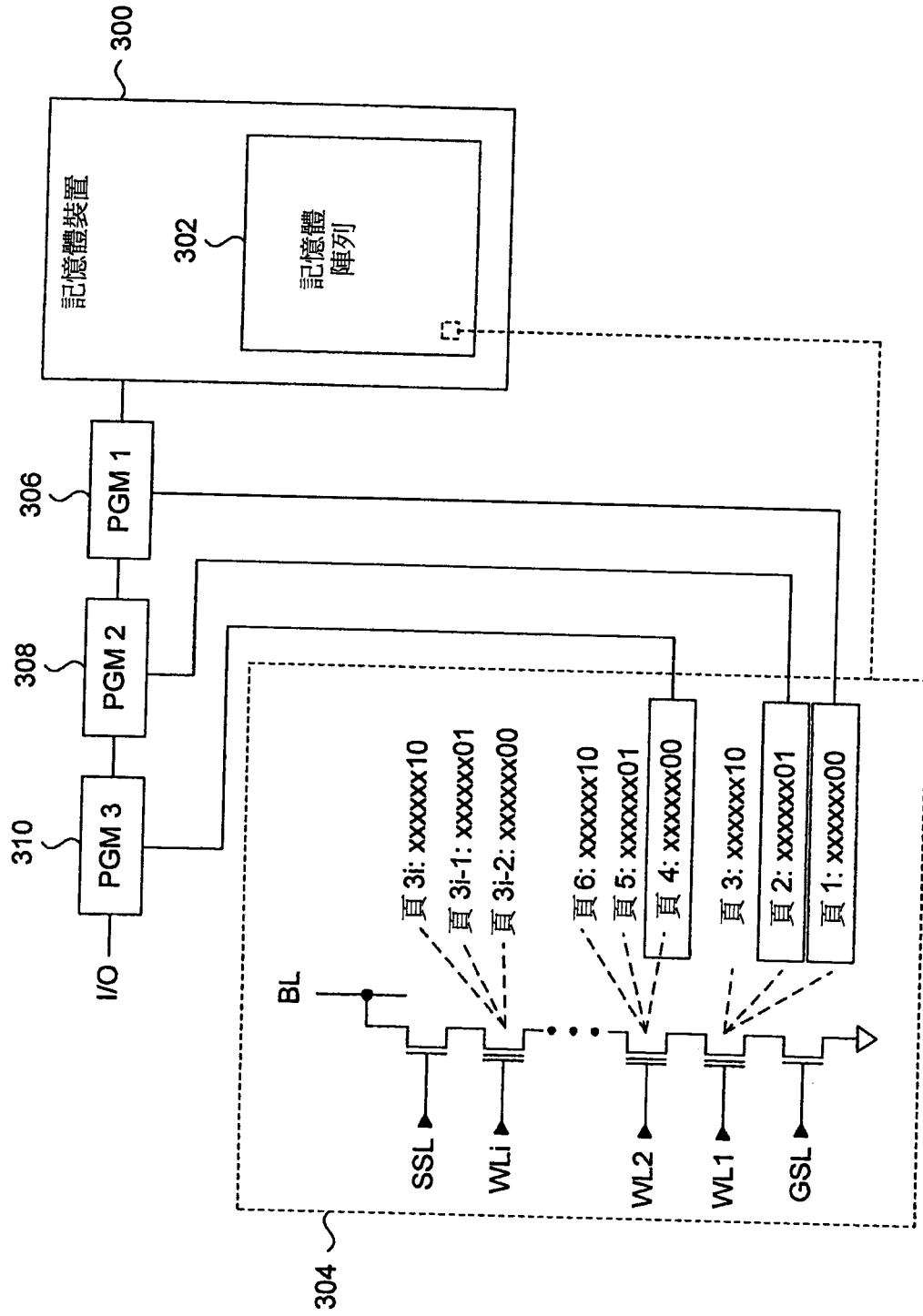


圖15

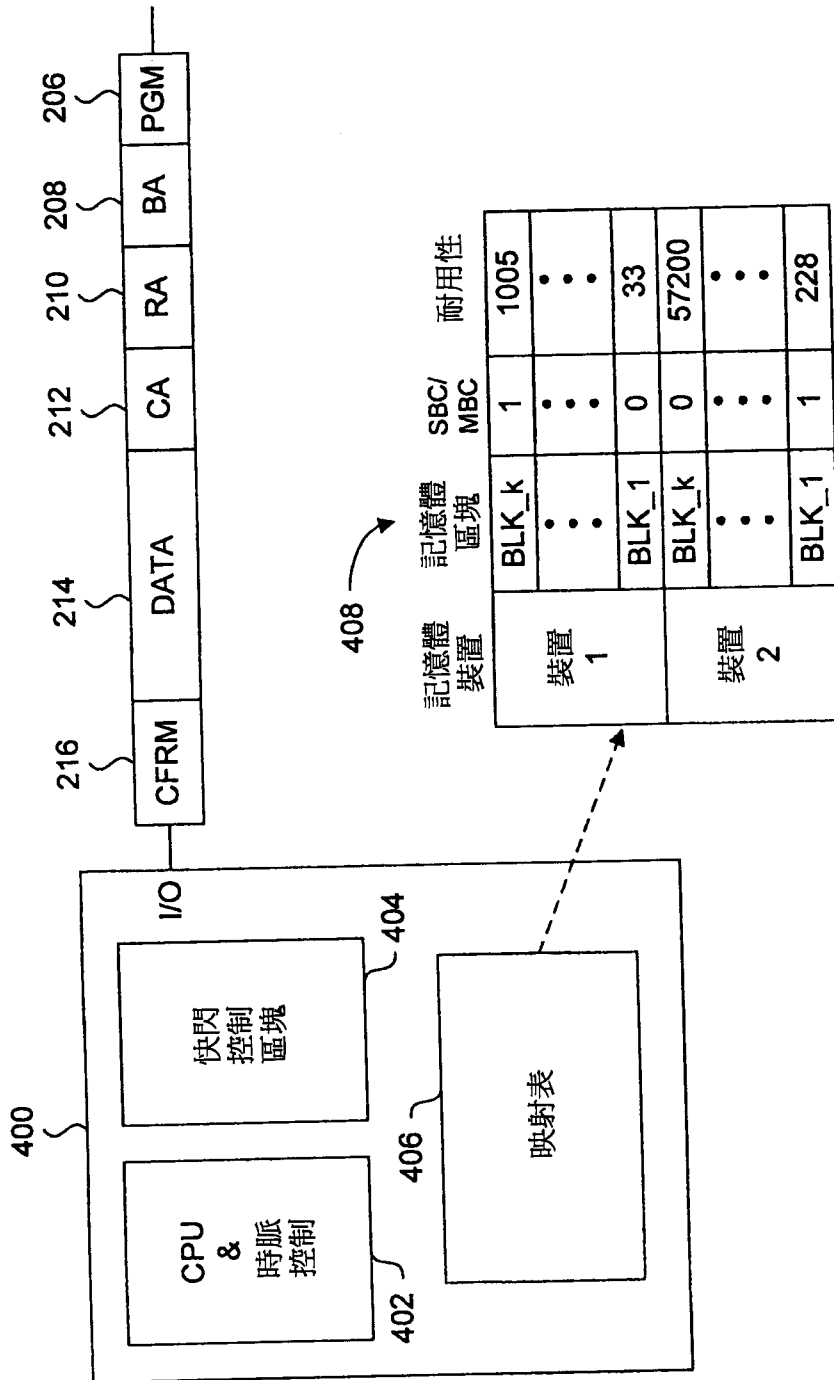


圖16

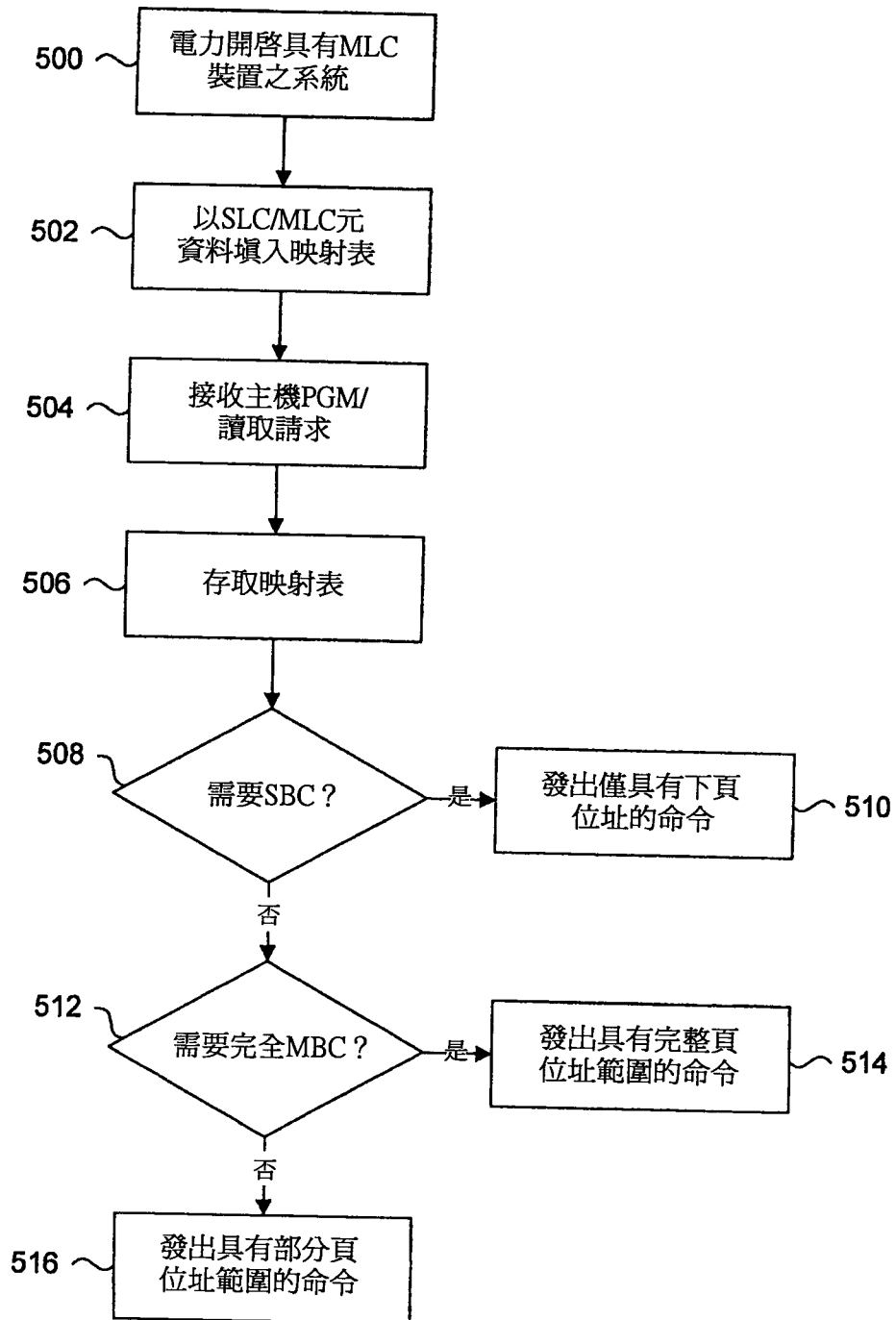


圖17

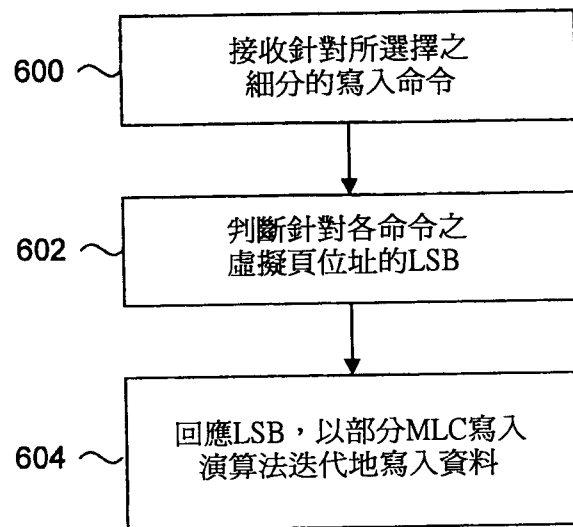


圖 18

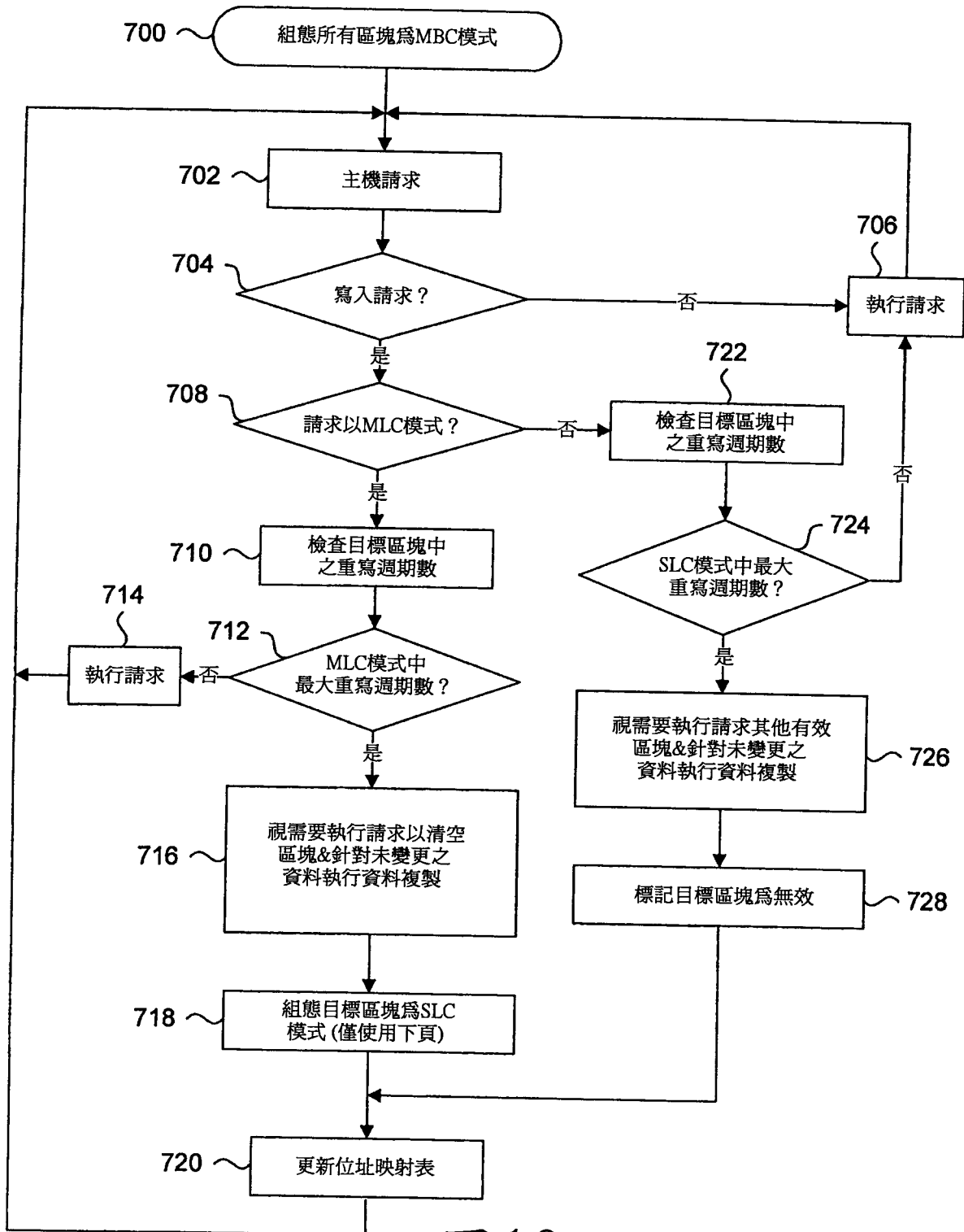


圖 19