

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4440559号  
(P4440559)

(45) 発行日 平成22年3月24日(2010.3.24)

(24) 登録日 平成22年1月15日(2010.1.15)

(51) Int.Cl.

F 1

<b>G09G</b>	<b>3/36</b>	<b>(2006.01)</b>	G09G	3/36
<b>G02F</b>	<b>1/133</b>	<b>(2006.01)</b>	G02F	1/133 550
<b>G02F</b>	<b>1/1345</b>	<b>(2006.01)</b>	G02F	1/1345
<b>G09G</b>	<b>3/20</b>	<b>(2006.01)</b>	G09G	3/20 611E
<b>H01L</b>	<b>51/50</b>	<b>(2006.01)</b>	G09G	3/20 611H

請求項の数 3 (全 28 頁) 最終頁に続く

(21) 出願番号

特願2003-139872 (P2003-139872)

(22) 出願日

平成15年5月19日 (2003.5.19)

(65) 公開番号

特開2004-46136 (P2004-46136A)

(43) 公開日

平成16年2月12日 (2004.2.12)

審査請求日

平成17年11月22日 (2005.11.22)

(31) 優先権主張番号

特願2002-147780 (P2002-147780)

(32) 優先日

平成14年5月22日 (2002.5.22)

(33) 優先権主張国

日本国 (JP)

(73) 特許権者 502356528

株式会社 日立ディスプレイズ  
千葉県茂原市早野3300番地

(74) 代理人 100093506

弁理士 小野寺 洋二

(72) 発明者 山岸 康彦  
千葉県茂原市早野3681番地 日立ディスプレイズエンジニアリング株式会社内(72) 発明者 大平 智秀  
千葉県茂原市早野3300番地 株式会社  
日立製作所 ディスプレイグループ内

審査官 中村 直行

最終頁に続く

(54) 【発明の名称】表示装置

(57) 【特許請求の範囲】

【請求項 1】

表示制御回路にテストデータを発生する固定パターン生成回路と、高速の表示用ドットクロックより低速のテスト用ドットクロックを発生するテストクロック発振器、および表示装置用ドットクロックの時間軸を調整するタイミング調整回路を有し、

該タイミング調整回路は前記テストデータとソース・ドライバからの読み出しデータを比較して両者の時間軸差を検出する比較回路と、該比較回路で検出した時間軸差を解消するタイミングに前記表示用ドットクロックを遅延させる遅延回路を具備したことを特徴とする表示装置。

【請求項 2】

表示制御回路にダミーデータを発生する固定パターン生成回路と、高速の表示用ドットクロックより低速のテスト用ドットクロックを発生するテストクロック発振器、および表示装置用ドットクロックの時間軸を調整するタイミング調整回路を有し、

該タイミング調整回路は前記テストデータとソース・ドライバからの読み出しデータを比較して両者の位相差を検出する比較回路と、該比較回路で検出した位相差を解消するタイミングに前記表示用ドットクロックを遅延させる遅延回路を具備したことを特徴とする表示装置。

【請求項 3】

上記表示データのタイミングのずれが補正量を保存しておき、電源投入時、あるいは隨時に上記のテストモードを実行することなく、保存した補正量で上記表示データのタイミ

ングのずれを自動調整することを特徴とする請求項 1 あるいは 2 に記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表示装置に係り、特にソース・ドライバでのデータ取り込みにおける表示データとドットクロックのタイミングずれに起因する表示画面のチラツキを抑制して高品質の映像表示を可能とした表示装置に関する。

【0002】

【従来の技術】

コンピュータやその他の情報機器の高精細度カラーモニター、あるいはテレビ受像機の表示デバイスとして、所謂フラットパネル型の表示装置が広く用いられるようになっている。この種のフラットパネル型表示装置としては、典型的には液晶表示装置があり、また近年は有機材料を発光素子とした有機EL表示装置やプラズマ表示装置などが実用化される段階にある。ここでは、現在広く用いられているアクティブマスク型の液晶表示装置を例として、その概略構成を説明する。

10

【0003】

この液晶表示装置は、基本的には少なくとも一方が透明なガラス等からなる二枚の（一対の）基板の間に液晶層を挟持した所謂液晶パネルを有し、この液晶表示パネルの基板に形成した画素形成用の各種電極に選択的に電圧を印加して所定画素の点灯と消灯を行うもので、コントラスト性能、高速表示性能に優れている。この種の液晶表示装置の一般的構成は既知であり、その駆動回路は例えば「特許文献 1」に開示される。

20

【0004】

【特許文献 1】

特開 2002-297108 号公報

【0005】

【発明が解決しようとする課題】

図 12 は液晶表示装置の駆動システムの概要を説明するブロック図である。図中、参照符号 1 は表示パネルであり、ここでは液晶パネルである。以下、表示パネルを液晶パネルとして説明する場合もある。この液晶表示装置は液晶パネル 1、ゲート・ドライバ部 2、ソース・ドライバ部 3、表示制御回路 4、電源回路 5 で構成される。

30

【0006】

ゲート・ドライバ部 2、ソース・ドライバ部 3 は表示パネル 1 の周辺部に設置される。ゲート・ドライバ部 2 は液晶パネル 1 の一辺に配置された複数のゲート・ドライバ IC からなり、ソース・ドライバ部 3 は液晶パネル 1 の他の辺に配置された複数のソース・ドライバ IC から構成される。表示制御装置 4 はパソコンやテレビ受信回路等の表示信号源 (HOST) から入力する表示信号をデータの交流化等、液晶パネルの表示に適したタイミング調整を行い、表示形式の表示データに変換して同期信号（クロック信号）と共にゲート・ドライバ部 2、ソース・ドライバ部 3 に与える。ゲート・ドライバ部 2 とソース・ドライバ部 3 は表示制御回路 4 の制御の基にゲート線にゲート信号を供給し、またソース線に表示データを供給して映像を表示する。電源回路 5 は液晶表示装置に要する各種の電圧を生成する。

40

【0007】

図 13 は図 12 における表示制御回路とソース・ドライバ部を構成するソース・ドライバ IC の概略接続構成の説明図である。また、図 14 は図 13 における表示制御回路の出力信号である表示データとクロック信号のタイミング図である。図 14 における参照符号 3 1 ~ 3 n はソース・ドライバ部を構成するソース・ドライバ IC であり、表示制御回路 4 の近端部 (A) に位置するソース・ドライバ IC 3 1 と遠端部 (B) に位置するソース・ドライバ IC 3 n のみを示し、その中間に配置されるソース・ドライバ IC は図示を省略した。各ソース・ドライバ IC 3 1 ~ 3 n は同一回路構成であり、図 13 では遠端部 (B) に位置するソース・ドライバ IC 3 n の回路構成は図示を省略してある。なお、表示制

50

御回路4には表示データとクロックのタイミングを調整するタイミング調整回路（通常、TCONと称する）や階調電圧生成回路などが設けられている。

【0008】

図13および図14における表示制御回路4の出力信号である「RGB DATA」は3色（R, G, B）のデジタルの表示データ、同「CLK」は「RGB DATA」に同期したクロック信号を示す。また、図14におけるTcは一つのデータ区間、Tsは表示データ「RGB DATA」に関するクロック「CLK」のセットアップ時間、Thは同クロック「CLK」のホールド時間を示し、n, n-1, n+1は各表示データを示す。図13において、表示データ「RGB DATA」及びクロック「CLK」はn個のソース・ドライバIC31～31nに接続されており、一般に、表示データ「RGB DATA」はmビット幅のパラレルデータ形式で、各ソース・ドライバIC31～31nにTTLレベルやMOSロジックレベルで転送される。10

【0009】

次に、表示パネル1に転送される表示データの流れを説明する。先ず、表示制御回路4からの表示データ「RGB DATA」は、ソース・ドライバIC31～31nのラッチ回路6で図14に示すように、クロック「CLK」の立ち上がりエッジでラッチ（保持）される。尚、以下の説明では、クロック「CLK」の立ち上がりエッジで表示データ「RGB DATA」を保持することとする。ラッチされた表示データ「RGB DATA」はソース・ドライバIC31～31nのアナログ出力回路7でデジタル信号からアナログ信号に変換される。アナログ変換された信号は液晶パネル1に印加されて映像を表示する。20

【0010】

図15は表示制御回路から出力される表示データの理想波形と表示制御回路にn個のソース・ドライバを接続した場合の表示データの実際の波形を比較した波形歪みの説明図である。図13において、上側の波形は表示制御回路から出力される表示データの理想波形、下側の波形のうち実線の波形は近端部（A）に配置されたソース・ドライバIC31への入力波形であり、点線の波形は遠端部（B）に配置されたソース・ドライバIC3nへの入力波形を示す。以下では、近端部（A）と遠端部（B）および中間部に接続されるソース・ドライバICに共通の説明を行う場合には、単にソース・ドライバICとして表記する。30

【0011】

表示制御回路4の近端部（A）に配置されたソース・ドライバIC31、遠端部（B）に配置されたソース・ドライバIC3nについて、表示制御回路4とソース・ドライバIC31とソース・ドライバIC3nの距離、すなわち表示データ「RGB DATA」の伝送路距離は、ソース・ドライバIC31が短く、ソース・ドライバIC3nが長い。特に、ソース・ドライバIC31とソース・ドライバIC3nの距離は近年の大画面化に伴い、ますます長くなる傾向にある。この距離が長くなると、伝送路のインピーダンスの不整合による波形の反射や信号のクロストーク等の影響により、近端部（A）のソース・ドライバIC31から遠端部（B）のソース・ドライバIC3nに表示データが伝送される間に図15の下側波形に示したように、波形自体に歪みが生じる。40

【0012】

表示制御回路4から出力される理想データ波形は略矩形であったものが、負荷としてソース・ドライバが接続されると、その各ソース・ドライバIC31～3nに入力する実際のデータ波形は正弦波に近くなる。図15において、ソース・ドライバICがクロック「CLK」のタイミングに合わせて理論的に“1”又は“0”と認識できる期間を近端部（A）に配置されたソース・ドライバIC31でTp a、遠端部（B）に配置されたソース・ドライバIC3nでTp bとすれば、遠端部（B）に配置されたソース・ドライバIC3nでは図15の点線で示したようにますます波形の歪みが進み、Tp a >Tp bとなる。このことは、近端部（A）に配置されたソース・ドライバIC31より遠端部（B）に配置されたソース・ドライバIC3nが表示データを確実にラッチする期間のマージンが低下することを意味する。50

## 【0013】

このマージンの低下に加え、表示制御回路4のデジタル回路の特性のバラツキや周囲温度、電源電圧の変動による表示データ「RGB DATA」とクロック「CLK」の位相ズレが作用することで、近端部(A)に配置されたソース・ドライバIC31ではラッチできた上記表示データが遠端部(B)に配置されたソース・ドライバIC3nではラッチできなくなる。又は、その逆に遠端部(B)に配置されたソース・ドライバIC3nでラッチでき、近端部(A)に配置されたソース・ドライバIC31ではラッチできなくなる。この結果、表示画面にチラツキが発生する。

## 【0014】

このようなチラツキは、表示画面サイズの大型化、表示データの高速伝送に伴って大きくなる。これは、表示データとクロックとの間に、所謂スキューが生じて表示データを取り込む(ラッチする)タイミングにずれが発生して、上記したチラツキを招くのである。このような現象は、部品のバラツキ、周囲温度、ロジックレベルの閾値変動等、個々の液晶表示装置、その使用環境等、製品化以降の動作条件によっても発生する。このことは液晶表示装置に限らず、有機EL表示装置やプラズマ表示装置、その他の上記と同様な駆動方法を採用する表示装置においても同様である。従来は、抵抗やコンデンサを用いてカット・アンド・トライで対処していた。しかし、このような対処では充分なタイミング調整を行うことが難しく、解決すべき課題の一つとなっていた。

10

## 【0015】

本発明の目的は、上記従来技術の課題を解決することにあり、動作開始時に上記したタイミングずれを自動調整してチラツキの無い高品質の表示装置とその駆動方法を提供することにある。

20

## 【0016】

## 【課題を解決するための手段】

上記目的を達成するため、本発明は、次のような手段および方法を採用した。すなわち、表示制御回路にテストデータ(ダミーデータ)を発生する固定パターン生成回路と、高速の表示用ドットクロックより低速のテスト用ドットクロックを発生するテストクロック発振器、および表示用ドットクロックの時間軸を調整するタイミング調整回路を設ける。タイミング調整回路はテストデータと後述するソース・ドライバからの読み出しデータを比較して両者の時間軸差(位相差)を検出する比較回路、比較回路で検出した時間軸差を解消するタイミングに前記表示用ドットクロックを遅延させる遅延回路等を具備した。

30

## 【0017】

このような構成において、先ず、製品出荷時や使用の際の電源投入時、あるいは隨時にソース・ドライバ部に高速のクロック(ドットクロック)とダミーデータを伝送し、ソース・ドライバ部を構成する各ソース・ドライバICに上記ドットクロックで取り込み、ラッチさせる。その後、ソース・ドライバICにラッチされたダミーデータの一部をシリアルデータに変換し、表示制御回路が低速のテスト用ドットクロックで読み出す。表示制御回路は、高速で伝送されるダミーデータと低速で読み出したシリアルデータを比較する。この比較は、両データ間の位相差の検出で行う。そして、表示制御回路は、上記比較結果を基に表示データ伝送のドットクロックの遅延量を可変してソース・ドライバが確実にデータをラッチできるタイミングに表示用ドットクロックのタイミングを調整する。

40

## 【0018】

上記構成とした本発明により、ソース・ドライバ部と表示制御回路の間の表示データ伝送路上を伝送される表示データのタイミングずれ(スキュー、すなわち信号間の位相差)が自動的に補正される。その結果、高速の表示データをある程度長い伝送路を通して伝送しても、ソース・ドライバ部における表示データのラッチミスによる画面のチラツキが改善される。上記表示データのタイミングずれの補正量を保存しておき、電源投入時、あるいは隨時に上記のテストモードを実行することなく、保存した補正量で上記表示データのタイミングずれを自動調整することもできる。以下、本発明の代表的な構成を記述する。

表示装置1：

50

第1の方向に延在し且つ前記第1の方向に交差する第2の方向に並設された複数のゲート線、前記第2の方向に延在し且つ前記第1の方向に並設された複数のソース線、前記複数のゲート線に走査信号を出力する少なくとも一つのゲート・ドライバ、前記複数のソース線に映像信号を出力する少なくとも一つのソース・ドライバ、及び 前記複数のゲート線の一つからの前記走査信号で選択されるアクティブ素子と該アクティブ素子の選択により前記複数のゲート線の一つからの前記映像信号に応じて駆動する画素電極とを各々含む複数の画素を有する表示パネルと、

前記ゲート・ドライバ及び前記ソース・ドライバに供給されるクロックと該ソース・ドライバに供給されるデータとを生成し且つ出力する表示制御回路とを備えた表示装置において、本発明は

10

前記表示制御回路から出力される前記データの一群を取り込み且つ該取り込まれた一群のデータを前記表示制御回路に送る前記ソース・ドライバと、

前記ソース・ドライバから送られる前記一群のデータの状態に応じて前記クロックのタイミングを調節する前記表示制御回路とを提供する。

#### 【0019】

表示装置2：前記表示装置1において、本発明は、前記表示制御回路に、これから生成された状態にある前記データの他の群と前記ソース・ドライバから送られた前記一群のデータとを比較し、該ソース・ドライバから送られた一群のデータが該他群のデータと異なるときに前記クロックのタイミングを調節させる。

#### 【0020】

表示装置3：前記表示装置1において、本発明は、前記表示制御回路に、前記ソース・ドライバから送られた前記一群のデータの論理状態を参照して前記クロックのタイミングを調節させる。

20

#### 【0021】

表示装置4：前記表示装置1において、本発明は、前記表示制御回路に前記データをmビット（mは1より大きい自然数）のデータ信号からなるパラレル形式で生成させる。

#### 【0022】

表示装置5：前記表示装置4において、本発明は、

前記ソース・ドライバに、これに取り込まれた前記一群のデータをシリアル形式に変換し且つシリアル形式に変換された後の該一群のデータを前記表示制御回路に送らせ、

30

前記表示制御回路に、前記ソース・ドライバから送られた前記一群のデータを前記mビットのデータ信号からなるパラレル形式に変換し且つ該パラレル形式に変換された一群のデータを該表示制御回路で生成された状態にある前記データの他の群と比較させる。

#### 【0023】

表示装置6：前記表示装置4において、本発明は、

前記ソース・ドライバに、前記表示制御回路から供給される前記一群のデータを前記クロックに呼応してラッチするラッチ回路と、このラッチ回路にラッチされた該一群のデータをシリアル形式に変換するパラレル-シリアル変換回路とを含ませ、

前記表示制御回路に、前記パラレル-シリアル変換回路でシリアル形式に変換された前記一群のデータをmビットのデータ信号からなるパラレル形式に変換するシリアル-パラレル変換回路と、該シリアル-パラレル変換回路から出力される該一群のデータと該表示制御回路で生成された状態にある前記データの他の群との比較結果に応じて前記クロックのタイミングを調整するタイミング調整手段とを含ませる。

40

#### 【0024】

表示装置7：前記表示装置1において、本発明は、

前記表示制御回路に、これに入力される入力信号に基づいて表示データを生成する第1回路と、ダミーデータを生成する第2回路とを設け、且つ該表示データ及び該ダミーデータのいずれかを前記データとして出力させ、

前記第2回路に、前記ダミーデータの波形の変動を前記表示パネルにて前記複数のゲート線の一つ沿いに並ぶ前記画素の各々に対応させて固定し、且つ該固定された波形を有する

50

ダミーデータを周期的に生成させる。

【0025】

表示装置8：前記表示装置7において、本発明は、前記表示制御回路に、前記固定された波形を有するダミーデータの一周期として前記一群のデータを出力させる。

【0026】

表示装置9：前記表示装置8において、本発明は、

前記ソース・ドライバに、前記一周期のダミーデータを読み且つこれに取り込まれた該一周期のダミーデータを前記表示制御回路に送らせ、

前記表示制御回路に、前記ソース・ドライバから送られた前記一周期のダミーデータを、該表示制御回路により生成された状態にある前記固定された波形を有するダミーデータの他の一周期と比較し、該ソース・ドライバから送られた一周期のダミーデータが該他の一周期のダミーデータと異なるときに前記クロックのタイミングを調節させる。

【0027】

表示装置10：前記表示装置1において、本発明は、

前記表示制御回路に、これに入力される入力信号に基づいて第1クロックを生成する第1回路と、該第1クロックとは周波数の異なる第2クロックを生成する第2回路とを設け、且つ該第1クロック及び該第2クロックのいずれかを前記クロックとして出力させ、

前記ソース・ドライバに前記第1クロックに呼応して前記データの一群を読みませ、且つ前記第2クロックに呼応して該取り込まれた一群のデータを前記表示制御回路に送らせる。

【0028】

表示装置11：前記表示装置10において、本発明は、

前記表示制御回路に、前記データをmビット(mは1より大きい自然数)のデータ信号からなるパラレル形式で生成させ、

前記ソース・ドライバに、これに取り込まれた前記一群のデータを前記第2クロックに呼応してシリアル形式に変換して前記表示制御回路に送らせ、

前記表示制御回路に、前記ソース・ドライバから送られた前記一群のデータを前記第2クロックに呼応してパラレル形式に変換し且つ該パラレル形式に変換された一群のデータを該表示制御回路で生成された状態にある前記データの他の群と比較させる。

【0029】

表示装置の駆動方法1：

第1の方向に並ぶ複数の画素からなる画素行が該第1の方向に交差する第2の方向に並設され且つ前記画素行の選択された一つに属する画素の各々に映像信号を供給する少なくとも一つのソース・ドライバが配置された表示パネルと、前記ソース・ドライバにパラレルデータとクロックとを供給する表示制御回路とを有する表示装置の駆動方法において、本発明は、

前記パラレルデータとして前記画素行の一つに含まれる複数の画素の各々に応じて波形が変動するダミーデータを生成し且つ該ダミーデータを前記ソース・ドライバに取り込む第1工程と、

前記第1工程でソース・ドライバに取り込まれた前記ダミーデータをシリアルデータに変換して前記表示制御回路に送り、該表示制御回路にて該シリアルデータをパラレル形式の参照データに変換し、該参照データと前記ダミーデータとを比較する第2工程とを備え、前記第2工程にて、前記参照データの波形変動が前記ダミーデータのそれと異なるとき、前記クロックの前記パラレルデータに対する遅延時間を延ばすように調整する。

【0030】

表示装置の駆動方法2：前記表示装置の駆動方法1において、本発明は、前記ダミーデータを前記第2工程にて再び生成して前記参照データと比較する。

【0031】

表示装置の駆動方法3：前記表示装置の駆動方法1において、本発明は、前記ダミーデータを前記クロックに呼応して前記ソース・ドライバに取り込む。

10

20

30

40

50

## 【0032】

表示装置の駆動方法4：前記表示装置の駆動方法1において、本発明は、前記ダミーデータを再び生成し且つ前記ソース・ドライバにより前記第2工程で遅延時間が調整された前記クロックに呼応して該ダミーデータを取り込ませる第3工程と、前記第3工程で前記ソース・ドライバに取り込まれたダミーデータをシリアルデータに変換し、該シリアルデータを表示制御回路に送り、該シリアルデータをパラレル形式の参照データに変換し、且つ該参照データをダミーデータと比較する第4工程とを更に備え、前記ダミーデータを前記第4工程で生成させる。

## 【0033】

表示装置の駆動方法5：前記表示装置の駆動方法4において、本発明は、前記第4工程にて、前記参照データの波形変動が前記ダミーデータのそれと異なるとき、前記クロックの（前記パラレルデータに対する）遅延時間を延ばすように調整する。 10

## 【0034】

表示装置の駆動方法6：前記表示装置の駆動方法5において、本発明は、前記第4工程にて、前記参照データの波形変動が前記ダミーデータのそれと異なるとき、前記第3工程と前記第4工程とを繰り返し、この第3工程にて前記ソース・ドライバにより行われるダミーデータ取り込みは、この第3工程の前に行われる別の第4工程にて遅延時間が調整されたクロックに基づいて行われる。

## 【0035】

表示装置の駆動方法7：前記表示装置の駆動方法1において、本発明は、前記第1工程を前記表示装置への電源投入により開始させる。 20

## 【0036】

表示装置の駆動方法8：前記表示装置の駆動方法1において、本発明は、前記ダミーデータを前記表示装置に入力される画像情報に関係なく生成する。

## 【0037】

なお、本発明は上記構成および後述する実施例の構成に限定されるものではなく、本発明の技術思想を逸脱することなく種々の変更が可能である。本発明の他の目的および構成は後述する実施の形態の記述から明らかになるであろう。 30

## 【0038】

## 【発明の実施の形態】

以下、本発明の実施の形態について、実施例の図面を参照して詳細に説明する。図1は本発明による表示装置の一実施例の要部構成を説明するブロック図であり、本発明を液晶表示装置に適用した実施例で示す。図1中の参照符号1は液晶パネル（図1ではTFTパネルとも表示）、また参照符号31はソース・ドライバICである。液晶パネル1の周辺に沿いにn個のソース・ドライバIC（集積回路、31・…・3n）を搭載してなるソース・ドライバ部においては、図1にてソース・ドライバICの一つが示され、その他は割愛されている。

## 【0039】

図1ではソース・ドライバIC31のみを代表して示す。そして、参照符号4は表示制御回路で、前記図12で説明したゲート線に走査信号を供給するゲート・ドライバ部、ソース線に表示データを供給するソース・ドライバ部にデジタル表示データおよびドットクロック、フレーム開始信号、その他のタイミング信号を生成し、データラッチ制御を行う。以下では、タイミング信号としてソース・ドライバICに有するデータラッチ回路にデータ表示データをラッチする（取り込む）ドットクロックのみを示した。 40

## 【0040】

また、ソース・ドライバIC31は、データラッチ回路（図1では、ラッチ回路とも表記）6、デジタル・アナログ変換回路（図1では、D/A変換回路とも表記）で構成したアナログ出力回路7、パラレル・シリアル変換回路（図1では、P/Sとも表記）8を有している。図1において、「RGB DATA」は夫々のソース・ドライバによる（R）、緑

(G)、青(B)の映像信号生成に参照されるデジタル表示データ等の伝送線、「C L K」はソース・ドライバのデジタル表示データの取込みを制御するドットクロック、「S R D A T A」はシリアルデータ、「A L D A T A」はアナログデータを示す。図13を参照して述べた従来の表示装置に対し、本発明による表示装置では、後述の如く画像表示に直接関わらないデータや制御信号もデジタル表示データやドットクロックの伝送線を通してソース・ドライバI Cに送るため、参照符号R G B D A T A, C L Kはデータ又は信号の伝送線として以降定義される。

#### 【0041】

液晶パネル1の周辺には、n個(nは自然数)のソース・ドライバI C 3 1 · · · 3 nが搭載されるが、その各々の内部回路は同様な構造を有するため、複数のソース・ドライバが搭載される(n=2)液晶パネル1であっても、その機能はソース・ドライバI C 3 1をその他のソース・ドライバの代表として説明される。従って、図1には、ソース・ドライバI C 3 1のみが示される。この(これらの)ソース・ドライバは、表示制御回路4と接続している。表示制御回路4は、タイミング制御回路4 5とタイミング調整回路4 6とを有する。表示制御回路4から出力されるデジタル表示データは伝送線R G B D A T Aを、ドットクロックは伝送線C L Kを介してn個のソース・ドライバに入力される。デジタル表示データは、mビットのパラレルデータとして表示制御回路4からソース・ドライバ(図1の参照番号3 1)に伝送される。ソース・ドライバ3 1の内部にはラッチ回路6が備えられ、さらにラッチ回路6には液晶パネル1のゲート線(走査信号線)沿いに並ぶ複数の画素の夫々に出力すべき映像信号に応じたデジタル表示データを格納するシフトレジスタが設けられる。ゲート線沿いに並ぶ複数の画素(ドット)の夫々に応じたデジタル表示データ(mビットのパラレルデータ, mは2以上の自然数)は、ドットクロックのパルスに応じてシフトレジスタに順次取り込まれる。このようなラッチ回路6の機能は、図13を参照して述べた従来の表示装置に搭載されたそれと同様である。

#### 【0042】

しかし、本発明による表示装置(本実施例では液晶表示装置)には、ソース・ドライバ3 1の内部にラッチ回路6の出力を受けるパラレル-シリアル変換回路8が設けられ、これによりラッチ回路6にラッチされた(取り込まれた)mビットのパラレルデータを表示制御回路4から伝送線C L Kを通して出力されるクロックに同期してシリアルデータに変換して、これを表示制御回路4に戻す。図15に示すデジタル表示データの波形の歪みによる当該デジタル表示データのラッチ回路6への取込みミスは、シリアルデータとして保持される。

#### 【0043】

図2は、図1における表示制御回路4の構成の一例を説明する回路ブロック図である。表示制御回路はタイミング制御回路4 5とタイミング調整回路4 6とを有する。本実施例にて示されるタイミング制御回路4 5は、表示装置にその外部(コンピュータやテレビジョン受像機)から入力される画像データ及びそのタイミング信号を受ける駆動タイミング生成回路4 1の他に、固定パターン生成回路4 2、発振器4 3、カウンター4 4を含む。駆動タイミング生成回路4 1は通常タイミング・コントローラ(T C O N)とも称し、薄膜トランジスタをアクティブ素子として各画素に備えた液晶パネルではT F T駆動タイミング生成回路とも呼ばれる。

#### 【0044】

この駆動タイミング生成回路4 1は、図8に示す如く、パーソナル・コンピュータやテレビ受信回路等の外部信号源HOSTから入力された上記画像データ(表示データ)や上記タイミング信号(同期信号:V sync, H sync)等の入力信号に基づいて、液晶パネル(表示素子)に設けられたアクティブ素子を駆動するソース・ドライバI Cやゲート・ドライバI Cを制御するためのフレーム開始信号、走査線に供給する水平同期クロック、ドットクロックD C L K、交流化信号、その他のタイミング制御信号を生成する。但し、本実施例では、ここでは、ドットクロック以外は説明に不要なため、これらの図示は省略してある。

10

20

30

40

50

## 【0045】

固定パターン生成回路42は、テスト表示データ「Test DATA」となる固定パターンデータ(ダミーデータ)を生成して出力する。この固定パターンデータは、例えば、全画面を単一階調で表示する映像信号をソース・ドライバICに生成させるようなデジタル表示データとして生成される。発振器43はソース・ドライバICにラッチされた表示データをシリアルデータとして読み出すための一定の周波数を有するテストクロック「Test CLK」を生成する。このテストクロックTest CLKの周波数は、ドットクロック「DCLK」のそれよりも低く、例えば40MHzのドットクロックDCLKに対して、500kHzに設定される。そして、カウンター44は表示装置の電源投入に呼応して発生されるリセット信号(パワーオン・リセット信号)「RESET」に基づいてテストモードの開始信号「Test MODE」を生成する。

## 【0046】

図3は図1における表示制御回路に有するタイミング調整回路の構成の一例を説明する回路ブロック図である。タイミング調整回路46は、データ・セレクタ回路9、シリアル-パラレル変換回路(図3ではS/Pとも表記)10、比較回路11、遅延回路12、クロック・セレクタ回路13で構成される。また、参照符号「Disp DATA」はデジタル表示データ、「Test DATA」はテスト表示データ、「Test MODE」はテストモード信号、「DCLK」は表示用の高速ドットクロック、「Test CLK」はドットクロック「DCLK」より低い周波数のテストクロックを示す。

## 【0047】

データ・セレクタ回路9は、mビットのデジタル表示データ「Disp DATA」とテスト表示データ「Test DATA」とを切り換える。デジタル表示データDisp DATAは上述した外部回路から表示装置に入力される画像データに基づいて駆動タイミング生成回路41により、テスト表示データTest DATAは上述した固定パターン生成回路42により、それぞれmビットのパラレルデータとして生成される。本実施例では、テスト表示データTest DATAをデジタル表示データDisp DATAと同様にドットクロックDCLKに基づいて生成し、ドットクロックDCLKの信号パルスに呼応させてデジタル表示データDisp DATAと同様にソース・ドライバICにラッチさせる(取り込ませる)。従って、ドットクロックDCLKの周波数が40MHzの場合、テスト表示データTest DATAは、ドットクロックDCLK周波数の逆数:25ns(ナノ秒=10<sup>-9</sup>秒)の周期で変化する擬似的なデジタル表示データDisp DATAとして、ソース・ドライバICのラッチ回路(それに備えられたシフトレジスタ)に入力される。尤も、テスト表示データTest DATAをドットクロックDCLKとは周波数の異なる別のクロック(例えば、テストクロックTest CLK)に基づいて生成し、このクロックに呼応させてソース・ドライバICにラッチさせてもよい。

## 【0048】

クロック・セレクタ回路13は表示用の高速のドットクロック「DCLK」と、このドットクロック「DCLK」より低い周波数のテストクロック「Test CLK」とを切り換える。シリアル-パラレル変換回路10は図1のパラレル-シリアル変換回路8からのシリアルデータをパラレルデータに変換して比較回路11に与える。比較回路11はシリアル-パラレル変換回路10の出力データとテスト表示データ「Test DATA」の比較演算を行う。固定パターン生成回路42でパラレルデータとして生成されたテスト表示データTest DATAは、タイミング調整回路46(データ・セレクタ回路9)を通してソース・ドライバIC31のラッチ回路6に入力され、ソース・ドライバIC31に備えられたパラレル-シリアル変換回路8により一旦シリアルデータに変換された後、シリアル-パラレル変換回路10にて再度パラレルデータに変換されて、比較回路11に入力される。従って、比較回路11では、固定パターン生成回路42で発生した状態のテスト表示データTest DATAとソース・ドライバIC31によるラッチを経たテスト表示データTest DATAとがパラレルデータとして比較され、その相違に応じた出力信号(比較出力)が生成される。遅延回路12は、比較回路11からの比較出力に基づいてドッ

トクロック「D C L K」の遅延量を決定する。

【0049】

データ・セレクタ回路9は通常表示モード（表示装置に入力された画像を表示する期間）ではデジタル表示データ「D i s p D A T A」を選択して伝送線R G B D A T Aに出力し、電源投入時のリセット信号で生成されるテストモード信号「T e s t M O D E」が入力されるテストモードではデジタル表示データD i s p D A T Aに代えてテスト表示データ「T e s t D A T A」を選択して伝送線R G B D A T Aに出力する。以下、図1～図3に示した表示装置の表示制御回路4及びソース・ドライバI C 3 1の動作を図4のタイミング図を参照して説明する。

【0050】

図4は、上述した本実施例の表示装置の動作を表示制御回路4へ入力され、又はその内部で生成され、又はそれから出力される夫々のデータ及び信号のタイミング図であり、各波形に付した参照符号は図1乃至図3に同一参照符号で示した信号、データ、又は伝送線に出力される信号及びデータの一方に対応する。表示装置（本実施例では、液晶表示装置）の電源を投入した時点でリセット信号「R E S E T」が表示制御回路4に含まれるタイミング制御回路4 5に備えられたカウンター4 4に入力される。このリセット信号「R E S E T」でカウンター4 4は所定のカウントを開始する。カウンター4 4に入力されるリセット信号R E S E Tがローレベルからハイレベルへ変化すると、上記カウントが所定のクロックに基づいて開始される。本実施例では、所定のクロックとして発振機4 3で生成した上記テストクロックT e s t C L Kをカウンター4 4に入力し、カウント動作を行ったが、カウント動作用のクロック及びその周波数は、テストクロックT e s t C L K及びその周波数に限定されるものではない。カウンター4 4のカウント動作開始に呼応してテストモード信号「T e s t M O D E」がハイレベルとなり、テストモード（期間）が開始する。本実施例では、カウンター4 4を10ビット構成とし、そのカウント動作がフルカウント（1023カウント目）に到る時点で、カウンター4 4はカウント動作を停止する。

【0051】

このカウンター4 4のカウント動作を周波数500k H zのテストクロックT e s t C L Kで行う場合、1カウントに要する時間はテストクロックT e s t C L Kの周波数の逆数：2 μ s（マイクロ秒=10<sup>-6</sup>秒）となる。従って、上記テストモードは、 $2 \times 1024 = 2048 \mu s$ 、即ち約2m s（ミリ秒）間続いたカウンター4 4のカウント動作の終了に呼応してテストモード信号T e s t M O D Eがローレベルに変わるとともに終了する。図4にてカウンター出力にS t o pと記された期間では、カウンター4 4のカウント動作が休止されているため、テストモード信号「T e s t M O D E」はローレベルに保持される。

【0052】

図4において、テストモード信号「T e s t M O D E」がローレベルである間、図3のデータ・セレクタ回路9はデジタル表示データ「D i s p D A T A」を選択し、これを伝送線R G B D A T Aに出力してソース・ドライバI C 3 1に送る。一方、テストモード信号「T e s t M O D E」がハイレベルである間、データ・セレクタ回路9はテスト表示データ「T e s t D A T A」を選択し、これを伝送線R G B D A T Aに出力してソース・ドライバI C 3 1に送る。

【0053】

クロック・セレクタ回路1 3はテストモード信号「T e s t M O D E」がローレベルのときは常に表示用ドットクロック「D C L K」をクロック伝送線「C L K」に出力し、テストモード信号「T e s t M O D E」がハイレベルとなったときは、後述する比較回路1 1の演算結果等に応じて表示用ドットクロック「D C L K」とテストクロック「T e s t C L K」との何れか一方をクロック伝送線「C L K」に出力する。つまり、クロック・セレクタ回路1 3は、テストモード信号「T e s t M O D E」がローレベルのときは表示パネルに通常の表示動作を行なわせ、ハイレベルのときはクロックタイミングの調整のための遅延制御に加担する。

## 【0054】

ここで、上述の実施例に以下の条件を宛がい、本発明による表示装置及びその駆動方法の一例を更に具体的に説明する。なお、本発明による表示装置及びその駆動方法の実施形態は、以下に述べる各条件に限定されるものではない。

## 【0055】

伝送線 R G B D A T A にパラレルデータとして出力されるデジタル表示データ「 D i s p D A T A 」及びテスト表示データ「 T e s t D A T A 」のデータビット幅を 8 ビット ( b i t ) とし、ソース・ドライバ I C 3 1 のパラレル - シリアル変換回路 8 で読み出され ( 検出され ) 且つタイミング調整回路 4 6 のシリアル - パラレル変換回路 1 0 に送られるテスト表示データ T e s t D A T A のシリアルデータも同様に 8 ビットとする。また、表示用ドットクロック「 D C L K 」の周期を  $25\text{ n s}$  ( $40\text{ M H z}$ ) 、テストクロック「 T e s t C L K 」の周期を  $2\mu\text{s}$  ( $500\text{ k H z}$ ) とする。テストクロック T e s t C L K の周波数とドットクロックの周波数とを異ならせることにより、シリアル - パラレル変換回路 1 0 によるシリアルデータ S R D A T A の読み込み誤り ( ラッピング誤り ) が回避される。この観点では、双方の周波数の高低もその差も限定されない。

10

## 【0056】

比較回路 1 1 は固定パターン生成回路 4 2 にてパラレルデータとして生成された状態のテスト表示データ T e s t D A T A と、ソース・ドライバ I C 3 1 に一旦取り込まれた後、シリアルデータとして検出され且つシリアル - パラレル変換回路 1 0 にて再びパラレルデータに変換されたテスト表示データ T e s t D A T A とを比較し、その比較結果に応じた 3 ビットのデジタルデータ出力 P を遅延回路 1 2 に送る。遅延回路 1 2 は、このデジタルデータ出力 P を参照して前記ドットクロック「 D C L K 」の遅延 ( タイミング ) を制御する。以下に例示される表示装置では、表示パネル ( 液晶パネル 1 ) 内にて走査信号線 ( ゲート線 G L , 図 8 参照 ) 沿いに並ぶ一列 ( 以下、 1 ライン ) の画素 ( ドット ) の夫々に対応したパラレルデータ ( デジタル表示データ D i s p D A T A ) が、これらの伝送線 R G B D A T A への出力開始時刻から  $4\text{ n s}$  遅れて立ち上がる ( 又は立ち下がる ) ドットクロック D C L K でソース・ドライバ I C 3 1 ( ... 3 n ) に順次取り込まれる。図 1 4 を用いて説明すれば、画素 ( ドット ) 毎に周期  $T_c$  ( $= 25\text{ n s}$ ) で 8 本の伝送線 R G B D A T A に出力される 8 ビットのパラレルデータの各々が、この立ち上がり ( 立ち下り ) 時刻よりも時間  $T_s$  ( $= 4\text{ n s}$ ) だけ遅れたドットクロック ( 伝送線 C L K に出力される ) の立ち上がりでソース・ドライバに取り込まれる。データ取り込みやデータ処理のタイミングを決めるクロックの信号波形の立ち上がり又は立ち下りは、エッジ ( Edge ) とも呼ばれる。

20

## 【0057】

このように上記 1 ラインの全画素に夫々応じたパラレルデータを、遅延時間が  $4\text{ n s}$  のドットクロック D C L K のエッジでソース・ドライバに取り込むとき、1 ラインの一端 ( 表示制御回路 4 の最も近く ) に位置する画素に応じたパラレルデータに比べて、その他端 ( 表示制御回路 4 より最も遠く ) に位置する画素に応じたパラレルデータの波形は歪み、その立ち上がりや立ち下りがドットクロック D C L K のエッジよりも遅れることがある。その結果、1 ラインの他端に位置する画素に応じたパラレルデータの一部がソース・ドライバに取り込まれないために、表示装置の画面がちらつく。本実施例に記される表示装置及びその駆動方法では、このようなパラレルデータの読み込み誤り ( Acquisition Error ) を表示装置の始動時に予め検出し、その結果を一旦シリアルデータに変換して、これをシリアル - パラレル変換回路 1 0 により再度パラレルデータに変換することで、シリアル - パラレル変換回路 1 0 から出力されるパラレルデータと伝送線 R G B D A T A に出力される正常なパラレルデータとの相違を明らかにする。比較回路 1 1 は、この 2 つのパラレルデータの相違を認識することにより、これから遅延回路 1 2 へ送られる 3 ビットのデジタルデータ出力 P を 1 ビット変化させ、遅延回路 1 2 はデジタルデータ出力 P が 1 ビット変化する毎に表示用ドットクロック「 D C L K 」を  $0.5\text{ n s}$  遅延させる。例えば、表示装置の動作の初期条件として、伝送線 R G B D A T A に出力されるパラレルデータに対す

30

40

50

るドットクロック D C L K のエッジの遅延時間が 4 n s に設定されたとき、デジタルデータ出力 P の 1 ビットの変化により、この遅延時間は 4 . 5 n s に延びる。

#### 【 0 0 5 8 】

本実施例の表示装置において、図 2 と図 3 に示したタイミング調整回路 4 6 ( 例えば、表示制御回路 4 に設けられる ) が、 ( ... 3 n ) に設けられたパラレル - シリアル変換回路 8 ( 例えば、ソース・ドライバ 3 1 に設けられる ) より送られるシリアルデータに基づいて、伝送線 R G B D A T A に出力されるパラレルデータと、クロック伝送線 C L K に出力されてソース・ドライバによるパラレルデータ取込みを制御するクロック信号 ( 例えば、ドットクロック ) とのタイミングを調整する様子を、図 4 及び図 5 ~ 図 7 B を参照して更に説明する。

10

#### 【 0 0 5 9 】

図 2 および図 3 において、タイミング調整回路 4 6 からパラレルデータが出力される伝送線 R G B D A T A は、そのビット幅 : m ( m は 2 以上の自然数 ) に応じた m 本の配線により 2 値のデータ信号を伝送する。上述したように、本実施例ではパラレルデータのビット幅が 8 ビットであるため、伝送線 R G B D A T A は  $n_0 \sim n_7$  の 8 本の配線を備える。一方、図 2 に示すタイミング制御回路 4 5 は、これに備えられた固定パターン生成回路 4 2 により、図 5 に示すようなテスト表示データを 8 ビットのパラレルデータとして生成する。このテスト表示データ T e s t D A T A は、表示パネル ( 液晶パネル ) の上記 1 ラインに含まれる夫々の画素に応じた値 ( 擬似的な情報 ) を有する。例えば、表示装置が水平解像度 1 0 2 4 × 垂直解像度 7 6 8 の X G A 規格の表示パネルを備える場合、テスト表示データ T e s t D A T A は、1 0 2 4 個の画素 ( ドット ) の夫々に応じた値を含む。

20

#### 【 0 0 6 0 】

テスト表示データ T e s t D A T A には、1 ラインに含まれる各画素に応じた数値 ( D a t u m ) をその一端に位置する画素から他端に位置する画素まで順次取り込むソース・ドライバの特性に合わせ、画素毎に応じた数値 ( Pseudo D a t u m ) が時間軸に沿い所定の周期で並ぶ。この所定の周期は、テスト表示データ T e s t D A T A に含まれるこれらの数値 ( Pseudo D a t u m ) を、ソース・ドライバに逐次取り込ませるクロックの周期に合わせる。本実施例では、テスト表示データ T e s t D A T A を実際の画像表示に用いられるデジタル表示データ D i s p D A T A と同様にドットクロック D C L K の立ち上がりエッジに呼応させてソース・ドライバに取り込ませるため、図 5 に示す如く、1 番目から 1 0 2 4 番目に到る各々の画素に取り込まれる数値 ( Pseudo D a t u m ) がドットクロック D C L K の間隔 ( 周波数 4 0 M H z にして 2 5 n s ) で順次現れる。

30

#### 【 0 0 6 1 】

図 5 に例示されるテスト表示データ T e s t D A T A は、1 画素おきに 8 本の配線の少なくとも一つがハイレベル ( 1 ) となる第 1 パターンと 8 本の配線の全てがローレベル ( 0 ) となる第 2 パターンとを交互に繰り返す。伝送線 R G B D A T A に含まれる各配線 :  $n_x$  ( x は 0 以上の整数 ) で伝送される 2 値のデータ信号が、ハイレベル ( 1 ) のときに 2  $x$  の数値を、ローレベル ( 0 ) のときに 0 ( Z e r o ) の数値を夫々示すとすると、配線  $n_0, n_1, n_3, n_4, n_5$  及び  $n_7$  で伝送されるデータ信号がハイレベル ( 1 ) となる図 5 の第 1 パターンは、1 8 7 の数値 ( Pseudo D a t u m ) を示す。また、図 5 の第 2 パターンは 0 ( Z e r o ) の数値 ( Pseudo D a t u m ) を示す。テスト表示データ T e s t D A T A に含まれるパターンは、図 5 に例示される第 1 パターン及び第 2 パターンに限られず、そのパターン数を増やしてもよく、そのいずれか一つを 0 ( Z e r o ) の数値に相当するパターンにする必要もない。如何なるパターンの設定においても、伝送線 R G B D A T A に含まれる複数の配線の少なくとも一つが 1 画素又は複数画素おきにローレベルからハイレベル、又はハイレベルからローレベルに変動すればよい。また、複数の配線の少なくとも一つで伝送されるデータ信号の変動が 1 ラインに含まれる複数の画素の一端側と他端側との少なくとも 2 箇所で生じればよい。

40

#### 【 0 0 6 2 】

図 5 に例示されるテスト表示データ T e s t D A T A の第 1 パターン及び第 2 パターンが

50

夫々示すパラレルデータの数値 (Pseudo Datum) は、以降、16進数に則り、前者を (A A)、後者を (0 0) として記す。第1パターンを (A A) と示すことにより、第1パターンを上述した一例にて宛がわれた数値 (Pseudo Datum) : 187 に限定されず、且つパラレルデータのビット幅や固定パターン生成回路 42 等に応じて任意に変更しえる普遍的な数値 (Pseudo Datum) として定義する。このように定義された第1パターンは、そのパラレルデータに含まれる複数のデータ信号の少なくとも一つが、第2パターンのパラレルデータに含まれるそれとは異なるレベルを示すという特徴を示す。また、時間軸沿いに交互に並ぶ第1パターン (A A) と第2パターン (0 0) とを含み、第1パターン (A A) の数値 (Pseudo Datum) が1ラインの画素の奇数番目 (1, 3, 5, ..., 1021, 1023) に対応するラッチ回路 6 のシフトレジスタに、第2パターン (0 0) の数値が当該 10 1ラインの画素の偶数番目 (2, 4, ..., 1022, 1024) に対応するラッチ回路 6 のシフトレジスタに、夫々入力される図 5 のテスト表示データ Test DATA (パラレルデータ) を、以降、(A A) Hex と示す。

#### 【0063】

図 2 に示すタイミング制御回路 45 は、これに備えられたカウンター 44 のカウント動作の開始に呼応して、これからタイミング調整回路 46 に送られるテストモード信号「Test MODE」をローレベルからハイレベルに切り替える。これにより、タイミング調整回路 46 に備えられたデータ・セレクタ回路 9 は、テスト表示データ「Test DATA」を選択して、伝送線 RGB DATA に出力する。この動作は図 4 にて“Case A”と記された期間に行われる。この期間において、比較回路 11 は、表示用ドットクロック「DCLK」を選択し、クロック伝送線 CLK を通してソース・ドライバ IC31 に供給する。伝送線 RGB DATA に出力されたテスト表示データ Test DATA は、表示用クロック DCLK の信号波形の立ち上がりエッジに応じて、ソース・ドライバ IC31 (... 3n) に取り込まれる (ラッチされる)。 20

#### 【0064】

テスト表示データ Test DATA が図 5 に示す配線  $n_0 \sim n_7$  で伝送されるデータ信号の組み合わせ (A A) Hex であるとき、図 1 におけるソース・ドライバ IC31 のラッチ回路 6 には、第1パターン (A A) に含まれるデータ信号群と、第2パターン (0 0) に含まれるデータ信号群とが交互にラッチされていることになる。図 13 を参照して説明したように、表示制御回路 4 から出力されるデータ及び信号 (クロック) は、伝送線 RGB DATA 及びクロック伝送線 CLK を通して、表示パネル (液晶パネル 1) の一辺に並設される複数のソース・ドライバ IC31 ~ 3n の表示制御回路 4 の近くに配置されたもの 31 から、この表示制御回路 4 より遠くに配置されたもの 3n まで順次伝播される。 30

#### 【0065】

テスト表示データ Test DATA がデータ伝送線 RGB DATA により、ドットクロック DCLK がクロック伝送線 CLK により、表示制御回路 4 に最も近いソース・ドライバ IC31 (表示制御回路 4 に対する近端部: A) から表示制御回路 4 より最も離れたソース・ドライバ IC3n (表示制御回路 4 に対する遠端部: B) に向けて夫々伝播されるに従い、テスト表示データ Test DATA の波形とドットクロック DCLK の波形との間には、タイミング誤差 (Timing Error, または位相のずれ) が生じる。これは、データ伝送線 RGB DATA 及びクロック伝送線 CLK のデータ又は信号の伝送路としての特性の相違にも因る。従って、遠端部 (B) に配置されたソース・ドライバ IC3n にラッチされるパラレルデータに含まれているはずのデータ信号の一つが、実際にはソース・ドライバ IC3n にラッチされないこともある。従って、データ (A A) Hex としてデータ伝送線 RGB DATA に出力されたパラレルデータが、これに含まれる僅か 1 画素分 (A A) の数値に含まれるデータ信号の 1 つの欠落により、(A A) Hex とは異なるパラレルデータとしてソース・ドライバ IC3n に取り込まれることもある。このようにソース・ドライバ IC によるパラレルデータの取り込み誤りにより、ソース・ドライバ IC に取り込まれたパラレルデータを取り込まれるべきデータ (A A) Hex に対して (A B) Hex と記す。ソース・ドライバ IC による (A B) Hex なる誤ったパラレルデータの取り 40 50

込みは、表示装置のラッチ不良を起こし、これにより表示装置の画面にはチラツキが生じる。

【0066】

近端部（A）から遠端部（B）に信号が伝播する伝送路間のラッチ不良の具体例を、図14を用いて説明する。データ伝送線R G B D A T Aを通してソース・ドライバI Cに供給されるパラレルデータ（これに含まれる各データ信号）がその一つのデータ区間T c（例えば、n番目の周期）にて示す波形に対し、クロック伝送線C L Kを通して伝送されるクロックはセットアップ時間（T s）の経過後にハイレベルに立ち上がり、ホールド時間（T h）に亘りハイレベルに保たれる。本実施例にて、図14に示すクロックのセットアップ時間T sは4 n sである。また、mビットのデータ伝送線R G B D A T Aの出力端子とクロック伝送線C L Kの出力端子との間の端子間遅延バラツキ（典型値）をT Y P 0 . 5 n s、温度および電圧変動に対する遅延バラツキ（典型値）をT Y P 0 . 3 n s（M a x 0 . 6 n s）とする。

10

【0067】

図14に示したn番目のデータ区間T c（周期）にて、データ伝送線R G B D A T Aを通過するパラレルデータに含まれるデータ信号（例えば、図5に示すデータ信号n<sub>x</sub>）を図15に示す。本来、データ信号は、近端部（A）から遠端部（B）に至る伝送路を、データ区間T c（ここでは、25 n sの周期）毎に図15に示す矩形の「理想データ波形」を示しながら伝送される。データ信号が上記デジタル表示データD i s p D A T Aに属するとき、データ区間T c毎に現れるデータ波形は、1ラインに含まれる画素の一つに対応し、これに入力される映像信号をソース・ドライバI Cに発生させる。しかし、実際には、この伝送路に接続されたソース・ドライバI Cなどの負荷が、伝送路を通過するデータ信号の波形を徐々に鈍らせる。例えば、伝送路が遠端部（B）に至る途上で、これに複数（本実施例ではn個）のソース・ドライバI Cが接続されると、これにより伝送されるデータ信号の波形は、データ区間T c毎に正弦波状に鈍っていく（歪んでいく）。このように鈍らされたデータ信号の波形の一例を、図15に「実際のデータ波形」として示す。

20

【0068】

データ伝送線R G B D A T Aで伝送されるデータの波形に鈍りが生じることで、このデータの論理状態が一つのデータT cにおいて、ハイレベル又はローレベルとして認識できる時間は25 n s（データ区間T cの一周期）より短くなる。ここで、前記図14および図15で説明したように、論理的に“1”又は“0”と認識できる時間を近端部（A）に設置されたソース・ドライバI C 3 1でT p a、遠端部（B）に設置されたソース・ドライバI C 3 nでT p bとしたとき、T p a = 12 . 5 n s（25 n sの50%）、T p b = 10 n s（25 n sの40%）とする。

30

【0069】

ここで、図15に「実際のデータ波形」として示した前記2つのデータ信号のデータ区間T cにおける論理が、このデータ区間T cの中央に現れるクロックの立ち上がりエッジで認識されると仮定する。換言すれば、このクロックの立ち上がりエッジは、長さ25 n sのデータ区間T cの開始時刻から12 . 5 n s後に現れる。このクロックは、クロック伝送線C L Kで伝送される例えばドットクロックD C L Kに相当するが、上記仮定の下、その立ち上がりエッジの出現時刻は本実施例として既に記した出現時刻（データ区間T cの開始時刻から4 n s後）とは異なる。

40

【0070】

データ区間T cの中央にクロックの立ち上がりエッジが出現する時刻に対して、図15に示す前記2つの「実際のデータ波形（データ信号）」の夫々がハイレベルとなる期間は、上記T p a, T p bにより決められる。しかし、これら「実際のデータ波形（データ信号）」が、クロックの立ち上がりエッジが生じるタイミングでハイレベルと認識されるのは、この立ち上がりエッジの出現時刻よりT p a / 2, 又はT p b / 2前の期間に限られる。クロックの立ち上がりエッジで表示制御回路4に近い位置（近端部（A））でデータ信号の論理状態を認識するにあたり、データ信号は上記立ち上がりエッジの出現時刻の6 .

50

25 ns (= 12.5 ns の 50%) 前にハイレベルに立ち上がるため、データ信号をハイレベル状態に落ち着かせる 6.25 ns のマージンが得られる。また、クロックの立ち上がりエッジで表示制御回路 4 より離れた位置（遠端部（B））でデータ信号の論理状態を認識するにあたり、データ信号は上記立ち上がりエッジの出現時刻の 5.0 ns (= 10.0 ns の 50%) 前にハイレベルに立ち上がるため、データ信号をハイレベル状態に落ち着かせる 5.0 ns のマージンが得られる。

#### 【0071】

図 14 を参照して前述したクロックのセットアップ時間  $T_s$  は、その立ち上がりエッジ（又は立下りエッジ）でデータ波形のレベルを認識し又はソース・ドライバ等に取り込むにあたり、この立ち上がりエッジ（又は立下りエッジ）が出現する時刻をデータ波形が立ち上がり又は立ち下る時刻に対して遅らせる時間として定義される。これにより、ハイレベルに立ち上がるデータ波形を時間  $T_s$  の間にハイレベル状態に落ち着かせた状態で、又ローレベルに立ち下がるデータ波形を時間  $T_s$  の間にローレベル状態に落ち着かせた状態で、クロックの立ち上がりエッジ（又は立下りエッジ）により認識し、又は周辺回路に取り込む。クロックのセットアップ時間  $T_s$  が長いほど、その立ち上がりエッジ（又は立下りエッジ）によるデータ信号レベルの認識を、当該データ信号の波形ゆらぎやこれに重畳するノイズの影響を抑えて、正確に行える。

#### 【0072】

上述した本実施例の表示装置では、4 ns のクロックのセットアップ時間  $T_s$  により、ソース・ドライバへのデジタル表示データの取り込み精度を確保する。また、本実施例にて述べたクロックのセットアップ時間  $T_s$  の条件に対して、図 15 を参照して述べた近端部（A）におけるデータ信号の論理状態の変化は、クロックの立ち上がりエッジに、上記マージンに相当した 6.25 ns という充分な長さのセットアップ時間  $T_{sa}$  を与える。また、遠端部（B）におけるデータ信号の論理状態の変化も、クロックの立ち上がりエッジに、上記マージンに相当した 5.0 ns という充分な長さのセットアップ時間  $T_{sb}$  を与える。しかしながら、図 15 に示す「実際の波形」は更に別の要因で遅延されるため、夫々に定義されるクロックのセットアップ時間  $T_{sa}$ 、 $T_{sb}$  は短くならざるを得なくなる。

#### 【0073】

上述した別の要因は、前記した端子間遅延と、温度及び電圧変動遅延である。これらが同時にデータ「RGBDATA」に作用すれば、上記セットアップ時間は、それぞれ  $T_{sa} = 5.45 ns (= 6.25 ns - 0.8 ns)$ 、 $T_{sb} = 4.2 ns (= 5.0 ns - 0.8 ns)$  となる。さらに、電源投入後、データ伝送線 RGBDATA で伝送されるパラレルデータの下位 2 ビット目（例えば、Fig. 5 に示すデータ信号  $n_1$ ）における温度及び電圧変動遅延が 0.3 ns から最大 0.6 ns に変化した場合、上記セットアップ時間は、それぞれ 0.3 ns 短くなる。これにより、近端部（A）に設置されたソース・ドライバ IC31 で  $T_{sa} = 5.15 ns$ 、遠端部（B）に設置されたソース・ドライバ IC3n で  $T_{sb} = 3.9 ns$  となる。

#### 【0074】

その結果、上記ソース・ドライバ IC3n のセットアップ時間  $T_{sb}$  が上述したラッチ動作条件（4 ns）を満たさなくなり、ソース・ドライバ IC3n はラッチ不良を起こす。したがって、上記した一例に示したように、近端部（A）に設置されたソース・ドライバ IC31 で正しいデータ（AA）Hex をラッチできても、遠端部（B）に設置されたソース・ドライバ IC3n では誤ったデータ（AB）Hex を常にラッチすることになる。

#### 【0075】

表示パネルの 1 ラインに含まれる画素の夫々に対応したテスト表示データをソース・ドライバに取り込む期間（図 4 の Case A）が終了した後、図 3 の比較回路 11 からの指令信号に応じて、クロック・セレクタ回路 13 は、ドットクロック DCLK に代えてこれより周波数の低いテストクロック TestCLK を選択する。このクロック伝送線 CLK に出力されるクロックの自動的な切り換え動作により、図 4 に示す「Case B」の期間が開始される。

10

20

30

40

50

## 【0076】

図1に示すパラレル-シリアル変換回路8は、前記したテストクロックTestCLKに呼応してソース・ドライバICのラッチ回路6にラッチして保持されたパラレルデータをシリアルデータに変換する。例えば、図5に示すテスト表示データTestDATAが、ソース・ドライバIC（複数のソース・ドライバICの全て）により読み込み誤り無くラッチされると、パラレル-シリアル変換回路8は、ラッチされたパラレルデータ（AA）Hexをシリアルデータ（AA）hexに変換する（添え字のHexとhexとはパラレルデータとシリアルデータとの相違を反映）。しかし、ソース・ドライバICがテスト表示データTestDATA（パラレルデータ（AA）Hex）に含まれるべきデータ信号の一つでもラッチし損ねると、パラレル-シリアル変換回路8はラッチされたパラレルデータを（AA）Hexとは異なる（AB）Hexとしてシリアルデータ（AB）hexに変換する。いずれの場合においても、パラレル-シリアル変換回路8から出力されるシリアルデータSRDATAは表示制御回路4のタイミング調整回路46（図3参照）に伝送される。

## 【0077】

なお、パラレル-シリアル変換回路8は、クロック伝送線CLKを通してドットクロックDCLKがこれに入力される間（例えば、期間：CaseA）でも、ソース・ドライバICに保持されたパラレルデータがあれば、これをシリアルデータに変換する。しかし、ソース・ドライバICにラッチされた後のテスト表示データTestDATAとこれがラッチされる前の状態とを比較する本実施例の表示装置にとって、ソース・ドライバICにラッチされたテスト表示データTestDATA以外のパラレルデータは無用である。従って、タイミング調整回路46に設けられたシリアル-パラレル変換回路10は、パラレル-シリアル変換回路8から出力されるシリアルデータSRDATAがテスト表示データTestDATAに基づいて生成されたシリアルデータ（（AA）hex及び（AB）hex）以外であると、これを無効（Invalid）と見なしてパラレルデータに変換しない。図4にて、「-」が記されたシリアルデータSRDATAの波形は、このように無効と判定されたパラレル-シリアル変換回路8の出力を示す。

## 【0078】

XGA規格の表示パネル（画像表示領域）の1ラインをなす1024個の画素（ドット）の奇数番目に数値（Pseudo Datum）：（AA）の第1パターンを、その偶数番目に数値：（00）の第2パターンを夫々対応させる本実施例のテスト表示データTestDATA（図5参照）は、図6に示されるようなシリアルデータSRDATAに変換される。パラレル-シリアル変換回路8は、1ラインの一端の画素（1st Dot）から他端の画素（1024th Dot）に到る1024画素の夫々に対応させてラッチ回路6（シフトレジスタ）に取り込まれた8ビットのパラレルデータを、1画素ずつ1ビット目のデータ信号から8ビット目のデータ信号まで順次読み出していく。図6に、SRDATA/Dotと示された波形は、上記1024個の画素の奇数番目の群に属する各々から読み出されるシリアルデータSRDATAを例示する。奇数番目の画素の各々に対応する8ビットのパラレルデータ（AA）は、図5に示す1ビット毎に宛がわれた配線（n<sub>0</sub>～n<sub>7</sub>）で伝送されるデータ信号を時間軸沿いに並べた波形をもつシリアルデータ（aa）に変わる。従って、シリアルデータ（AA）hexに含まれ且つ奇数番目の画素に対応した所謂第1パターン：（aa）は、これに属する8つのデータ信号が下位ビット（配線n<sub>0</sub>で伝送）側から並ぶ、テストクロックTestCLKの周期毎にH（ハイ），H，L（ロー），H，H，H，L，Hのレベル変動を示す波形を有する。

## 【0079】

表示パネルの1ラインをなす1024個の画素に対応するパラレルデータ（AA）Hex（テスト表示データ）を順次ソース・ドライバICに取り込む期間（上記CaseA）において、その623番目の画素に対応する8ビットのパラレルデータ（AA）をソース・ドライバICに取り込む際に、ハイレベルにある下位2ビット目のデータ信号n<sub>1</sub>がラッチされないことを想定する。1番目から621番目に到る310の奇数番目の画素に対応

するシリアルデータ ( A A ) hex の第 1 パターン : ( a a ) をなす「 H , H , L , H , H , H , L , H 」のデータ信号レベルの配列は、 623 番目の画素及びこれより表示制御回路 4 から遠い奇数番目の画素にて「 H , L , L , H , H , H , L , H 」の配列に変わる。このように、 m ビットのシリアルデータ : ( a a ) に含まれる m 個のデータ信号レベルの少なくとも一つが変化したシリアルデータを以降 ( a b ) と記す。

#### 【 0080 】

奇数番目の画素に対応するシリアルデータの第 1 パターン : ( a a ) が 623 番目の画素以降、これとは異なるシリアルデータ : ( a b ) に変わる様子は、図 6 のシリアルデータの波形 S R D A T A , S R D A T A / D o t にも示される。図 6 の波形 S R D A T A / D o t において、ソース・ドライバ I C にラッチされた 623 番目の画素に対応するパラレルデータが、シリアルデータに変換されることにより、データ信号  $n_1$  がハイレベルとなるべき期間にローレベルとならざるを得ない結果がシリアルデータに残される。図 6 の波形 S R D A T A / D o t のデータ信号  $n_1$  が传送される期間には、ソース・ドライバ I C のラッチ不良に因るシリアルデータ : ( a b ) のデータ信号レベルが実線で、このラッチ不良を受けないシリアルデータ : ( a a ) のデータ信号レベルが点線で、夫々示される。

#### 【 0081 】

このように 623 番目の画素に対応したデータのラッチ不良が記録されたシリアルデータ ( A B ) が、タイミング調整回路 46 に設けられたシリアル - パラレル変換回路 10 に入力されると、シリアル - パラレル変換回路 10 はこのデータのラッチ不良が反映されたパラレルデータ ( A B ) hex を生成する。シリアル - パラレル変換回路 10 は、図 7A に示される如く、パラレル - シリアル変換回路 8 から 1 画素毎に送られるシリアルデータを順次パラレルデータに変換して、画素毎に得られたパラレルデータ ( ( A A ) や ( 00 ) ) を比較回路 11 に送る。従って、比較回路 11 は、シリアル - パラレル変換回路 10 が 622 番目の画素に対応するパラレルデータ ( 00 ) を出力した段階では、ソース・ドライバ I C にラッチされたテスト表示データ Test DATA が、固定パターン生成回路 42 で生成された状態のそれと同じであると認識する。しかし、シリアル - パラレル変換回路 10 が 623 番目の画素に対応するパラレルデータ ( A B ) を比較回路 11 に送ると、比較回路 11 はソース・ドライバ I C にラッチされたテスト表示データ Test DATA が、固定パターン生成回路 42 で生成された状態とは異なると認識する。このような 2 つのパラレルデータを比較回路 11 が認識する様子は、図 7A に並べられた 2 つのパラレルデータ波形 : Test DATA ( detected ) と Test DATA ( generated ) とによって示される。

#### 【 0082 】

このようにタイミング調整回路 46 に備えられたシリアル - パラレル変換回路 10 は入力したシリアルデータを再度 8 ビットのパラレルデータに変換して比較回路 11 に与える。比較回路 11 では、シリアル - パラレル変換回路 10 で変換されたパラレルデータと固定パターン生成回路 42 で生成された状態のテスト表示データ Test DATA のパラレルデータとの比較演算を実行する。上述のようにシリアル - パラレル変換回路 10 で変換されたパラレルデータの値 ( A B ) hex と固定パターン生成回路 42 で生成されたパラレルデータの値 ( A A ) hex とが、一致しないとき、比較回路 11 は遅延回路 12 にデジタルデータ出力 ( 以下、不一致信号とも記す ) P を出力する。

#### 【 0083 】

不一致信号 P は、デジタルデータ出力として既に説明したように、比較回路 11 における上記テスト表示データ Test DATA の生成時のパラレルデータとソース・ドライバによるラッチを経験したパラレルデータとを比較した結果に基づいて生成され、遅延回路 12 の動作を制御する。比較回路 11 からのデジタルデータ出力 P は、例えば、 2 値信号 ( 2 進数 ) からなる 3 ビットデータとして生成され、例えば、表示装置を始動させた時点 ( 比較回路 11 が上記 2 つのパラレルデータの相違を検出する前 ) にて、 ( 100 ) Bin なる値を示す。

#### 【 0084 】

10

20

30

40

50

一方、遅延回路 12 は、タイミング生成回路 41 で生成されたドットクロック DCLK を受け、その出力タイミング（信号パルスの位相）を所定期間だけ遅延させる。この遅延期間は、比較回路 11 から遅延回路 12 に送られるデジタルデータ出力 P により決まり、例えば、P の値が上述した (100) Bin であると、それに応じてドットクロック DCLK の信号パルスを遅延させ、クロック・セレクタ回路 13 に送る。これに対し、比較回路 11 が上記 2 つのパラレルデータの相違を検出すると、これから遅延回路 12 へ送られるデジタルデータ出力 P に「1」を加算して (101) Bin なるデータを生成する。遅延回路 12 は、比較回路 11 から受け取るデジタルデータ出力 P の論理状態が (100) Bin から (101) Bin に変化したことを認識し、これによるドットクロック DCLK の信号パルスの遅延期間を延ばす。本実施例では、デジタルデータ出力 P の論理状態が 1 ビット増える毎に、遅延回路 12 はドットクロック DCLK の遅延期間を 0.5 ns 延ばす。このような比較回路 11 と遅延回路 12 との動作の連係は、Fig. 7 A の比較回路出力 P 及びドットクロック DCLK の夫々の波形にも示される。また、図 4 に示されるシリアルデータ SRDATA 及び比較回路出力データ P の概略に対し、実際にシリアルデータ SRDATA が (AB) hex と認識される時刻、また比較回路出力データ P の論理状態が「1」だけ増加する時刻は、期間 Case B の開始時刻より遅れることが多い。  
10

#### 【0085】

なお、比較回路 11 で生成されるデジタルデータ P の論理状態の減算に対して遅延回路 12 を不感にし（これによるドットクロック DCLK の遅延期間を不变とし）、且つデジタルデータ P の論理状態を、テストモード信号 Test MODE のハイレベルからロー レベルへの変化や、リセット信号 RESET のローレベルからハイレベルへの変化に応じて初期値（本実施例では、(100) Bin）に戻してもよい。これにより、ドットクロック DCLK の遅延期間が調整される様子を図 7 B に示す。実線で示されたドットクロック DCLK の波形は 25 ns の周期で立ち上がりエッジを示す。これに対し、デジタルデータ P の論理状態が「1」毎に増えるに従い、これに応じた遅延期間の増加量（例えば、0.5 ns）に応じてドットクロック DCLK の波形がシフトする。実線 WF (0) のドットクロック DCLK の波形に対して、点線 WF (1) は 0.5 ns、破線 WF (2) は 1.0 ns 遅延したドットクロック DCLK の波形を夫々示す。比較回路 11 と遅延回路 12 との連係動作による遅延期間を 49 回繰り返したとすると、ドットクロック DCLK の波形は一点鎖線 WF (49) に示すように実線で示すそれより 24.5 ns 遅延される。換言すれば、一点鎖線 WF (49) で示されたドットクロック DCLK の波形には、実線 WF (0) で示されたそれより 0.5 ns 早く立ち上がりエッジが現れる。  
20

#### 【0086】

前記したように、遅延回路 12 は、比較回路 11 から受け取るデジタルデータ出力（不一致信号）P が 1 ビット変化する毎にドットクロック DCLK を 0.5 ns ずつ遅延させるため、図 4 に示す期間 Case B の終了時にはドットクロック DCLK のタイミング（その立ち上がりエッジのテスト表示データ周期に対する遅延）が、表示制御回路 4 より最も遠いソース・ドライバにおけるラッチ不良をも防ぐように調整される。この前提のもと、クロック・セレクタ回路 13 により選択されてクロック伝送線 CLK に出力されるタイミング信号をテストクロック Test CLK からドットクロック DCLK に切替える。これにより、図 4 に「Case C」と示した期間が開始される。期間 Case C では、ドットクロック DCLK のタイミングを、ソース・ドライバによるデータ伝送線 RGBDATA からのデータ取込みに対して調整した（最適化した）条件で、データ伝送線 RGBDATA に出力されたテスト表示データ Test DATA をソース・ドライバのラッチ回路に取り込む。  
30

#### 【0087】

前記したように、データ伝送線 RGBDATA で伝送されるパラレルデータの各データ信号を、その周期より 4 ns 遅れた立ち上がりエッジでソース・ドライバに取り込むようにドットクロック DCLK のセットアップ時間 Ts が調整された本実施例の表示パネル（液  
40  
50

晶パネル)では、その表示制御回路4からの上記データ信号の伝送距離が延びるにつれて、このデータ信号の波形鈍りや遅延がドットクロックDCLKのセットアップ時間の初期値(4ns)を無効にする。本実施例の表示装置においては、パラレルデータとしてデータ伝送線RGBDATAにより伝送される画像情報がソース・ドライバに取り込まれる精度を確保するに必要なクロックのセットアップ時間を4ns以上としたが、上述のとおり、表示制御回路4より離れた(遠端部(B))ソース・ドライバIC3nによるデータ取込みにおけるセットアップ時間はTsb=3.9nsとなり、4nsに満たない。

#### 【0088】

これに対し、期間CaseBにてドットクロックDCLKの遅延時間を0.5ns延ばすことにより、遠端部(B)に配置されたソース・ドライバIC3nにおけるセットアップ時間はTsb=4.4nsとなり、ドットクロックDCLKの立ち上がりエッジに対して取り込むべきパラレルデータのレベル変化に十分なマージンが確保される。表示制御回路4に近い(近端部(A))のソース・ドライバIC31によるデータ取込みにおけるドットクロックDCLKのセットアップ時間も、Tsa=5.15nsからTsa=5.65nsに延びる。その結果、近端部(A)に配置されたソース・ドライバIC31及び遠端部(B)に配置されたソース・ドライバIC3nのいずれにおいても、データ(画像情報)がハイレベル又はローレベルに十分に落ち着かせた状態で取り込まれるため、ソース・ドライバによるデータの取込み誤りが低減され、表示装置の画面に生じるちらつきも抑えられる。

#### 【0089】

図4に示す期間CaseCにてソース・ドライバに取り込まれたテスト表示データTestDATAは、これに続く期間CaseDにて期間CaseBと同様にシリアルデータSRDATAとして読み出され、表示制御回路4に設けられたタイミング調整回路46にて再びパラレルデータに変換された後、比較回路11に入力されて固定パターン生成回路42で生成された状態のテスト表示データTestDATAと比較される。これにより、近端部(A)に配置されたソース・ドライバIC31と遠端部(B)に配置されたソース・ドライバIC3nとに夫々備えられたラッチ回路6が、データ伝送線RGBDATAで伝送されるパラレルデータ(AA)Hexを同様にラッチすることが検証される。

#### 【0090】

期間CaseDは、比較回路11からの指令信号によりクロック・セレクタ回路13により選択されるドットクロックDCLKをテストクロックTestCLKに切り換えて、クロック伝送線CLKに出力させて開始される。パラレル-シリアル変換回路8はクロック伝送線CLKに出力されたテストクロックTestCLKに呼応して、ソース・ドライバICに保持されているテスト表示データTestDATAをシリアルデータSRDATAとして読み出し、これをタイミング調整回路46に備えられたシリアル-パラレル変換回路10に送る。シリアルデータSRDATAは、シリアル-パラレル変換回路10にてパラレルデータに変換され、比較回路11で固定パターン生成回路42で生成された状態のテスト表示データTestDATAと比較される。期間CaseBにてドットクロックDCLKの遅延時間が適切に調整されていれば、シリアルデータSRDATAは(AA)hexとしてソース・ドライバICから読み出されるため、シリアル-パラレル変換回路10により、固定パターン生成回路42で生成されるテスト表示データTestDATAと同じパラレルデータ(AA)Hexに変換される。このとき、比較回路11から遅延回路12に出力される3ビットのデジタルデータは期間CaseBにて設定された論理状態(101)Binを維持し、遅延回路12はドットクロックDCLKの遅延時間を変えない。

#### 【0091】

以上に述べた期間CaseAから期間CaseDに至る表示装置のテストモード動作において、期間CaseAはソース・ドライバにテスト表示データを取り込ませる工程に、期間CaseBはソース・ドライバに取り込まれたテスト表示データを用いてソース・ドライバのラッチ動作を確認し且つソース・ドライバのラッチ不良の検出に対してドットクロ

10

20

30

40

50

ック D C L K の遅延期間を調整する工程に、期間 C a s e C は期間 C a s e B でその遅延期間が調整されたドットクロック D C L K により再度ソース・ドライバにテスト表示データを取り込ませる工程に、期間 C a s e D はソース・ドライバに取り込まれたテスト表示データを用いてソース・ドライバがラッチ不良を起こさないこと（期間 C a s e B にてドットクロック D C L K の遅延期間が適切に調整されたこと）を確認する工程に、夫々宛がわれる。このため、期間 C a s e B にてソース・ドライバのラッチ不良が検出されない場合は、それ以降の期間 C a s e C 及び期間 C a s e D の工程が不要となる。

【 0 0 9 2 】

一方、期間 C a s e D にてソース・ドライバのラッチ不良が再び検出されたとき、期間 C a s e D においてドットクロック D C L K の遅延期間が再び調整されて、その後、期間 C a s e C 及び期間 C a s e D の工程が順次行われる。即ち、期間 C a s e D の工程において、比較回路 1 1 による 2 つのパラレルデータの比較演算結果が一致しない場合、上述した期間 C a s e B の工程に相当する動作と期間 C a s e C の工程に相当する動作とが、比較回路 1 1 がこれら 2 つのパラレルデータの一致を確認するまで繰り返される。このとき、ドットクロック D C L K の波形は、図 7 B に示す如く、期間 C a s e B 及び期間 C a s e C の工程の繰り返しに応じて所定の時間（例えば、0.5 n s）毎に徐々に遅延される。これにより、クロック伝送線で伝送されるクロックの遅延時間は、データ伝送線 R G B D A T A で伝送されるデータの波形に適応させる。

【 0 0 9 3 】

なお、図 4 は、期間 C a s e A , C a s e B , C a s e C , 及び C a s e D を均等な長さで示すが、実際は夫々の期間毎に長さは異なり、期間 C a s e A 及び期間 C a s e C より期間 C a s e B 及び期間 C a s e D が長くなることが多い。

【 0 0 9 4 】

以上に述べた期間 C a s e A から期間 C a s e D に至る一連の動作で遅延時間の最適化が終了し、カウンタ 4 4 がフルカウントに至ると、テストモード信号 T e s t M O D E がハイレベルからローレベルになり、データ伝送線 R G B D A T A には画像情報を含むデジタル表示データ D i s p D A T A が、クロック伝送線 C L K にはドットクロック D C L K が夫々出力されて、表示装置は画像情報に基づく画像表示動作を開始する。カウンタ 4 4 がフルカウントに至るまでに要する期間は、表示装置の機種や仕様に応じて適宜選定され得る。

【 0 0 9 5 】

本実施例の表示装置では、ソース・ドライバ I C のラッチ回路に保持されたパラレルデータをシリアルデータに変換して読み出すことにより、これに要する信号線の端子数の低減と、その回路構成を簡素化する。このため、表示装置全体の製造コストは抑えられる。しかし、本発明の要旨に照らせば、ソース・ドライバに保持されたパラレル・データをシリアルデータに変換する必要はない。従って、ソース・ドライバ I C のラッチ回路に保持されたパラレルデータをそのままタイミング調整回路 4 6 の比較回路に転送しても、本発明による表示装置及びその駆動方法が意図する効果が上述の実施例のそれらと同様に得られる。

【 0 0 9 6 】

また、上記期間 C a s e A 乃至 C a s e D に至るテストモードで調整された遅延回路 1 2 によるドットクロックの遅延時間をタイミング調整値として遅延回路 1 2 に保持し、このタイミング調整値を用いて、一旦電源が切られた表示装置に再び電源投入したときのデータ伝送線 R G B D A T A へのデータ出力とクロック伝送線 C L K へのクロック出力とのタイミングを調整してもよい。この場合は、遅延回路 1 2 にホールド回路を設ければよい。さらに、上記実施例ではテストモードを開始させるテストモード信号 T e s t M O D E が、表示装置への電源投入時に生じるリセット信号 R E S E T に基づいて生成されるが、これに代えて、他のスイッチの投入に基づきテストモード信号 T e s t M O D E を生成してもよい。

【 0 0 9 7 】

10

20

30

40

50

図8は本発明による表示装置の一実施例の等価回路を示す説明図である。この等価回路は、アクティブ・マトリクス方式で駆動される各種の表示装置（液晶表示装置、エレクトロルミネセンス表示装置、電界放射型表示装置等）に採用され得る。これらの表示装置に備えられた表示パネルの各画素には、画素電極とこれに映像信号に応じた電圧又は電流を供給するアクティブ素子（スイッチング素子）が設けられる。図8において、アクティブ素子は薄膜トランジスタTFTに相当する。

【0098】

このように構成される複数の画素が、表示パネル内にて第1方向（例えば、垂直方向）及び当該第1方向に交差する第2方向（例えば、水平方向）に沿い、二次元的に配置されて画像表示領域を形成する。表示パネル内には、第1方向に並ぶ複数の画素列（Pixel Rows）が第2方向に沿い複数本並設される。上述のソース・ドライバICにて、デジタル表示データDispDATAに基づき生成された映像信号は、この画素列毎に設けられた映像信号線（図8におけるソース線DL）に出力される。表示パネル内には、第2方向に並ぶ複数の画素を有する画素行（Pixel Lines）が第1方向に沿い複数本並設される。この画素行の一つが上述した「1ライン」に対応する。画素行毎に設けられた走査信号線（図8におけるゲート線GL）は、その夫々に対応する画素行に属する各画素に設けられたスイッチング素子に走査信号を送る。この走査信号線による走査信号の送信は、画素行の選択、又は単に画素選択とも呼ばれ、画素行毎に順次行われる。このようにして選択された画素行に属する各画素には、上記複数の映像信号線（複数の画素列に夫々対応）の一つから映像信号が供給される。アクティブ・マトリクス方式により駆動される表示装置では、以上に述べた走査信号線と映像信号線との動作の連係により画像が表示する。

【0099】

本実施例の表示装置を更に具体的に説明するために、以下の説明では、表示装置の代表として液晶表示装置を例示する。図8に示すように、本実施例の液晶表示装置に備えられた液晶パネル1も、各画素にこれを選択させる薄膜トランジスタTFTが備えられた所謂アクティブ・マトリクス型の表示装置の構造的な特徴を有する。液晶パネル1は二枚の基板の間に液晶を挟持して構成される。二枚の基板の一方の内面には、第1の方向に延在し、第1の方向に交差する第2の方向に並設された多数のゲート線GL（G-1、G-2、…、Gend、Gend+1）と、前記第2の方向に延在し前記第1の方向に並設された多数のソース線DL（DiR, DiG, DiB, Di+1R, Di+1G, Di+1B, …）を有する。このゲート線GLとソース線DLの交差部分にアクティブ素子として薄膜トランジスタTFTを有して当該薄膜トランジスタで選択される単位画素電極を有する。なお、参照符号Caddは各単位画素に設けた負荷容量である。

【0100】

二枚の基板の他方の内面には、前記多数の単位画素に対応して配置された多数の蛍光体、および前記多数の画素電極に対応して前記選択された画素電極との間に電界を形成するための対向電極が形成されている。上記二枚の基板は液晶を介して所定の間隔をもって貼り合わせられている。なお、上記した単位画素とは、カラー1画素を構成するR, G, Bの3個の画素のそれぞれを意味する。モノクローム表示の場合は、単位画素が1画素となる。

【0101】

そして、液晶パネル1の周辺には、前記多数のゲート線に走査信号（ゲート信号）を供給するゲート・ドライバ部2および前記多数のソース線（データ線）に映像信号（「RGB DATA」）を供給するソース・ドライバ部3とを有する。また、外部信号源HOSTから入力する表示信号に基づいてゲート線に供給する走査信号、および少なくとも前記ソース線に供給するデジタル表示データおよびドットクロックの生成と制御を行う表示制御回路4と電源回路5を搭載したインターフェース回路I/Fを具備している。

【0102】

図9は本発明の一実施例の液晶表示装置の全体構成の一例を説明する展開斜視図である。また、図10は図9のA-A'線に沿った断面図であり、図9の各構成部材を一体化した

10

20

30

40

50

状態での断面を示す。図9および図10中、参照符号P N Lは図8に示した液晶パネル1にゲート・ドライバ部2やソース・ドライバ部3を具備した液晶表示パネルである。この液晶表示装置は、所謂サイドエッジ型バックライトを備えたもので、液晶表示パネルP N Lの背面に導光板G L Bと冷陰極蛍光ランプC F Lで構成したバックライトを備えている。このバックライトと液晶表示パネルP N Lの間にはバックライトからの出射光を液晶表示パネルP N Lの面内に略均一に照射するための第1の拡散シートS P S 1、プリズムシートP R S、第2の拡散シートS P S 2が積層されている。

#### 【0103】

また、参照符号P C Bはインターフェース回路I / Fを実装したプリント基板、F P C 1とF P C 2はプリント基板P C Bからゲート・ドライバ部2やソース・ドライバ部3にデータやクロックおよび電源を接続するフレキシブルプリント基板である。なお、参照符号R F Sは導光板G L Bの背面に設置した反射板、L P Cは冷陰極蛍光ランプC F Lへの給電ケーブルである。

#### 【0104】

そして、液晶表示パネルP N Lやバックライトの積層体は、シールドケース（上側ケース）S H Dとモールドケース（下側ケース）M C Aで抱持固定して液晶表示装置として一体化される。

#### 【0105】

図10に示したように、液晶表示パネルP N Lは二枚の基板（第1の基板S U B 1と第2の基板S U B 2）の間に液晶L Cを挟持して構成され、その表裏にはそれぞれ偏光板P O L 2、P O L 1が貼付されている。第1の基板S U B 1の隣接する二辺は第2の基板S U B 2から突出しており、この突出部分にドライバI Cが搭載されている。図10における参照符号D I Cは前記図1で説明したソース・ドライバI Cに対応する。図示しないが、ゲート・ドライバI Cも同様の形態でソース・ドライバI Cの搭載辺と隣接する辺に搭載されている。これらのドライバI Cは第1の基板S U B 1とシールドケースS H Dの間に介挿したスペーサS A BでシールドケースS H Dとの接触が防止されている。

#### 【0106】

図11は本発明を適用する他の形式の表示装置としての有機E L表示装置の概略構成を説明する展開斜視図である。この有機E L表示装置は下側基板B - S U Bの内面にy方向に延在しx方向に並設された多数の陰極配線K Lと、この陰極配線K Lに対して所定の間隙をもって絶縁して配置された多数の制御電極M R Bを有する。この制御電極M R Bはx方向に延在しy方向に並設された多数のリボン状金属薄板で構成され、陰極配線K Lに設けたカーボンナノチューブ等の電子源で構成される単位画素毎に電子通過孔を有している。

#### 【0107】

一方、上側基板F - S U Bの内面には単位画素毎に蛍光体R , G , Bを有し、さらにこの蛍光体を覆って陽極A Eが形成されている。蛍光体R , G , Bの周囲に遮光層（ブラックマトリクス）を有するものもある。この上側基板F - S U Bと上記した下側基板B - S U Bとは表示領域を周回する外枠S Fを介して貼り合わせられ、内部が真空中に排気される。陰極配線K Lと制御電極M R Bが交差部で単位画素を形成し、各単位画素から取り出された電子を対応する蛍光体に射突させることで2次元の映像を表示する。

#### 【0108】

本発明は上記実施例の液晶表示装置に限らず、同様の駆動を行う他の表示装置、例えば有機E L表示装置やプラズマ表示装置にも同様に適用できる。また、図1乃至図3に示した回路やこれらと等価な機能を有する回路を一つの表示装置に複数組設ければ、表示制御回路4から表示パネルへの画像情報の伝送速度が向上する。また、カラー画像を表示する表示装置において、複数組の回路の各々を表示色（例えば、R G Bの三原色）毎の画像情報伝送に用いてもよい。

#### 【0109】

##### 【発明の効果】

以上説明したように、本発明によれば、信号伝送路の伝播途上で表示データとクロックと

10

20

30

40

50

の間に生じる、所謂スキューリングに起因するドライバの表示データの取り込み（ラッチ）タイミングのズレを、通常表示の動作開始時に自動調整することで、大画面化した場合においてもチラツキの無い高品質の映像表示を得ることができる。

【図面の簡単な説明】

【図1】図1は、本発明による表示装置の一実施例の要部構成を説明するブロック図である。

【図2】図2は、図1における表示制御回路の構成例を説明する回路ブロック図である。

【図3】図3は、図1における表示制御回路に有するタイミング調整回路の構成例を説明する回路ブロック図である。

【図4】図4は、本発明による表示装置の一実施例の動作を説明するタイミング図である 10。

【図5】図5は、図4に示す期間Case Aにて表示制御回路からmビットのパラレルデータとして出力されるテスト表示データの波形の一例と、これをソース・ドライバに読み込むドットクロックの信号波形とを示す波形図である。

【図6】図6は、図4に示す期間Case Bにてソース・ドライバからmビットのシリアルデータとして読み出されるテスト表示データの波形の一例を示す波形図である。

【図7】図7A及び図7Bは、図4に示す期間Case Bにおけるドットクロックの遅延時間調整に係り、図7Aは図6に示すシリアルデータから変換されて本来のテスト表示データと比較されるパラレルデータ波形の一例及びこれに応じたドットクロックの遅延時間調整を模式的に説明する波形図であり、図7Bは期間Case B毎に遅延されるドットクロックの波形のシフトを示した波形図である。 20

【図8】図8は、本発明の一実施例の液晶表示装置の等価回路の説明図である。

【図9】図9は、本発明の一実施例の液晶表示装置の全体構成の一例を説明する展開斜視図である。

【図10】図10は、図9のA-A'線に沿った断面図である。

【図11】図11は、本発明を適用する他の形式の表示装置としての有機EL表示装置の概略構成を説明する展開斜視図である。

【図12】図12は、液晶表示装置の駆動システムの概要を説明するブロック図である。

【図13】図13は、図12における表示制御回路とソース・ドライバ部を構成するソース・ドライバICの概略接続構成の説明図である。 30

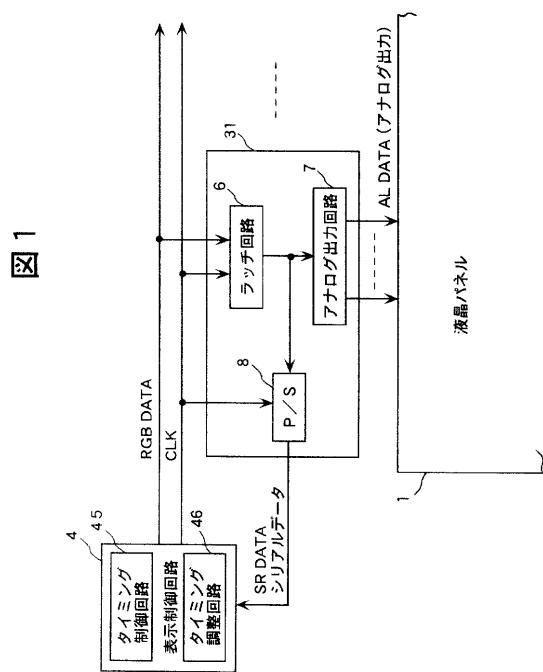
【図14】図14は、図13における表示制御回路の出力信号である表示データとクロック信号のタイミング図である。

【図15】図15は、表示制御回路から出力される表示データの理想波形と表示制御回路にn個のソース・ドライバを接続した場合の表示データの実際の波形を比較した波形歪みの説明図である。

【符号の説明】

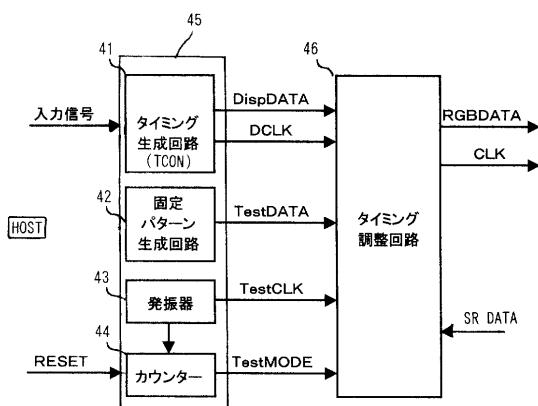
1 . . . 表示パネル、2 . . . ゲート・ドライバ部、3 . . . ソース・ドライバ部、31, ~3n . . . ソース・ドライバIC、4 . . . 表示制御回路、41 . . . 駆動タイミング生成回路、42 . . . 固定パターン生成回路、43 . . . 発振器、44 . . . カウンター、45 . . . タイミング制御回路、46 . . . タイミング調整回路、5 . . . 電源回路、6 . . . データラッチ回路（ラッチ回路）、7 . . . アナログ出力回路、8 . . . パラレル・シリアル変換回路（P/S）、9 . . . データ・セレクタ回路、10 . . . シリアル・パラレル変換回路（S/P）、11 . . . 比較回路、12 . . . 遅延回路、13 . . . クロック・セレクタ回路。 40

【図1】



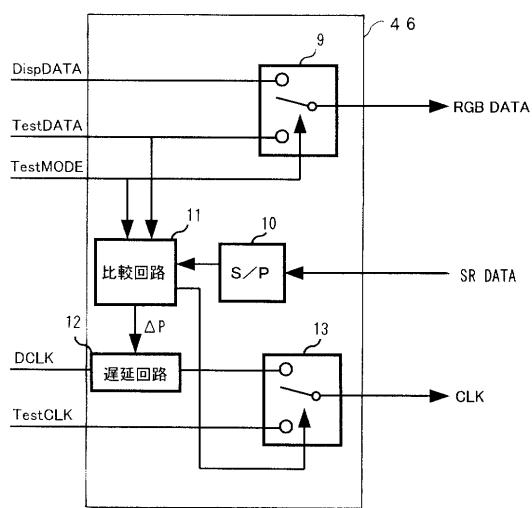
【図2】

図2



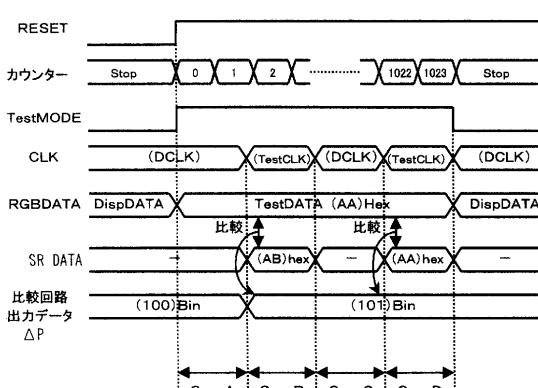
【図3】

図3



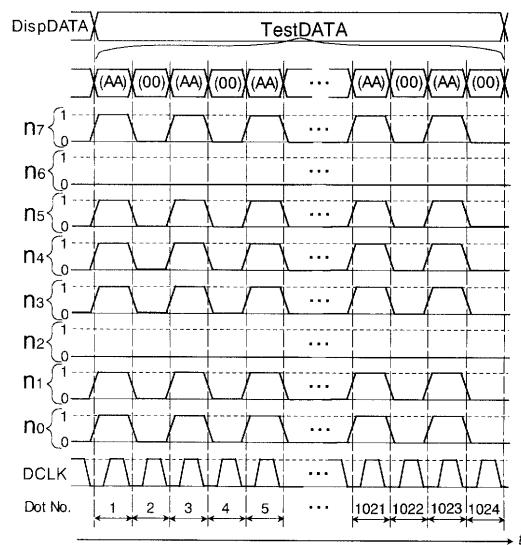
【図4】

図4



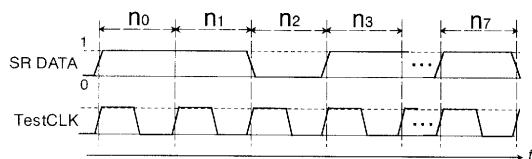
【 図 5 】

図 5



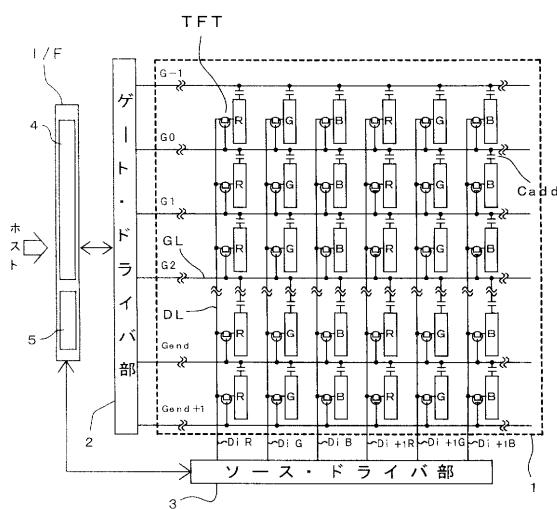
【図6】

6



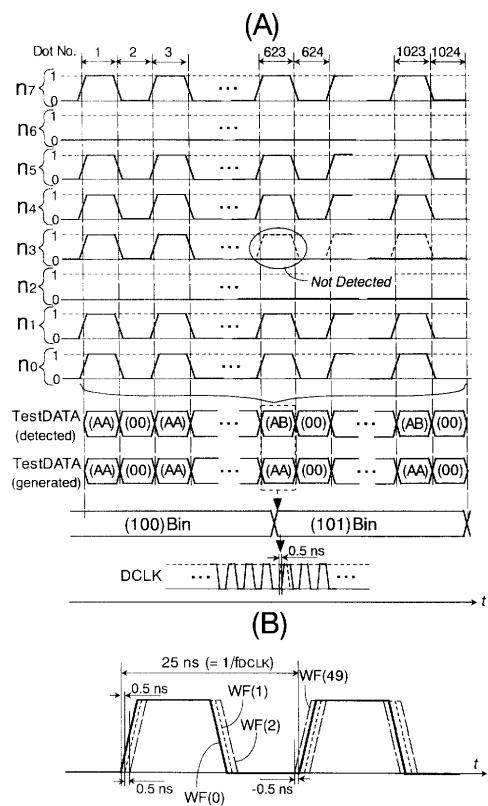
【 8 】

8



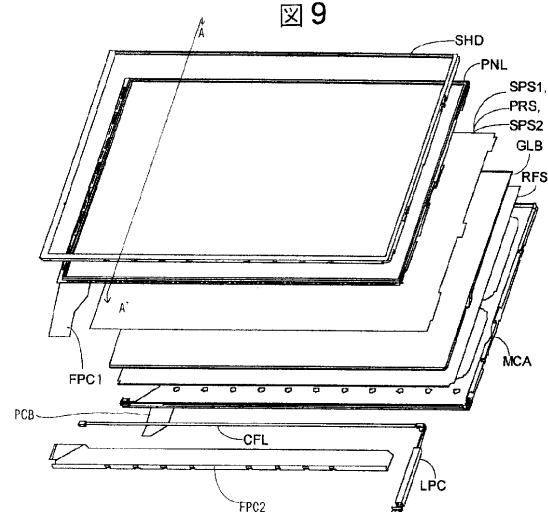
【 図 7 】

义 7

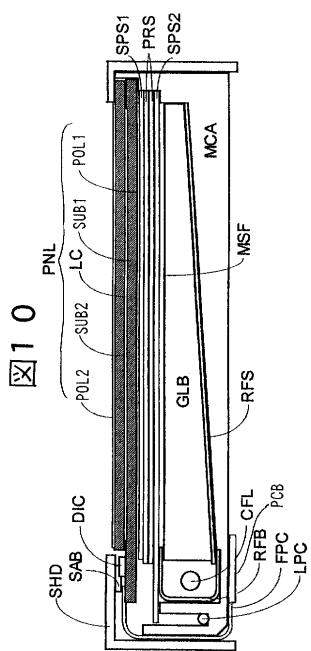


【図9】

义 9

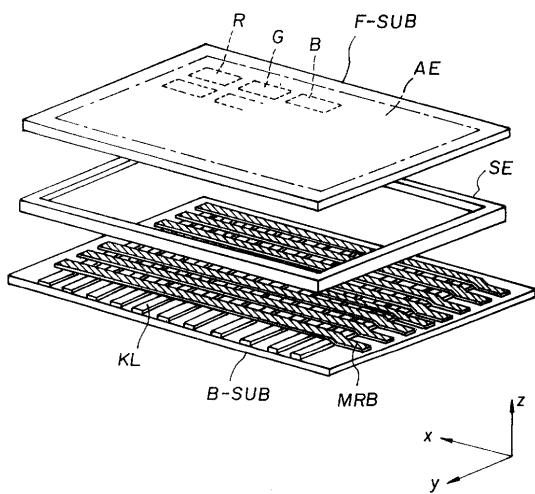


【図10】



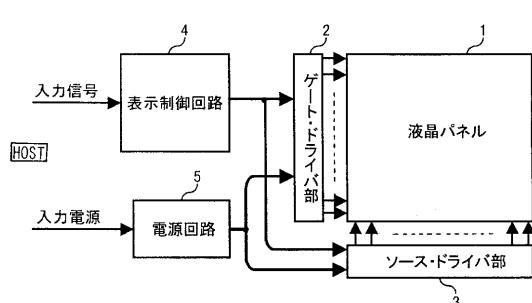
【図11】

図11



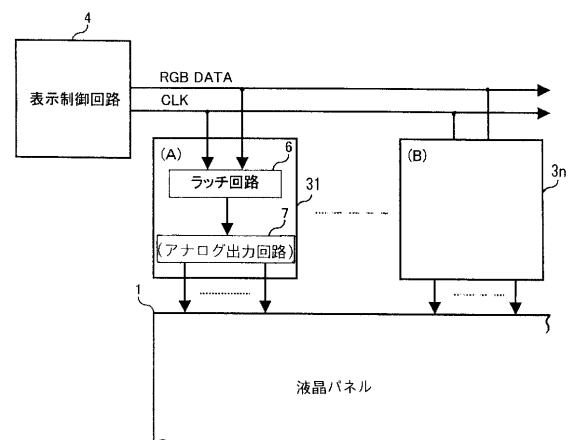
【図12】

図12



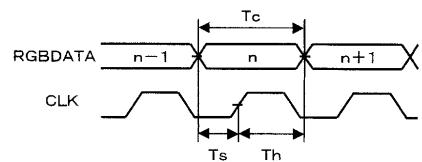
【図13】

図13



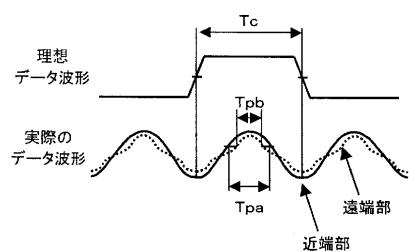
【図14】

図14



【図15】

図15



## フロントページの続き

(51)Int.Cl.

F I		
G 0 9 G	3/20	6 1 1 J
G 0 9 G	3/20	6 1 2 K
G 0 9 G	3/20	6 2 3 G
G 0 9 G	3/20	6 2 3 J
G 0 9 G	3/20	6 3 3 B
G 0 9 G	3/20	6 3 3 C
G 0 9 G	3/20	6 3 3 G
G 0 9 G	3/20	6 3 3 H
G 0 9 G	3/20	6 7 0 D
G 0 9 G	3/20	6 7 0 F
H 0 5 B	33/14	A

(56)参考文献 特開平07-281646 (JP, A)

特開平04-276791 (JP, A)

特開平07-219485 (JP, A)

特開平11-252591 (JP, A)

特開平02-240630 (JP, A)

特開平10-069257 (JP, A)

特開平05-288812 (JP, A)

特開平10-149130 (JP, A)

特開平07-160222 (JP, A)

特開2003-162262 (JP, A)

特開平09-026759 (JP, A)

特開2002-297108 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/20

G09G 3/36