



(12)发明专利

(10)授权公告号 CN 104137265 B

(45)授权公告日 2017.11.17

(21)申请号 201180076423.6

(74)专利代理机构 中国专利代理(香港)有限公司 72001

(22)申请日 2011.12.22

代理人 姜冰 郑冀之

(65)同一申请的已公布的文献号
申请公布号 CN 104137265 A

(51)Int.Cl.

H01L 29/78(2006.01)

(43)申请公布日 2014.11.05

H01L 21/336(2006.01)

(85)PCT国际申请进入国家阶段日
2014.08.21

(56)对比文件

CN 1311525 C, 2007.04.18, 说明书第6页第3段-第13页第3段, 图1-11.

(86)PCT国际申请的申请数据
PCT/US2011/066991 2011.12.22

US 2007/0069293 A1, 2007.03.29, 说明书第[0011-0032]段, 图2-3G.

(87)PCT国际申请的公布数据
W02013/095550 EN 2013.06.27

CN 1311525 C, 2007.04.18, 说明书第6页第3段-第13页第3段, 图1-11.

(73)专利权人 英特尔公司
地址 美国加利福尼亚

US 2005/0263821 A1, 2005.12.01, 说明书第[0034-0061]段, 图2A-2B, 10B.

(72)发明人 B·塞尔

US 6583469 B1, 2003.06.24, 全文.

审查员 卢振宇

权利要求书5页 说明书10页 附图9页

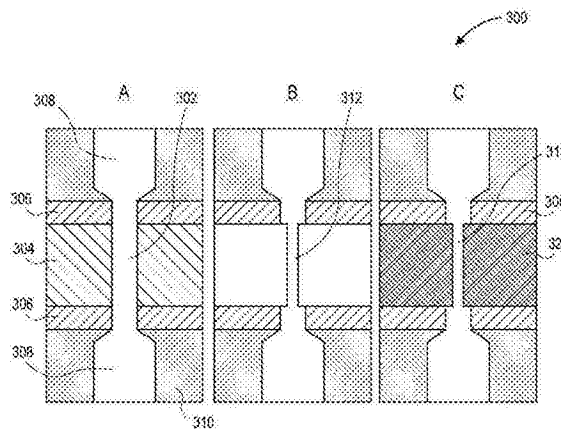
(54)发明名称

具有颈状半导体主体的半导体器件以及形成不同宽度的半导体主体的方法

(57)摘要

本发明描述了具有颈状半导体主体的半导体器件以及形成不同宽度的半导体主体的方法。例如, 半导体器件包括设置于衬底之上的半导体主体。栅极电极堆叠体设置于半导体主体的一部分之上, 以限定半导体主体中的位于栅极电极堆叠体下方的沟道区。在栅极电极堆叠体的两侧上的半导体主体中限定了源极区和漏极区。侧壁间隔体设置于邻近栅极电极堆叠体处, 并且设置于源极区和漏极区的仅一部分上。相较于半导体主体的沟道区的高度和宽度, 源极区和漏极区的位于侧壁间隔体下方的部分具有更大的高度和宽度。

CN 104137265 B



1. 一种半导体器件,包括:

半导体主体,其设置于衬底上方;

栅极电极堆叠体,其设置于所述半导体主体的一部分之上,以限定所述半导体主体中的位于所述栅极电极堆叠体下方的沟道区、以及所述半导体主体中的位于所述栅极电极堆叠体的两侧上的源极区和漏极区,其中所述沟道区包括位于所述栅极电极堆叠体下方的缓变特征;以及

侧壁间隔体,其设置于邻近所述栅极电极堆叠体处,并且设置于所述源极区和漏极区的仅一部分之上,其中相较于所述半导体主体的所述沟道区的高度和宽度,所述源极区和漏极区的位于所述侧壁间隔体下方的部分具有更大的高度和宽度。

2. 根据权利要求1所述的半导体器件,其中相较于所述源极区和漏极区的位于所述侧壁间隔体下方的部分的高度和宽度,所述源极区和漏极区的不在所述侧壁间隔体下方的部分具有更大的高度和宽度。

3. 根据权利要求1所述的半导体器件,其中所述源极区和漏极区的不在所述侧壁间隔体下方的部分的高度和宽度与所述源极区和漏极区的位于所述侧壁间隔体下方的部分的高度和宽度几乎相同。

4. 根据权利要求1所述的半导体器件,其中所述源极区和漏极区的至少一部分是所述源极区和漏极区的嵌入部分。

5. 根据权利要求4所述的半导体器件,其中所述源极区和漏极区的所述嵌入部分包括与所述沟道区不同的半导体材料。

6. 根据权利要求1所述的半导体器件,其中所述衬底是晶体衬底,并且所述半导体主体与所述晶体衬底连续。

7. 根据权利要求1所述的半导体器件,其中电介质层设置于所述半导体主体与所述衬底之间,并且所述半导体主体与所述衬底不连续。

8. 根据权利要求1所述的半导体器件,其中所述沟道区的高度在30-50纳米的范围内,并且所述沟道区的宽度在10-30纳米的范围内,相较于所述源极区和漏极区的位于所述侧壁间隔体下方的部分的高度,所述沟道区的高度小了1-2纳米,并且相较于所述源极区和漏极区的位于所述侧壁间隔体下方的部分的宽度,所述沟道区的宽度小了2-4纳米。

9. 根据权利要求1所述的半导体器件,其中相较于所述沟道区的高度,所述源极区和漏极区的位于所述侧壁间隔体下方的部分的所述高度大了1-7%,并且相较于所述沟道区的宽度,所述源极区和漏极区的位于所述侧壁间隔体下方的部分的宽度大了6-40%。

10. 根据权利要求1所述的半导体器件,其中所述缓变特征包括刻面。

11. 根据权利要求1所述的半导体器件,其中所述缓变特征包括圆化拐角。

12. 根据权利要求1所述的半导体器件,其中所述缓变特征减小了在所述半导体器件的运行期间的重叠电容和扩散电阻。

13. 根据权利要求1所述的半导体器件,其中所述半导体器件与具有沟道区的第二半导体器件设置于相同的衬底上方,并且其中所述第二半导体器件的所述沟道区的最窄宽度大于所述半导体器件的所述沟道区的最窄宽度。

14. 一种制造半导体器件的方法,所述方法包括:

在衬底上方形成半导体主体;

在所述半导体主体的一部分之上形成栅极电极堆叠体,以限定所述半导体主体中的位于所述栅极电极堆叠体下方的沟道区、以及所述半导体主体中的位于所述栅极电极堆叠体的两侧上的源极区和漏极区,其中所述沟道区包括位于所述栅极电极堆叠体下方的缓变特征;以及

在邻近所述栅极电极堆叠体处、并且在所述源极区和漏极区的仅一部分之上形成侧壁间隔体,其中相较于所述半导体主体的所述沟道区的高度和宽度,所述源极区和漏极区的位于所述侧壁间隔体下方的部分具有更大的高度和宽度。

15. 根据权利要求14所述的方法,其中形成所述栅极电极堆叠体包括:形成牺牲栅极电极堆叠体,去除所述牺牲栅极电极堆叠体,以及形成永久的栅极电极堆叠体,并且其中形成所述沟道区包括:在去除所述牺牲栅极电极堆叠体之后、并且在形成所述永久的栅极电极堆叠体之前将暴露的所述半导体主体的一部分减薄。

16. 根据权利要求14所述的方法,其中形成所述栅极电极堆叠体包括:形成牺牲栅极电极堆叠体,去除所述牺牲栅极电极堆叠体,以及形成永久的栅极电极堆叠体,并且其中形成所述源极区和漏极区包括:在去除所述牺牲栅极电极堆叠体之前扩展暴露的所述半导体主体的部分。

17. 一种半导体结构,包括:

硅主体,其从下方的体硅衬底突出出来并且与所述下方的体硅衬底是连续的;

栅极电极,其位于所述硅主体的一部分之上,限定了所述硅主体中的位于所述栅极电极下方的沟道区,所述栅极电极具有第一侧和与所述第一侧相对的第二侧,其中从平面视图视角来看所述沟道区包括第一锥形部分和第二锥形部分,所述第一锥形部分从所述沟道区的中央到所述沟道区的第一端变宽,并且所述第二锥形部分从所述沟道区的中央到所述沟道区的第二端变宽;

第一源极/漏极区,其耦合到所述沟道区的所述第一端并且邻近所述栅极电极的所述第一侧;

第二源极/漏极区,其耦合到所述沟道区的所述第二端并且邻近所述栅极电极的所述第二侧;

第一电介质侧壁间隔体,其邻近所述栅极电极的所述第一侧并且仅位于所述第一源极/漏极区的一部分之上;以及

第二电介质侧壁间隔体,其邻近所述栅极电极的所述第二侧并且仅位于所述第二源极/漏极区的一部分之上。

18. 根据权利要求17所述的半导体结构,其中从平面视图视角来看所述第一源极/漏极区的位于所述第一电介质侧壁间隔体之下的部分的最宽宽度大于所述硅主体的沟道区的最宽宽度,并且其中从平面视图视角来看所述第二源极/漏极区的位于所述第二电介质侧壁间隔体之下的部分的最宽宽度大于所述硅主体的沟道区的最宽宽度。

19. 根据权利要求18所述的半导体结构,其中从平面视图视角来看所述第一源极/漏极区的位于所述第一电介质侧壁间隔体之外的部分的最宽宽度大于所述第一源极/漏极区的位于所述第一电介质侧壁间隔体之下的部分的最宽宽度,并且从平面视图视角来看所述第二源极/漏极区的位于所述第二电介质侧壁间隔体之外的部分的最宽宽度大于所述第二源极/漏极区的位于所述第二电介质侧壁间隔体之下的部分的最宽宽度。

20. 根据权利要求18所述的半导体结构,其中从平面视图视角来看所述第一源极/漏极区的位于所述第一电介质侧壁间隔体之外的部分的最宽宽度与所述第一源极/漏极区的位于所述第一电介质侧壁间隔体之下的部分的最宽宽度大致相同,并且从平面视图视角来看所述第二源极/漏极区的位于所述第二电介质侧壁间隔体之外的部分的最宽宽度与所述第二源极/漏极区的位于所述第二电介质侧壁间隔体之下的部分的最宽宽度大致相同。

21. 根据权利要求17所述的半导体结构,其中所述第一源极/漏极区的位于所述第一电介质侧壁间隔体之下的部分的至少一部分包括与所述硅主体的沟道区不同的半导体材料,并且其中所述第二源极/漏极区的位于所述第二电介质侧壁间隔体之下的部分的至少一部分包括所述半导体材料。

22. 根据权利要求21所述的半导体结构,其中所述第一源极/漏极区的位于所述第一电介质侧壁间隔体之下的整个部分均包括所述半导体材料,并且其中所述第二源极/漏极区的位于所述第二电介质侧壁间隔体之下的整个部分均包括所述半导体材料。

23. 根据权利要求17所述的半导体结构,其中所述第一源极/漏极区的位于所述第一电介质侧壁间隔体之外的部分包括与所述硅主体的沟道区不同的半导体材料,但是所述第一源极/漏极区的位于所述第一电介质侧壁间隔体之下的部分不包括所述半导体材料,并且其中所述第二源极/漏极区的位于所述第二电介质侧壁间隔体之外的部分包括所述半导体材料,但是所述第二源极/漏极区的位于所述第二电介质侧壁间隔体之下的部分不包括所述半导体材料。

24. 根据权利要求17所述的半导体结构,其中相较于所述第一源极/漏极区的位于所述第一电介质侧壁间隔体之下的部分以及所述第二源极/漏极区的位于所述第二电介质侧壁间隔体之下的部分的高度,所述沟道区的高度小了1-2纳米。

25. 根据权利要求17所述的半导体结构,其中相较于所述沟道区的高度,所述第一源极/漏极区的位于所述第一电介质侧壁间隔体之下的部分以及所述第二源极/漏极区的位于所述第二电介质侧壁间隔体之下的部分的高度大了1-7%,并且相较于所述沟道区的宽度,所述第一源极/漏极区的位于所述第一电介质侧壁间隔体之下的部分以及所述第二源极/漏极区的位于所述第二电介质侧壁间隔体之下的部分的宽度大了6-40%。

26. 根据权利要求17所述的半导体结构,还包括:

所述栅极电极与所述沟道区之间的栅极电介质,其中所述栅极电介质包括顶部高k部分和底部二氧化硅或氮氧化硅部分。

27. 根据权利要求26所述的半导体结构,其中所述栅极电极包括金属功函数设定层。

28. 根据权利要求27所述的半导体结构,其中所述栅极电极还包括所述金属功函数设定层之上的非功函数设定填充材料。

29. 一种制造半导体结构的方法,所述方法包括:

形成硅主体,其从下方的体硅衬底突出出来并且与所述下方的体硅衬底是连续的;

在所述硅主体的一部分之上形成牺牲栅极电极,其限定了所述硅主体中的位于所述牺牲栅极电极下方的第一沟道区,所述牺牲栅极电极具有第一侧和与所述第一侧相对的第二侧;

形成邻近所述牺牲栅极电极的所述第一侧的第一电介质侧壁间隔体,并且形成邻近所述牺牲栅极电极的所述第二侧的第二电介质侧壁间隔体;

形成第一源极/漏极区,其耦合到所述第一沟道区的第一端并且邻近所述栅极电极的所述第一侧,其中所述第一源极/漏极区的仅一部分位于所述第一电介质侧壁间隔体之下;以及形成第二源极/漏极区,其耦合到所述第一沟道区的第二端并且邻近所述栅极电极的所述第二侧,其中所述第二源极/漏极区的仅一部分位于所述第二电介质侧壁间隔体之下;

在形成所述第一源极/漏极区和所述第二源极/漏极区之后,去除所述牺牲栅极电极;

在去除所述牺牲栅极电极之后,蚀刻所述第一沟道区以形成第二沟道区,从平面视图视角来看所述第二沟道区包括第一锥形部分和第二锥形部分,所述第一锥形部分从所述第二沟道区的中央到所述第二沟道区的第一端变宽,并且所述第二锥形部分从所述第二沟道区的中央到所述第二沟道区的第二端变宽;以及

在蚀刻所述第一沟道区以形成所述第二沟道区之后,在所述第二沟道区之上并且在所述第一电介质间隔体和所述第二电介质间隔体之间形成永久栅极电极。

30. 根据权利要求29所述的方法,其中形成所述第一源极/漏极区和所述第二源极/漏极区包括:

去除所述硅主体的位于所述第一电介质侧壁间隔体之下的部分的至少一部分,以及去除所述硅主体的位于所述第二电介质侧壁间隔体之下的部分的至少一部分;以及

外延生长与所述硅主体的沟道区不同的半导体材料,以形成嵌入的第一源极/漏极区和嵌入的第二源极/漏极区。

31. 根据权利要求29所述的方法,其中形成所述第一源极/漏极区和所述第二源极/漏极区包括:

去除所述硅主体的位于所述第一电介质侧壁间隔体之下的直到牺牲栅极电极的所述第一侧的部分,以及去除所述硅主体的位于所述第二电介质侧壁间隔体之下的直到牺牲栅极电极的所述第二侧的部分;以及

外延生长与所述硅主体的沟道区不同的半导体材料,以形成嵌入的第一源极/漏极区和嵌入的第二源极/漏极区。

32. 根据权利要求29所述的方法,其中形成所述第一源极/漏极区和所述第二源极/漏极区包括:

去除所述硅主体的位于所述第一电介质侧壁间隔体之外的部分但是不去除所述硅主体的位于所述第一电介质侧壁间隔体之下的任意部分,以及去除所述硅主体的位于所述第二电介质侧壁间隔体之外的部分但是不去除所述硅主体的位于所述第二电介质侧壁间隔体之下的任意部分;以及

外延生长与所述硅主体的沟道区不同的半导体材料,以形成嵌入的第一源极/漏极区和嵌入的第二源极/漏极区。

33. 根据权利要求29所述的方法,其中蚀刻所述第一沟道区以形成所述第二沟道区包括将所述第一沟道区的高度减小1-2纳米。

34. 根据权利要求29所述的方法,还包括:

在蚀刻所述第一沟道区以形成所述第二沟道区之后并且在形成所述永久栅极电极之前,在所述第二沟道区之上形成栅极电介质,其中所述栅极电介质包括底部二氧化硅或氮氧化硅部分和顶部高k部分。

35. 根据权利要求34所述的方法,其中形成所述栅极电极包括形成金属功函数设定层。

36. 根据权利要求35所述的方法,其中形成所述栅极电极还包括在所述金属功函数设定层之上形成非功函数设定填充材料。

具有颈状半导体主体的半导体器件以及形成不同宽度的半导体主体的方法

技术领域

[0001] 本发明的实施例是在半导体器件和加工的领域中,具体而言,是在具有颈状半导体主体的半导体器件以及形成不同宽度的半导体主体的方法的领域中。

背景技术

[0002] 在过去几十年中,集成电路中的特征的缩放已经成为不断成长的半导体产业背后的驱动力。缩放到越来越小的特征使得能够增大在半导体芯片的有限的基板面上的功能单元的密度。例如,缩小晶体管尺寸允许芯片上包含的存储器设备或逻辑设备的数量增加,从而制造出具有更大的容量的产品。然而,对于越来越大容量的追求并不是没有问题。对每个器件的性能进行最优化的必要性变得越发显著。

[0003] 在集成电路器件的制造中,诸如fin-FET和三栅极晶体管之类的多栅极晶体管已经随着器件尺寸不断缩小而变得更普遍。在常规工艺中,通常在体硅衬底或绝缘体上硅衬底上制造fin-FET和三栅极晶体管。在一些实例中,由于体硅衬底的成本较低并且因为它们能够实现较不复杂的fin-FET和三栅极制造工艺,所以体硅衬底是优选的。在其它实例中,由于fin-FET和三栅极晶体管的改进的短沟道特性,因而绝缘体上硅衬底是优选的。

[0004] 然而,对多栅极晶体管进行缩放并不是还没有成果。随着微电子电路的这些基本构建块的尺寸减小,并且随着在给定区域中制造的基本构建块的绝对数目增加,在这些器件的运行期间,对外部电阻(R_{ext})的限制已经变得至关重要。已经尝试了许多不同的技术来改进晶体管的 R_{ext} ,所述技术包括改进的接触金属、增大的掺杂剂活性以及降低的半导体与接触金属之间的势垒。然而,在减小 R_{ext} 的领域中仍然需要显著改进。

发明内容

[0005] 本发明的实施例包括具有颈状半导体主体的半导体器件以及形成不同宽度的半导体主体的方法。

[0006] 在实施例中,半导体器件包括设置于衬底上方的半导体主体。栅极电极堆叠体设置于半导体主体的一部分上,以限定半导体主体中的位于栅极电极堆叠体下方的沟道区。在栅极电极堆叠体的两侧上的半导体主体中限定了源极区和漏极区。侧壁间隔体设置于邻近栅极电极堆叠体处,并且设置于源极区和漏极区的仅一部分上。相较于半导体主体的沟道区的高度和宽度,源极区和漏极区的位于侧壁间隔体下方的部分具有更大的高度和宽度。

[0007] 在另一个实施例中,制造半导体器件的方法包括在衬底上方形成半导体主体。栅极电极堆叠体形成于半导体主体的一部分之上,以限定半导体主体中的位于栅极电极堆叠体下方的沟道区、以及半导体主体中的位于栅极电极堆叠体的两侧上的源极区和漏极区。侧壁间隔体形成于临界栅极电极堆叠体处,并且形成于源极区和漏极区的仅一部分之上。相较于半导体主体的沟道区的高度和宽度,源极区和漏极区的位于侧壁间隔体下方的部分

具有更大的高度和宽度。

[0008] 在另一个实施例中,制造半导体器件的方法包括在衬底上方形成硬掩模图案。硬掩模图案包括具有鳍状物形成特征的第一区,其中每个特征具有第一宽度。硬掩模图案还包括具有鳍状物形成特征的第二区,其中每个特征具有近似等于第一宽度的第二宽度。随后,形成抗蚀剂层并对其进行构图,以覆盖第二区并暴露第一区。随后,蚀刻第一区的鳍状物形成特征,以形成减薄的鳍状物形成特征,其中每个特征具有小于第二宽度的第三宽度。随后,去除抗蚀剂层。随后,将硬掩模图案转移到衬底,以形成具有鳍状物的第一区,其中每个鳍状物具有第三宽度;并且形成具有鳍状物的第二区,其中每个鳍状物具有第二宽度。随后,从第一和第二区的鳍状物形成半导体器件。

[0009] 在另一个实施例中,制造半导体器件的方法包括在衬底上方形成硬掩模图案。硬掩模图案包括具有鳍状物形成特征的第一区,其中每个特征具有第一宽度。硬掩模图案还包括具有鳍状物形成特征的第二区,其中每个特征具有近似等于第一宽度的第二宽度。随后,将硬掩模图案转移到衬底,以形成具有鳍状物的第一区,其中每个鳍状物具有第一宽度;并且形成具有鳍状物的第二区,其中每个鳍状物具有第二宽度。随后,形成抗蚀剂层并对其进行构图,以覆盖具有鳍状物的第二区并暴露具有鳍状物的第一区。随后,蚀刻第一区中的鳍状物,以形成减薄的鳍状物,其中每个减薄的鳍状物具有小于第二宽度的第三宽度。随后,去除抗蚀剂层。随后,从第一和第二区的鳍状物形成半导体器件。

附图说明

[0010] 图1A示出根据本发明的实施例的具有颈状半导体主体的半导体器件的平面视图。

[0011] 图1B示出根据本发明的实施例的图1A的半导体器件的沿着a-a'轴截取的截面视图。

[0012] 图1C示出根据本发明的实施例的图1A的半导体器件的沿着b-b'轴截取的截面视图。

[0013] 图2A示出根据本发明的实施例的具有颈状半导体主体的半导体器件的平面视图。

[0014] 图2B示出根据本发明的另一个实施例的具有颈状半导体主体的另一个半导体器件的平面视图。

[0015] 图2C示出根据本发明的另一个实施例的具有颈状半导体主体的另一个半导体器件的平面视图。

[0016] 图3示出根据本发明的实施例的制造具有颈状半导体主体的半导体器件的方法中的工艺流程。

[0017] 图4示出根据本发明的实施例的制造具有颈状半导体主体的半导体器件的方法中的工艺流程。

[0018] 图5A包括根据本发明的实施例的驱动电流增益(如 $\%I_{dsat}$ 增益)作为具有颈状半导体主体的半导体器件的硅沟道区厚度(以微米表示)的函数与作为没有颈状半导体主体的半导体器件的硅沟道区厚度的函数进行对比的曲线。

[0019] 图5B包括根据本发明的实施例的驱动电流增益(如 $\%I_{dlin}$ 增益)作为具有颈状半导体主体的半导体器件的硅沟道区厚度(以微米表示)的函数与作为没有颈状半导体主体的半导体器件的硅沟道区厚度的函数进行对比的曲线。

[0020] 图6示出根据本发明的实施例的制造具有不同宽度的半导体主体的半导体器件的方法中的工艺流程。

[0021] 图7示出根据本发明的实施例的制造具有不同宽度的半导体主体的半导体器件的方法中的工艺流程。

[0022] 图8示出根据本发明的一种实施方式的计算设备。

具体实施方式

[0023] 描述了具有颈状半导体主体的半导体器件以及形成不同宽度的半导体主体的方法。在下文的描述中,为提供对本发明的实施例的深入理解而阐述了大量的具体细节,例如具体的集成和材料方案(regime)。对于本领域技术人员来说显而易见的是,可以在没有这些具体细节的情况下实践本发明的实施例。在其它实例中,为了不非必要地使本发明的实施例难以理解,没有具体描述诸如集成电路设计布局之类的公知的特征。此外,应该理解的是,附图中所示的各种实施例是说明性的表示,并且未必是按比例绘制的。

[0024] 本发明的一个或多个实施例针对具有(1)与间隔体下方的鳍状物宽度相比的有源沟道区中的不同的鳍状物宽度,(2)在同一管芯上的不同有源沟道区中至少具有两个不同的鳍状物宽度的集成电路,(3)用于在实际鳍状物蚀刻之前限定两个不同的鳍状物宽度的构图工艺,(4)用于在牺牲虚设栅极去除工艺之后限定两个不同的鳍状物宽度的构图工艺,或它们的组合的半导体器件。一个或多个实施例针对改进诸如晶体管之类的器件的驱动电流,并且要建立具有低空载功率和高激活性能的电路上。

[0025] FinFET中的鳍状物的宽度影响阈值电压(V_t)和器件的外部电阻。对于高性能器件而言,可能有益的是包含具有较高 V_t 和较低电阻的相对较宽的鳍状物。对于低功率器件而言,情况却正好相反。目前,必须针对这些器件的其中之一来优化所述工艺。可能有益的是使这两种器件都具有最佳性能,以优化产品功率性能。例如,利用引起较高的 V_t 和较高的结泄漏的附加的适当掺杂产生低功率器件,其尤其在低电源电压下降低了驱动电流。替代地,针对导致高性能器件的驱动电流降低的低功率器件来优化所述工艺。本发明的实施例可以通过在同一管芯上提供两个不同的器件或通过具有低 V_t 和低外部电阻二者的器件,使得能够同时实现高性能和低功率器件的优化。

[0026] 在第一方面,提供了具有颈状半导体主体的半导体器件和形成具有颈状半导体主体的半导体器件的方法。这种晶体管结构在沟道中和间隔体下方的鳍状物区中具有不同的鳍状物宽度。随着鳍状物CD的缩放,颈状鳍状物可以改善短沟道效应改进与外部电阻之间的权衡,从而改善了最佳器件的驱动电流。

[0027] 在示例中,图1A示出根据本发明的实施例的具有颈状半导体主体的半导体器件的平面视图。图1B示出根据本发明的实施例的图1A的半导体器件的沿着a-a'轴截取的截面视图。图1C示出根据本发明的实施例的图1A的半导体器件的沿着b-b'轴截取的截面视图。

[0028] 参考图1A-1C,半导体器件100包括设置于衬底102上方的半导体主体104。栅极电极堆叠体106设置于半导体主体104的一部分上,以限定半导体主体104中的位于栅极电极堆叠体106下方的沟道区108。在栅极电极堆叠体106的两侧上的半导体主体104中限定了源极区和漏极区110。侧壁间隔体112设置于邻近栅极电极堆叠体106处,并且设置于源极区和漏极区110的仅一部分上。

[0029] 参考图1B和1C,相较于半导体主体104的沟道区108的高度(H1)和宽度(W1),源极区和漏极区110的位于侧壁间隔体112下方的部分具有更大的高度(H2)和宽度(W2)。高度H1和H2被限定为隔离层114上方的半导体主体104的相应的部分的高度,如图1B和1C中所描绘的那样。

[0030] 参考图1A,在实施例中,相较于源极区和漏极区110的位于侧壁间隔体112下方的部分的高度(H2)和宽度(W2),源极区和漏极区110的不在侧壁间隔体112下方的部分具有更大的高度和宽度(W3),例如, $W3 > W2$ 。替代地,在另一个实施例中,源极区和漏极区110的不在侧壁间隔体112下方的部分的高度和宽度(W3)与源极区和漏极区110的位于侧壁间隔体112下方的部分的高度(H2)和宽度(W2)大致相同,例如, $W3 = W2$ 。

[0031] 在实施例中,源极区和漏极区110的至少一部分是源极区和漏极区110的嵌入的部分。也就是,在形成源极区和漏极区110时,去除最初的半导体主体104的一部分,并且例如通过外延生长来将其替换为半导体主体104的新的部分。例如,在一个这种实施例中,源极区和漏极区110的嵌入的部分由与沟道区108的半导体材料不同的半导体材料构成。在一个实施例中,嵌入的部分并不包括源极区和漏极区110的位于侧壁间隔体112下方的部分。在另一个实施例中,嵌入的部分包括源极区和漏极区110的位于侧壁间隔体112下方的部分中的至少一部分并且可能是全部。

[0032] 在实施例中,参考图1B和1C,衬底102是晶体衬底,并且半导体主体104(例如,图1B中的沟道区108和图1C中的源极区和漏极区110)与晶体衬底102连续。也就是,从衬底形成半导体主体104。在替代的实施例(未示出)中,电介质层设置于半导体主体与衬底之间,并且半导体主体与衬底不连续,例如,如绝缘体上硅(SOI)衬底会出现的情况一样。

[0033] 在实施例中,沟道区108的高度(H1)近似在30-50纳米的范围中,并且宽度(W1)近似在10-30纳米的范围中。在该实施例中,沟道区108的高度(H1)比源极区和漏极区110的位于侧壁间隔体112下方的部分的高度(H2)小大约1-2纳米。同样,沟道区108的宽度(W1)比源极区和漏极区110的位于侧壁间隔体112下方的部分的宽度(W2)小大约2-4纳米。在实施例中,源极区和漏极区110的位于侧壁间隔体112下方的部分的高度(H2)比沟道区108的高度(H1)大大约1-7%。在该实施例中,源极区和漏极区110的位于侧壁间隔体112下方的部分的宽度(W2)比沟道区108的宽度(W1)大大约6-40%。

[0034] 以下描述了图1A-1C中的半导体器件100的可能的实施例。在第一个示例中,图2A示出根据本发明的实施例的具有颈状半导体主体的半导体器件的平面视图。参考图2A,沟道区108通过台阶特征120耦合到源极区和漏极区110的位于侧壁间隔体112下方的部分。栅极电极堆叠体106被描绘成虚线,从而为下层的沟道区108提供透明度。同样,通过围绕源极区和漏极区110的长虚线来描绘包含较大尺寸的不在间隔体112下方的源极区和漏极区110的部分的可选方案。

[0035] 在第二个示例中,图2B示出根据本发明的另一个实施例的具有颈状半导体主体的另一个半导体器件的平面视图。参考图2B,沟道区108通过刻面(facet)特征130耦合到源极区和漏极区110的位于侧壁间隔体112下方的部分。栅极电极堆叠体106被描绘成虚线,从而为下层的沟道区108提供透明度。同样,通过围绕源极区和漏极区110的长虚线来描绘包含较大尺寸的不在间隔体112下方的源极区和漏极区110的部分的可选方案。

[0036] 在第三个示例中,图2C示出根据本发明的另一个实施例的具有颈状半导体主体的

另一个半导体器件的平面视图。参考图2C,沟道区108通过圆化拐角特征140耦合到源极区和漏极区110的位于侧壁间隔体112下方的部分。栅极电极堆叠体106被描绘成虚线,从而为下层的沟道区108提供透明度。同样,通过围绕源极区和漏极区110的长虚线来描绘包含较大尺寸的不在间隔体112下方的源极区和漏极区110的部分的可选方案。

[0037] 因此,再次参考图2B和2C,在实施例中,沟道区108通过缓变(graded)特征(例如,120或140)耦合到源极区和漏极区110的位于侧壁间隔体112下方的部分。在实施例中,缓变特征在半导体器件110的运行期间减小了重叠电容和扩散电阻。

[0038] 在实施例中,如以下结合工艺流程600和700所更详细地描述的,半导体器件100设置于与具有沟道区的第二半导体器件相同的衬底102上方。在该实施例中,第二半导体器件的沟道区的最窄宽度大于半导体器件100的沟道区108的最窄宽度(例如,W1)。

[0039] 半导体器件100可以是包含栅极、沟道区和源极/漏极区的任何半导体器件。在实施例中,半导体器件100是例如但不限于MOS-FET或微机电系统(MEMS)的半导体器件。在一个实施例中,半导体器件100是三维的MOS-FET,并且是隔离的器件或者是多个嵌套的器件中的一个器件。会理解,对于典型的集成电路来说,可以在单个衬底上制造N沟道和P沟道晶体管二者,以形成CMOS集成电路。

[0040] 衬底102可以由能够承受制造工艺并且电荷能够在其中迁移的半导体材料构成,并且因此半导体主体104也可以由这种半导体材料构成。在实施例中,衬底102是体衬底,并且半导体主体104与体衬底102连续。在实施例中,衬底102由晶体硅、硅/锗或掺杂有电荷载流子的锗层构成,所述电荷载流子例如但不限于磷、砷、硼或它们的组合。在一个实施例中,衬底102中的硅原子的浓度大于97%,或者,替代地,掺杂剂原子的浓度小于1%。在另一个实施例中,衬底102由生长在不同的晶体衬底顶上的外延层构成,例如,生长在硼掺杂的体硅单晶衬底顶上的硅外延层。衬底102还可以包括设置于体晶体衬底与外延层之间的绝缘层,以形成例如绝缘体上硅衬底。在所述示例中,半导体主体104可以是隔离的半导体主体。在实施例中,绝缘层由例如但不限于二氧化硅、氮化硅、氮氧化硅或高k电介质层的材料构成。替代地,衬底102可以由III-V族材料构成。在实施例中,衬底102由例如但不限于氮化镓、磷化镓、砷化镓、磷化铟、锑化铟、砷化铟、砷化铝镓、磷化铟镓、或它们的组合的III-V族材料构成。半导体主体104可以由多种半导体材料构成,所述多种半导体材料中的每种半导体材料可以包括附加的掺杂原子。在一个实施例中,衬底102由晶体硅构成,并且电荷载流子掺杂剂杂质原子是例如但不限于硼、砷、铟或磷的原子。在另一个实施例中,衬底102由III-V族材料构成,并且电荷载流子掺杂剂杂质原子是例如但不限于碳、硅、锗、氧、硫、硒或碲的原子。在另一个实施例中,半导体主体104是未掺杂的或仅轻度掺杂的。另外,在一个实施例中,可以在半导体器件100的制造中消除常规器件制造中通常使用的晕轮(halo)掺杂。应该理解的是,在实施例中,半导体主体104的材料与衬底102的材料不同。

[0041] 在另一个实施例中,半导体器件100是例如但不限于fin-FET或三栅极器件的非平面器件。在这种实施例中,半导体主体104由三维主体构成,或者从三维主体形成。在一个这种实施例中,栅极电极堆叠体106至少包围三维主体的顶表面和一对侧壁。在另一个实施例中,例如在纳米线器件中,将半导体主体104制造为分立的三维主体。在一个这种实施例中,栅极电极堆叠体100完全包围半导体主体104的一部分。

[0042] 栅极电极堆叠体106可以包括栅极电极和下层的栅极电介质层。在实施例中,栅极

电极堆叠体106的栅极电极由金属栅极构成,并且栅极电介质层由高K材料构成。例如,在一个实施例中,栅极电介质层由例如但不限于氧化铪、氮氧化铪、硅酸铪、氧化镧、氧化锆、硅酸锆、氧化钽、钛酸锶钡、钛酸钡、钛酸锶、氧化钇、氧化铝、铅钽钨氧化物、铋酸铅锌、或它们的组合之类的材料构成。此外,栅极电介质层的一部分可以包括由半导体主体104的顶部几层形成的自然氧化物层。在实施例中,栅极电介质层由顶部高K部分和由半导体材料的氧化物构成的下层部分构成。在一个实施例中,栅极电介质层由氧化铪的顶部部分和二氧化硅或氮氧化硅的底部部分构成。

[0043] 在一个实施例中,栅极电极由例如但不限于金属氮化物、金属碳化物、金属硅化物、金属铝化物、铪、锆、钛、钽、铝、钇、钡、铂、钴、镍、或导电金属氧化物之类的金属层构成。在具体实施例中,栅极电极由形成于金属功函数设定层上方的非功函数设定填充材料构成。在实施例中,栅极电极由P型材料构成。在另一个实施例中,栅极电极由N型材料构成。在另一个实施例中,栅极电极由中间带隙材料构成。在特定的这种实施例中,相应的沟道区是未掺杂的或仅轻度掺杂的。

[0044] 在实施例中,侧壁间隔体112由例如但不限于二氧化硅、碳化硅、氮氧化硅或氮化硅的绝缘电介质材料构成。类似地,电介质层114可以由例如但不限于二氧化硅、碳化硅、氮氧化硅或氮化硅的绝缘电介质材料构成。

[0045] 在本发明的实施例的精神和范围内还考虑了形成诸如以上所描述的那些器件之类的器件的方法。在第一个示例中,图3示出根据本发明的实施例的制造具有颈状半导体主体的半导体器件的方法中的工艺流程300。

[0046] 参考工艺流程300的部分A,形成厚鳍状物302,对牺牲栅极304进行构图,通过均厚沉积和随后的蚀刻来形成栅极间隔体306,并且形成源极-漏极区308。另外,可以沉积层间电介质膜310并对其进行抛光,以暴露牺牲栅极304。参考工艺流程300的部分B,去除牺牲栅极304,并且蚀刻厚鳍状物302,以形成具有减小的厚度(例如,减小大约1-5纳米范围内的量)的减薄的鳍状物312。参考工艺流程300的部分C,在减薄的鳍状物312之上形成永久的栅极堆叠体320。例如,可以形成高k栅极电介质层和金属栅极电极。在实施例中,减薄的鳍状物312提供改进的短沟道效应,而源极区和漏极区308的位于间隔体306下方的较宽的部分有助于减小外部电阻。

[0047] 在实施例中,牺牲栅极304由适合于在替换栅极操作时去除的材料构成。在一个实施例中,牺牲栅极304由多晶硅、非晶硅、二氧化硅、氮化硅、或它们的组合构成。在另一个实施例中,在牺牲栅极304上方形成诸如二氧化硅或氮化硅层之类的保护性覆盖层(未示出)。在实施例中,包括了下层的虚设栅极电介质层(也未示出)。在实施例中,牺牲栅极304包括侧壁间隔体306,侧壁间隔体306可由适合于最终将永久栅极结构与邻近的导电接触部电隔离的材料构成。例如,在一个实施例中,间隔体306由例如但不限于二氧化硅、氮氧化硅、氮化硅、或碳掺杂的氮化硅的电介质材料构成。

[0048] 在实施例中,通过干法蚀刻或湿法蚀刻工艺来去除牺牲栅极304。在一个实施例中,牺牲栅极304由多晶硅或非晶硅构成,并且利用使用SF₆的干法蚀刻工艺来去除牺牲栅极304。在另一个实施例中,牺牲栅极304由多晶硅或非晶硅构成,并且利用使用NH₄OH或四甲胺羟化物的水溶液的湿法蚀刻工艺来去除牺牲栅极304。在一个实施例中,牺牲栅极304由氮化硅构成,并且利用使用磷酸水溶液的湿法蚀刻来去除牺牲栅极304。

[0049] 在对存在的其它半导体特征没有不利影响的情况下,可以通过将鳍状物302的一部分去除的任何适合的技术(例如通过利用干法蚀刻或湿法蚀刻工艺)来将鳍状物302减薄,以形成312。在一个实施例中,可以通过利用使用 NF_3 、 HBr 、 SF_6/Cl 或 Cl_2 的干法等离子体蚀刻来将鳍状物302减薄,以形成312。

[0050] 在第二个示例中,图4示出根据本发明的实施例的制造具有颈状半导体主体的半导体器件的方法中的工艺流程400。参考工艺流程400的部分A,形成薄鳍状物412,对牺牲栅极404进行构图,并且形成薄源极-漏极区408。参考工艺流程400的部分B,通过均厚沉积和随后的蚀刻来形成栅极间隔体406,并且例如通过外延生长来形成厚源极区和漏极区418。此外,可以沉积层间电介质膜410并对其进行抛光,以暴露牺牲栅极404。然后去除牺牲栅极404,如部分B中所描绘的那样。参考工艺流程400的部分C,在薄鳍状物412上形成永久的栅极堆叠体420。例如,可以形成高k栅极电介质层和金属栅极电极。在实施例中,薄鳍状物412提供改进的短沟道效应,而源极区和漏极区408/418的位于间隔体406下方的较宽的部分有助于减小外部电阻。可以如以上结合工艺流程300所描述的那样来执行牺牲栅极的形成和替换。

[0051] 因此,在实施例中,制造半导体器件的方法包括在衬底上方形成半导体主体。栅极电极堆叠体形成于半导体主体的一部分之上,以限定半导体主体中的位于栅极电极堆叠体下方的沟道区、以及半导体主体中的位于栅极电极堆叠体的两侧上的源极区和漏极区。侧壁间隔体形成于邻近栅极电极堆叠体处并且形成于源极区和漏极区的仅一部分之上。相较于半导体主体的沟道区的高度和宽度,源极区和漏极区的位于侧壁间隔体下方的部分具有更大的高度和宽度。

[0052] 在一个这种实施例中,形成栅极电极堆叠体包括:形成牺牲栅极电极堆叠体、去除牺牲栅极电极堆叠体、以及形成永久的栅极电极堆叠体。在该实施例中,形成沟道区包括:在去除牺牲栅极电极堆叠体之后并且在形成永久的栅极电极堆叠体之前,将暴露的半导体主体的一部分减薄,例如,如结合工艺流程300所描述的那样。在另一个这种实施例中,形成栅极电极堆叠体包括:形成牺牲栅极电极堆叠体、去除牺牲栅极电极堆叠体、以及形成永久的栅极电极堆叠体。在该实施例中,形成源极区和漏极区包括:在去除牺牲栅极电极堆叠体之前扩展暴露的半导体主体的一部分,例如,如结合工艺流程400所描述的那样。

[0053] 图5A包括根据本发明的实施例的驱动电流增益(如 $\%I_{\text{dsat}}$ 增益)作为具有颈状半导体主体的半导体器件的硅沟道区厚度(以微米表示)的函数与作为没有颈状半导体主体的半导体器件的硅沟道区厚度的函数进行对比的曲线500A。图5B包括根据本发明的实施例的驱动电流增益(如 $\%I_{\text{dlin}}$ 增益)作为具有颈状半导体主体的半导体器件的硅沟道区厚度(以微米表示)的函数与作为没有颈状半导体主体的半导体器件的硅沟道区厚度的函数进行对比的曲线500B。参考曲线500A和500B,将根据预先的硅宽度(W_{si})限定形成的鳍状物与具有在替换栅极操作期间限定的减薄的硅宽度(W_{si})的鳍状物(例如,如结合工艺流程300所描述的那样)进行比较。曲线揭示了减薄的鳍状物器件的预期驱动电流增益。

[0054] 在第二方面,提供了形成不同宽度的半导体主体的方法。这种工艺可以使得能够在同一管芯内形成不同的鳍状物宽度。因此,可以在同一管芯上实现使用用于高性能应用的较宽的鳍状物宽度器件和用于低功率(低待机泄漏)应用的较低的鳍状物宽度器件。

[0055] 在第一个示例中,图6示出根据本发明的实施例的制造具有不同宽度的半导体主

体的半导体器件的方法中的工艺流程600。

[0056] 参考工艺流程600的部分A,衬底602上方(例如,晶体硅衬底上方)的用于最终鳍状物形成的硬掩模603A/603B的形成包括硬掩模层的沉积和构图。已构图的硬掩模层603A/603B包括用于最终薄鳍状物形成的区域604和用于最终厚鳍状物形成的区域606。参考工艺流程600的部分B,利用抗蚀剂层608来遮住将维持较宽的宽度的鳍状物(例如,在区域606中),并且蚀刻暴露的硬掩模603A来减小线的宽度。参考工艺流程600的部分C,然后去除抗蚀剂层608(例如包括灰化工艺),并且将新的硬掩模图案603A/603B转移到衬底602中,以形成鳍状物610A和610B。替代地,在实施例,可以在鳍状物被蚀刻到衬底中之后、并且在牺牲栅极的构图之前执行附加的光刻鳍状物减薄。在实施例,由间隔体构图流程首先形成硬掩模区603A/603B,所述间隔体构图流程可以用于有效地使被用于形成特征的光刻工艺的间距加倍。工艺流程600维持了间隔体构图流程的间距。

[0057] 因此,在实施例,制造半导体器件的方法包括在衬底上方形成硬掩模。硬掩模图案包括具有鳍状物形成特征的第一区,其中每个特征具有第一宽度。硬掩模图案还包括具有鳍状物形成特征的第二区,其中每个特征具有近似等于第一宽度的第二宽度。随后,形成抗蚀剂层并对其进行构图,以覆盖第二区并暴露第一区。随后,蚀刻第一区的鳍状物形成特征,以形成减薄的鳍状物形成特征,其中每个特征具有小于第二宽度的第三宽度。随后,去除抗蚀剂层。随后,将硬掩模图案转移到衬底,以形成具有鳍状物的第一区,其中每个鳍状物具有第三宽度;并且形成具有鳍状物的第二区,其中每个鳍状物具有第二宽度。随后,利用第一和第二区的鳍状物形成半导体器件。在一个这种实施例,衬底是单晶硅衬底,并且将硬掩模图案转移到衬底包括形成单晶硅鳍状物。

[0058] 在第二个示例中,图7示出根据本发明的实施例的制造具有不同宽度的半导体主体的半导体器件的方法中的工艺流程700。

[0059] 参考工艺流程700的部分A,衬底702上方(例如,晶体硅衬底上方)的用于鳍状物形成的硬掩模703A/703B的形成包括硬掩模层的沉积和构图。已构图的硬掩模层703A/703B包括用于薄鳍状物形成的区域704和用于厚鳍状物形成的区域706。然后将硬掩模图案703A/703B转移到衬底702中,以形成对应的鳍状物。然后可以执行牺牲栅极构图以及延伸源极和漏极的形成。同样,可以沉积层间电介质材料并对其进行抛光,以露出牺牲栅极。然后去除牺牲栅极。参考工艺流程700的部分B,利用抗蚀剂层708来遮住将保持较宽的宽度的鳍状物710B(例如,在区域706中)。鳍状物减薄蚀刻用于减小鳍状物710A的鳍状物宽度。参考工艺流程700的部分C,去除抗蚀剂层708(例如包括灰化工艺),并且可以利用较薄的鳍状物710A和较宽的鳍状物710B来执行标准器件制造技术。在实施例,由间隔体构图流程首先形成硬掩模区703A/703B,所述间隔体构图流程可以用于有效地使被用于形成特征的光刻工艺的间距加倍。工艺流程700维持了间隔体构图流程的间距。

[0060] 因此,在实施例,制造半导体器件的方法包括在衬底上方形成硬掩模图案。硬掩模图案包括具有鳍状物形成特征的第一区,其中每个特征具有第一宽度。硬掩模图案还包括具有鳍状物形成特征的第二区,其中每个特征具有近似等于第一宽度的第二宽度。随后,将硬掩模图案转移到衬底,以形成具有鳍状物的第一区,其中每个鳍状物具有第一宽度;并且形成具有鳍状物的第二区,其中每个鳍状物具有第二宽度。随后,形成抗蚀剂层并对其进行蚀刻,以覆盖具有鳍状物的第二区并暴露具有鳍状物的第一区。随后,蚀刻第一区的鳍状

物,以形成减薄的鳍状物,其中每个减薄的鳍状物具有小于第二宽度的第三宽度。随后,去除抗蚀剂层。随后,利用第一和第二区的鳍状物形成半导体器件。在一个这种实施例中,衬底是单晶硅衬底,并且将硬掩模图案转移到衬底包括形成单晶硅鳍状物。

[0061] 本文中描述的工艺可以用于制造一个或多个半导体器件。半导体器件可以是晶体管或类似器件。例如,在实施例中,半导体器件是用于逻辑或存储器的金属氧化物半导体(MOS)晶体管,或是双极晶体管。同样,在实施例中,半导体器件具有三维的架构,例如三栅极器件、独立访问的双栅极器件、或FIN-FET。

[0062] 图8示出根据本发明的一种实施方式的计算设备800。计算设备800容纳板802。板802可以包括多个部件,包括但不限于处理器804和至少一个通信芯片806。处理器804与板802物理地和电气地耦合。在一些实施方式中,至少一个通信芯片806也与板802物理地和电气地耦合。在其它实施方式中,通信芯片806是处理器804的一部分。

[0063] 取决于其应用,计算设备800可以包括其它部件,所述其它部件可以或可以不与板802物理地和电气地耦合。这些其它部件包括但不限于易失性存储器(例如,DRAM)、非易失性存储器(例如,ROM)、闪速存储器、图形处理器、数字信号处理器、密码处理器、芯片组、天线、显示器、触摸屏显示器、触摸屏控制器、电池、音频编解码器、视频编解码器、功率放大器、全球定位系统(GPS)设备、罗盘、加速度计、陀螺仪、扬声器、照相机、以及大容量存储设备(例如硬盘驱动器、光盘(CD)、数字多功能盘,等等)。

[0064] 通信芯片806使得能够进行用于到和来自计算设备800的数据的传送的无线通信。术语“无线”和其衍生词可以用于描述可以通过使用调制的电磁辐射、经由非固态介质传送数据的电路、设备、系统、方法、技术、通信信道,等等。所述术语并不暗示相关联的设备不包含任何线路,尽管在一些实施例中它们可能不包含。通信芯片806可以实施多种无线标准或协议中的任何一种,所述多种无线标准或协议包括但不限于Wi-Fi(IEEE802.11族)、WiMAX(IEEE 802.16族)、IEEE 802.20、长期演进(LTE)、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、蓝牙、及它们的衍生物,以及被指定为3G、4G、5G和更高代的任何其它无线协议。计算设备800可以包括多个通信芯片806。例如,第一通信芯片806可以专用于诸如Wi-Fi和蓝牙的较短距离的无线通信,并且第二通信芯片806可以专用于诸如GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DO和其它的较远距离的无线通信。

[0065] 计算设备800的处理器804包括封装在处理器804内的集成电路管芯。在本发明的一些实施方式中,处理器的集成电路管芯包括一个或多个器件,例如根据本发明的实施方式所制造的MOS-FET晶体管。术语“处理器”可以指代处理来自寄存器和/存储器的电子数据以将该电子数据转换成可以在寄存器和/或存储器中存储的其它电子数据的任何器件或器件的部分。

[0066] 通信芯片806还包括封装在通信芯片806内的集成电路管芯。根据本发明的另一种实施方式,通信芯片的集成电路管芯包括一个或多个器件,例如根据本发明的实施方式所制造的MOS-FET晶体管。

[0067] 在进一步的实施方式中,计算设备800内容纳的另一个部件可以包含集成电路管芯,该集成电路管芯包括一个或多个器件,例如根据本发明的实施方式所制造的MOS-FET晶体管。

[0068] 在各种实施方式中,计算设备800可以是膝上型电脑、上网本、笔记本电脑、超极

本、智能手机、平板电脑、个人数字助理 (PDA)、超级移动PC、移动电话、台式计算机、服务器、打印机、扫描仪、监视器、机顶盒、娱乐控制单元、数字相机、便携式音乐播放器、或数字录像机。在进一步的实施方式中,计算设备800可以是处理数据的任何其它电子设备。

[0069] 因此,已经公开了具有颈状半导体主体的半导体器件以及形成不同宽度的半导体主体的方法。在实施例中,半导体器件包括设置于衬底上方的半导体主体。栅极电极堆叠体设置于半导体主体的一部分上,以限定半导体主体中的位于栅极电极堆叠体下方的沟道区。在栅极电极堆叠体的两侧上的半导体主体中限定了源极区和漏极区。侧壁间隔体设置于邻近栅极电极堆叠体处,并且设置于源极区和漏极区的仅一部分上。相较于半导体主体的沟道区的高度和宽度,源极区和漏极区的位于侧壁间隔体下方的部分具有更大的高度和宽度。在一个实施例中,半导体器件设置于与具有沟道区的第二半导体器件相同的衬底上方,并且第二半导体器件的沟道区的最窄的宽度大于半导体器件的沟道区的最窄的宽度。

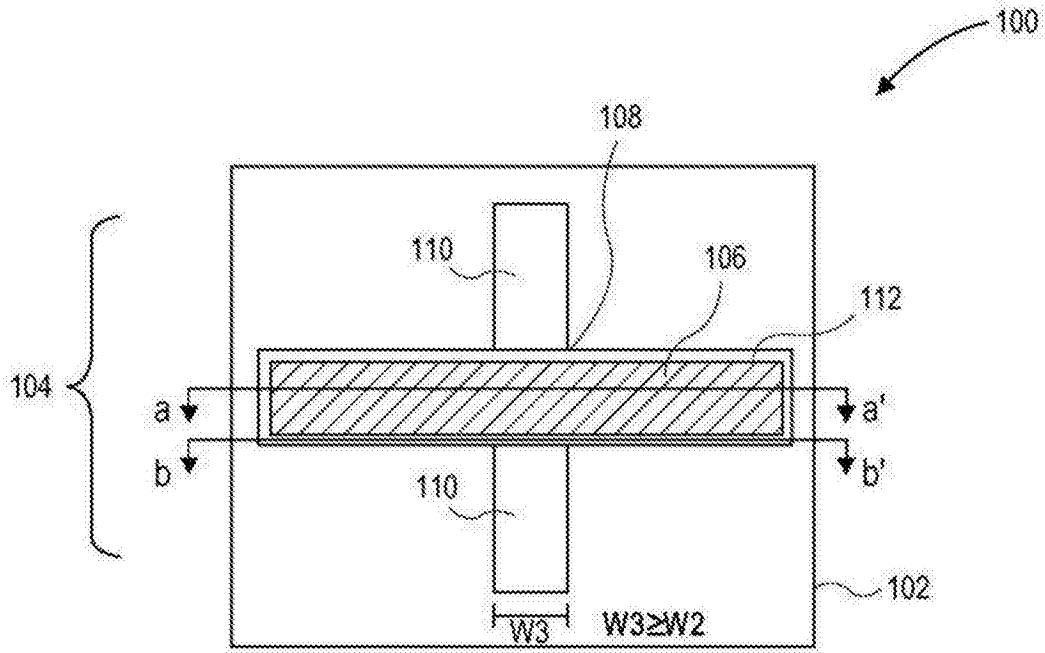


图1A

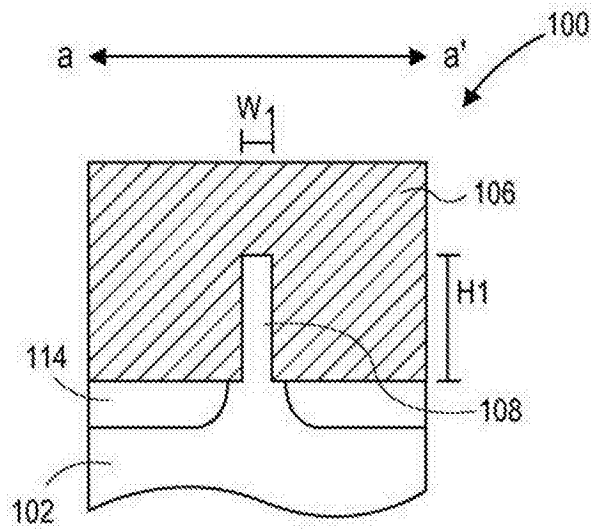


图1B

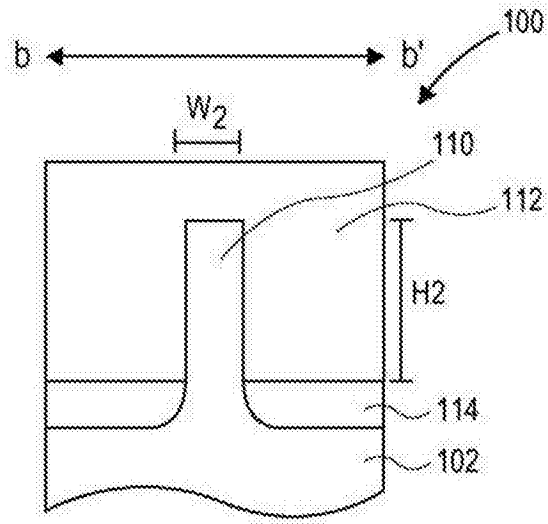


图1C

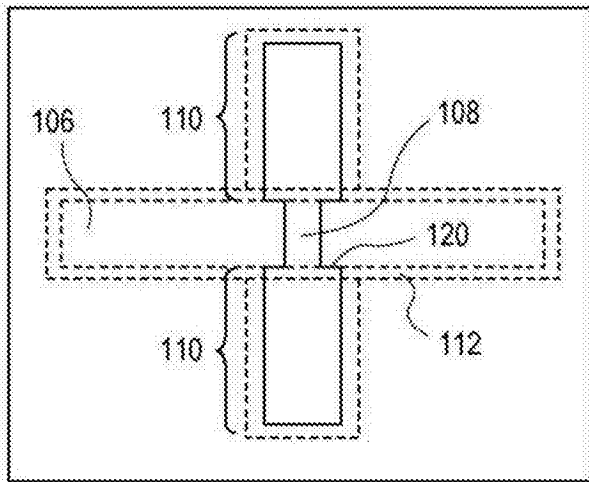


图2A

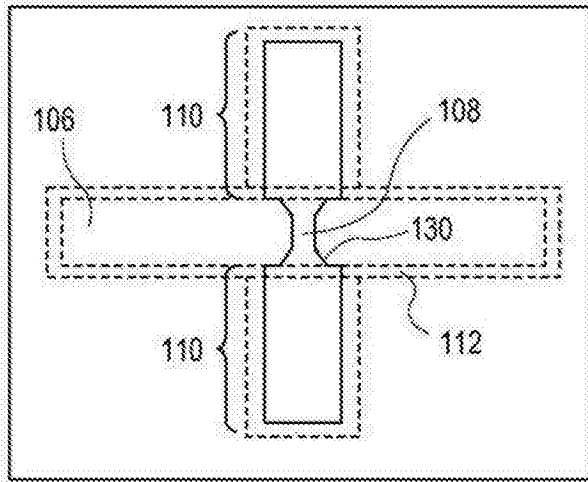


图2B

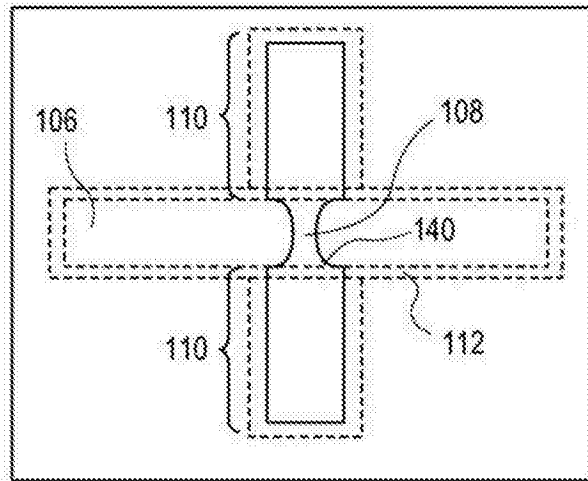


图2C

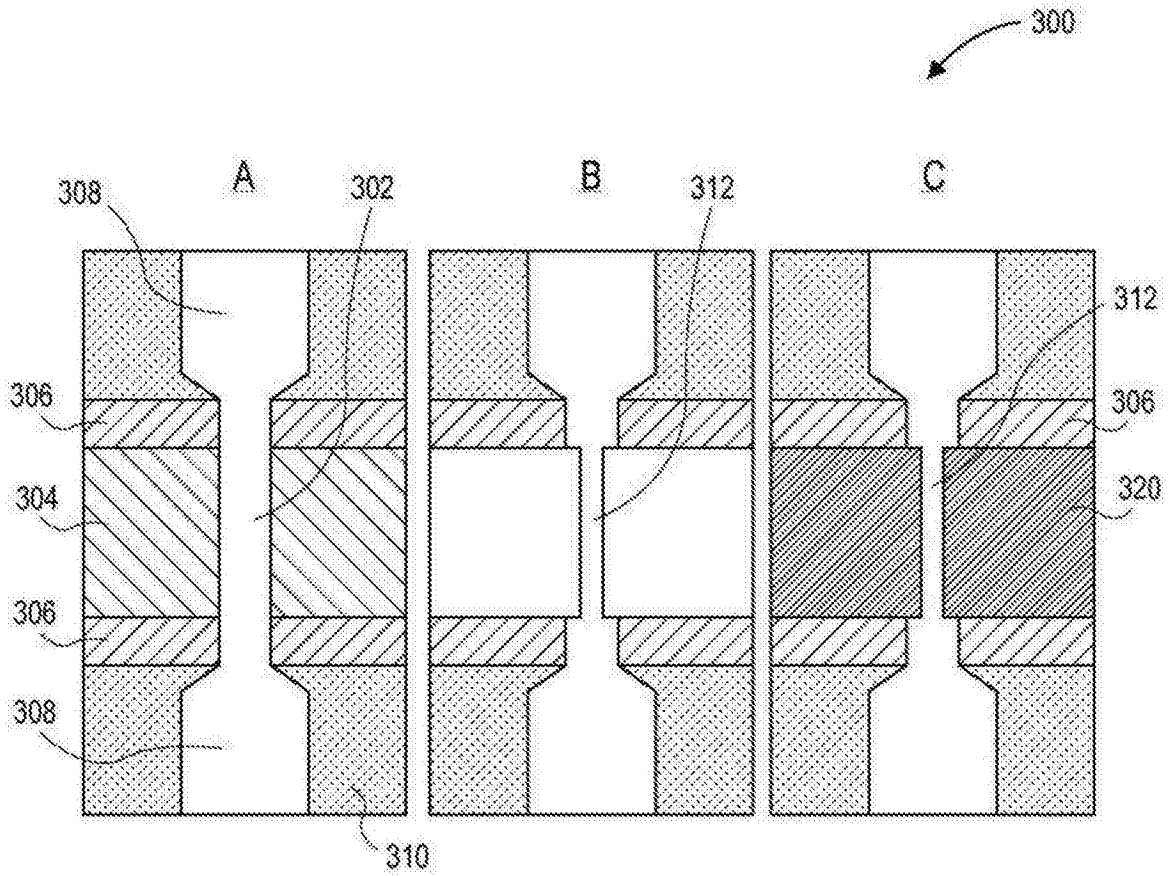


图3

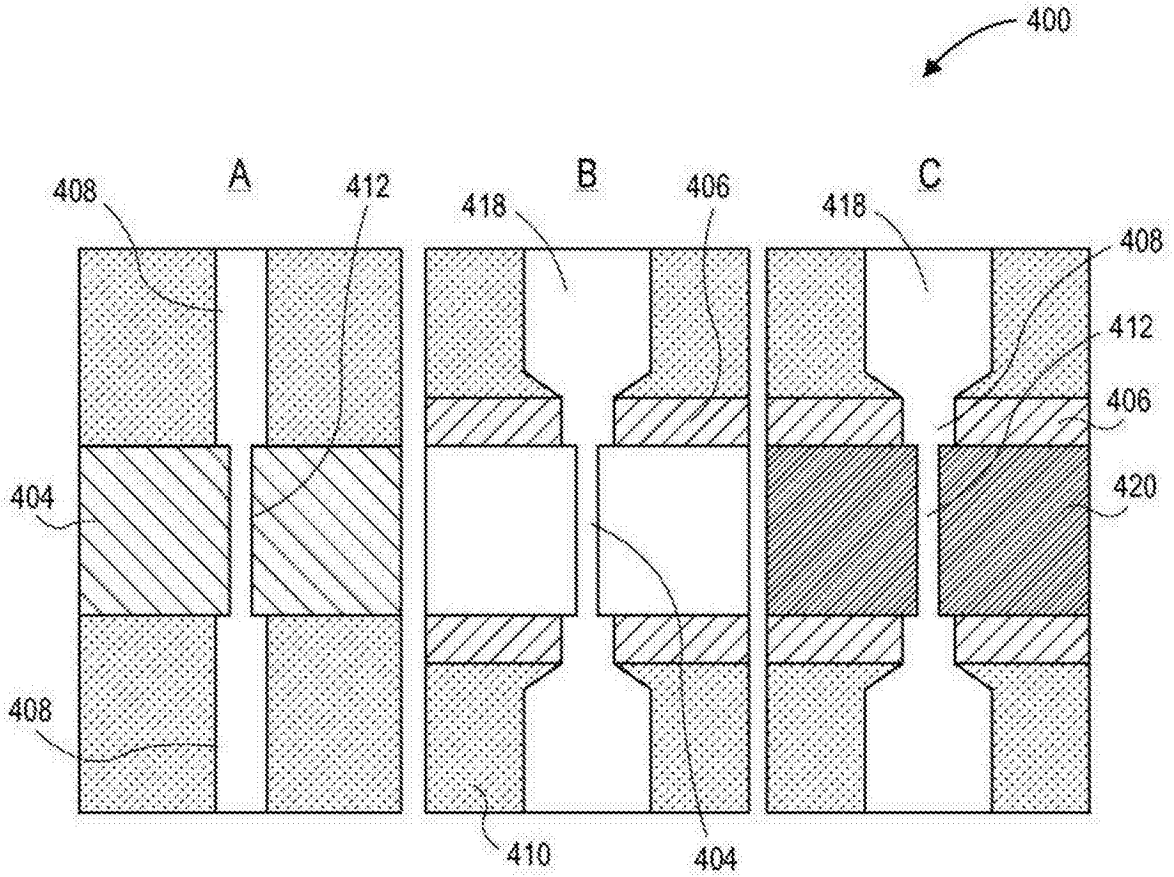


图4

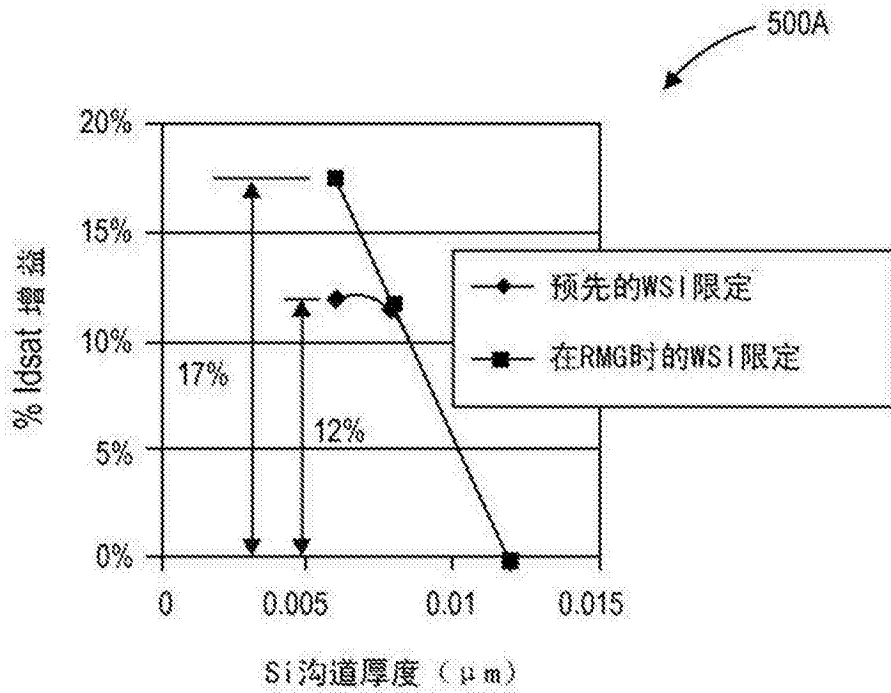


图5A

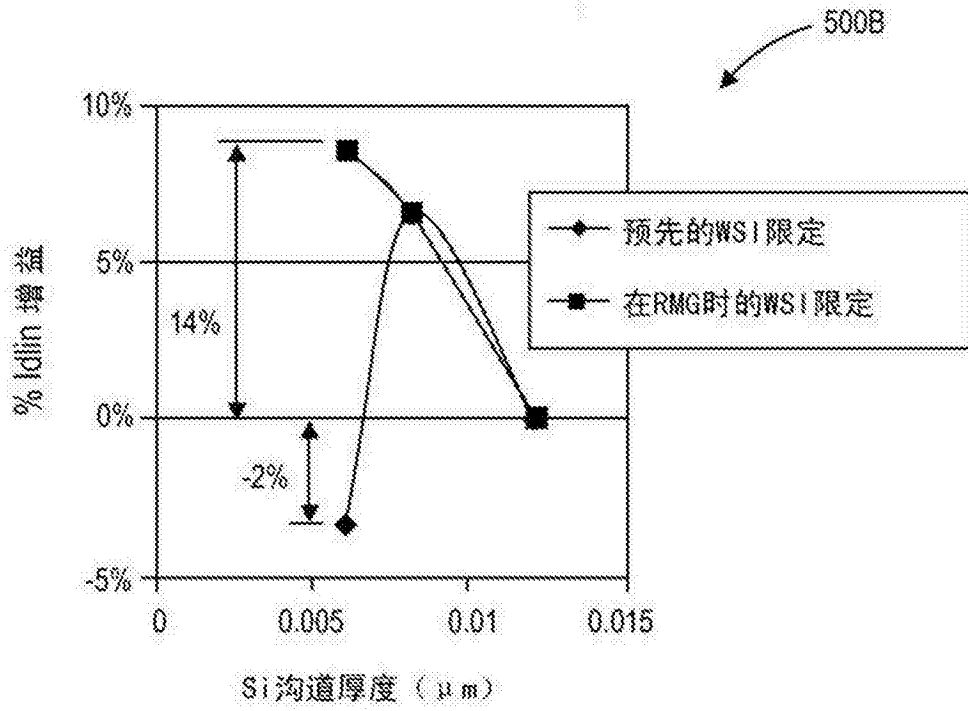


图5B

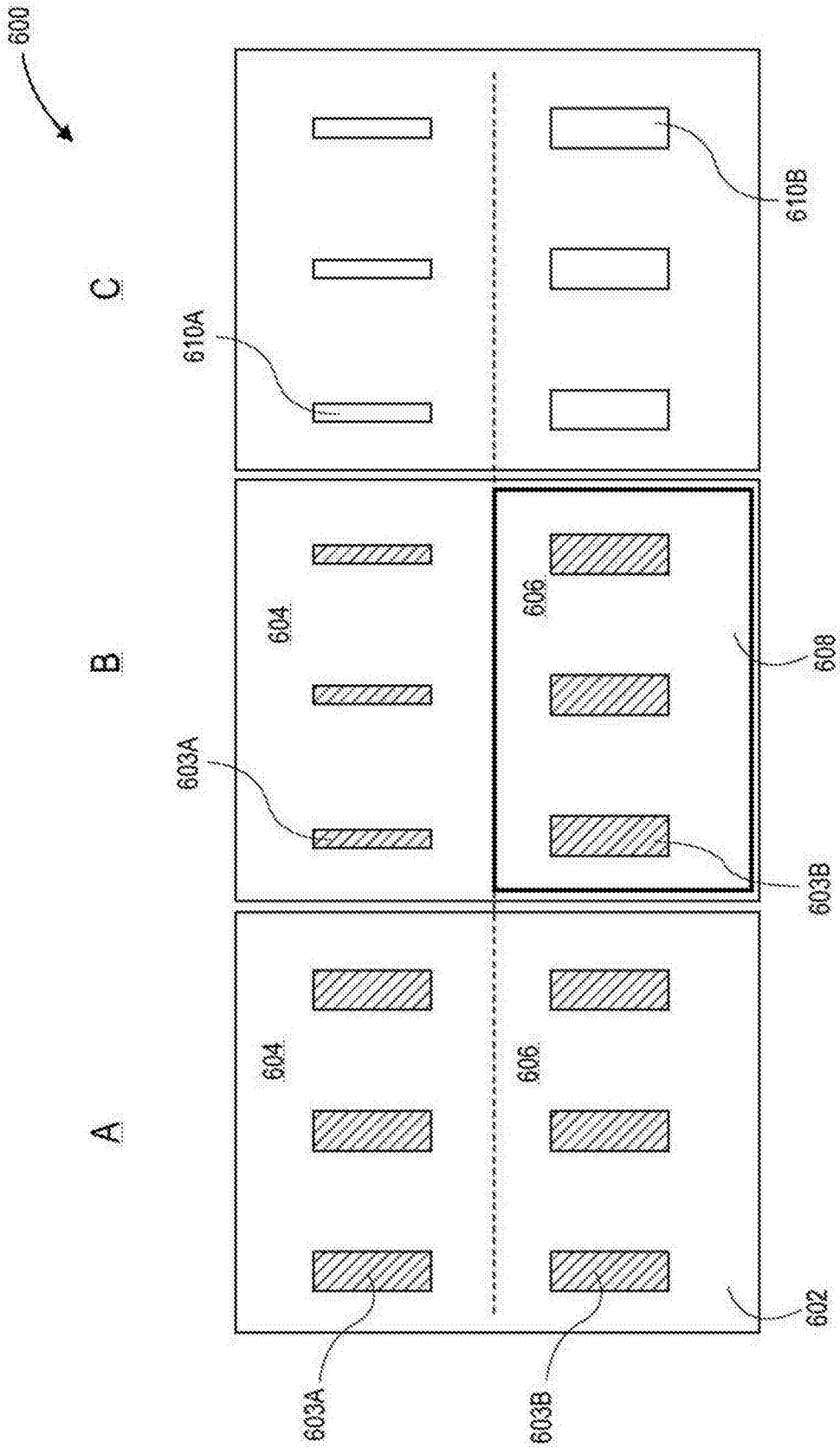


图6

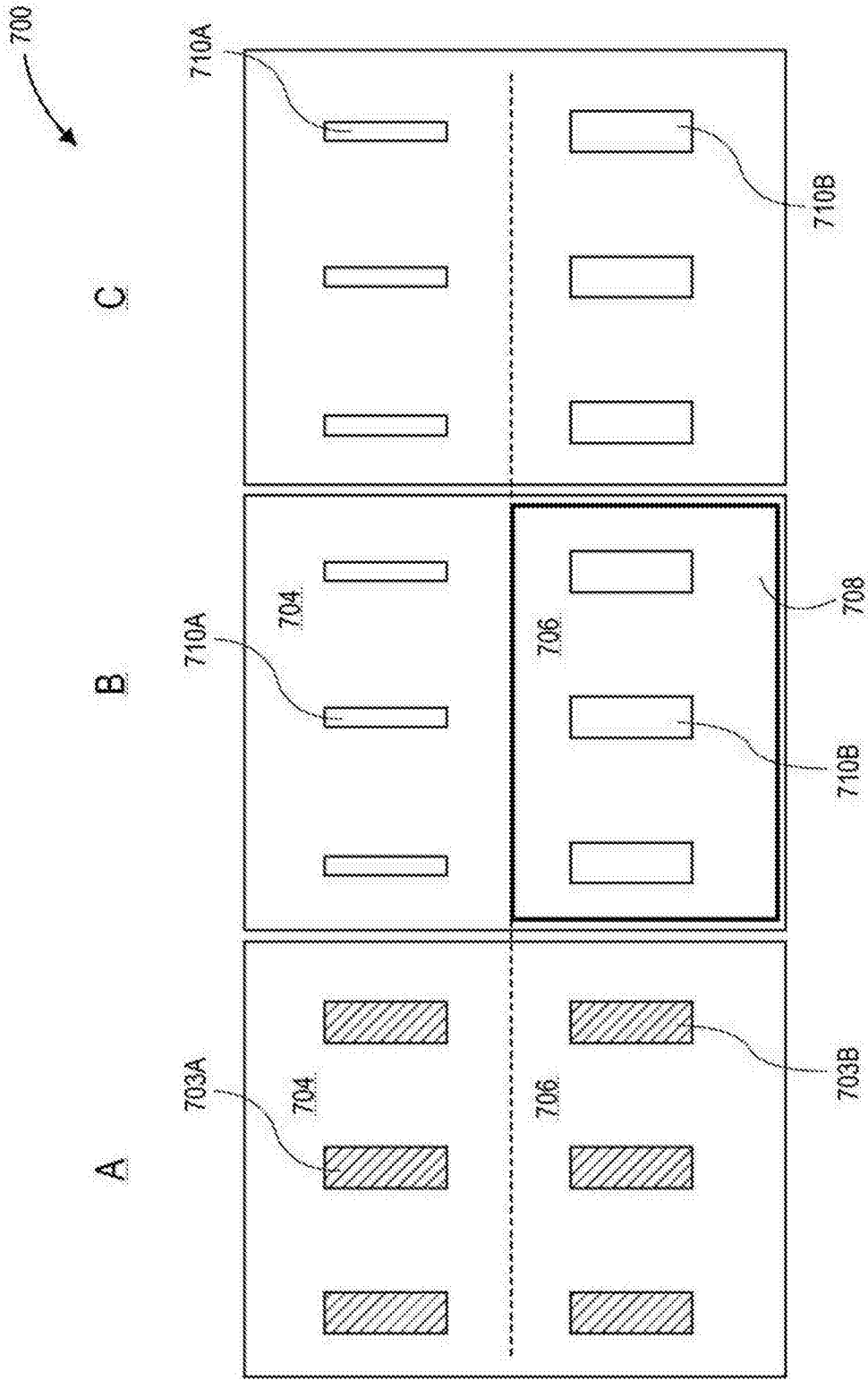


图7



图8