



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201230171 A1

(43)公開日：中華民國 101 (2012) 年 07 月 16 日

(21)申請案號：100134606

(22)申請日：中華民國 100 (2011) 年 09 月 26 日

(51)Int. Cl. : *H01L21/30 (2006.01)*

(30)優先權：2010/09/27 日本 2010-215361

(71)申請人：爾必達存儲器股份有限公司 (日本) ELPIDA MEMORY, INC. (JP)

日本

東京威力科創股份有限公司 (日本) TOKYO ELECTRON LIMITED (JP)

日本

(72)發明人：廣田俊幸 HIROTA, TOSHIYUKI (JP)；清村貴利 KIYOMURA, TAKAKAZU (JP)；

兩角友一朗 MOROZUMI, YUICHIRO (JP)；菱屋晉吾 HISHIYA, SHINGO (JP)

(74)代理人：周良謀；周良吉

申請實體審查：無 申請專利範圍項數：31 項 圖式數：19 共 67 頁

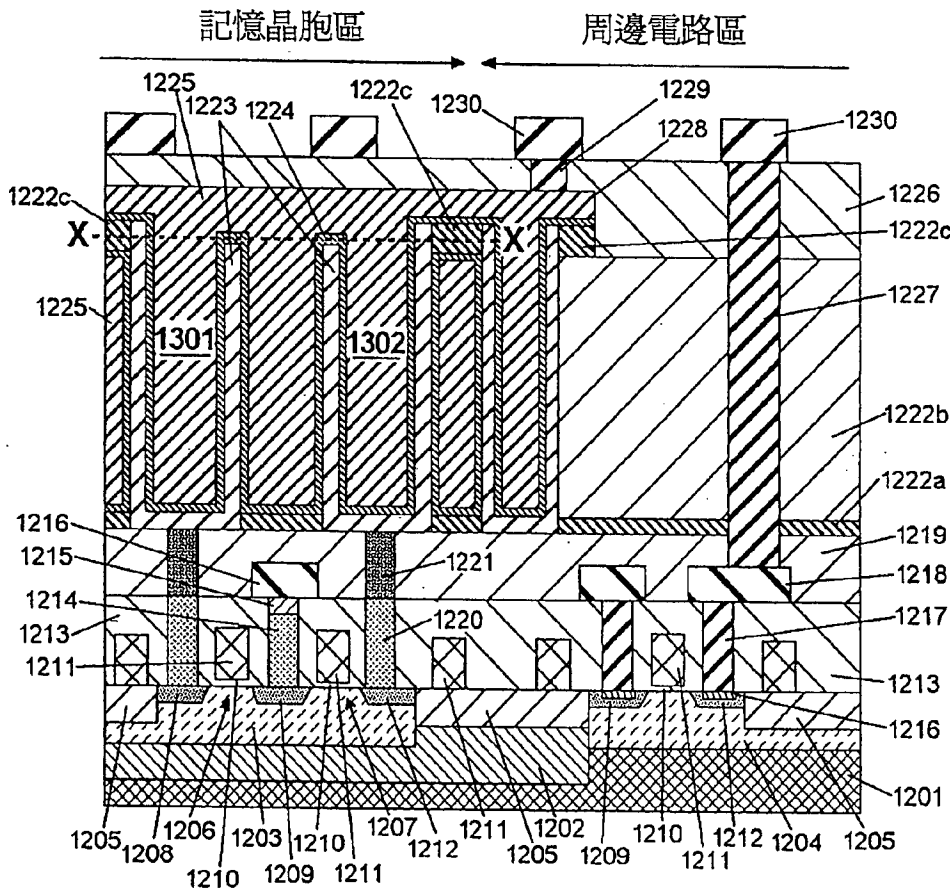
(54)名稱

半導體裝置、其製造方法及吸附位置阻斷原子層沉積法

SEMICONDUCTOR DEVICE, METHOD OF MANUFACTURING THE SAME AND ADSORPTION SITE BLOCKING ATOMIC LAYER DEPOSITION METHOD

(57)摘要

為提供具有良好結晶度的介電膜，同時抑制尺寸效應之影響並預防介電膜受到 Al 摻雜層所分割，雖然在電容器之介電膜中提供用來改善洩漏特性的 Al 摻雜層，但是介電膜具有至少一 Al 摻雜層，且 Al 摻雜層之一層中的 Al 原子之面積密度小於 $1.4E+14$ 原子/cm²。再者，為達到該面積密度，利用使用一般 ALD 法的介電膜形成及使用包含吸附阻斷劑分子、限制 Al 源之吸附位置、吸附 Al 源、及引進用於反應之反應氣體的阻斷吸附位置之 ALD 法的 Al 摻雜之組合。



- 1201 : 半導體基板
- 1202 : n-井
- 1203 : 第一 p-井
- 1204 : 第二 p-井
- 1205 : 元素隔離區
- 1206 : 電晶體
- 1207 : 電晶體
- 1208 : 汲極
- 1209 : 源極
- 1210 : 閘極絕緣膜
- 1211 : 閘極電極
- 1212 : 汲極
- 1213 : 第一層間絕緣膜
- 1214 : 多晶矽
- 1215 : 金屬矽化物
- 1216 : 位元線
- 1217 : 鎢塞
- 1218 : 第一配線層
- 1219 : 第二層間絕緣膜
- 1220 : 矽塞
- 1221 : 導電塞
- 1222a : 第三層間絕緣膜
- 1222b : 第四層間絕緣膜
- 1222c : 支持膜
- 1223 : 下電極
- 1224 : 介電膜
- 1225 : 上電極
- 1226 : 第五層間絕緣膜
- 1227 : 金屬通孔塞
- 1228 : 配線
- 1229 : 金屬塞
- 1230 : 第二配線層
- 1231 : 開口

1232：圓柱孔

1232a：圓柱孔

1234：保護膜

1301：電容器

1302：電容器



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201230171 A1

(43)公開日：中華民國 101 (2012) 年 07 月 16 日

(21)申請案號：100134606

(22)申請日：中華民國 100 (2011) 年 09 月 26 日

(51)Int. Cl. : *H01L21/30 (2006.01)*

(30)優先權：2010/09/27 日本 2010-215361

(71)申請人：爾必達存儲器股份有限公司 (日本) ELPIDA MEMORY, INC. (JP)

日本

東京威力科創股份有限公司 (日本) TOKYO ELECTRON LIMITED (JP)

日本

(72)發明人：廣田俊幸 HIROTA, TOSHIYUKI (JP)；清村貴利 KIYOMURA, TAKAKAZU (JP)；

兩角友一朗 MOROZUMI, YUICHIRO (JP)；菱屋晉吾 HISHIYA, SHINGO (JP)

(74)代理人：周良謀；周良吉

申請實體審查：無 申請專利範圍項數：31 項 圖式數：19 共 67 頁

(54)名稱

半導體裝置、其製造方法及吸附位置阻斷原子層沉積法

SEMICONDUCTOR DEVICE, METHOD OF MANUFACTURING THE SAME AND ADSORPTION SITE BLOCKING ATOMIC LAYER DEPOSITION METHOD

(57)摘要

為提供具有良好結晶度的介電膜，同時抑制尺寸效應之影響並預防介電膜受到 Al 摻雜層所分割，雖然在電容器之介電膜中提供用來改善洩漏特性的 Al 摻雜層，但是介電膜具有至少一 Al 摻雜層，且 Al 摻雜層之一層中的 Al 原子之面積密度小於 $1.4E+14$ 原子/cm²。再者，為達到該面積密度，利用使用一般 ALD 法的介電膜形成及使用包含吸附阻斷劑分子、限制 Al 源之吸附位置、吸附 Al 源、及引進用於反應之反應氣體的阻斷吸附位置之 ALD 法的 Al 摻雜之組合。

六、發明說明：

【發明所屬之技術領域】

本發明有關於半導體裝置及其製造方法，且具體而言，有關於具有電容器的半導體裝置，尤其是用於電容器的介電膜及其製造方法。再者，本發明有關適用於以低濃度引進雜質的新穎性原子層沉積(atomic layer deposition, ALD)法。

【先前技術】

具有二氧化鋯(ZrO_2)作為用於動態隨機存取記憶體(dynamic random access memory, DRAM)的電容器之介電材料之一。

DRAM 在電容器形成後需要在約 $450^\circ C$ 至 $500^\circ C$ 溫度下的熱處理作為必然發生之處理。在此情形中，不可能藉由使用二氧化鋯薄膜之單晶介電膜而獲得充分熱穩定度，且在熱處理後有增加洩漏電流的問題。

因此，已做出各種嘗試來增加熱穩定度，且有 ZAZ 結構($TiN/ZrO_2/Al_2O_3/ZrO_2/TiN$ ，ZAZ 之 Z 及 A 分別代表 ZrO_2 層及 Al_2O_3 層)，即其中 Al_2O_3 及 ZrO_2 薄膜堆疊多次的結構；及類似物。

該結構欲藉由結合具有介電係數的二氧化鋯(ZrO_2)及儘管有低介電係數但具有出色熱穩定度的氧化鋁(Al_2O_3)而達成期望特性。

舉例而言，JP 2006-135339A 揭露形成用於 DRAM 的 AZ 結構、ZA 結構、ZAZ 結構、或多層介電膜的方法，其中 ZrO_2 薄膜及 Al_2O_3 薄膜係交互堆疊，其中特徵部尺寸(F 值：最小圖型間距之 1/2)等於或小於 70 nm。

在薄膜形成中，使用 ALD 法， $ZrCl_4$ 、 $Zr[N(CH_3)C_2H_5]_4$ 、 $Zr(O-tBu)_4$ 、 $Zr[N(CH_3)_2]_4$ 、 $Zr[N(C_2H_5)(CH_3)]_4$ 、 $Zr[N(C_2H_5)_2]_4$ 、 $Zr(tmhd)_4$ 、 $Zr(OiC_3H_7)_3(tmtd)$ 及 $Zr(OtBu)_4$ 係揭露為 Zr 源，而 $Al(CH_3)_3$ 及 $Al(C_2H_5)_3$ 係揭露為 Al 源。

在用來獲得 ZrO_2 薄膜的 ALD 法中，重複與期望般多次的在基板表面上吸附 Zr 源、藉由如 N_2 及 Ar 的清除氣體自反應腔室排

出 Zr 源的未吸附部份、藉由如 O_3 的反應氣體氧化所吸附的 Zr 源、及藉由與上文相同的清除氣體清除反應氣體之未反應部份的步驟。

相似地，為了獲得 Al_2O_3 薄膜，重複與期望般多次的在基板表面上吸附 Al 源、藉由如 N_2 及 Ar 的清除氣體自反應腔室排出 Al 源的未吸附部份、藉由如 O_3 的反應氣體氧化已吸附的 Al 源、及藉由與上文相同的清除氣體清除反應氣體之未反應部份的步驟。

再者，JP 2007-73926A 揭露「介電薄膜包含具有至少 25 的相對介電係數之第一介電薄膜、使用具有低於第一介電薄膜結晶速率者之材料形成在第一介電薄膜上的第二介電薄膜、及使用與第一介電薄膜者相同材料形成在第二介電薄膜上的第三介電薄膜。」其揭露非晶 Al_2O_3 出現於結晶的 ZrO_2 薄膜之間的結構。

ZrO_2 薄膜或 Al_2O_3 薄膜之形成利用與 JP 2006-135339A 中相同的 ALD 法。 $Zr(O-tBu)_4$ 、 $Zr[N(CH_3)_2]_4$ 、 $Zr[N(C_2H_5)(CH_3)]_4$ 、 $Zr[N(C_2H_5)_2]_4$ 、 $Zr(tmhd)_4$ 、 $Zr(OiC_3H_7)_3(tmhd)$ 、 $Zr(OtBu)_4$ 及 $Zr(OtBu)(C_2H_5CH_3)_3$ 係揭露為 Zr 源，而三甲基鋁 (tetramethylaluminum, TMA: $Al(CH_3)_3$) 及 $Al(C_2H_5)_3$ 係揭露為 Al 源。

再者，為了獲得具有介電係數的四方 ZrO_2 結構，JP 2007-281407A 揭露將額外 O_3 步驟加至 ALD 程序，即將基板溫度設定為 $250^\circ C$ 至 $250^\circ C$ 、將氧化劑 O_3 濃度控制為 $150 g/m^3$ 或更高、或類似步驟。在本實例中， $Zr(O-tBu)_4$ 、 $Zr[N(CH_3)_2]_4$ 、 $Zr[N(C_2H_5)(CH_3)]_4$ 、 $Zr[N(C_2H_5)_2]_4$ 、 $Zr(tmhd)_4$ 、 $Zr(OiC_3H_7)_3(tmhd)$ 及 $Zr(OtBu)_4$ 係揭露為 Zr 源。

此外，JP 2007-150242A 揭露具有 $Zr_xAl_yO_z$ 薄膜之電容器的製造方法，其中鋯、鋁及氧係利用 ALD 法以 x、y 及 z 的特定莫耳分率加以混合。在 $Zr_xAl_yO_z$ 介電膜中，x、y 及 z 之莫耳分率總和為 1，且莫耳分率 x 除以莫耳分率 y 之數值範圍係自 1 至 10 ($0.091 \leq y/(x+y) \leq 0.50$ ，即，由 $Al/(Al+Zr)$ 所代表的原子數比值範圍可自約 9 至 50 原子%)。

再者，形成 $Zr_xAl_yO_z$ 介電膜之步驟包含以下步驟：

引進 Zr 源並在下電極上吸附 Zr 源；

藉由供應第一清除氣體移除 Zr 源之未吸附部份；

引進 Al 源並在吸附於下電極上的 Zr 源上吸附 Al 源；

藉由供應第二清除氣體移除 Al 源之未吸附部份；

藉由供應反應氣體利用吸附於下電極上的 Zr 源及 Al 源之反應形成 $Zr_xAl_yO_z$ 介電膜；及

藉由供應第三清除氣體移除反應氣體之未反應部份。

作為 Zr 源，其揭露 $ZrCl_4$ 、 $Zr[N(CH_3)C_2H_5]_4$ 、 $Zr(O-tBu)_4$ 、 $Zr[N(CH_3)_2]_4$ 、 $Zr[N(C_2H_5)(CH_3)]_4$ 、 $Zr[N(C_2H_5)_2]_4$ 、 $Zr(tmhd)_4$ 、 $Zr(OiC_3H_7)_3(tmtd)$ 及 $Zr(OtBu)_4$ 。

順帶一提，JP 2007-150242A 未提及所得介電膜是否為結晶狀或非晶形。再者，其未揭露如何將莫耳分率控制在特定範圍內。

DRAM 在配置成一電晶體及一電容器的單位晶胞中儲存 1 位元。當位元數增加時，每單位晶胞的佔據面積傾向減少。目前，DRAM 世代係轉移至 40 nm 以下的 F 值，每單位晶胞的佔據面積變得愈來愈小。

由於電容器之儲存電容需要預定量(20 fF 至 25 fF)，因此儘管每單位晶胞的佔據面積變小，但仍需要確保儲存電容之預定量。因此，電容器之空間結構已為了擴展電極面積而加以發展，且為了在基板之垂直方向上提高電極，已將結構之高寬比增加至超過 30。

然而，在自 40 nm 起之 F 值的 DRAM 之電容器中，吾人認為 35 之高寬比為當前處理技術中藉由單一乾燥蝕刻所能達成的限制。

因此，為了獲得電容器之必要儲存電容，需要將電容器之洩漏電流維持在等於習用實例者($1E-7 A/cm^2$ 或更小)，並使得等效氧化物厚度(equivalent oxide thickness, EOT)(藉由將每單位面積的電容器之電容轉換成等效矽氧化物薄膜厚度所計算的數值)小於習用實例，即等於或小於 0.9 nm。

如上述，為了在針對具有空間結構的電極所形成的介電膜中

實現小 EOT 及小洩漏電流，其需要具有高介電係數、良好覆蓋率及充分熱穩定度的電容膜(介電膜)。事實上，這些具有取捨關係。

1)在介電係數及覆蓋率之間的取捨

舉例而言，由於非晶形 ZrO_2 薄膜之介電係數低，所以為了獲得具有高介電係數之電容膜而有必要獲得結晶 ZrO_2 薄膜。尤其，為了獲得如 JP 2007-281407A 中所揭露的具有高介電係數及四方結構之 ZrO_2 薄膜，有必要在相當高溫下形成薄膜。

然而，上述先前技術文件中所揭露的 Zr 源在獲得四方結構的高溫下受薄膜形成中的熱而自分解，且覆蓋率劣化。因此，本發明人已發現不可能將其應用至具有 20 以上的高寬比之空間結構。

若其他條件相同，則由於洩漏電流取決於介電膜之最薄部分的厚度，故覆蓋率之惡化導致薄膜厚度不均勻性，且介電膜之薄膜厚度應提高一對應量。結果，由於不可能降低 EOT，所以介電係數難以兼容於覆蓋率。

2)在熱穩定度及介電係數之間的取捨

再者，為了實現必要的熱穩定度，必須設定引進作為雜質的 Al 量並控制其量。這是因為若 Al 量極大，則難以獲得具有高介電係數之薄膜，且若 Al 量極小，則難以獲得足夠的熱穩定度。

本發明人已再度實施相同實驗，且可發現到可獲得足夠的熱穩定度，但 ZrO_2 薄膜難以在 JP 2007-150242A 中所揭露的 Al 濃度範圍中結晶，且因此難以獲得可對應至自 40 nm 的 F 值起之裝置的小 EOT。

再者，關於 Al 量，不僅在整個介電膜中的平均濃度重要，而且局部密度亦重要。不似其中可將雜質相對均勻散佈至基底材料的 PVD 法或 CVD 法，於藉由 ALD 法添加雜質時，除非雜質由於高溫而散佈至基底材料，否則由於成膜方法而在膜厚方向上形成雜質集中乃為通常之事。然而，在高溫下的薄膜形成中，覆蓋率係如以上 1)中所述劣化。

同時，在結晶介電膜中有通稱為「尺寸效應」的現象。當薄膜厚度減少時，介電係數傾向減少。在二氧化鋯的情形中，此現

象在小於約 6 nm 的物理薄膜厚度上變得嚴重。

舉例而言，在薄膜形成期間藉由 ALD 法形成 ZrO_2 薄膜，且以相同方式藉由 ALD 法形成 Al_2O_3 薄膜的情形中，若 Al_2O_3 之面積密度高於某值，則 ZrO_2 不能在 Al_2O_3 層上方結晶。於是， ZrO_2 晶粒由 Al_2O_3 層垂直分隔，且 ZrO_2 薄膜被 Al_2O_3 層分成垂直分離層。因此，即使總薄膜厚度為 6 nm 或更大，由 Al_2O_3 層所分隔的 ZrO_2 薄膜之各者的介電係數仍受到尺寸效應而減少，而難以使得整體介電膜之 EOT 變小。

本發明人已證實在作為 Al 源的 TMA 及習用技術中所揭露的 Zr 源之組合中，即使藉由如 JP 2007-73926A 中所揭露的其中利用一 ALD 循環形成 Al_2O_3 層的 Al 摻雜，仍不可能預防 ZrO_2 薄膜分隔。

再者，雖然 Al 摻雜係藉由選擇 JP 2007-150242A 中所揭露的 $Zr_xAl_yO_z$ 薄膜之一 ALD 循環並使用習用技術中所揭露的 Zr 源而執行，但仍不可能抑制 ZrO_2 薄膜分隔。

如上述，難以藉由 Zr 源及 Al 源之習用組合與習用程序來避免在 ZAZ 結構中的 ZrO_2 薄膜分隔。

因此，為了獲得小 EOT，有必要闡明「每一 ALD 循環之 Al 面積密度」之數值以預防 ZrO_2 薄膜由 Al 摻雜層所分隔，並找出實現數值的手段。

【發明內容】

一重要技術目標為提供半導體裝置及其製造方法，該製造方法可在高溫(240°C 至 300°C)之處理條件下在具有空間結構及 20 或更大之高寬比與良好覆蓋率的電容器之下電極上形成薄膜以增加介電係數，並可藉由精確增添適量的 Al 預防 ZrO_2 結晶受 Al 摻雜層所分隔。

為達成以上目標，本發明包含下列配置：

(1) Al 摻雜介電膜(除 Al 外還包含金屬原子 M)係在相當高溫下(240°C 至 300°C)藉由 ALD 法形成，且所增添以改善熱穩定度的

Al 濃度($Al/(Al+M)$)係設定成 0.2 至 2 原子%。

(2)用於 Al 摻雜的一 ALD 循環中的 Al 原子的面積密度係控制在小於 $1.4E+14$ [原子/ cm^2]，較佳地等於或小於 $1.0E+14$ [原子/ cm^2]。

(3)為了達成(2)的面積密度，故利用使用一般 ALD 法的介電膜形成及使用吸附位置阻斷 ALD 法的 Al 摻雜之組合。

(4)藉由使用其他分子(阻斷劑)預先阻斷目標材料之來源(前驅物)的吸附位置而控制吸附位置阻斷 ALD 法來抑制一 ALD 循環之目標材料(如依據本發明的介電膜中作為雜質的 Al)的面積密度。

即，依據本發明之實施例，提供有包含在下電極及上電極之間具有介電膜的電容器之半導體裝置，

其中介電膜包含至少一 Al 摻雜層，且

Al 摻雜層之一層中的 Al 原子之面積密度小於 $1.4E+14$ [原子/ cm^2]。

再者，依據本發明之另一實施例，提供有包含在下電極及上電極之間具有介電膜的電容器之半導體裝置的製造方法，

該方法包含藉由原子層沉積法在下電極上形成介電膜；及在介電膜上形成上電極，

其中介電膜包含由相同材料所形成的第一及第二介電膜、及插置第一及第二介電膜之間的 Al 摻雜層，且

形成 Al 摻雜層依序包含：

(1)引進包含具有對 Al 前驅物而言之低親和力基的阻斷劑之第二來源氣體，並在第一介電膜上吸附阻斷劑分子；

(2)清除第二來源氣體；

(3)在未吸附阻斷劑分子的第一介電膜之吸附位置上吸附包含 Al 前驅物的第一來源氣體；

(4)清除第一來源氣體；

(5)引進反應氣體以與吸附在第一介電膜上的阻斷劑分子及 Al 前驅物反應，用以使至少 Al 前驅物中的 Al 原子氧化；及

(6)清除反應氣體之未反應部份及副產物。

依據本發明，對於具有良好結晶度之介電膜而言，可抑制尺

寸效應之影響，且在介電膜未被分隔的 Al 摻雜層具有一面積密度。
再者，依據本發明之製造方法，可達成該面積密度。

【實施方式】

現將於此參考例示性實施例描述本發明。本技術領域中具有通常知識者將察覺使用本發明之教示可達成許多選擇性實施例，且本發明不侷限於為了說明性目的而顯示的實施例。

以下，本發明之實施例將與習用技術相比而加以描述。

首先，為了對照而將描述「Al 摻雜方法 B」及「Al 摻雜方法 C」之兩習用技術。

<Al 摻雜方法 B (習用技術)>

首先，將描述依據揭露於 JP 2006-135339A 或 JP 2007-73926A 中的方法之習用技術之一者。以下，為了方便起見而將此稱為「Al 摻雜方法 B」。

Al 摻雜方法 B 接近 ZrO_2 薄膜及 Al_2O_3 薄膜之堆疊結構而非摻雜。亦即， ZrO_2 薄膜係藉由重複以下步驟如所期望般多次而獲得：(1) 引進 Zr 源及在基底表面上吸附 Zr 源；(2) 藉由使用如 N_2 及 Ar 的清除氣體自反應腔室排出 Zr 源之未吸附部分；(3) 藉由使用如 O_3 的反應氣體氧化 Zr 源；及(4) 清除反應氣體之未反應部份。

再者， Al_2O_3 薄膜係以相同方式藉由重複以下步驟如所期望般多次而獲得：(1) 引進 Al 源及在基底表面上吸附 Al 源；(2) 藉由使用如 N_2 及 Ar 的清除氣體自反應腔室排出 Al 源之未吸附部分；(3) 藉由使用如 O_3 的反應氣體氧化 Al 源；及(4) 清除反應氣體之未反應部份。

JP 2006-135339A 及 2007-73926A 揭露 Al_2O_3 薄膜插置 ZrO_2 薄膜之間的 ZAZ 結構。在 JP 2006-135339A 之 ZAZ 結構中， ZrO_2 薄膜之一者具有 0.5 nm 至 5.0 nm 的厚度，而 Al_2O_3 薄膜具有 0.5 nm 至 1.5 nm 的厚度。在 JP 2007-73926A 之 ZAZ 結構中，結晶 ZrO_2 薄膜具有 3.5 nm 至 4.5 nm 的厚度， Al_2O_3 薄膜(非晶形)具有 0.1 nm 至 1 nm 的厚度，而整體介電膜具有 7 至 10 nm 的厚度。

圖 3 示意顯示由 Al 摻雜方法 B 所形成的電容器之剖面圖。圖 3 中，參考編號 301 代表下電極，參考編號 302 代表第一 ZrO_2 層，參考編號 303 代表 Al 摻雜層(Al_2O_3 薄膜)，參考編號 304 代表第二 ZrO_2 層，且參考編號 305 代表上電極。

圖 6 顯示其中執行一次例如用以在 ZrO_2 薄膜中摻雜 Al 的 ALD 循環(用以形成 Al 摻雜層 303 之 ALD 循環)的 Al 摻雜方法 B 之流程圖，並示意性地顯示本實例中的表面狀態中的變化。如圖 6 中所顯示，第一 ZrO_2 層 302 及第二 ZrO_2 層 304 係藉由 Al 摻雜層 303 彼此分隔。

<Al 摻雜方法 C (習用技術)>

其次，將描述藉由結合揭露於 JP 2006-135339A 或 JP 2007-73926A 中的方法、揭露於 JP 2007-150242A 中的部份方法、及習用來源所獲得的程序。以下，為了方便起見而將此稱為「Al 摻雜方法 C」。

Al 摻雜方法 C 係藉由使用用以摻雜 Al 的 ALD 循環、揭露於 JP2007-150242A 中的 $Zr_xAl_yO_z$ 薄膜之 ALD 程序的部份、及揭露於上述先前技術文件的習用 Zr 源(Zr 前驅物)之組合而執行。

亦即，Al 摻雜方法 C 包含以下步驟：

- (1) 引進 Zr 源(本實例中， $Zr[N(CH_3)C_2H_5]_4$)並在先前已形成的第一 ZrO_2 薄膜上吸附 Zr 源；
- (2) 藉由供應第一清除氣體移除 Zr 源之未吸附部份；
- (3) 引進 Al 源並在吸附於第一 ZrO_2 薄膜上的 Zr 源上吸附 Al 源；
- (4) 藉由供應第二清除氣體移除 Al 源之未吸附部份；
- (5) 藉由供應反應氣體而利用吸附於下電極上的 Zr 源及 Al 源之反應使 Zr 源及 Al 源氧化；及
- (6) 藉由供應第三清除氣體移除反應氣體之未反應部份。

$Zr_xAl_yO_z$ 薄膜係藉由重複上述步驟如所期望般多次而形成在 ZrO_2 薄膜上，且第二 ZrO_2 薄膜係藉由使用 JP 2006-135339A 或 JP 2007-73926A 中所揭露的 ALD 循環形成在其上。

圖 4 示意性地顯示由 Al 摻雜方法 C 所形成的電容器之剖面圖。圖 4 中，參考編號 401 代表下電極，參考編號 402 代表第一 ZrO_2 層，參考編號 403 代表 Al 摻雜層($Zr_xAl_yO_z$ 薄膜)，參考編號 404 代表第二 ZrO_2 層，且參考編號 405 代表上電極。

圖 7 顯示執行一次例如用以形成 Al 摻雜層 403 之 ALD 循環的 Al 摻雜方法 C 之流程圖，並示意性地顯示本實例中的表面狀態中的變化。

現將描述依據本發明的「Al 摻雜方法 A」之詳細實施例。

<Al 摻雜方法 A (本發明)>

本發明人最近已發展出具有良好可控制性及安定性的在 ZrO_2 介電膜中摻雜低濃度 Al 的方法，稱作吸附位置阻斷 ALD 法 (adsorption site blocking ALD 法, ASB-ALD 法)。以下，為了方便起見而將使用本方法的用以在 ZrO_2 介電膜中摻雜 Al 的方法稱作「Al 摻雜方法 A」。

ASB-ALD 法具有與 Al 摻雜方法 C 者相似的 ALD 循環之程序。然而，在以下方面具有差異：用於雜質摻雜的 ALD 循環受到控制使得在基底材料上吸附雜質源(雜質前驅物)之前，雜質源之吸附位置被其他分子(以下稱作「阻斷劑」)阻斷以抑制雜質源之吸附量。

用於阻斷劑之分子必須具有下列特性：

- 阻斷劑係吸附在待阻斷的雜質源(前驅物)之吸附位置上。
- 阻斷劑之吸附比起待阻斷的雜質源(前驅物)較為穩定。
- 阻斷劑不與待阻斷之分子反應，或不成為待阻斷分子之新的吸附位置。
- 阻斷劑可被輕易移除，或即使部分阻斷劑殘留，其產物仍具有與基底材料相同的材料。
- 阻斷劑在薄膜形成處理之溫度下幾乎不自分解(出色熱穩定度)。
- 阻斷劑具有適當立體阻礙，且甚至在阻斷吸附位置之後，預定量之基底的吸附位置仍穩定地留下。

-蒸氣壓力充足。

亦即，依據本發明之 ASB-ALD 法為在基底材料上藉由 ALD 法沉積與基底材料不同的第一材料之方法，其包含下列步驟：

在將包含作為第一材料之來源的第一前驅物之第一來源氣體引進薄膜形成空間中之前，在薄膜形成空間中引進包含具有對第一前驅物而言之低親合力基的阻斷劑分子的第二氣體，並藉由在基底材料上吸附阻斷劑分子在基底材料上限制第一前驅物之吸附位置；

清除第二氣體；

在薄膜形成空間中引進第一來源氣體，並在基底材料上所限制的吸附位置上吸附第一前驅物；

清除第一來源氣體；及

在薄膜形成空間中引進反應氣體，並使反應氣體與至少待轉換成第一材料之第一前驅物反應。

阻斷劑分子包含輕易吸附在基底材料上的基、及相對難以吸附在基底材料上的基。阻斷劑分子自身執行定向吸附，使得難以吸附之基朝向外側自組織。再者，難以吸附之基為對於第一前驅物具有低親和力之基以阻斷第一前驅物吸附至阻斷劑分子。

再者，下列概念較佳：

基底材料為金屬氧化物；

阻斷劑分子為金屬複合物，其具有構成基底材料之金屬氧化物的金屬原子，且具有輕易吸附在基底材料上的基、及作為取代基或配位基的相對難以吸附在基底材料上的基；及

反應氣體為氧化性氣體以形成其中第一材料藉由使反應氣體與阻斷劑分子反應而摻雜在基底材料之金屬氧化物中的薄膜。

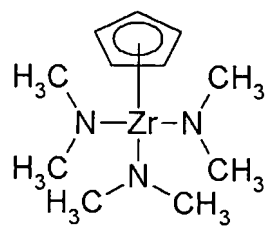
再者，較佳而言，阻斷劑分子為與可取代基化的環戊二烯環配位且具有複數個極性基的單環戊二烯基金屬複合物 (monocyclopentadienyl metal complex)。極性基為比起環戊二烯環相對輕易吸附在基底材料上、並包含如氮原子及氧原子之雜原子的基。舉例而言，極性基可為烷基胺基、烷氧基、羰基或包含於

習用前驅物中的類似者。環戊二烯環通常為具有較極性基為大的體積之基，並提供適當立體阻礙。再者，環戊二烯環為具有對於第一前驅物而言低親和力之基。作為環戊二烯環可具有的取代基，增加對於第一前驅物之親合力之基(如包含極性基或類似物之雜原子的基)較不佳；而較佳地為烴基，尤其為烷基，而更尤其為較低烷基。具有此取代基的環戊二烯環增加立體阻礙並可依情況而進一步增加熱穩定度。可考量與引進作為雜質的第一前驅物之結合、或合成容易而適當選擇取代基。

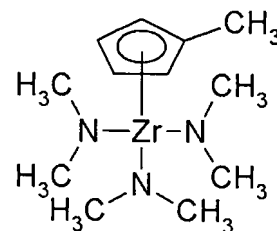
除第一前驅物、阻斷劑分子、及反應之目標氣體(如 O_3 之氧化氣體)外，第一來源氣體、第二氣體、及反應氣體尚可包含作為載送氣體的如 Ar 及 N_2 之惰性氣體。

再者，本發明人已發現到當摻雜 Al 當作其為介電膜之 ZrO_2 薄膜中的雜質時，假若使用吸附位置阻斷 ALD 法，則 TMA(Al 源)及 $ZrCp(NMe_2)_3$ (環戊二烯基三(二甲基胺基)鋇 cyclopentadienyl tris(dimethylamino)zirconium, 以下稱作「CTMAZ」) 或 $Zr(MeCp)(NMe_2)_3$ (甲基環戊二烯基三(二甲基胺基)鋇 methylcyclopentadienyl tris(dimethylamino)zirconium, 以下稱作「MCTMAZ」) (Zr 源及 TMA 之阻斷劑)之組合係屬適當。尤其，環戊二烯環作為阻斷劑並促成改善 Zr 源之熱穩定度。

CTMAZ 及 MCTMAZ 具有下列結構：



CTMAZ



MCTMAZ

這些 Zr 源具有一環戊二烯環及三烷基胺基。據認為其係吸附成使得烷基胺基定位成朝向待吸附的表面。亦即，烷基胺基為輕易吸附在基底材料上的基，而環戊二烯環為比起烷基胺基相對難以吸附在基底材料上、且具有對 Al 源而言低親和力的基。執行定

向吸附使得環戊二烯環朝向外側自組織。

本發明之 Al 摻雜方法 A 利用這些 Zr 源及如下述的 ALD 程序。

亦即，如揭露於 JP 2006-135339A 或 JP 2007-73926A，下層之第一 ZrO₂ 層係藉由重複以下步驟如所期望般多次而形成：在基板表面上吸附 Zr 源(Zr 前驅物)；藉由使用如 N₂ 及 Ar 的清除氣體自反應腔室排出 Zr 源之未吸附部分；藉由使用如 O₃ 的反應氣體使 Zr 源氧化；及清除 O₃ 氣體之未反應部份。在本實例中，將 CTMAZ 或 MCTMAZ 用作 Zr 源，但可使用習用 Zr 源。然而，在使用 CTMAZ 或 MCTMAZ 的情形中，薄膜形成溫度係於自 240°C 至 300°C 的範圍，且在使用習用 Zr 源的情形中，薄膜形成溫度係於自 210°C 至 280°C 的範圍。在 CTMAZ 或 MCTMAZ 的情況中，薄膜形成可能在高於習用 Zr 源的溫度。在較高溫下之薄膜形成中，可形成近四方 ZrO₂ 薄膜，且易於獲得具有高介電係數的薄膜。再者，CTMAZ 或 MCTMAZ 在高溫薄膜形成方面較習用 Zr 源具有出色覆蓋率。

Al 摻雜之 ALD 程序依序包含：

(1) 引進包含阻斷劑(本實例中，CTMAZ 或 MCTMAZ)的第二來源氣體，並在作為基底材料之第一 ZrO₂ 薄膜上吸附阻斷劑；

(2) 藉由供應清除氣體(Ar、N₂)而清除第二來源氣體以移除阻斷劑之未吸附部分；

(3) 引進包含 Al 源(本實例中，TMA)的第一來源氣體，並在未由阻斷劑所完全阻斷的第一 ZrO₂ 層之吸附位置上吸附 Al 源；

(4) 藉由供應清除氣體而清除第一來源氣體以移除 Al 源之未吸附部分；

(5) 藉由供應反應氣體(O₃/O₂)以與吸附在第一 ZrO₂ 層上的亦作為阻斷劑之 Zr 源及 Al 源反應而形成 Al 摻雜層；及

(6) 藉由供應清除氣體而移除(清除)反應氣體之未反應部份及副產物。

藉由重複以上步驟如期望般次數，而使 Al 摻雜層形成於第一 ZrO₂ 層上，且第二 ZrO₂ 層係藉由使用如 JP 2006-135339A 或 JP

2007-73926A 中所揭露的 ALD 循環形成在其上

圖 1 示意性地顯示由 Al 摻雜方法 A 所形成的電容器之剖面圖。圖 1 中，參考編號 101 代表下電極，參考編號 102 代表第一 ZrO₂ 層，參考編號 103 代表 Al 摻雜層，參考編號 104 代表第二 ZrO₂ 層，且參考編號 105 代表上電極。

圖 5-1 及 5-2 顯示其中執行一次如用以在 ZrO₂ 薄膜中摻雜 Al 之 ALD 循環的吸附位置阻斷 ALD 法之流程圖，並示意性地顯示本實例中的表面狀態中的變化。

首先，如圖 5-1 之(a)中所顯示，在第一 ZrO₂ 層 102 上供應 CTMAZ 或 MCTMAZ(本實例中，CTMAZ)作為 Zr 源及阻斷劑並吸附在其表面上。因此，烷基胺基係吸附在第一 ZrO₂ 層 102 之表面上，且環戊二烯環係朝向外側定位(自組織及定位吸附)。

同時，由於 CTMAZ 或 MCTMAZ 因具有大體積之環戊二烯環而具有適當立體阻礙，故其絕不完全覆蓋基底的第一 ZrO₂ 層 102 之表面。

於是，預定量的「間隙」係穩定形成在第一 ZrO₂ 層 102 上。

如圖 5-1 之(b)中所顯示，即使在清除 Zr 源(阻斷劑)之未吸附部份之後，「間隙」仍殘留並成為 Al 源吸附位置。

之後，如圖 5-1 之(c)中所顯示，當供應 TMA 作為 Al 源時，TMA 分子係吸附在作為自阻斷劑之「間隙」曝露出的 Al 源吸附位置的第一 ZrO₂ 層 102 之表面上。

雖然如圖 5-1 之(d)中所顯示地受到清除，但 Zr 源(阻斷劑)中所容納的 TMA 分子穩定殘留。同時，因為環戊二烯環及 TMA 缺少親和力，故 TMA 難以吸附在環戊二烯環上。

如圖 7 中所顯示，在 JP 2007-150242A 中，Zr_xAl_yO_z 薄膜係藉由主動利用 Al 源之 TMA 係亦吸附在 Zr 源上的事實而形成。另一方面，本發明中所選定的 Zr 源可使用環戊二烯環而有效率地阻斷 TMA，並藉由自組織及定位吸附而控制 TMA 之吸附量。再者，因為 CTMAZ 或 MCTMAZ 比起習用 Zr 源而言具有出色的熱穩定度，所以其難以在獲得具有高介電係數之 ZrO₂ 薄膜的高溫(240°C

至 300°C)之薄膜形成條件下熱分解。由於其難以熱分解，故在 TMA 清除或供應期間難以消除環戊二烯環，且此處因此難以成為 TMA 之吸附位置。

之後，如圖 5-1 之(e)中所顯示，供應包含 O₃ 的氧化氣體作為反應氣體。於是，Zr 源及 Al 源氧化及分解以形成氧化物，且然後清除反應氣體之未吸附部份及副產物。

因此，可能形成其上大部份形成 ZrO₂ 並散佈氧化鋁的表面。

其後，為了額外形成第二 ZrO₂ 層 104，重複指定次數之 Zr 源吸附步驟(f)、清除步驟(未顯示)、反應氣體供應及氧化步驟(未顯示)、及未反應氣體清除步驟(未顯示)，藉此獲得 ZrO₂ 薄膜(第一 ZrO₂ 層 102 及第二 ZrO₂ 層 104)之間的其中摻雜某數量之 Al 作為雜質的薄膜。

本發明人使用如上述的 Al 摻雜方法 A、Al 摻雜方法 B、及 Al 摻雜方法 C 以形成具有下列結構的平板電容器，並研究其特性。

再者，將描述其中將 Al 摻雜 ZrO₂ 介電膜插入 TiO₂ 中的結構之實例。本結構並非習用熟知結構且已受到一些發明人獨自加以開發。於是，將加以描述的各摻雜方法之電容器樣本並非習用技術。

本發明人已發現到與作為電容器之電極的 TiN 結合之極薄 TiO₂ 薄膜，尤其是與上電極接觸的 TiO₂ 薄膜不作為 1 nm 或更大厚度的介電膜，而作為上電極之部分。在本發明中，TiO₂ 薄膜之形成抑制面間反應、增加黏附性、並安定電容器特性，其中將 TiO₂ 薄膜設置於 TiN 電極及 Al 摻雜 ZrO₂ 薄膜間之介面的結構係用以執行各摻雜方法之評價及對照。然而，TiO₂ 薄膜對於本發明而言並非必要。

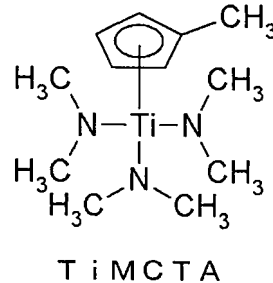
{藉由 Al 摻雜方法 A 形成電容器樣本之}

圖 2 示意性地顯示由 Al 摻雜方法 A 所製造的電容器之結構。TiO₂ 薄膜 202 係藉由使用 ALD 法而形成在 TiN 下電極 201 (具有 10 nm 的 TiN 薄膜厚度)上。

Ti(CpMe)(NMe₂)₃ (甲基環戊二烯基三(二甲基胺基)鈦，

methylcyclopentadienyl tris(dimethylamino)titanium，以下稱作「TiMCTA」)係用作 Ti 源。

以下顯示 TiMCTA 之分子結構。



因為 TiMCTA 亦以與 CTMAZ 相同方式具有環戊二烯環，故其為具有改良熱穩定度之 Ti 源。TiMCTA 之供應及清除及反應氣體(O₃)之供應及清除係設定成一循環，且執行五個循環。因此，形成具有約 0.5 nm 之厚度的第一 TiO₂ 薄膜 202。

然後，以相同方式，藉由使用 CTMAZ 的 ALD 程序使第一 ZrO₂ 層 203 形成為具有 3 nm 之厚度。

然後，藉由使用 Al 摻雜方法 A 形成 Al 摻雜層 204。

各樣本係藉由依序將 Al 摻雜方法 A 之 ALD 循環數設定為 0(無 Al 摻雜)至 10 而加以製備。

然後，藉由在 Al 摻雜層 204 上執行如指定次數的 ZrO₂ 薄膜之 ALD 程序而進一步使第二 ZrO₂ 層 205 形成為具有 3 nm 之厚度。

再者，第二 TiO₂ 薄膜 206 係於第二 ZrO₂ 層 205 上形成為具有 1 nm 之厚度。使用與用以形成第一 TiO₂ 薄膜 202 的方法相同的方法，且僅改變薄膜厚度。

自下側的第一 TiO₂ 薄膜 202 至上側的第二 TiO₂ 薄膜 206 之薄膜形成係於相同反應腔室中執行，且薄膜形成溫度為 250°C。再者，因為所有 TMA、CTMAZ 及 TiMCTA 均具有出色熱穩定度，所以亦有可能在較高溫形成薄膜。

然後，藉由使用先前已知的 CVD 法使 TiN 薄膜形成為上電極 207 而具有 8 nm 之厚度。而後，硼摻雜矽鍺薄膜(B-SiGe 薄膜)係藉由使用先前已知的 LP-CVD 法在 450°C 之溫度下形成為具有 150

nm 之厚度，而上電極係藉由先前已知的微影及乾燥蝕刻加以圖型化。

然後，藉由對於 DRAM 製程無可避免的熱負載在 450°C 之溫度下執行兩小時的 H₂ 處理。

{藉由 Al 摻雜方法 B 形成電容器樣本}

其次，製造以圖 3 的第一 ZrO₂ 層 302 至第二 ZrO₂ 層 304 取代圖 2 的第一 ZrO₂ 層 203 至第二 ZrO₂ 層 205 的電容器樣本。

利用與以上相同的方式，藉由使用 ALD 法在 TiN 下電極(具有 10 nm 之 TiN 薄膜厚度)上形成具有約 0.5 nm 之厚度的第一 TiO₂ 薄膜。

然後，第一 ZrO₂ 層 302 係藉由使用如圖 3 中所顯示之 JP 2006-135339A 或 JP 2007-73926A 的方法形成為具有 3 nm 之厚度。習用 Zr 源之代表性實例的 TEMAZ (Zr[N(CH₃)CH₂CH₃]₄) (四次(乙基甲基胺基)鋯，tetrakis(ethylmethylamino)zirconium) 係用作 Zr 源(Zr 前驅物)。

然後，Al 摻雜層 303 係藉由使用圖 6 中所顯示的 Al 摻雜方法 B 而形成。各樣本係藉由將用於 Al 摻雜層 303 之 ALD 循環數設定為 0(無 Al 摻雜)至 10 而製成。

然後，藉由執行如指定次數的與第一 ZrO₂ 層 302 相同之方法而在 Al 摻雜層 303 上進一步形成具有 3 nm 之厚度的第二 ZrO₂ 層 304。再者，具有 1 nm 之厚度的第二 TiO₂ 薄膜 206 係藉由使用與以上相同的方法形成於第二 ZrO₂ 層 304 上。

自第一 TiO₂ 薄膜至第二 TiO₂ 薄膜之薄膜形成係於相同反應腔室中執行，且薄膜形成溫度為 250°C。

然後，TiN 薄膜係藉由使用先前已知的 CVD 法形成為上電極而具有 8 nm 之厚度。而後，硼摻雜矽鍺薄膜(B-SiGe 薄膜)係藉由使用先前已知的 LP-CVD 法在 450°C 之溫度下形成而具有 150 nm 之厚度，而上電極係藉由先前已知的微影及乾燥蝕刻加以圖型化。然後，藉由對於 DRAM 製程無可避免的熱負載在 450°C 之溫度下執行兩小時的 H₂ 處理。

{藉由 Al 摻雜方法 C 形成電容器樣本}

其次，製造其中以圖 4 的第一 ZrO_2 層 402 至第二 ZrO_2 層 404 取代圖 2 的第一 ZrO_2 層 203 至第二 ZrO_2 層 205 的電容器樣本。

利用與以上相同的方式，藉由使用 ALD 法在 TiN 下電極(具有 10 nm 之 TiN 薄膜厚度)上形成具有約 0.5 nm 之厚度的第一 TiO_2 薄膜。

然後，第一 ZrO_2 層 402 係藉由使用與 Al 摻雜方法 B 相同的方法形成為具有 3 nm 之厚度。

然後，Al 摻雜層 403 係藉由使用 Al 摻雜方法 C 而形成。作為 Zr 源，使用習用 Zr 源之代表性實例的 TEMAZ。作為 Al 源，使用 TMA。

各樣本係藉由將 Al 摻雜方法 C 的 ALD 程序之 ALD 循環數設定為 0(無 Al 摻雜)至 10 而製成。

然後，藉由執行與 Al 摻雜方法 B 相同的方法在 Al 摻雜層 403 上進一步形成具有 3 nm 之厚度的第二 ZrO_2 層 404。

再者，具有 1 nm 之厚度的第二 TiO_2 薄膜係藉由使用與以上相同的方法形成於第二 ZrO_2 層 404 上。自第一 TiO_2 薄膜至第二 TiO_2 薄膜之薄膜形成係於相同反應腔室中執行，且薄膜形成溫度為 $250^\circ C$ 。

然後，TiN 薄膜係藉由使用先前已知的 CVD 法形成為上電極而具有 8 nm 之厚度。而後，硼摻雜矽鍺薄膜(B-SiGe 薄膜)係藉由使用先前已知的 LP-CVD 法在 $450^\circ C$ 之溫度下形成為具有 150 nm 之厚度，而上電極係藉由先前已知的微影及乾燥蝕刻加以圖型化。然後，藉由對於 DRAM 製程無可避免的熱負載在 $450^\circ C$ 之溫度下執行兩小時的 H_2 處理。

圖 8 顯示 Al 摻雜方法 A(無 Al 摻雜：A0，一 Al 摻雜循環中進行一層：A1-1)之電容器樣本及 Al 摻雜方法 B(一 Al 摻雜循環中進行一層：B1-1)之電容器樣本的洩漏電流特性(I-V 特性)。圖 8 中， ZrO_2 介電膜中的 Al 濃度為 $B1-1 > A1-1 > A0$ ，且 I-V 特性為對應至 Al 濃度的 $B1-1 > A1-1 > A0$ 。同時，EOT 為 $A0 (0.66 \text{ nm}) < A1-1 (0.79$

nm)<B1-1 (1.01 nm)。

圖 9 顯示 EOT 及由 Al 摻雜方法 A、Al 摻雜方法 B 及 Al 摻雜方法 C 所形成的樣本之每一 Al 摻雜層的 ALD 循環數之間的關係。

再者，圖 10 顯示洩漏電流(在+1V 之直流偏壓下)及由 Al 摻雜方法 A、Al 摻雜方法 B 及 Al 摻雜方法 C 所形成的樣本之每一 Al 摻雜層的 ALD 循環數之間的關係。在本實例中，各值係自如圖 8 中所顯示的 I-V 特性獲得。

再者，圖 11 顯示 EOT 及由 Al 摻雜方法 A、Al 摻雜方法 B 及 Al 摻雜方法 C 所形成的樣本之洩漏電流之間的關係。

因為各樣本之結構在下及上側具有第一及第二 TiO₂ 薄膜，所以將其簡稱為 TZAZT 結構(除了無 Al 摻雜以外)。具體而言，自上電極至下電極的薄膜結構如下。

在 Al-ALD 循環數為零的情形中，藉由 Al 摻雜方法 B 及 Al 摻雜方法 C 獲得相同樣本，因為其為具有相同 Zr 源的 TZT 結構，而藉由 Al 摻雜方法 A 獲得不同樣本，因為 Zr 源在第零循環時不同。

TZAZT 結構包含上電極 TiN、第二 TiO₂ (1 nm)、第二 ZrO₂ (3 nm)、Al 摻雜層(1 至 10 個 ALD 循環)、第一 ZrO₂ (3 nm)、第一 TiO₂ (5 個 ALD 循環 ≈ 0.5 nm 厚)、及下電極 TiN。Al 摻雜層之 ALD 循環數係自 1 改變至 10(1、2、5、8 及 10)。

如自圖 9 所見，具有最低 EOT 的樣本為未摻雜 Al 且 Al-ALD 循環數為零的樣本(TZT 結構之樣本)。然而，在 TZT 結構中，如自圖 10 所見，洩漏電流增加至超過目標洩漏電流密度 1E-7 [A/cm² 於+1V]。

圖 9 中，在 TZT(無 Al 摻雜)之後具有第二低 EOT 的樣本為使用 Al 摻雜方法 A(本發明之方法)的 Al 摻雜之 ALD 循環數為 1 的樣本(圖 2)，且 EOT 小於 0.8 nm。若 ALD 循環數為 2，則 EOT 快速增加至約 0.95 nm。之後，EOT 緩慢增加直到本實例中的 ALD 循環數為 10。

吾人可見到在 Al 摻雜方法 B 及 Al 摻雜方法 C 的情形中，EOT

已在一 Al 摻雜之 ALD 循環時增加至約 1 nm。之後，在 Al 摻雜方法 B 的情形中，EOT 緩緩增加直到 Al 摻雜之 ALD 循環數為 2 及 5，但當 Al 摻雜之 ALD 循環數為 8 及 10 時進一步增加。

再者，在 Al 摻雜方法 C 的情形中，EOT 緩緩增加直到 Al 摻雜之 ALD 循環數為 8，但當 Al 摻雜之 ALD 循環數為 10 時，雖然增加的量比 Al 摻雜方法 B 者小，仍進一步增加。

尤其，聚焦於圖 9 中的 Al 摻雜之 ALD 循環數量為 1 之情況(由虛線圍繞)，據認為各摻雜方法中的 EOT 增加量方面的差異係肇因於在一 Al 摻雜之 ALD 循環中所吸附的 Al 量上的差異。

亦即，若 Al 摻雜層之 Al 原子之面積密度超過預定閾值，則 ZrO_2 薄膜之晶粒受到分隔且介電係數因尺寸效應而減少。

然後，據認為展現出大約固定的 EOT 直到由 Al 形成 Al_2O_3 薄膜，且若 Al 原子之數量成為對於 Al_2O_3 薄膜而言之足夠數量(超過五個 Al 摻雜方法 B 之循環)，則 EOT 開始增加。

發明人已藉由使用感應耦合電漿質譜儀(inductively coupled plasma mass spectrometer, ICP-MS)針對 Al 摻雜方法 A、B 及 C 的一 Al 摻雜之循環進行一層及兩 Al 摻雜之循環進行一層來測量 Al 摻雜層之 Al 原子之面積密度。

其結果係總結於表 1 中(包含使用作為前驅物的 MCTMAZ 及 Al 摻雜方法 A 的樣本(ICP-MS 分析樣本第 7 號))。

Al/(Al+Zr) [原子%] (6nm 之 ZrO_2 薄膜厚度)	EOT [nm]	J [A/cm ²] (於+1V)
0.4%	0.79	5.7E-08
2.3%	1.01	1.2E-08
1.3%	0.99	1.4E-08
0.8%	0.96	1.0E-08
4.7%	1.02	4.2E-09
2.5%	1.00	6.5E-09
0.5%	0.80	1.3E-08

表 1

ICP-MS 分析樣本 No.	Al 摻雜 方法	結構	來源氣體		Al 摻雜層		Al 面積密 度[原子/ cm ²]
			Zr 源	Al 源	層數	一層之 ALD 循環數	
1	A	TZAZT	CTMAZ	TMA	1	1	7.1E+13
2	B	TZAZT	TEMAZ	TMA	1	1	4.2E+14
3	C	TZAZT	TEMAZ	TMA	1	1	2.3E+14
4	A	TZAZT	CTMAZ	TMA	1	2	1.4E+14
5	B	TZAZT	TEMAZ	TMA	1	2	8.8E+14
6	C	TZAZT	TEMAZ	TMA	1	2	4.5E+14
7	A	TZAZT	MCTMAZ	TMA	1	1	9.6E+13

吾人可見在 Al 摻雜方法 A 中的每一循環之 Al 摻雜量約為 Al 摻雜方法 C 中者的三分之一(1/3)，且約為 Al 摻雜方法 B 中者的六分之一(1/6)。

EOT 只針對 Al 摻雜方法 A 的 Al 摻雜之 ALD 循環數為 1 的樣本而維持在 0.9 nm 或更小。事實上在 Al 摻雜方法 A 中，對於

Al 摻雜之 ALD 循環數為 2 的樣本而言，EOT 接近 1 nm。因此，據認為由一 ALD 循環所摻雜的 Al 面積密度範圍係於 $7.0\text{E}+13$ 至 $1.4\text{E}+14$ [原子/cm²] 的範圍，而 ZrO₂ 薄膜係於 $1.4\text{E}+14$ [原子/cm²] 或更大被分隔以展現出以上所解釋的「尺寸效應」。

再者，在將 MCTMAZ(具有較前述的 CTMAZ 為大的立體阻礙)用於 Zr 源及阻斷劑的 Al 摻雜方法 A 中，在一 Al 摻雜之循環進行一層的樣本中(ICP-MS 分析樣本第 7 號)，因為 Al 之面積密度為 $9.6\text{E}+13$ [原子/cm²] 且 EOT 為 0.80 nm，故據認為未展現出「尺寸效應」直到 Al 之面積密度達到約 $1.0\text{E}+14$ 。亦即，據認為完全分隔 ZrO₂ 薄膜的 Al 表面密度範圍係於自約 $1.0\text{E}+14$ 至 $1.4\text{E}+14$ [原子/cm²] 的範圍(在 500°C 之熱負載的情形中)。

因此，吾人可見為了不在一 Al 摻雜之循環時分隔 ZrO₂ 薄膜，故將面積密度設定成小於 $1.4\text{E}+14$ [原子/cm²]，較佳地等於或小於 $1.0\text{E}+14$ [原子/cm²]。

在以上實例中，雖然 Al 摻雜層係在薄膜厚度方向上形成在 ZrO₂ 薄膜之約略中心部，但其並非侷限於該處，且第一及第二 ZrO₂ 層可藉由形成鄰近於下電極或上電極的 Al 摻雜層而在薄膜厚度上為非對稱。然而，至少依序形成的 ZrO₂ 薄膜之薄膜厚度較佳地等於或大於 0.5 nm，更佳地等於或大於 1.0 nm。再者，第一及第二 ZrO₂ 層之之總薄膜厚度範圍係較佳地位於自 5 至 8 nm 的範圍內。再者，於此第一介電膜(第一 ZrO₂ 層)意指定位在相關於 Al 摻雜層之下電極側上的薄膜，且第二介電膜(第二 ZrO₂ 層)意指定位在相關於 Al 摻雜層之上電極側上的薄膜。舉例而言，在下述引進複數個 Al 摻雜層的情形中，介設於兩 Al 摻雜層之間的介電膜相關於在下 Al 摻雜層下方的第一介電膜而成為第二介電膜，但相關於在上 Al 摻雜層上方的第二介電膜而成為第一介電膜。

其次，已有嘗試在 ZrO₂ 薄膜中藉由使用 Al 摻雜方法 A 引進複數個 Al 摻雜層，同時將 ZrO₂ 薄膜之之總厚度維持為 6 nm 的方法。

亦即，製造具有下列結構的樣本並執行電特性之評估。在下

列內容中，T 代表 TiO_2 ，Z 代表 ZrO_2 ，且 A 代表 Al 摻雜層。再者，實際上因為 ZrO_2 薄膜係形成於引進一 A 層時，所以總薄膜厚度增加約 0.1 nm。

(A0) 無 Al 摻雜之 ALD 循環：

上 TiN 電極/T (1 nm)/Z (6 nm)/T (0.5 nm)/下 TiN 電極

(A1) 一 Al 摻雜之 ALD 循環進行一層：

上 TiN 電極/T (1 nm)/Z (3 nm)/A/Z (3 nm)/T (0.5 nm)/下 TiN 電極

(A2) 一 Al 摻雜之 ALD 循環進行兩層：

上 TiN 電極/T (1 nm)/Z (2 nm)/A/Z (2 nm)/A/Z (2 nm)/T (0.5 nm)/下 TiN 電極

(A3) 一 Al 摻雜之 ALD 循環進行三層：

上 TiN 電極/T (1 nm)/Z (1.5 nm)/A/Z (1.5 nm)/A/Z (1.5 nm)/A/Z (1.5 nm)/T (0.5 nm)/下 TiN 電極

(A4) 一 Al 摻雜之 ALD 循環進行四層：

上 TiN 電極/T (1 nm)/Z (1.2 nm)/A/Z (1.2 nm)/A/Z (1.2 nm)/A/Z (1.2 nm)/A/Z (1.2 nm)/T (0.5 nm)/下 TiN 電極

以相同方式製造其他樣本，直到製造出具有六 Al 摻雜層(A6)的樣本。

圖 12 顯示繪製 Al 摻雜層數及 Al 濃度的曲線圖(Al 原子數對金屬原子 Zr 及 Al 之總和的比率 $(\text{Al}/(\text{Al}+\text{Zr})$ [原子%])。吾人可見其具有適當線性關係。

圖 13 顯示其中圖 12 中所獲得的 Al 濃度沿橫軸加以繪製、且 EOT 沿縱軸加以繪製的曲線圖。吾人可見 EOT 緩緩增加直到 $\text{Al}/(\text{Al}+\text{Zr})$ 成為 2 原子%，但在 $\text{Al}/(\text{Al}+\text{Zr})$ 超過 2 原子%之後快速增加。由這些資料，吾人認為雖然一 Al 摻雜層的 Al 原子之面積密度小於 $1\text{E}+14$ [原子/ cm^2]，但若 $\text{Al}/(\text{Al}+\text{Zr})$ 超過 2 原子%，則晶粒成長仍開始受到抑制。

圖 14 顯示洩漏電流特性及 Al 濃度之間的關係。吾人可見當 Al 濃度增加時，洩漏電流減少。

圖 15 顯示洩漏電流及 EOT 之間的關係。圖 15 中，由虛線圓圈所圍繞的部份代表圖 11 中由虛線圓圈所圍繞的部份(可由 Al 摻雜方法 B 及 C 所達到的範圍)，A0 至 A6 代表上述的樣本編號(數字為層數)，而 Al 濃度(原子%)係於括號中表示。吾人可見到藉由使用本發明之技術可在 EOT 小於習用技術者的情況下達到之相同洩漏電流(由虛線圓圈所圍繞)。

再者，在以上實例中，雖然 ALD 薄膜形成溫度以和作為對照的習用技術相同的方式而為 250°C，但在本發明中所使用的 Zr 源及阻斷劑之 CTMAZ 及 MCTMAZ 中，因為薄膜形成可在較高溫度穩定達成，故可獲得較小的 EOT。

本發明之另一實施例(應用至具有立體結構的電容器)

在本實施例中，將參考圖 16 至 18 來描述藉由使用本發明之方法而應用至具有立體結構及 20 或更大之高寬比的電容器之半導體裝置。

首先，將參考圖 16 之剖面圖來描述作為半導體儲存裝置的 DRAM 之配置。

n-井 1202 係形成在半導體基板 1201(p 型矽基板)上，且第一 p-井 1203 係形成在 n-井 1202 內。第二 p-井 1204 係形成在除 n-井 1202 之外的區域上，且由元素隔離區 1205 自第一 p-井 1203 隔開。第一 p-井 1203 及第二 p-井 1204 各自合宜地代表排列複數個記憶晶胞的記憶晶胞區及周邊電路區。

第一 p-井 1203 具有包含伴隨各記憶晶胞之構件而成為字元線之閘極電極的切換電晶體 1206 及 1207。電晶體 1206 包含汲極 1208、源極 1209、及閘極電極 1211，而閘極絕緣膜 1210 插於之間。閘極電極 1211 具有其中矽化鎢堆疊在多晶矽上的複晶矽化物結構、或其中鎢堆疊在多晶矽上的多金屬結構。

電晶體 1207 包含共同源極 1209、汲極 1212、及閘極電極 1211，而閘極絕緣膜 1210 插於之間。電晶體由第一層間絕緣膜 1213 所覆蓋。

為連接至源極 1209，設在第一層間絕緣膜 1213 之一定區域上的接觸孔係以多晶矽 1214 填充。金屬矽化物 1215 係設置在多晶矽 1214 之表面上。由氮化鎢及鎢所製成的位元線 1216 係設成連接至金屬矽化物 1215。位元線 1216 係由第二層間絕緣膜 1219 所覆蓋。

為連接至電晶體之汲極 1208 及 1212，接觸孔係形成在第一及第二層間絕緣膜 1213 及 1219 之一定區域上，而各接觸孔係以矽填充以提供矽塞 1220。由金屬所製成的導電塞 1221 係設在矽塞 1220 之頂部上。

電容器係形成為連接至導電塞 1221。將形成下電極的第三層間絕緣膜 1222a 及第四層間絕緣膜 1222b 係堆疊在第二層間絕緣膜 1219 上。第四層間絕緣膜 1222b 係保留在周邊電路區上，且下電極 1223 係在記憶晶胞區上形成為王冠形狀。然後，消除記憶晶胞區上的第四層間絕緣膜 1222b。電容器係配置成具有覆蓋下電極 1223 的內壁及藉由移除第四層間絕緣膜 1222b 而曝露之外壁的介電膜 1224、及覆蓋整個記憶晶胞區的上電極 1225。支持膜 1222c 係設置在下電極 1223 之頂部側邊的一部分上。支持膜 1222c 係用以連接複數個相鄰下電極之若干者，並因此增加其機械強度且避免下電極自身崩塌。因為在支持薄膜 1222c 下方具有空間，所以介電膜 1224 及上電極 1225 係亦設置在暴露於該空間的下電極之表面上。圖 16 描繪兩電容器 1301 及 1302。下電極 1223 係由利用具有傑出階梯覆蓋率之 CVD 所形成的氮化鈦(TiN)所製成。電容器係由第五層間絕緣膜 1226 所覆蓋。栓塞的材料可依電容器之下電極而改變；栓塞的材料並不侷限於矽，但可由與電容器之下電極相同的材料或不同材料所製成。介電膜 1224 及上電極 1225 之結構稍後伴隨製程加以詳細描述。

構成周邊電路的電晶體包含源極 1209、汲極 1212、閘極絕緣膜 1210、及第二 p-井 1204 上的閘極電極 1211。設在第一層間絕緣膜 1213 之一定區域中的接觸孔係以金屬矽化物 1216 及鎢塞 1217 填充，使得該孔連接至汲極 1212。由氮化鎢及鎢所製成的第

一配線層 1218 係設置成連接至錫塞 1217。第一配線層 1218 之一部分係經由金屬通孔塞 1227 連接至由鋁或銅所製成的第二配線層 1230。金屬通孔塞 1227 係配置成貫穿第二層間絕緣膜 1219、第三層間絕緣膜 1222a、第四層間絕緣膜 1222b、及第五層間絕緣膜 1226。排列在記憶晶胞區中的電容器之上電極 1225 係自一定區域抽出至周邊電路區作為配線 1228，並利用形成於第五層間絕緣膜 1226 之一定區域中的中介性金屬塞 1229 連接至由鋁或銅所製成的第二配線層 1230。DRAM 係藉由視需要重複形成層間絕緣膜、形成接點、及形成配線層的步驟而形成。

圖 17 為排除介電膜及上電極的沿線 X-X 取得的圖 16 之示意俯視圖。圖 17 中的線 Y-Y 對應至圖 16 中的線 X-X。覆蓋各下電極 1223 之整個外側的支持薄膜 1222c 以在複數下電極上方延伸的方式在整個記憶晶胞區範圍內包含複數開口 1231。各下電極 1223 係配置成使得其周長之部分與開口 1231 之任一者接觸。除開口之外的支持膜係連續地配置成使得下電極經由支持膜而彼此連接。支持膜亦協助避免下電極自身的崩塌，因為薄膜可相對於高寬比(即垂直/水平比)相對延伸水平長度。當使晶胞以高度整合微型化時，電容器之下電極的高寬比(即垂直/水平比)增加，並將因此在無支持下電極之裝置的情況下造成下電極在其製造期間崩塌。圖 17 顯示在電容器 1301 及電容器 1302 之間的區域上具有中心點的與六下電極重疊的開口 1231 之實例。因此，在圖 16 中，對應至圖 17 中之區域的電容器 1301 及電容器 1302 之上部及電容器 1301 及電容器 1302 之間的區域之上部係配置成不具有支持膜。

就其本身而言，在製備有支持膜的情況下，需要具有較佳覆蓋率的較佳薄膜形成方法以在支持膜下方的下電極之表面上形成介電膜及上電極。

現描述除了如上述之半導體記憶裝置的 DRAM 之製造方法中的其他處理之外的依據本發明的電容器製程。圖 18(a)至 18(i)為圖 16 中所描繪的一電容器之製程的剖面圖。為了清晰的目的，故省略半導體基板 1201 上的電晶體或第一層間絕緣膜。

首先，如圖 18(a)中所顯示，第二層間絕緣膜 1219 係形成在由單晶矽所製成的半導體基板 1201 上。然後，接觸孔係形成在預定位置上，而阻障金屬膜 1221a 及金屬膜 1221b 係形成於整個表面上。然後，藉由 CMP 法將已形成在第二層間絕緣膜上的阻障金屬膜 1221a 及金屬膜 1221b 移除以形成導電塞 1221。然後，由矽氮化物膜所製成的第三層間絕緣膜 1222a、由矽氧化物膜所製成的第四層間絕緣膜 1222b、及由矽氮化物膜所製成的支持膜 1222c 係形成在整個表面上。

然後，如圖 18(b)中所顯示，圓柱孔 1232 係藉由微影及乾蝕刻形成在支持膜 1222c、第四層間絕緣膜 1222b、及第三層間絕緣膜 1222a 中。圓柱孔具有圓形平面剖面，該圓形平面剖面具有 60 nm 之直徑。距相鄰圓柱孔的最近距離為 60 nm。就其本身而言，圓柱孔之底面與導電塞 1221 之頂面接觸。

然後，如圖 18(c)中所顯示，作為電容器之下電極的材料之 TiN 薄膜 1223a 係形成在包含圓柱孔 1232 之內表面的整個表面上。TiN 薄膜可由在 380°C 至 650°C 之間的形成溫度下以 TiCl_4 及 NH_3 的來源氣體之 CVD 法所形成。本實施例中形成溫度為 450°C 且薄膜厚度為 10 nm。選擇性地，TiN 薄膜亦可藉由使用相同來源氣體的 ALD 法形成。形成 TiN 薄膜使得孔洞側壁之薄膜厚度範圍處於自 5 nm 至 15 nm 的範圍內。

然後，如圖 18(d)中所顯示，如矽氧化物膜的保護膜 1234 係形成在整個表面上以填滿圓柱孔 1232a。然後，形成在支持膜 1222c 之頂面上的 TiN 薄膜 1223a 及保護膜 1234 係藉由 CMP 或乾蝕刻法加以移除以形成下電極 1223。

然後，開口 1231 係形成在支持膜 1222c 中(見圖 18(e))。如圖 17 之俯視圖中所顯示，開口 1231 之圖型與第四層間絕緣膜 1222b 之一部分、下電極 1223 之一部分、及殘留在下電極內側中的保護性薄膜 1234 之一部分重疊。因此，用來形成開口 1231 的乾蝕刻移除一部份的下電極 1223 及保護性薄膜 1234 之頂部、以及第四層間絕緣膜 1222b 上所形成的支持膜 1222c。

然後，如圖 18(f)中所顯示，移除在開口 1231 中所曝露的第四層間絕緣膜 1222b。舉例而言，因為支持膜 1222c 係由矽氮化物膜所製成，所以使用氫氟酸溶液(HF 溶液)的蝕刻處理實質上不蝕刻支持膜 1222c，而移除所有以矽氧化物膜所形成的保護膜 1234 及第四層間絕緣膜 1222b。

除了在開口 1231 正下方的區域外，因為該蝕刻使用該溶液，所以在支持膜 1222c 下方的矽氧化物薄膜亦受到移除。因此，下電極 1223 及支持下電極 1223 的支持膜 1222c 保持中空，且下電極 1223 曝露其表面。

在本蝕刻處理期間，由矽氮化物膜所製成的第三層間絕緣膜 1222a 運作為蝕刻停止器，預防第二層間絕緣膜 1219 受到蝕刻。

然後，如圖 18(g)中所顯示，形成介電膜 1224。介電膜 1224 係以與依據本發明之實施例的 Al 摻雜方法 A 之電容器樣本製造相同的方式，藉由自下電極側依序形成第一 TiO_2 薄膜、第一 ZrO_2 層、Al 摻雜層(使用 CTMAZ 之 Al 摻雜的 ALD 程序之一循環)及第二 ZrO_2 層而形成，且額外地在其上形成第二 TiO_2 薄膜 1225a。因為使用 ALD 法所形成的薄膜具有出色的階梯覆蓋率，所以介電膜 1224 及第二 TiO_2 薄膜 1225a 係形成在曝露於中空狀態中的下電極之表面的任一部份上。在 ALD 法之薄膜形成中的第二 TiO_2 薄膜 1225a 為非晶形，但藉由後續處理中的加熱而結晶成多晶以運作為導體。因此，在後續處理中的熱處理後，可將其稱作第一上電極。再者，介電膜 1224 並不侷限於以上實例，而可藉由在不形成第一 TiO_2 薄膜的情況下於下電極上形成第一 ZrO_2 層、或藉由形成複數個 Al 摻雜層(具有 0.5 至 2 原子%的 Al 濃度)而獲得。再者，可省略第二 TiO_2 薄膜 1225a。

同時，在第二 p 井 1204 中，設置形成周邊電路的電晶體包含源極 1209、汲極 1212、閘極絕緣膜 1210、及閘極電極 1211。設置在第一層間絕緣膜 1213 之特定區域中之待連接至汲極 1212 的接觸孔充滿金屬矽化物 1216 及鎢塞 1217。由氮化鎢及鎢所形成的第一配線層 1218 係設置成連接至鎢塞 1217。第一配線層 1218 之

部分係經由通過第二層間絕緣膜 1219、第三層間絕緣膜 1222a、第四層間絕緣膜 1222b、及第五層間絕緣膜 1226 所設置的金屬通孔塞 1227 連接至由鋁或銅所形成的第二配線層 1230。再者，設置在記憶晶胞區中的電容器之上電極 1225 係藉由配線 1228 而抽出至周邊電路區，並經由形成在第五層間絕緣膜 1226 之特定區域中的金屬塞 1229 而連接至由鋁或銅所形成的第二配線層 1230。層間絕緣膜之形成、接點之形成、及配線層之形成係如期望地重覆以形成 DRAM。

圖 17 示意性地顯示沿圖 16 之線 X-X 所擷取的俯視圖，其中省略介電膜及上電極。再者，圖 17 的線 Y-Y 所代表的區域對應至圖 16 的線 X-X 所代表的區域。複數個開口 1231 係形成在支持膜 1222c 上以跨立於複數個下電極，該支持膜 1222c 覆蓋記憶晶胞區上方的下電極 1223 之外部整個區域。下電極 1223 係配置成使得其周圍之部分與開口 1231 之任一者接觸。因為除開口之外的支持膜為連續性，故下電極係經由支持膜而彼此連接，且可延伸高寬比之水平長度，藉此避免下電極的崩塌。若晶胞係以高度整合密度加以微型化，則電容器之下電極的高寬比增加。若沒有用來支持下電極的手段，則下電極可能在製造期崩塌。圖 17 顯示形成開口 1231 以在朝向彼此的電容器 1301 及電容器 1302 之間的區域中跨立於六下電極之實例。因此，亦於對應至圖 17 的圖 16 中，不在電容器 1301 之上部、電容器 1302 之上部、及電容器 1301 及電容器 1302 之間的上部形成支持膜。

藉由如上述形成支持膜，為了在支持膜下方的下電極之表面上形成上電極或介電膜，需要具有更佳覆蓋率的薄膜形成方法。

以下，將描述依據本發明之實施例的電容器製程，同時省略在作為半導體儲存裝置的 DRAM 製造中的其他處理。圖 18A 至 18I 顯示剖面圖，其顯示圖 16 中所顯示的用於一電容器之處理。再者，為了說明目的，省略在半導體基板 1201 上的第一層間絕緣膜及電晶體及類似物。

然後，如圖 18(h)中所顯示，形成作為第二上電極 1225b 的 TiN

薄膜。以與下電極相同的方式，TiN 薄膜係在 450°C 之溫度下藉由使用當作來源的 TiCl_4 及 NH_3 的 CVD 法形成，並具有 10 nm 之薄膜厚度。因為由 CVD 法所形成的 TiN 薄膜具有非常良好的階梯覆蓋率，故其可進入中空空間且形成在第二 TiO_2 薄膜 1225a 之表面的任何部分上。

由 ALD 法所形成的介電膜在於 450°C 之溫度形成第二上電極 1225b 之步驟中變得較緊密，並變成具有下降的介電係數之介電膜 1224。

然後，如圖 18(i) 中所顯示，形成作為第三上電極 1225c 的硼摻雜矽鍺薄膜(B-SiGe 薄膜)。在形成第二上電極 1225b 之圖 18(h) 中，空間在未消除中空狀態的情況下殘留。在本狀態中，當藉由 PVD 法形成作為第四上電極 1225d 的鎢時，因為 PVD 法具有不佳的階梯覆蓋率，故其難以填滿空間。因此，即使在完成半導體裝置之後，空間仍殘留在電容器周圍，此情形由於在後續處理之封裝中所產生的應力而造成機械強度上的降低、及電容器之特性上的改變。因此，形成 B-SiGe 薄膜以填滿殘餘空間並移除空間，藉此改善對機械應力的抗性。

B-SiGe 薄膜可由使用甲鍺烷(GeH_4)、單矽烷(SiH_4)及三氯化硼(BCl_3)作為來源的 CVD 法形成。由本方法所形成的 B-SiGe 薄膜具有出色階梯覆蓋率以藉此填滿中空空間。

在形成作為第三上電極 1225c 的 B-SiGe 薄膜之後，為了用作覆蓋整個記憶晶胞區的電源供應板，而形成作為第四上電極 1225d 的鎢薄膜(W 薄膜)。W 薄膜可由 PVD 法在 25 至 300°C 之溫度下形成。第一上電極(第二 TiO_2 薄膜 1225a)至第四上電極統稱為圖 16 之上電極 1225。以下，如圖 16 中所顯示，由 DRAM 所形成的半導體裝置係藉由執行形成第五層間絕緣膜 1226 的步驟及後續處理來加以製造。

再者，高密度先進 DRAM 的配置及製造方法已在本實施例中加以描述。即使其為空間結構，若結構強化仍非必要，則形成 B-SiGe 薄膜之步驟並非必要。

如上述，製造 F32 nm 等級的圓柱電容器，並獲得具有 20 fF / 晶胞之電容的電容器作為具有 1800 nm 之圓柱高度、53 nm 之下電極外徑、及 34 之高寬比的電容器，。

在本實例中，已藉由 TEM 測量發現 Al 摻雜 ZrO_2 薄膜之覆蓋率為約 95%。

<<在 TiO_2 介電膜中的 Al 摻雜>>

藉由使用本發明之技術可獲得具有約 0.8 nm 之 EOT 的介電膜作為 Al 摻雜 ZrO_2 薄膜。

然而，在 F30 nm 等級起的 DRAM 中，需要具有較小 EOT 的介電膜。已進行使用具有金紅石晶相的 TiO_2 薄膜作為介電膜之檢視。

TiO_2 可具有如銳鈦礦、金紅石、及板鈦礦的複數晶體結構。其中，具有最高介電係數的晶體結構為金紅石結構。

再者，在結合 TiN 電極使用 TiO_2 用作電容器之介電膜的情形中，不可能達成充分的能帶偏移(由於小蕭特基(Schottky)障壁)，且其導致在蕭特基電流中的洩漏特性。

因此， RuO_2 或類似物係預期作為具有大功函數(充分能帶偏移)及用來將電極轉換成金紅石之樣板函數的材料。

再者，據悉用來將 Al 增添至介電 TiO_2 薄膜的方法對減少熱阻或洩漏有效。

圖 19 示意性地顯示使用 TiO_2 作為介電膜的電容器結構之剖面圖。下電極 2101 可使用包含 RuO_2 或類似物的材料形成作為表面層，且在本實例中為 RuO_2 薄膜。作為第一介電膜的第一 TiO_2 層 2102、Al 摻雜層 2103、及作為第二介電膜的第二 TiO_2 層 2104 係藉由 ALD 法依序形成在下電極 2101 上。上電極 2105(本實例中，以與下電極相同方式的 RuO_2 薄膜)係形成在第二 TiO_2 層 2104 上。作為下電極，可使用其中將 RuO_2 或類似物疊合於另一傳導材料上的層狀薄膜。 RuO_2 或類似物亦可藉由具有良好覆蓋率的 CVD 法或 ALD 法形成。

吾人可見當 Al 係藉由使用習用技術(Al 摻雜方法 B 或 C)而加

以摻雜時，晶粒係以與 ZrO_2 薄膜相同的方式受到分隔，用來將電極轉換成金紅石的樣板函數係終止在 Al 摻雜層，且在其上生長的 TiO_2 傾向為銳鈦礦。

藉由應用本發明之方法，可在不分隔 TiO_2 晶粒的情況下摻雜 Al。因此，在 Al 摻雜層 2103 上方的第二 TiO_2 層 2104 亦藉由樣板函數而具有金紅石結構。因此，可改善 TiO_2 薄膜的熱阻，同時獲得較小的 EOT，藉此抑制洩漏電流。

本實例中，形成先前的 TZAZT 結構時所使用的 TiMCTA 係用作 Ti 源來形成 TiO_2 ，而 TMA 係用作 Al 源。

因為 TiMCTA 以與 CTMAZ 或 MCTMAZ 相同的方式執行自組織及定向吸附，且與在 ZrO_2 薄膜中摻雜 Al 的實例相似地由於環戊二烯環而阻斷 TMA，所以可能在一 ALD 循環時將 Al 摻雜層之 Al 原子密度抑制至約 $9.8E+13$ [原子/cm²]。

複數 Al 摻雜層 2103 係以與 ZrO_2 介電膜相同的方式加以引進，且作為由 $Al/(Al+Ti)$ 所代表之原子數比率的 Al 濃度範圍係可於自 0.5 至 2.0 原子%的範圍內。引進層數及 Al 濃度可在不損及用以將下電極轉換成金紅石之樣板函數的情況下在一範圍內適當地加以選定。

在具有金紅石結構的 TiO_2 薄膜之情形中，可將介電係數增加至相較於四方 ZrO_2 薄膜之約 30 至 45 的約 60 至 80。因此，可使 EOT 小於 ZrO_2 薄膜者。因此，其可應用至 F30 nm 等級起的 DRAM。

【圖式簡單說明】

以上的本發明之特徵及優點將由以上某些較佳實施例之描述結合隨附圖式而更加明顯，其中：

圖 1 示意性地顯示依據本發明之實施例的電容器之結構的剖面圖；

圖 2 示意性地顯示依據本發明之另一實施例的電容器之結構的剖面圖；

圖 3 示意性地顯示習用實例(Al 摻雜方法 B)的電容器之結構的

剖面圖；

圖 4 示意性地顯示另一習用實例(AI 摻雜方法 C)的電容器之結構的剖面圖；

圖 5-1 及 5-2 顯示依據本發明之實施例的 AI 摻雜層的製程之流程圖，並示意性地顯示在本實例中的表面狀態中的變化；

圖 6 顯示依據習用實例(AI 摻雜方法 B)的 AI 摻雜層的製程之流程圖，並示意性地顯示在本實例中的表面狀態中的變化；

圖 7 顯示依據另一習用實例(AI 摻雜方法 C)的 AI 摻雜層的製程之流程圖，並示意性地顯示在本實例中的表面狀態中的變化；

圖 8 為顯示所製造之電容器樣本的 I-V 特性的曲線圖；

圖 9 為顯示所製造之電容器樣本的 EOT 及每一 AI 摻雜層之 ALD 循環數之間的關係的曲線圖；

圖 10 為顯示所製造之電容器樣本的洩漏電流特性及每一 AI 摻雜層之 ALD 循環數之間的關係的曲線圖；

圖 11 為顯示所製造之電容器樣本的 EOT 及洩漏電流特性之間的關係的曲線圖；

圖 12 為顯示 AI 摻雜層數及 AI 濃度之間的關係的曲線圖；

圖 13 為顯示 AI 濃度及 EOT 之間的關係的曲線圖；

圖 14 為顯示洩漏電流特性及 AI 濃度之間的關係的曲線圖；

圖 15 為顯示洩漏電流特性及取決於 AI 濃度的 EOT 之間的關係的曲線圖；

圖 16 示意性地顯示依據本發明之作為半導體裝置的 DRAM 之整體配置；

圖 17 示意性地顯示沿圖 16 之線 X-X 所擷取的俯視圖；

圖 18(a)至 18(i)為顯示用以製造圖 16 之電容器的處理步驟的剖面圖；及

圖 19 示意性地顯示依據本發明之另一實施例的電容器之結構的剖面圖。

【主要元件符號說明】

101	下電極
102	第一 ZrO ₂ 層
103	Al 摻雜層
104	第二 ZrO ₂ 層
105	上電極
201	下電極
202	第一 TiO ₂ 薄膜
203	第一 ZrO ₂ 層
204	Al 摻雜層
205	第二 ZrO ₂ 層
206	第二 TiO ₂ 薄膜
207	上電極
301	下電極
302	第一 ZrO ₂ 層
303	Al 摻雜層
304	第二 ZrO ₂ 層
305	上電極
401	下電極
402	第一 ZrO ₂ 層
403	Al 摻雜層
404	第二 ZrO ₂ 層
405	上電極
1201	半導體基板
1202	n-井
1203	第一 p-井
1204	第二 p-井
1205	元素隔離區
1206	電晶體
1207	電晶體
1208	汲極

1209	源極
1210	閘極絕緣膜
1211	閘極電極
1212	汲極
1213	第一層間絕緣膜
1214	多晶矽
1215	金屬矽化物
1216	位元線
1217	鎢塞
1218	第一配線層
1219	第二層間絕緣膜
1220	矽塞
1221	導電塞
1221a	阻障金屬膜
1221b	金屬膜
1222a	第三層間絕緣膜
1222b	第四層間絕緣膜
1222c	支持膜
1223	下電極
1223a	TiN 薄膜
1224	介電膜
1225	上電極
1225a	第二 TiO ₂ 薄膜
1225b	第二上電極
1225c	第三上電極
1225d	第四上電極
1226	第五層間絕緣膜
1227	金屬通孔塞
1228	配線
1229	金屬塞

1230	第二配線層
1231	開口
1232	圓柱孔
1232a	圓柱孔
1234	保護膜
1301	電容器
1302	電容器
2101	下電極
2102	第一 TiO_2 層
2103	Al 摻雜層
2104	第二 TiO_2 層
2105	上電極

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：100134606

※ 申請日：100.9.26 ※IPC 分類：H01L 21/30 (2006.01)

一、發明名稱：(中文/英文)

半導體裝置、其製造方法及吸附位置阻斷原子層沉積法/
SEMICONDUCTOR DEVICE, METHOD OF MANUFACTURING
THE SAME AND ADSORPTION SITE BLOCKING ATOMIC
LAYER DEPOSITION METHOD

二、中文發明摘要：

為提供具有良好結晶度的介電膜，同時抑制尺寸效應之影響並預防介電膜受到 Al 摻雜層所分割，雖然在電容器之介電膜中提供用來改善洩漏特性的 Al 摻雜層，但是介電膜具有至少一 Al 摻雜層，且 Al 摻雜層之一層中的 Al 原子之面積密度小於 $1.4E+14$ 原子/cm²。再者，為達到該面積密度，利用使用一般 ALD 法的介電膜形成及使用包含吸附阻斷劑分子、限制 Al 源之吸附位置、吸附 Al 源、及引進用於反應之反應氣體的阻斷吸附位置之 ALD 法的 Al 摻雜之組合。

三、英文發明摘要：

To provide a dielectric film having good crystallinity while suppressing an influence of the size effects and preventing the dielectric film from being divided by an Al-doped layer although there is provided the Al-doped layer for improving the leakage characteristics in the dielectric film of a capacitor, the dielectric film has at least one Al-doped layer, and an area density of Al atoms in one layer of the Al-doped layer is smaller than $1.4E+14$ atoms/cm². Further, to achieve the area density, there is employed a combination

of formation of a dielectric film using a general ALD method and Al doping using an adsorption site blocking ALD method including adsorbing a blocker molecule restricting an adsorption site of an Al source, adsorbing the Al source, and introducing a reaction gas for reaction.

四、指定代表圖：

(一)本案指定代表圖為：第（ 圖 16 ）圖。

(二)本代表圖之元件符號簡單說明：

1201	半導體基板
1202	n-井
1203	第一 p-井
1204	第二 p-井
1205	元素隔離區
1206	電晶體
1207	電晶體
1208	汲極
1209	源極
1210	閘極絕緣膜
1211	閘極電極
1212	汲極
1213	第一層間絕緣膜
1214	多晶矽
1215	金屬矽化物
1216	位元線
1217	鎢塞
1218	第一配線層
1219	第二層間絕緣膜
1220	矽塞
1221	導電塞

七、申請專利範圍：

1. 一種半導體裝置，包含電容器，該電容器在上電極及下電極之間具有介電膜，
其中該介電膜包含至少一 Al 摻雜層，且
在該 Al 摻雜層之一層中的 Al 原子之面積密度小於 $1.4E+14$ 原子/cm²。
2. 如申請專利範圍第 1 項之半導體裝置，其中該 Al 摻雜層之一層中的 Al 原子之面積密度等於或小於 $1.0E+14$ 原子/cm²。
3. 如申請專利範圍第 1 項之半導體裝置，其中該 Al 摻雜層為氧化鋁散佈在構成該介電膜的金屬原子 M 之氧化物薄膜上的層。
4. 如申請專利範圍第 3 項之半導體裝置，其中包含於該介電膜中的作為由 $Al/(Al+M)$ 所代表的原子數比率的 Al 原子濃度範圍係自 0.2 至 2 原子%。
5. 如申請專利範圍第 1 項之半導體裝置，其中該介電膜在二氧化鋯薄膜中包含該 Al 摻雜層之至少一者。
6. 如申請專利範圍第 5 項之半導體裝置，其中該電容器之該上電極及該下電極係由 TiN 薄膜所形成，且二氧化鈦薄膜係存在於該 TiN 薄膜及該二氧化鋯薄膜之間的界面。
7. 如申請專利範圍第 1 項之半導體裝置，其中該介電膜在二氧化鈦薄膜中包含該 Al 摻雜層之至少一者，且該二氧化鈦薄膜具有金紅石結構。
8. 如申請專利範圍第 7 項之半導體裝置，其中該電容器之該下電極在至少一表面層中具有 RuO₂。

9. 如申請專利範圍第 1 項之半導體裝置，其中該介電膜之等效氧化物厚度(equivalent oxide thickness)：EOT 等於或小於 0.9 nm。

10. 如申請專利範圍第 1 項之半導體裝置，其中該電容器之該下電極具有空間結構，該空間結構具有 20 以上的高寬比。

11. 一種吸附位置阻斷原子層沉積法，其藉由原子層沉積法在基底材料上沉積與該基底材料不同的第一材料，

在薄膜形成空間中引進包含作為該第一材料的來源之第一前驅物的第一來源氣體之前，在該薄膜形成空間中引進包含阻斷劑分子的第二來源氣體，該阻斷劑分子具有對該第一前驅物而言之低親和力的基，並藉由在該基底材料上吸附該阻斷劑分子而在該基底材料上限制該第一前驅物之吸附位置，

清除該第二來源氣體，

在該薄膜形成空間中引進該第一來源氣體，並在受限於該基底材料上的該吸附位置上吸附該第一前驅物，

清除該第一來源氣體，及

在該薄膜形成空間中引進反應氣體，並使該反應氣體至少與待轉換成該第一材料的該第一前驅物反應。

12. 如申請專利範圍第 11 項之吸附位置阻斷原子層沉積法，其中該阻斷劑分子包含易於吸附在該基底材料上的基、及相對難以吸附在該基底材料上的基，該阻斷劑分子自身執行定向吸附，使得難以吸附的該基朝向外側自組織，且難以吸附的該基為具有對於該第一前驅物而言之低親和力的基，用以阻斷該第一前驅物吸附至該阻斷劑分子。

13. 如申請專利範圍第 12 項之吸附位置阻斷原子層沉積法，其中該基底材料為金屬氧化物，

該阻斷劑分子為金屬複合物，該金屬複合物具有構成該基底材料之該金屬氧化物的金屬原子，並具有容易吸附在該基底材料上的基、及作為取代基或配位基的相對難以吸附在該基底材料上的基，且

該反應氣體為氧化性氣體，且該反應氣體與該阻斷劑分子反應以形成其中該第一材料摻雜在該基底材料之該金屬氧化物中的薄膜。

14. 如申請專利範圍第 11 項之吸附位置阻斷原子層沉積法，其中該阻斷劑分子為與單環戊二烯環配位並具有複數個極性基的單環戊二烯基金屬複合物，該單環戊二烯環可具有取代基。

15. 如申請專利範圍第 14 項之吸附位置阻斷原子層沉積法，其中該單環戊二烯基金屬複合物為環戊二烯基三(二甲基胺基)鋯、甲基環戊二烯基三(二甲基胺基)鋯、或甲基環戊二烯基三(二甲基胺基)鈦。

16. 一種半導體裝置之製造方法，該半導體裝置包含在下電極及上電極之間具有介電膜的電容器，該方法包含：

藉由原子層沉積法在該下電極上形成該介電膜；及

在該介電膜上形成該上電極，

其中該介電膜包含由相同材料所形成的第一介電膜及第二介電膜、及插入於該第一介電膜及該第二介電膜之間的 Al 摻雜層，及

形成該 Al 摻雜層依序包含：

(1) 引進包含阻斷劑分子的第二來源氣體，該阻斷劑分子具有對於 Al 前驅物而言之低親和力的基，並在該第一介電膜上吸附該阻斷劑分子，

(2) 清除該第二來源氣體，

(3) 在未吸附該阻斷劑分子的該第一介電膜之吸附位置上吸

附包含該 Al 前驅物的第一來源氣體，

(4) 清除該第一來源氣體，

(5) 藉由供應反應氣體以與吸附在該第一介電膜上的該阻斷劑分子及該 Al 前驅物反應而氧化至少在該 Al 前驅物中的 Al 原子，及

(6) 清除該反應氣體之未反應部份及副產物。

17. 如申請專利範圍第 16 項之半導體裝置之製造方法，其中該阻斷劑分子包含容易吸附在該第一介電膜上的基、及相對難以吸附在該第一介電膜上的基，該阻斷劑分子自身執行定向吸附，使得難以吸附的該基朝向外側自組織，且難以吸附的該基為具有對於該 Al 前驅物而言之低親和力的基以阻斷該 Al 前驅物吸附至該阻斷劑分子。

18. 如申請專利範圍第 16 項之半導體裝置之製造方法，其中該阻斷劑分子為金屬複合物，該金屬複合物具有構成該第一介電膜的金屬原子 M，並具有容易吸附的基、及作為取代基或配位基的相對難以吸附的基，且

該反應氣體與該阻斷劑分子反應以形成構成該第一介電膜的金屬氧化物。

19. 如申請專利範圍第 16 項之半導體裝置之製造方法，其中該阻斷劑分子為單環戊二烯基金屬複合物，該單環戊二烯基金屬複合物具有構成該第一介電膜的金屬原子 M、極性基、及可具有取代基的環戊二烯環，且該反應氣體與該阻斷劑分子反應以形成金屬氧化物，該金屬氧化物構成該第一介電膜。

20. 如申請專利範圍第 16 項之半導體裝置之製造方法，其中該 Al 前驅物為三甲基鋁。

21. 如申請專利範圍第 20 項之半導體裝置之製造方法，其中該第一介電膜及該第二介電膜係由二氧化鋯薄膜所形成，且該阻斷劑分子為環戊二烯基三(二甲基胺基)鋯或甲基環戊二烯基三(二甲基胺基)鋯。
22. 如申請專利範圍第 21 項之半導體裝置之製造方法，其中該第一介電膜及該第二介電膜係藉由使用該阻斷劑分子作為前驅物的原子層沉積法形成。
23. 如申請專利範圍第 22 項之半導體裝置之製造方法，其中該電容器之該上電極及該下電極係由 TiN 薄膜所形成，且更包含在該 TiN 薄膜及該二氧化鋯薄膜之間的介面形成二氧化鈦薄膜。
24. 如申請專利範圍第 20 項之半導體裝置之製造方法，其中該第一介電膜及該第二介電膜係由二氧化鈦薄膜所形成，且該阻斷劑分子為甲基環戊二烯基三(二甲基胺基)鈦。
25. 如申請專利範圍第 24 項之半導體裝置之製造方法，其中該第一介電膜及該第二介電膜係藉由使用該阻斷劑分子作為前驅物的原子層沉積法形成。
26. 如申請專利範圍第 24 項之半導體裝置之製造方法，其中該電容器之該下電極係由 RuO₂ 所形成。
27. 如申請專利範圍第 16 項至第 26 項中任一項之半導體裝置之製造方法，其中該 Al 摻雜層係形成為該介電膜中之至少一層，且一層之薄膜形成係藉由僅執行一循環之該步驟(1)至(6)而進行。
28. 如申請專利範圍第 27 項之半導體裝置之製造方法，其中該 Al 摻雜層之一層中的 Al 原子之面積密度小於 1.4E+14 原子/cm²。

29. 如申請專利範圍第 28 項之半導體裝置之製造方法，其中該 Al 摻雜層之一層中的 Al 原子之面積密度等於或小於 $1.0E+14$ 原子/cm²。

30. 如申請專利範圍第 27 項之半導體裝置之製造方法，其中包含於該介電膜中的 Al 原子濃度係於自 0.2 至 2 原子%的範圍內，該 Al 原子濃度為由關於構成該介電膜的金屬原子 M 之 $Al/(Al+M)$ 所代表的原子數之比率。

31. 如申請專利範圍第 16 項之半導體裝置之製造方法，其中該電容器之該下電極具有空間結構，該空間結構具有 20 以上的高寬比。

八、圖式：

29. 如申請專利範圍第 28 項之半導體裝置之製造方法，其中該 Al 摻雜層之一層中的 Al 原子之面積密度等於或小於 $1.0E+14$ 原子/cm²。

30. 如申請專利範圍第 27 項之半導體裝置之製造方法，其中包含於該介電膜中的 Al 原子濃度係於自 0.2 至 2 原子%的範圍內，該 Al 原子濃度為由關於構成該介電膜的金屬原子 M 之 $Al/(Al+M)$ 所代表的原子數之比率。

31. 如申請專利範圍第 16 項之半導體裝置之製造方法，其中該電容器之該下電極具有空間結構，該空間結構具有 20 以上的高寬比。

八、圖式：

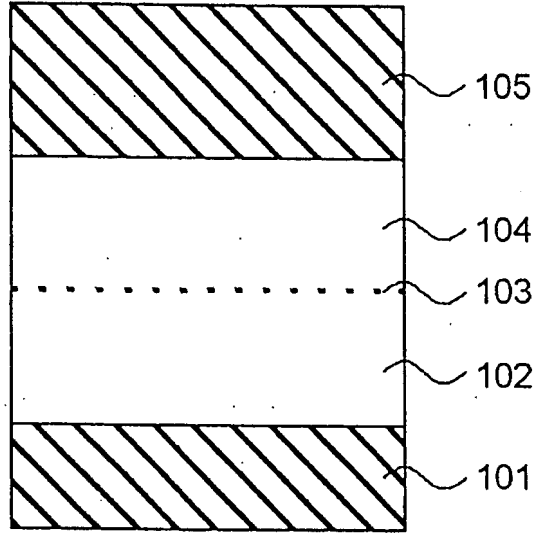


圖 1

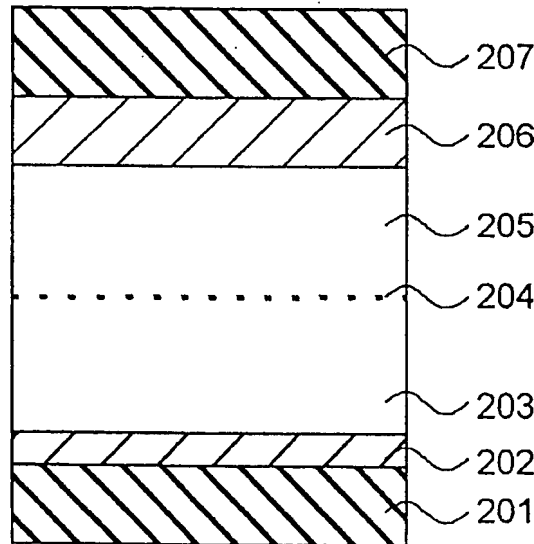


圖 2

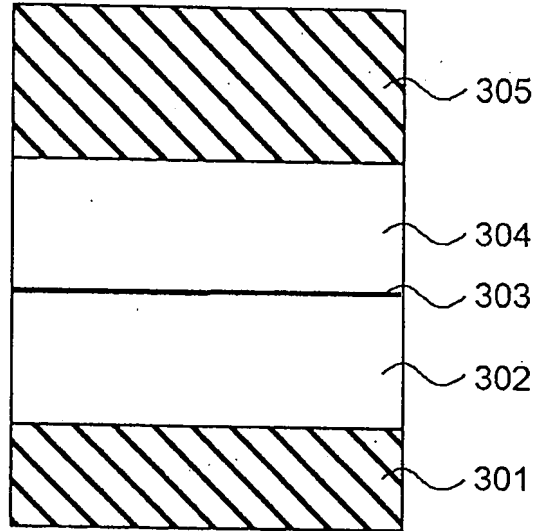


圖 3

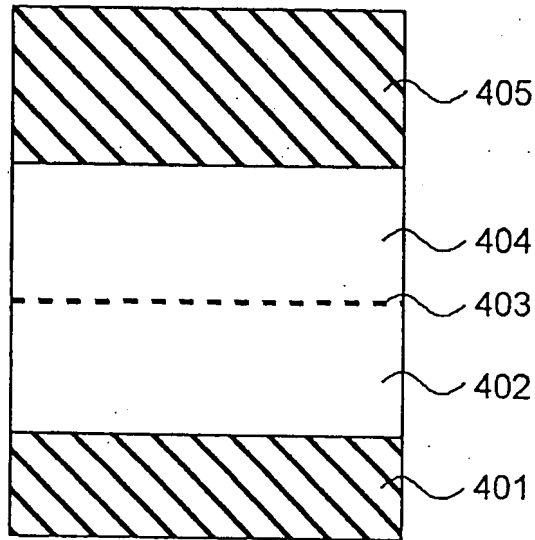


圖 4

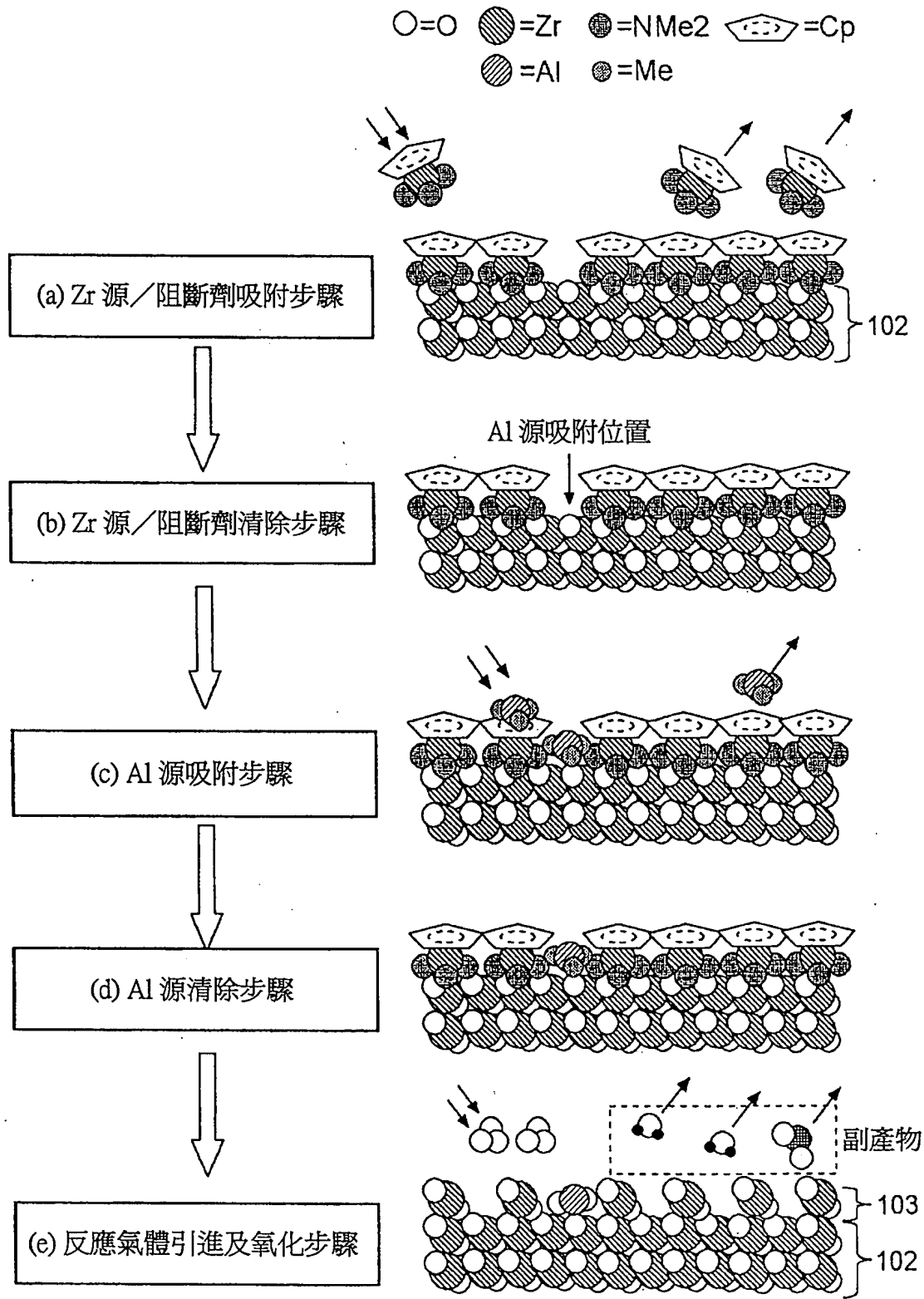


圖 5-1

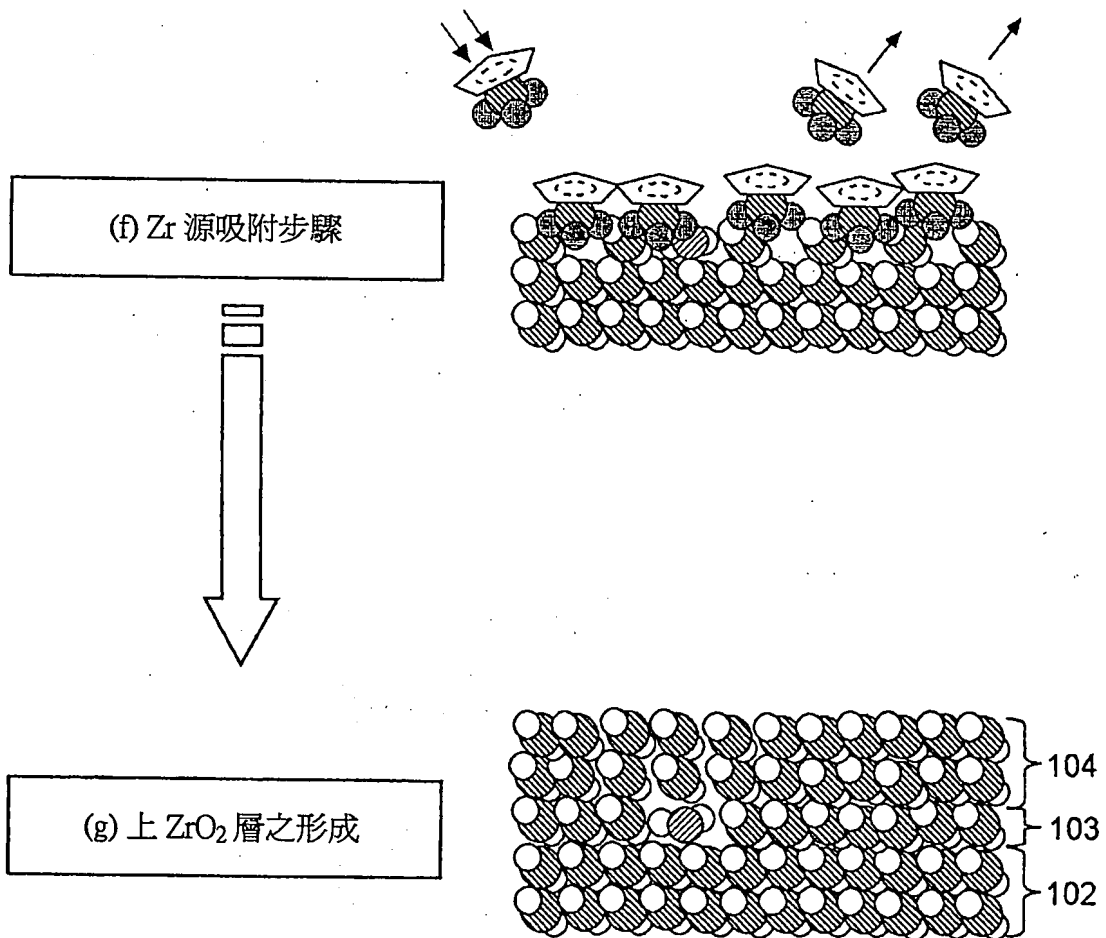


圖 5-2

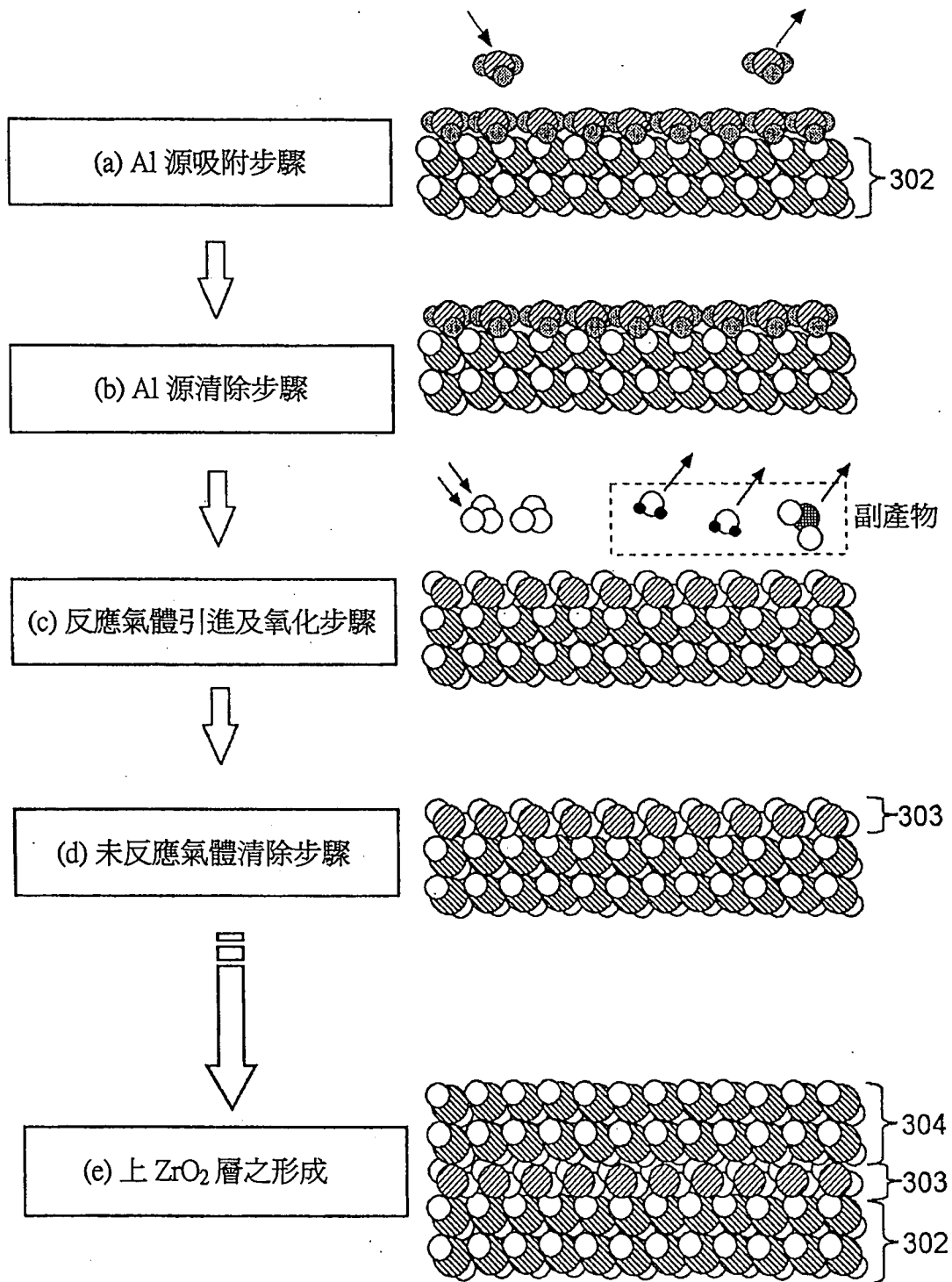


圖 6

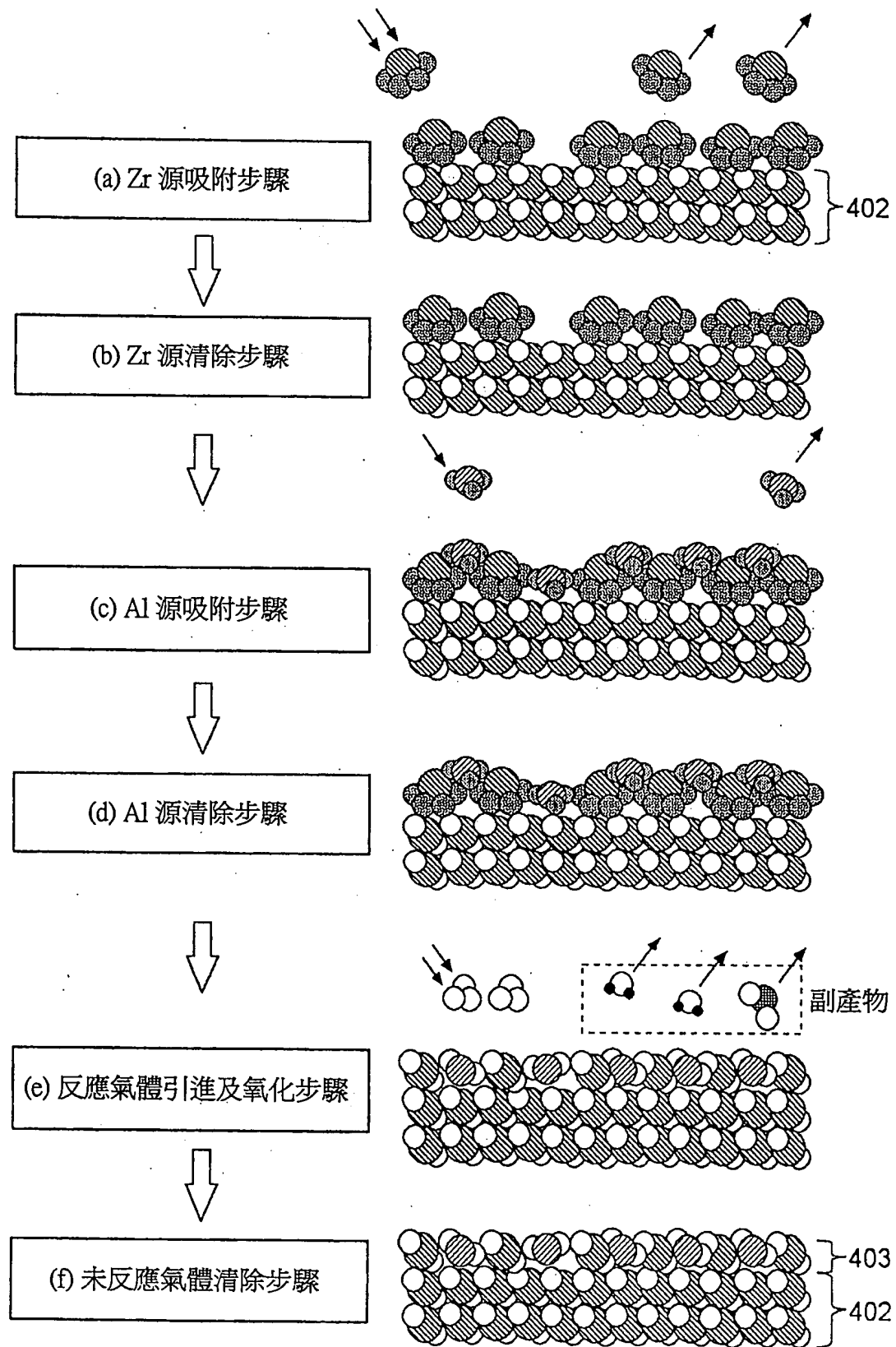


圖 7

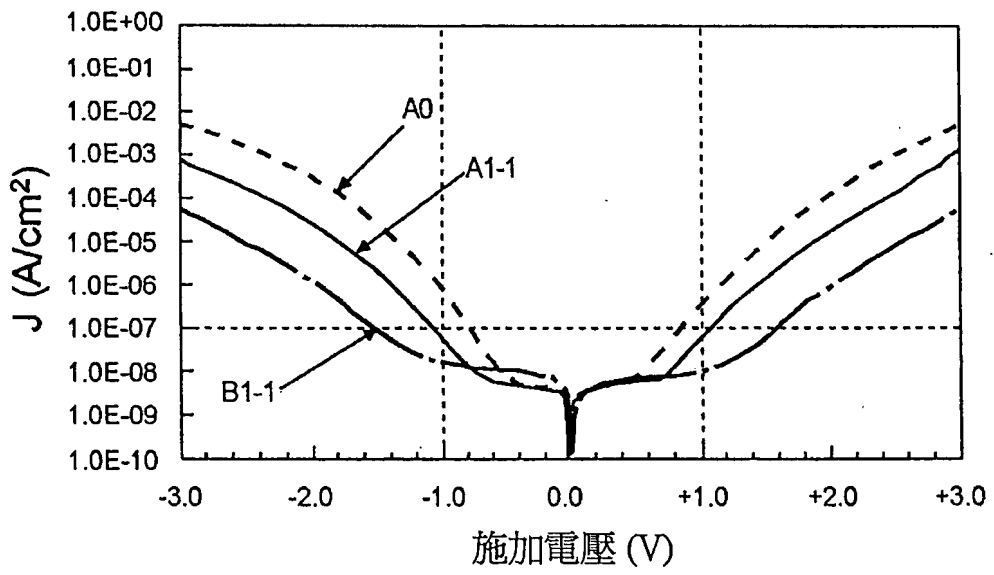
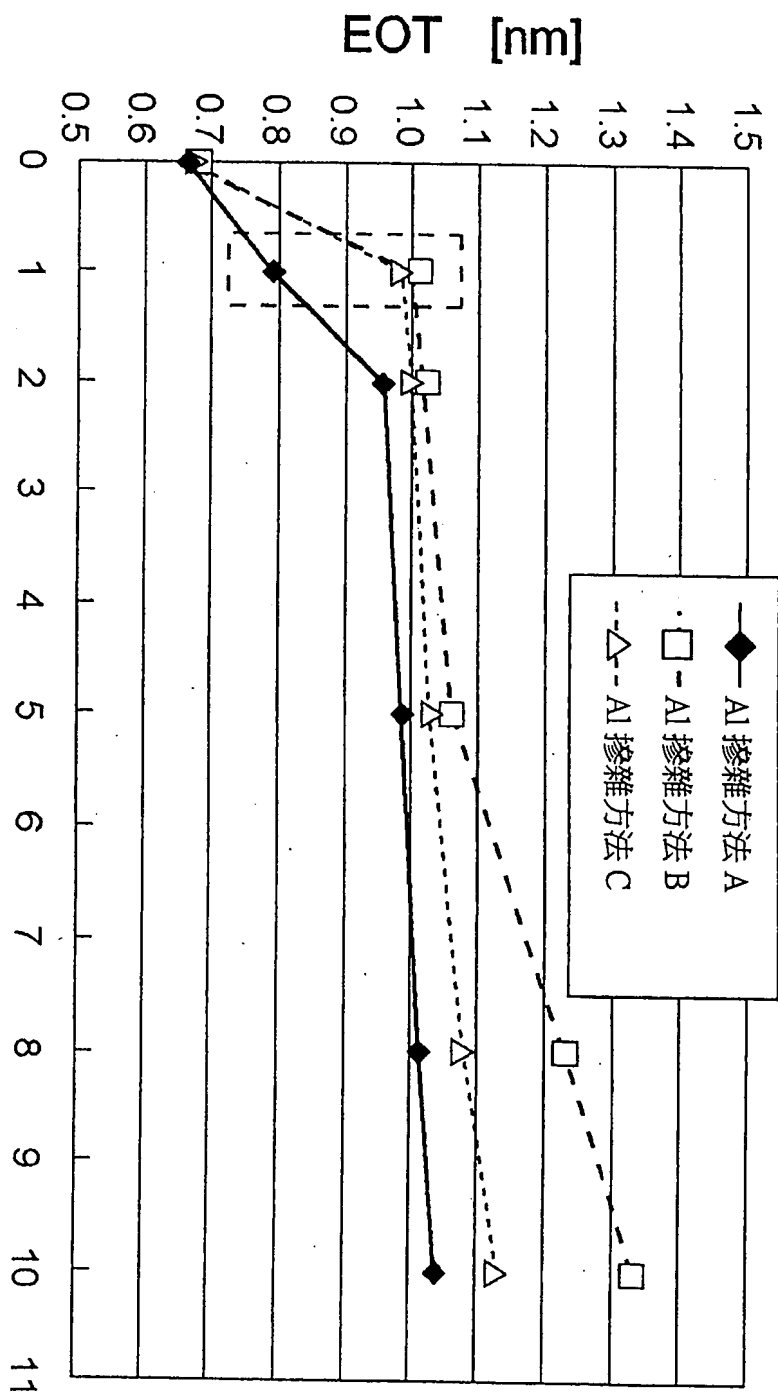


圖 8



每一 Al 摻雜層之 ALD 循環數量

圖 9



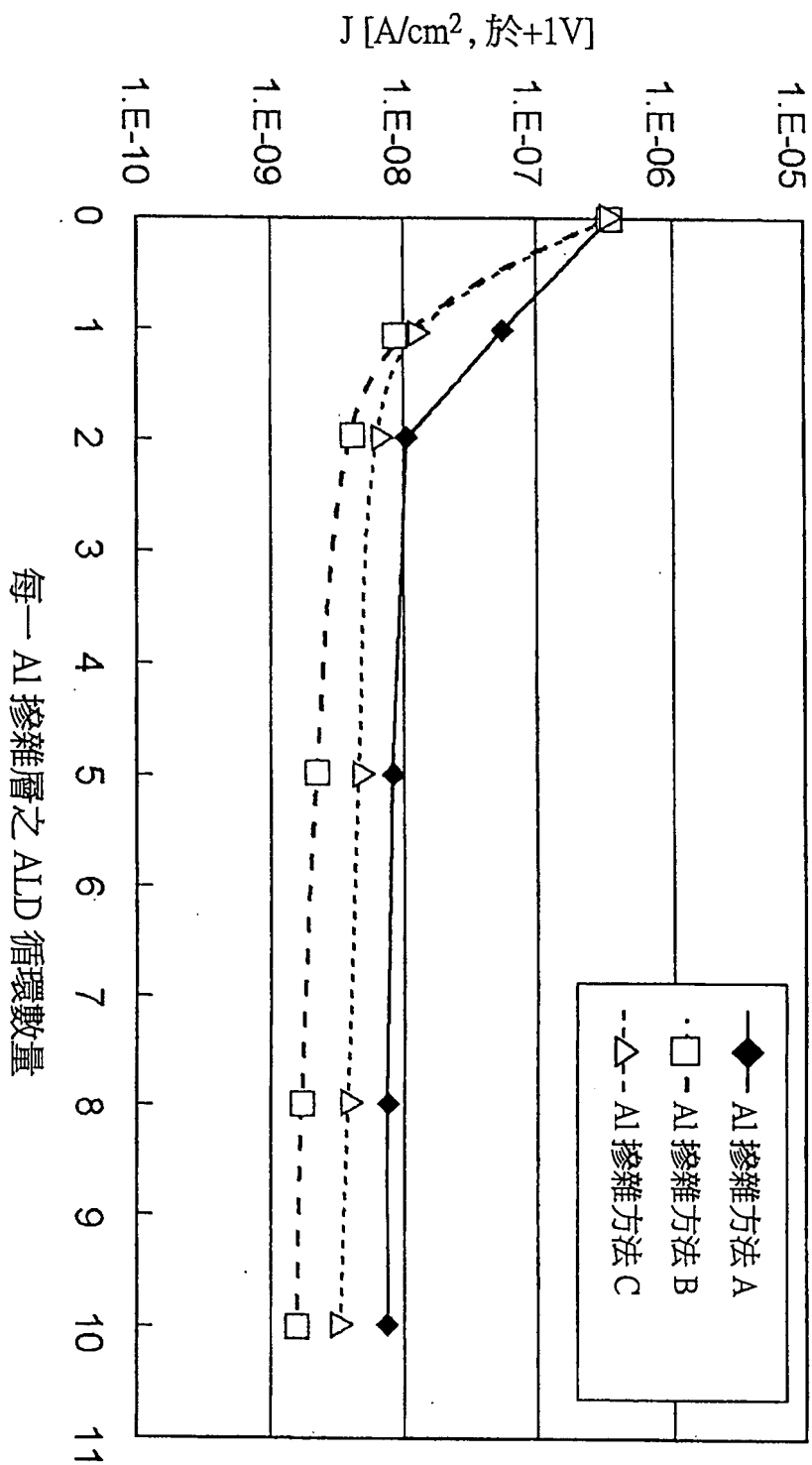


圖 10

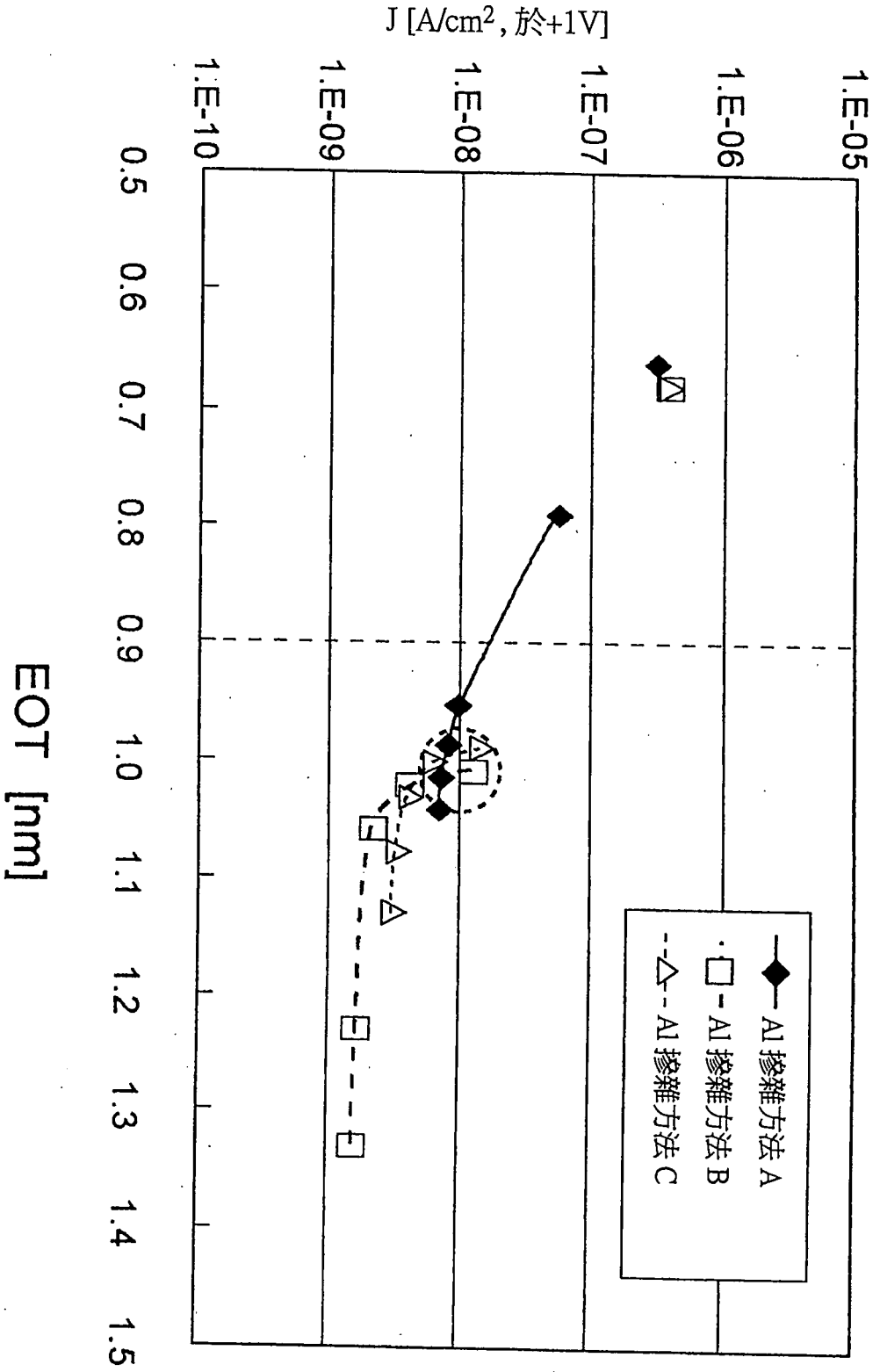


圖 11

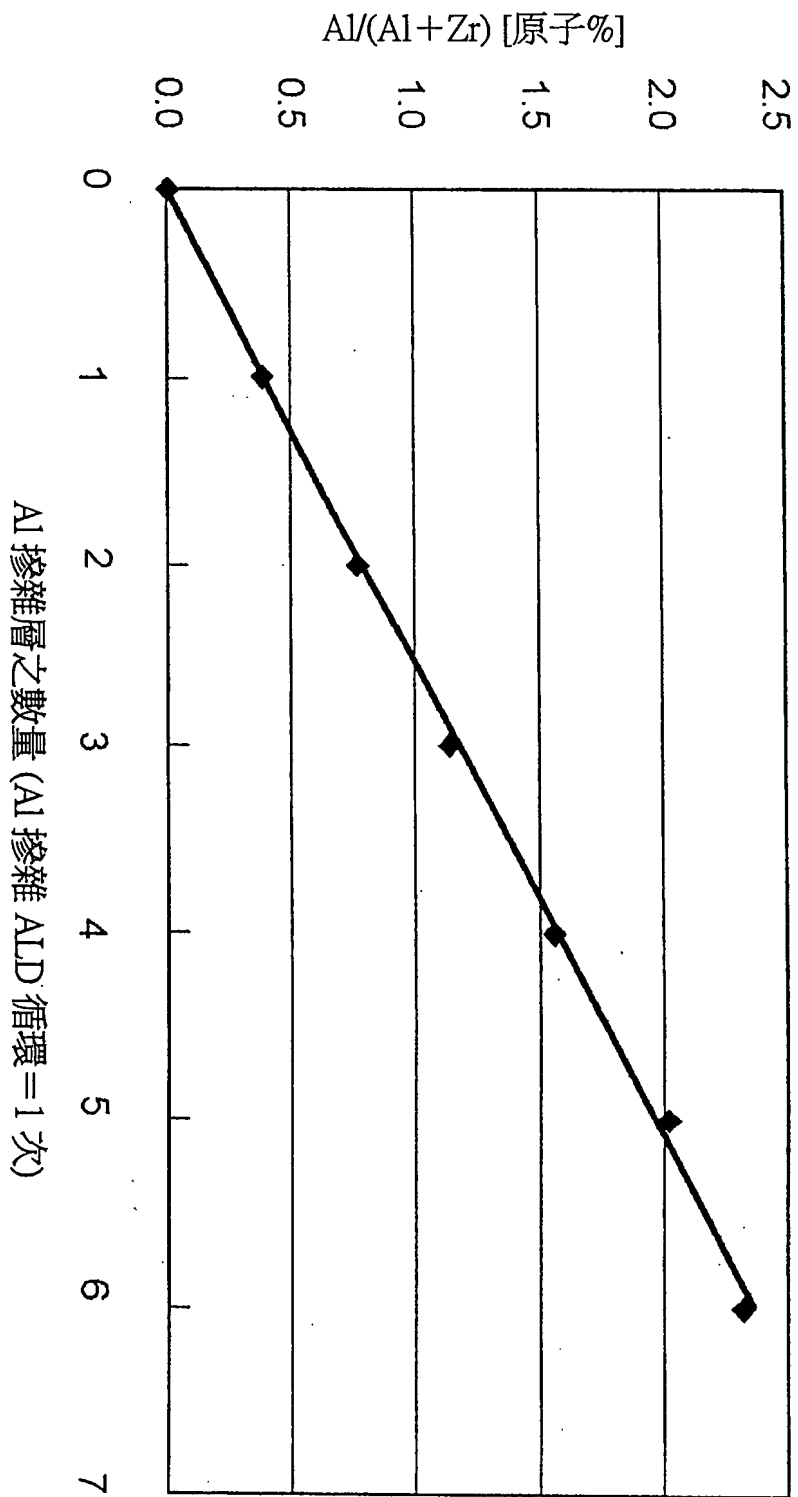


圖 12

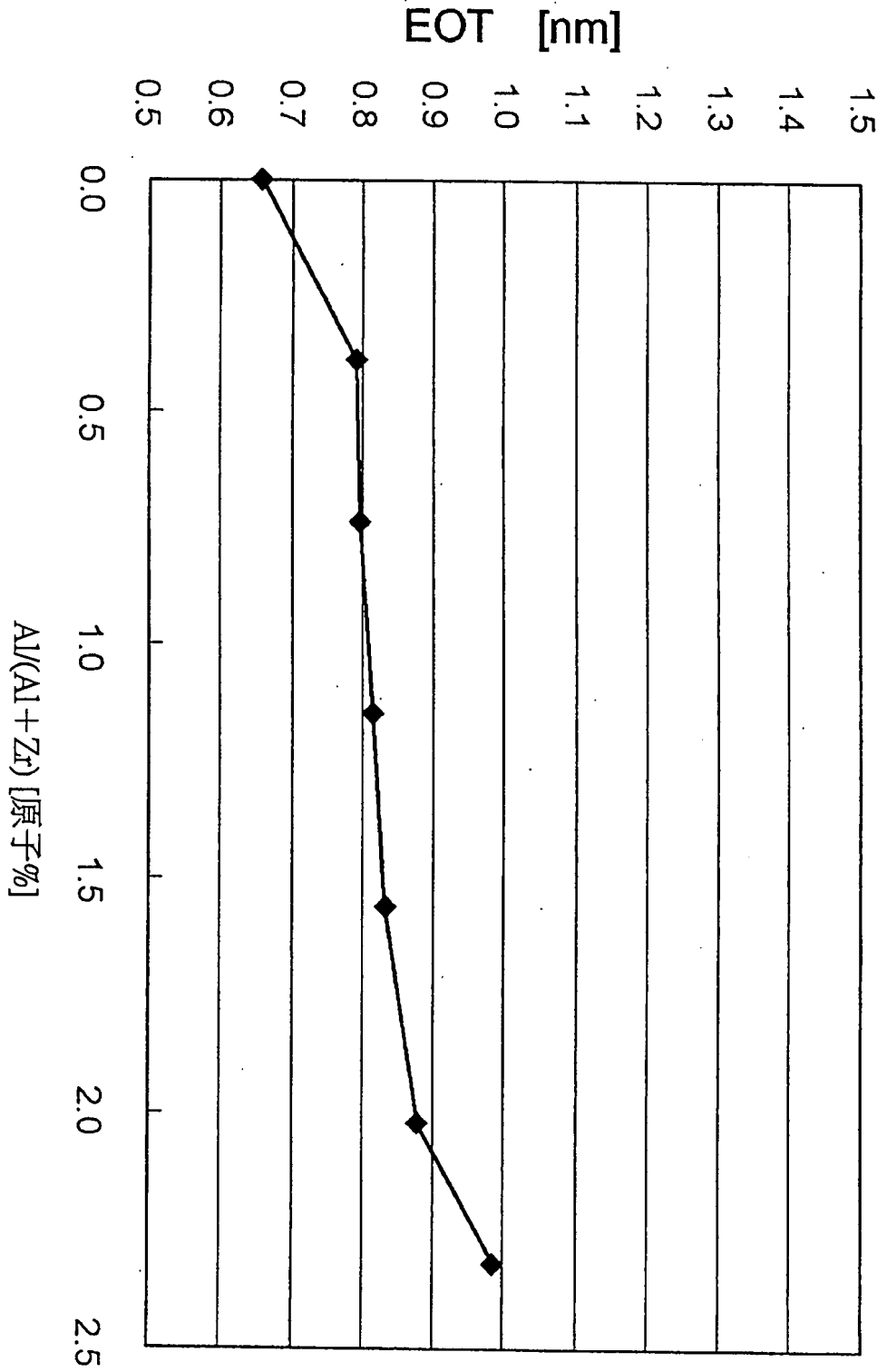


圖 13

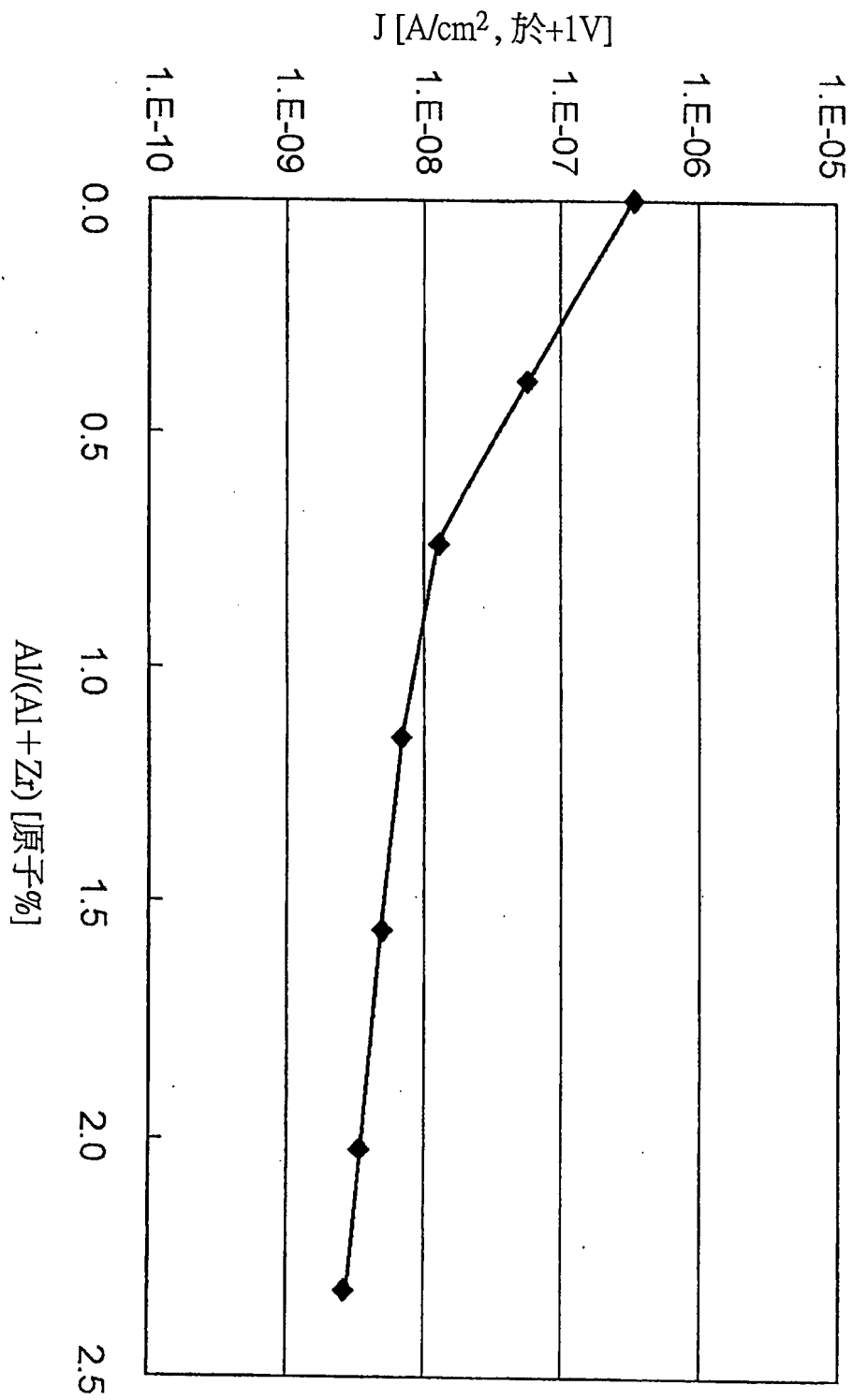


圖 14

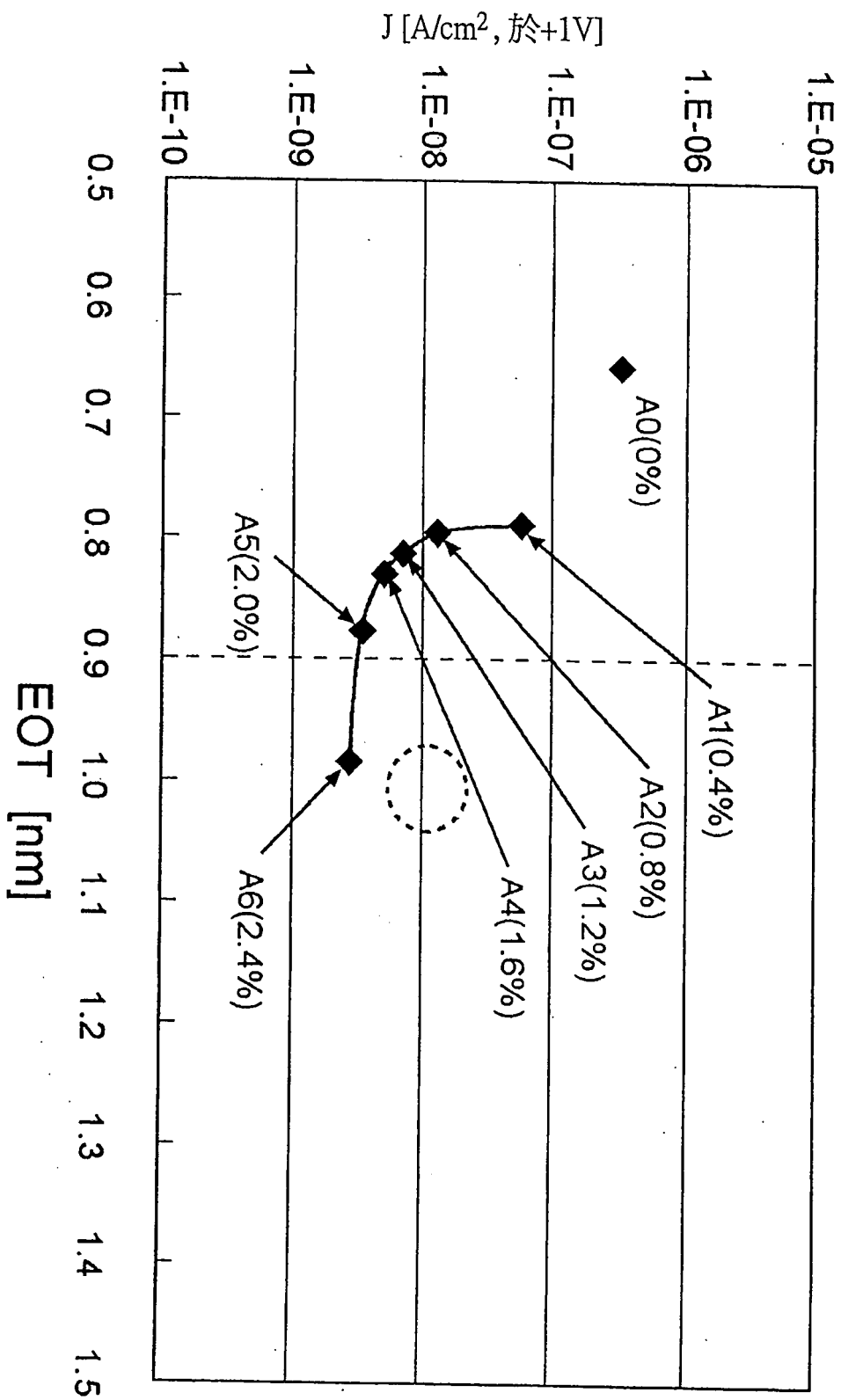


圖 15

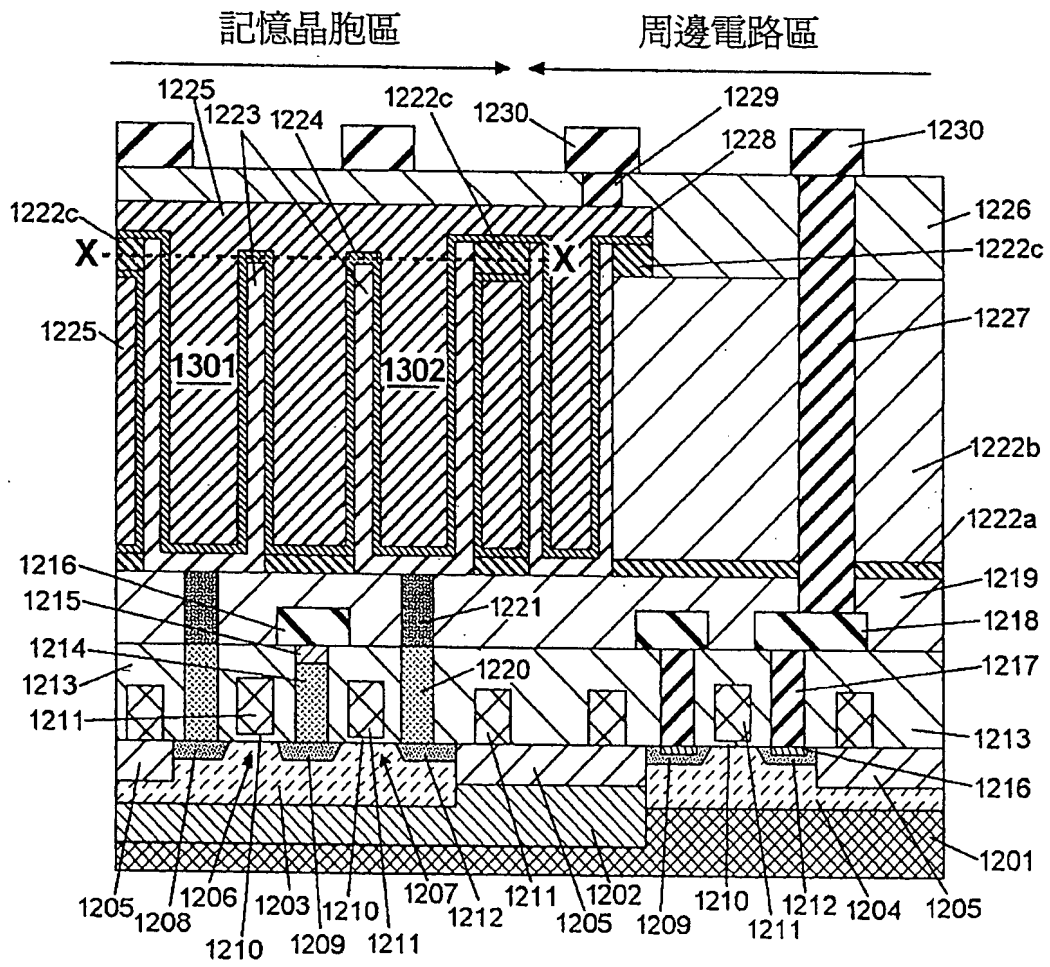


圖 16

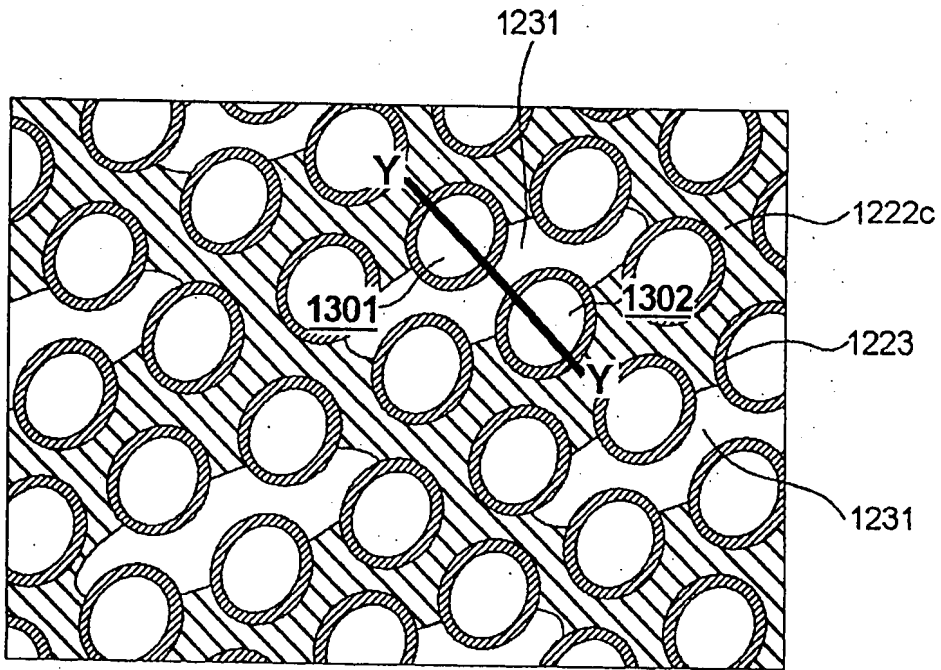


圖 17

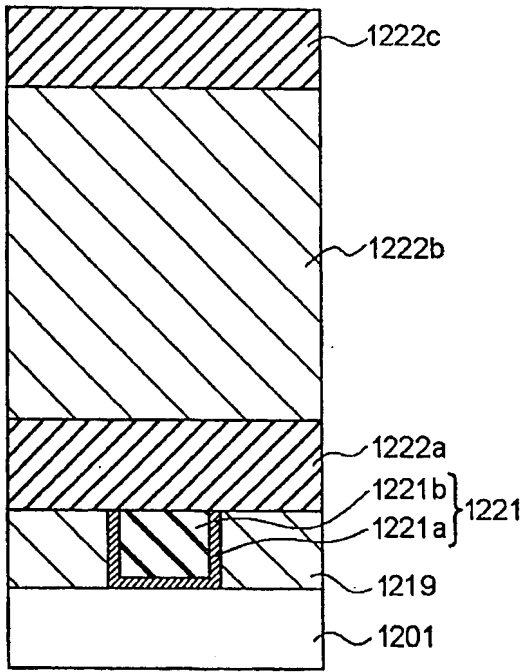


圖 18(a)

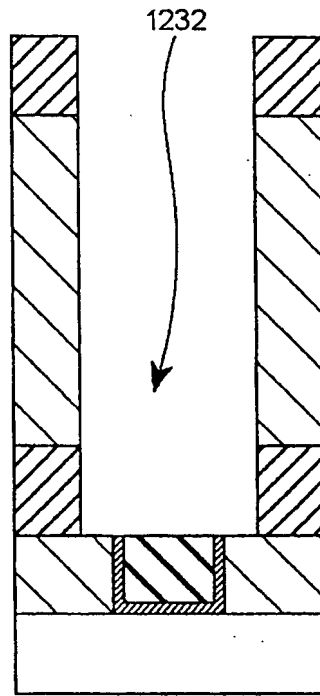


圖 18(b)

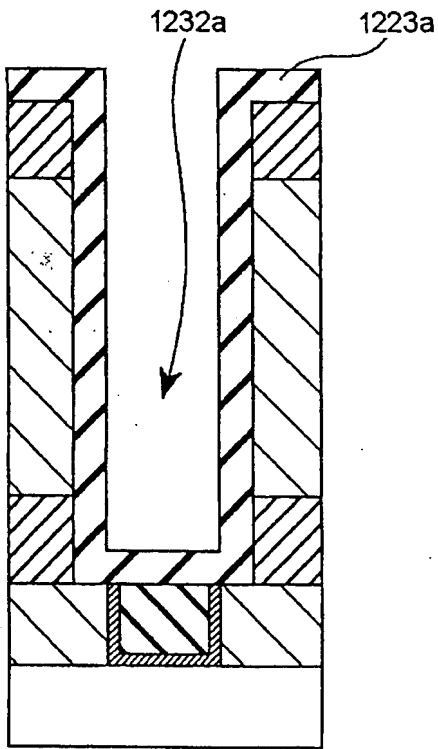


圖 18(c)

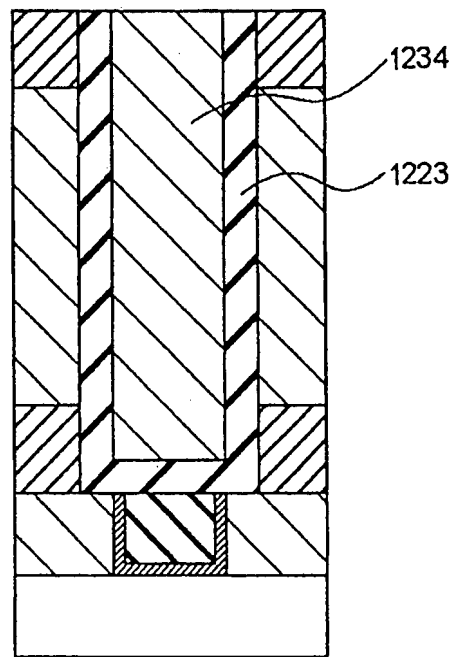


圖 18(d)

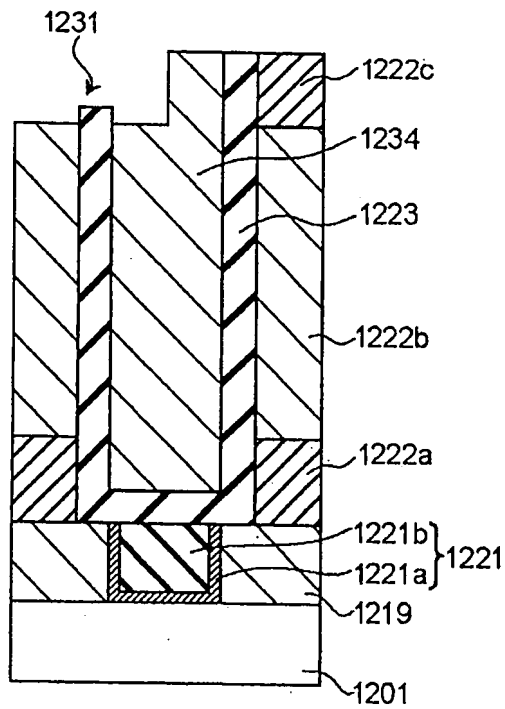


圖 18(e)

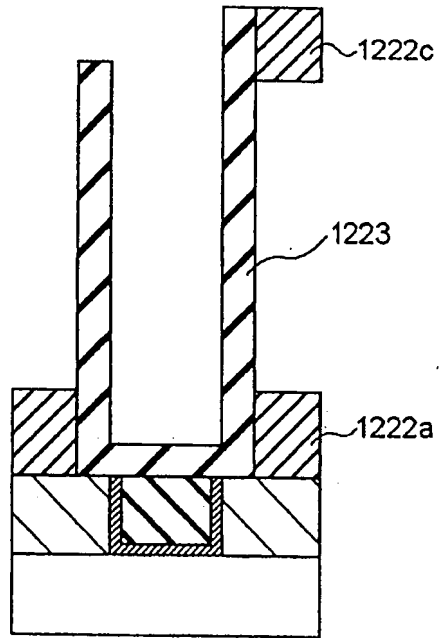


圖 18(f)

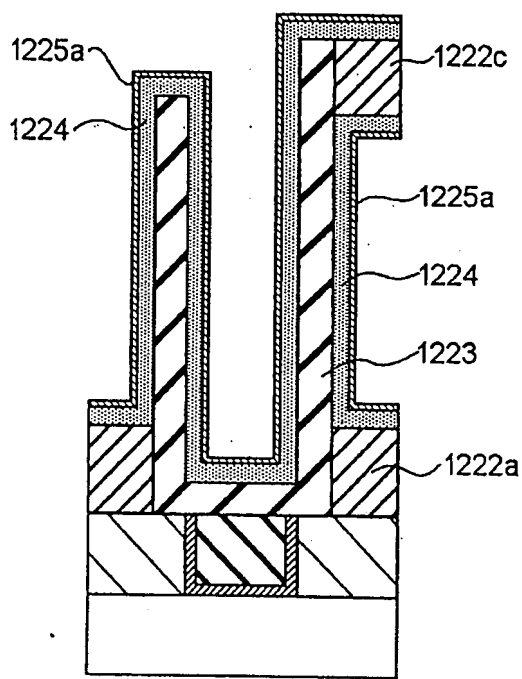


圖 18(g)

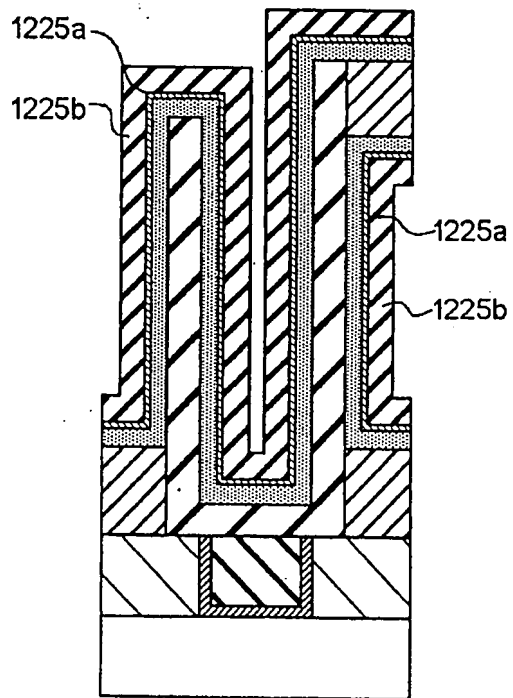


圖 18(h)

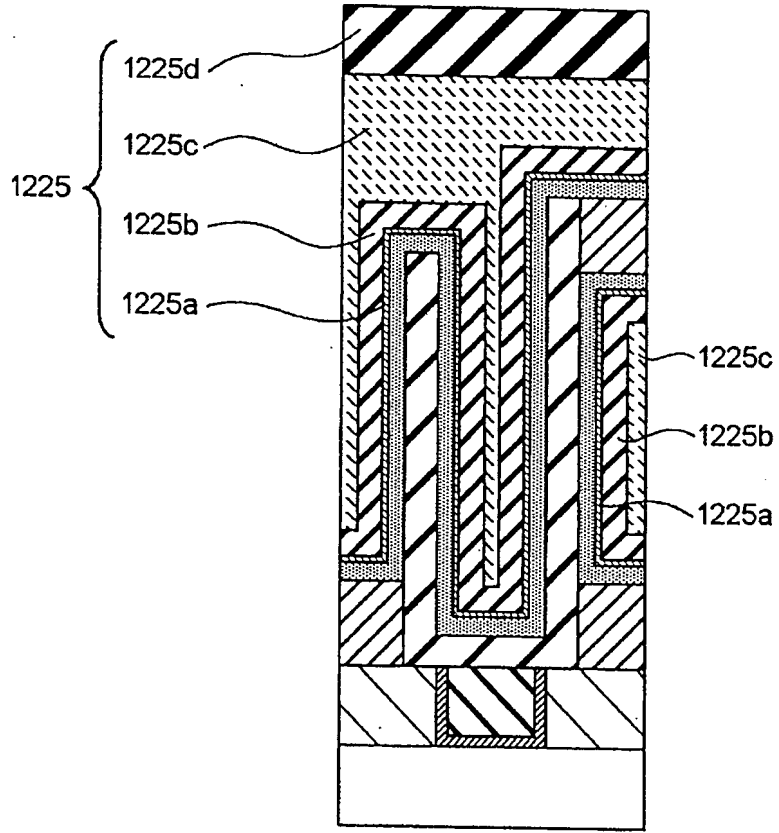


圖 18(i)

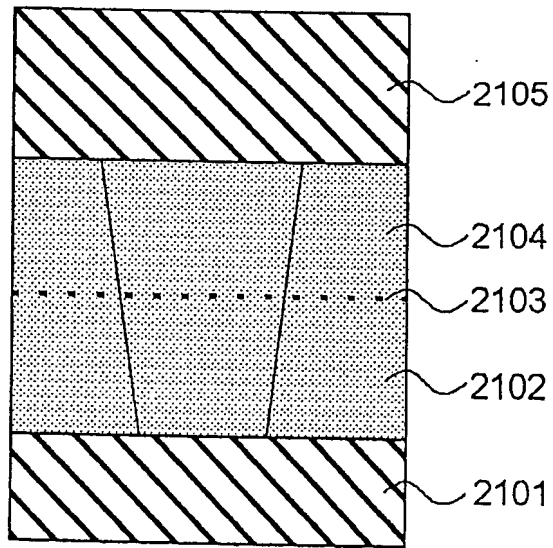


圖 19

of formation of a dielectric film using a general ALD method and Al doping using an adsorption site blocking ALD method including adsorbing a blocker molecule restricting an adsorption site of an Al source, adsorbing the Al source, and introducing a reaction gas for reaction.

四、指定代表圖：

(一)本案指定代表圖為：第（ 圖 16 ）圖。

(二)本代表圖之元件符號簡單說明：

1201	半導體基板
1202	n-井
1203	第一 p-井
1204	第二 p-井
1205	元素隔離區
1206	電晶體
1207	電晶體
1208	汲極
1209	源極
1210	閘極絕緣膜
1211	閘極電極
1212	汲極
1213	第一層間絕緣膜
1214	多晶矽
1215	金屬矽化物
1216	位元線
1217	鎢塞
1218	第一配線層
1219	第二層間絕緣膜
1220	矽塞
1221	導電塞

1222a	第三層間絕緣膜
1222b	第四層間絕緣膜
1222c	支持膜
1223	下電極
1224	介電膜
1225	上電極
1226	第五層間絕緣膜
1227	金屬通孔塞
1228	配線
1229	金屬塞
1230	第二配線層
1231	開口
1232	圓柱孔
1232a	圓柱孔
1234	保護膜
1301	電容器
1302	電容器

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：
無。

為連接至源極 1209，設在第一層間絕緣膜 1213 之一定區域上的接觸孔係以多晶矽 1214 填充。金屬矽化物 1215 係設置在多晶矽 1214 之表面上。由氮化鎢及鎢所製成的位元線 1216 係設成連接至金屬矽化物 1215。位元線 1216 係由第二層間絕緣膜 1219 所覆蓋。

為連接至電晶體之汲極 1208 及 1212，接觸孔係形成在第一及第二層間絕緣膜 1213 及 1219 之一定區域上，而各接觸孔係以矽填充以提供矽塞 1220。由金屬所製成的導電塞 1221 係設在矽塞 1220 之頂部上。

電容器係形成為連接至導電塞 1221。將形成下電極的第三層間絕緣膜 1222a 及第四層間絕緣膜 1222b 係堆疊在第二層間絕緣膜 1219 上。第四層間絕緣膜 1222b 係保留在周邊電路區上，且下電極 1223 係在記憶晶胞區上形成為王冠形狀。然後，消除記憶晶胞區上的第四層間絕緣膜 1222b。電容器係配置成具有覆蓋下電極 1223 的內壁及藉由移除第四層間絕緣膜 1222b 而曝露之外壁的介電膜 1224、及覆蓋整個記憶晶胞區的上電極 1225。支持膜 1222c 係設置在下電極 1223 之頂部側邊的一部分上。支持膜 1222c 係用以連接複數個相鄰下電極之若干者，並因此增加其機械強度且避免下電極自身崩塌。因為在支持薄膜 1222c 下方具有空間，所以介電膜 1224 及上電極 1225 係亦設置在暴露於該空間的下電極之表面上。圖 16 描繪兩電容器 1301 及 1302。下電極 1223 係由利用具有傑出階梯覆蓋率之 CVD 所形成的氮化鈦(TiN)所製成。電容器係由第五層間絕緣膜 1226 所覆蓋。栓塞的材料可依電容器之下電極而改變；栓塞的材料並不侷限於矽，但可由與電容器之下電極相同的材料或不同材料所製成。介電膜 1224 及上電極 1225 之結構稍後伴隨製程加以詳細描述。

構成周邊電路的電晶體包含源極 1209、汲極 1212、閘極絕緣膜 1210、及第二 p-井 1204 上的閘極電極 1211。設在第一層間絕緣膜 1213 之一定區域中的接觸孔係以金屬矽化物 1215 及鎢塞 1217 填充，使得該孔連接至汲極 1212。由氮化鎢及鎢所製成的第

一配線層 1218 係設置成連接至鎢塞 1217。第一配線層 1218 之一部分係經由金屬通孔塞 1227 連接至由鋁或銅所製成的第二配線層 1230。金屬通孔塞 1227 係配置成貫穿第二層間絕緣膜 1219、第三層間絕緣膜 1222a、第四層間絕緣膜 1222b、及第五層間絕緣膜 1226。排列在記憶晶胞區中的電容器之上電極 1225 係自一定區域抽出至周邊電路區作為配線 1228，並利用形成於第五層間絕緣膜 1226 之一定區域中的中介性金屬塞 1229 連接至由鋁或銅所製成的第二配線層 1230。DRAM 係藉由視需要重複形成層間絕緣膜、形成接點、及形成配線層的步驟而形成。

圖 17 為排除介電膜及上電極的沿線 X-X 取得的圖 16 之示意俯視圖。圖 17 中的線 Y-Y 對應至圖 16 中的線 X-X。覆蓋各下電極 1223 之整個外側的支持薄膜 1222c 以在複數下電極上方延伸的方式在整個記憶晶胞區範圍內包含複數開口 1231。各下電極 1223 係配置成使得其周長之部分與開口 1231 之任一者接觸。除開口之外的支持膜係連續地配置成使得下電極經由支持膜而彼此連接。支持膜亦協助避免下電極自身的崩塌，因為薄膜可相對於高寬比(即垂直／水平比)相對延伸水平長度。當使晶胞以高度整合微型化時，電容器之下電極的高寬比(即垂直／水平比)增加，並將因此在無支持下電極之裝置的情況下造成下電極在其製造期間崩塌。圖 17 顯示在電容器 1301 及電容器 1302 之間的區域上具有中心點的與六下電極重疊的開口 1231 之實例。因此，在圖 16 中，對應至圖 17 中之區域的電容器 1301 及電容器 1302 之上部及電容器 1301 及電容器 1302 之間的區域之上部係配置成不具有支持膜。

就其本身而言，在製備有支持膜的情況下，需要具有較佳覆蓋率的較佳薄膜形成方法以在支持膜下方的下電極之表面上形成介電膜及上電極。

現描述除了如上述之半導體記憶裝置的 DRAM 之製造方法中的其他處理之外的依據本發明的電容器製程。圖 18(a)至 18(i)為圖 16 中所描繪的一電容器之製程的剖面圖。為了清晰的目的，故省略半導體基板 1201 上的電晶體或第一層間絕緣膜。

首先，如圖 18(a)中所顯示，第二層間絕緣膜 1219 係形成在由單晶矽所製成的半導體基板 1201 上。然後，接觸孔係形成在預定位置上，而阻障金屬膜 1221a 及金屬膜 1221b 係形成於整個表面上。然後，藉由 CMP 法將已形成在第二層間絕緣膜上的阻障金屬膜 1221a 及金屬膜 1221b 移除以形成導電塞 1221。然後，由矽氮化物膜所製成的第三層間絕緣膜 1222a、由矽氧化物膜所製成的第四層間絕緣膜 1222b、及由矽氮化物膜所製成的支持膜 1222c 係形成在整個表面上。

然後，如圖 18(b)中所顯示，圓柱孔 1232 係藉由微影及乾蝕刻形成在支持膜 1222c、第四層間絕緣膜 1222b、及第三層間絕緣膜 1222a 中。圓柱孔具有圓形平面剖面，該圓形平面剖面具有 60 nm 之直徑。距相鄰圓柱孔的最近距離為 60 nm。就其本身而言，圓柱孔之底面與導電塞 1221 之頂面接觸。

然後，如圖 18(c)中所顯示，作為電容器之下電極的材料之 TiN 薄膜 1223a 係形成在包含圓柱孔 1232 之內表面的整個表面上。TiN 薄膜可由在 380°C 至 650°C 之間的形成溫度下以 TiCl_4 及 NH_3 的來源氣體之 CVD 法所形成。本實施例中形成溫度為 450°C 且薄膜厚度為 10 nm。選擇性地，TiN 薄膜亦可藉由使用相同來源氣體的 ALD 法形成。形成 TiN 薄膜使得孔洞側壁之薄膜厚度範圍處於自 5 nm 至 15 nm 的範圍內。

然後，如圖 18(d)中所顯示，如矽氧化物膜的保護膜 1234 係形成在整個表面上以填滿圓柱孔 1232a。然後，形成在支持膜 1222c 之頂面上的 TiN 薄膜 1223a 及保護膜 1234 係藉由 CMP 或乾蝕刻法加以移除以形成下電極 1223。

然後，開口 1231 係形成在支持膜 1222c 中(見圖 18(e))。如圖 17 之俯視圖中所顯示，開口 1231 之圖型與第四層間絕緣膜 1222b 之一部分、下電極 1223 之一部分、及殘留在下電極內側中的保護性薄膜 1234 之一部分重疊。因此，用來形成開口 1231 的乾蝕刻移除一部份的下電極 1223 及保護性薄膜 1234 之頂部、以及第四層間絕緣膜 1222b 上所形成的支持膜 1222c。

然後，如圖 18(f)中所顯示，移除在開口 1231 中所曝露的第四層間絕緣膜 1222b。舉例而言，因為支持膜 1222c 係由矽氮化物膜所製成，所以使用氫氟酸溶液(HF 溶液)的蝕刻處理實質上不蝕刻支持膜 1222c，而移除所有以矽氧化物膜所形成的保護膜 1234 及第四層間絕緣膜 1222b。

除了在開口 1231 正下方的區域外，因為該蝕刻使用該溶液，所以在支持膜 1222c 下方的矽氧化物薄膜亦受到移除。因此，下電極 1223 及支持下電極 1223 的支持膜 1222c 保持中空，且下電極 1223 曝露其表面。

在本蝕刻處理期間，由矽氮化物膜所製成的第三層間絕緣膜 1222a 運作為蝕刻停止器，預防第二層間絕緣膜 1219 受到蝕刻。

然後，如圖 18(g)中所顯示，形成介電膜 1224。介電膜 1224 係以與依據本發明之實施例的 Al 摻雜方法 A 之電容器樣本製造相同的方式，藉由自下電極側依序形成第一 TiO_2 薄膜、第一 ZrO_2 層、Al 摻雜層(使用 CTMAZ 之 Al 摻雜的 ALD 程序之一循環)及第二 ZrO_2 層而形成，且額外地在其上形成第二 TiO_2 薄膜 1225a。因為使用 ALD 法所形成的薄膜具有出色的階梯覆蓋率，所以介電膜 1224 及第二 TiO_2 薄膜 1225a 係形成在曝露於中空狀態中的下電極之表面的任一部份上。在 ALD 法之薄膜形成中的第二 TiO_2 薄膜 1225a 為非晶形，但藉由後續處理中的加熱而結晶成多晶以運作為導體。因此，在後續處理中的熱處理後，可將其稱作第一上電極。再者，介電膜 1224 並不侷限於以上實例，而可藉由在不形成第一 TiO_2 薄膜的情況下於下電極上形成第一 ZrO_2 層、或藉由形成複數個 Al 摻雜層(具有 0.5 至 2 原子%的 Al 濃度)而獲得。再者，可省略第二 TiO_2 薄膜 1225a。

然後，如圖 18(h)中所顯示，形成作為第二上電極 1225b 的 TiN 薄膜。以與下電極相同的方式，TiN 薄膜係在 450°C 之溫度下藉由使用當作來源的 TiCl_4 及 NH_3 的 CVD 法形成，並具有 10 nm 之薄膜厚度。因為由 CVD 法所形成的 TiN 薄膜具有非常良好的階梯覆蓋率，故其可進入中空空間且形成在第二 TiO_2 薄膜 1225a 之表面

的任何部分上。

由 ALD 法所形成的介電膜在於 450°C 之溫度形成第二上電極 1225b 之步驟中變得較緊密，並變成具有下降的介電係數之介電膜 1224。

然後，如圖 18(i)中所顯示，形成作為第三上電極 1225c 的硼摻雜矽鍺薄膜(B-SiGe 薄膜)。在形成第二上電極 1225b 之圖 18(h)中，空間在未消除中空狀態的情況下殘留。在本狀態中，當藉由 PVD 法形成作為第四上電極 1225d 的鎢時，因為 PVD 法具有不佳的階梯覆蓋率，故其難以填滿空間。因此，即使在完成半導體裝置之後，空間仍殘留在電容器周圍，此情形由於在後續處理之封裝中所產生的應力而造成機械強度上的降低、及電容器之特性上的改變。因此，形成 B-SiGe 薄膜以填滿殘餘空間並移除空間，藉此改善對機械應力的抗性。

B-SiGe 薄膜可由使用甲鍺烷(GeH_4)、單矽烷(SiH_4)及三氯化硼(BCl_3)作為來源的 CVD 法形成。由本方法所形成的 B-SiGe 薄膜具有出色階梯覆蓋率以藉此填滿中空空間。

在形成作為第三上電極 1225c 的 B-SiGe 薄膜之後，為了用作覆蓋整個記憶晶胞區的電源供應板，而形成作為第四上電極 1225d 的鎢薄膜(W 薄膜)。W 薄膜可由 PVD 法在 25 至 300°C 之溫度下形成。第一上電極(第二 TiO_2 薄膜 1225a)至第四上電極統稱為圖 16 之上電極 1225。以下，如圖 16 中所顯示，由 DRAM 所形成的半導體裝置係藉由執行形成第五層間絕緣膜 1226 的步驟及後續處理來加以製造。

再者，高密度先進 DRAM 的配置及製造方法已在本實施例中加以描述。即使其為空間結構，若結構強化仍非必要，則形成 B-SiGe 薄膜之步驟並非必要。

如上述，製造 F32 nm 等級的圓柱電容器，並獲得具有 20 fF / 晶胞之電容的電容器作為具有 1800 nm 之圓柱高度、53 nm 之下電極外徑、及 34 之高寬比的電容器，。

在本實例中，已藉由 TEM 測量發現 Al 摻雜 ZrO_2 薄膜之覆蓋

率為約 95%。

<<在 TiO₂ 介電膜中的 Al 摻雜>>

藉由使用本發明之技術可獲得具有約 0.8 nm 之 EOT 的介電膜作為 Al 摻雜 ZrO₂ 薄膜。

然而，在 F30 nm 等級起的 DRAM 中，需要具有較小 EOT 的介電膜。已進行使用具有金紅石晶相的 TiO₂ 薄膜作為介電膜之檢視。

TiO₂ 可具有如銳鈦礦、金紅石、及板鈦礦的複數晶體結構。其中，具有最高介電係數的晶體結構為金紅石結構。

再者，在結合 TiN 電極使用 TiO₂ 用作電容器之介電膜的情形中，不可能達成充分的能帶偏移(由於小蕭特基(Schottky)障壁)，且其導致在蕭特基電流中的洩漏特性。

因此，RuO₂ 或類似物係預期作為具有大功函數(充分能帶偏移)及用來將電極轉換成金紅石之樣板函數的材料。

再者，據悉用來將 Al 增添至介電 TiO₂ 薄膜的方法對減少熱阻或洩漏有效。

圖 19 示意性地顯示使用 TiO₂ 作為介電膜的電容器結構之剖面圖。下電極 2101 可使用包含 RuO₂ 或類似物的材料形成作為表面層，且在本實例中為 RuO₂ 薄膜。作為第一介電膜的第一 TiO₂ 層 2102、Al 摻雜層 2103、及作為第二介電膜的第二 TiO₂ 層 2104 係藉由 ALD 法依序形成在下電極 2101 上。上電極 2105(本實例中，以與下電極相同方式的 RuO₂ 薄膜)係形成在第二 TiO₂ 層 2104 上。作為下電極，可使用其中將 RuO₂ 或類似物疊合於另一傳導材料上的層狀薄膜。RuO₂ 或類似物亦可藉由具有良好覆蓋率的 CVD 法或 ALD 法形成。

吾人可見當 Al 係藉由使用習用技術(Al 摻雜方法 B 或 C)而加以摻雜時，晶粒係以與 ZrO₂ 薄膜相同的方式受到分隔，用來將電極轉換成金紅石的樣板函數係終止在 Al 摻雜層，且在其上生長的 TiO₂ 傾向為銳鈦礦。

藉由應用本發明之方法，可在不分隔 TiO₂ 晶粒的情況下摻雜

Al。因此，在 Al 摻雜層 2103 上方的第二 TiO₂ 層 2104 亦藉由樣板函數而具有金紅石結構。因此，可改善 TiO₂ 薄膜的熱阻，同時獲得較小的 EOT，藉此抑制洩漏電流。

本實例中，形成先前的 TZAZT 結構時所使用的 TiMCTA 係用作 Ti 源來形成 TiO₂，而 TMA 係用作 Al 源。

因為 TiMCTA 以與 CTMAZ 或 MCTMAZ 相同的方式執行自組織及定向吸附，且與在 ZrO₂ 薄膜中摻雜 Al 的實例相似地由於環戊二烯環而阻斷 TMA，所以可能在一 ALD 循環時將 Al 摻雜層之 Al 原子密度抑制至約 9.8E+13 [原子/cm²]。

複數 Al 摻雜層 2103 係以與 ZrO₂ 介電膜相同的方式加以引進，且作為由 Al/(Al+Ti) 所代表之原子數比率的 Al 濃度範圍係可於自 0.5 至 2.0 原子% 的範圍內。引進層數及 Al 濃度可在不損及用以將下電極轉換成金紅石之樣板函數的情況下在一範圍內適當地加以選定。

在具有金紅石結構的 TiO₂ 薄膜之情形中，可將介電係數增加至相較於四方 ZrO₂ 薄膜之約 30 至 45 的約 60 至 80。因此，可使 EOT 小於 ZrO₂ 薄膜者。因此，其可應用至 F30 nm 等級起的 DRAM。

【圖式簡單說明】

以上的本發明之特徵及優點將由以上某些較佳實施例之描述結合隨附圖式而更加明顯，其中：

圖 1 示意性地顯示依據本發明之實施例的電容器之結構的剖面圖；

圖 2 示意性地顯示依據本發明之另一實施例的電容器之結構的剖面圖；

圖 3 示意性地顯示習用實例(Al 摻雜方法 B)的電容器之結構的剖面圖；

圖 4 示意性地顯示另一習用實例(Al 摻雜方法 C)的電容器之結構的剖面圖；

圖 5-1 及 5-2 顯示依據本發明之實施例的 Al 摻雜層的製程之

流程圖，並示意性地顯示在本實例中的表面狀態中的變化；

圖 6 顯示依據習用實例(Al 摻雜方法 B)的 Al 摻雜層的製程之流程圖，並示意性地顯示在本實例中的表面狀態中的變化；

圖 7 顯示依據另一習用實例(Al 摻雜方法 C)的 Al 摻雜層的製程之流程圖，並示意性地顯示在本實例中的表面狀態中的變化；

圖 8 為顯示所製造之電容器樣本的 I-V 特性的曲線圖；

圖 9 為顯示所製造之電容器樣本的 EOT 及每一 Al 摻雜層之 ALD 循環數之間的關係的曲線圖；

圖 10 為顯示所製造之電容器樣本的洩漏電流特性及每一 Al 摻雜層之 ALD 循環數之間的關係的曲線圖；

圖 11 為顯示所製造之電容器樣本的 EOT 及洩漏電流特性之間的關係的曲線圖；

圖 12 為顯示 Al 摻雜層數及 Al 濃度之間的關係的曲線圖；

圖 13 為顯示 Al 濃度及 EOT 之間的關係的曲線圖；

圖 14 為顯示洩漏電流特性及 Al 濃度之間的關係的曲線圖；

圖 15 為顯示洩漏電流特性及取決於 Al 濃度的 EOT 之間的關係的曲線圖；

圖 16 示意性地顯示依據本發明之作為半導體裝置的 DRAM 之整體配置；

圖 17 示意性地顯示沿圖 16 之線 X-X 所擷取的俯視圖；

圖 18(a)至 18(i)為顯示用以製造圖 16 之電容器的處理步驟的剖面圖；及

圖 19 示意性地顯示依據本發明之另一實施例的電容器之結構的剖面圖。

【主要元件符號說明】

101	下電極
102	第一 ZrO ₂ 層
103	Al 摻雜層
104	第二 ZrO ₂ 層

105	上電極
201	下電極
202	第一 TiO ₂ 薄膜
203	第一 ZrO ₂ 層
204	Al 摻雜層
205	第二 ZrO ₂ 層
206	第二 TiO ₂ 薄膜
207	上電極
301	下電極
302	第一 ZrO ₂ 層
303	Al 摻雜層
304	第二 ZrO ₂ 層
305	上電極
401	下電極
402	第一 ZrO ₂ 層
403	Al 摻雜層
404	第二 ZrO ₂ 層
405	上電極
1201	半導體基板
1202	n-井
1203	第一 p-井
1204	第二 p-井
1205	元素隔離區
1206	電晶體
1207	電晶體
1208	汲極
1209	源極
1210	閘極絕緣膜
1211	閘極電極
1212	汲極

1213	第一層間絕緣膜
1214	多晶矽
1215	金屬矽化物
1216	位元線
1217	鎢塞
1218	第一配線層
1219	第二層間絕緣膜
1220	矽塞
1221	導電塞
1221a	阻障金屬膜
1221b	金屬膜
1222a	第三層間絕緣膜
1222b	第四層間絕緣膜
1222c	支持膜
1223	下電極
1223a	TiN 薄膜
1224	介電膜
1225	上電極
1225a	第二 TiO ₂ 薄膜
1225b	第二上電極
1225c	第三上電極
1225d	第四上電極
1226	第五層間絕緣膜
1227	金屬通孔塞
1228	配線
1229	金屬塞
1230	第二配線層
1231	開口
1232	圓柱孔
1232a	圓柱孔

- 1234 保護膜
- 1301 電容器
- 1302 電容器
- 2101 下電極
- 2102 第一 TiO₂ 層
- 2103 Al 摻雜層
- 2104 第二 TiO₂ 層
- 2105 上電極

七、申請專利範圍：

1. 一種半導體裝置，包含電容器，該電容器在上電極及下電極之間具有介電膜，
其中該介電膜包含至少一 Al 摻雜層，且
在該至少一 Al 摻雜層之一層中的 Al 原子之面積密度小於 $1.4E+14$ 原子/cm²。
2. 如申請專利範圍第 1 項之半導體裝置，其中該至少一 Al 摻雜層之一層中的 Al 原子之面積密度等於或小於 $1.0E+14$ 原子/cm²。
3. 如申請專利範圍第 1 項之半導體裝置，其中該至少一 Al 摻雜層為氧化鋁散佈在構成該介電膜的金屬原子 M 之氧化物薄膜上的層。
4. 如申請專利範圍第 3 項之半導體裝置，其中包含於該介電膜中的作為由 $Al/(Al+M)$ 所代表的原子數比率的 Al 原子濃度範圍係自 0.2 至 2 原子%。
5. 如申請專利範圍第 1 項之半導體裝置，其中該介電膜在二氧化鋯薄膜中包含該至少一 Al 摻雜層之至少一者。
6. 如申請專利範圍第 5 項之半導體裝置，其中該電容器之該上電極及該下電極係由 TiN 薄膜所形成，且二氧化鈦薄膜係存在於該 TiN 薄膜及該二氧化鋯薄膜之間的界面。
7. 如申請專利範圍第 1 項之半導體裝置，其中該介電膜在二氧化鈦薄膜中包含該至少一 Al 摻雜層之至少一者，且該二氧化鈦薄膜具有金紅石結構。
8. 如申請專利範圍第 7 項之半導體裝置，其中該電容器之該下電

極在至少一表面層中具有 RuO_2 。

9. 如申請專利範圍第 1 項之半導體裝置，其中該介電膜之等效氧化物厚度(equivalent oxide thickness)：EOT 等於或小於 0.9 nm。

10. 如申請專利範圍第 1 項之半導體裝置，其中該電容器之該下電極具有空間結構，該空間結構具有 20 以上的高寬比。

11. 一種吸附位置阻斷原子層沉積法，其藉由原子層沉積法在基底材料上沉積與該基底材料不同的第一材料，該方法包含：

在薄膜形成空間中引進包含作為該第一材料的來源之第一前驅物的第一來源氣體之前，在該薄膜形成空間中引進包含阻斷劑分子的第二來源氣體，該阻斷劑分子具有對該第一前驅物而言之低親和力的基，並藉由在該基底材料上吸附該阻斷劑分子而在該基底材料上限制該第一前驅物之吸附位置，

清除該第二來源氣體，

在該薄膜形成空間中引進該第一來源氣體，並在受限於該基底材料上的該吸附位置上吸附該第一前驅物，

清除該第一來源氣體，及

在該薄膜形成空間中引進反應氣體，並使該反應氣體至少與待轉換成該第一材料的該第一前驅物反應。

12. 如申請專利範圍第 11 項之吸附位置阻斷原子層沉積法，其中該阻斷劑分子包含易於吸附在該基底材料上的基、及相對難以吸附在該基底材料上的基，該阻斷劑分子自身執行定向吸附，使得難以吸附的該基朝向外側自組織，且難以吸附的該基為具有對於該第一前驅物而言之低親和力的基，用以阻斷該第一前驅物吸附至該阻斷劑分子。

13. 如申請專利範圍第 12 項之吸附位置阻斷原子層沉積法，其中

該基底材料為金屬氧化物，

該阻斷劑分子為金屬複合物，該金屬複合物具有構成該基底材料之該金屬氧化物的金屬原子，並具有容易吸附在該基底材料上的基、及作為取代基或配位基的相對難以吸附在該基底材料上的基，且

該反應氣體為氧化性氣體，且該反應氣體與該阻斷劑分子反應以形成其中該第一材料摻雜在該基底材料之該金屬氧化物中的薄膜。

14. 如申請專利範圍第 11 項之吸附位置阻斷原子層沉積法，其中該阻斷劑分子為與單環戊二烯環配位並具有複數個極性基的單環戊二烯基金屬複合物，該單環戊二烯環未被取代或由取代基所取代。

15. 如申請專利範圍第 14 項之吸附位置阻斷原子層沉積法，其中該單環戊二烯基金屬複合物為環戊二烯基三(二甲基胺基)鋯、甲基環戊二烯基三(二甲基胺基)鋯、或甲基環戊二烯基三(二甲基胺基)鈦。

16. 一種半導體裝置之製造方法，該半導體裝置包含在下電極及上電極之間具有介電膜的電容器，該方法包含：

藉由原子層沉積法在該下電極上形成該介電膜；及
在該介電膜上形成該上電極，

其中該介電膜包含由相同材料所形成的第一介電膜及第二介電膜、及插入於該第一介電膜及該第二介電膜之間的 Al 摻雜層，
及

形成該 Al 摻雜層依序包含：

(1) 引進包含阻斷劑分子的第二來源氣體，該阻斷劑分子具有對於 Al 前驅物而言之低親和力的基，並在該第一介電膜上吸附該阻斷劑分子，

- (2) 清除該第二來源氣體，
- (3) 在未吸附該阻斷劑分子的該第一介電膜之吸附位置上吸附包含該 Al 前驅物的第一來源氣體，
- (4) 清除該第一來源氣體，
- (5) 藉由供應反應氣體以與吸附在該第一介電膜上的該阻斷劑分子及該 Al 前驅物反應而氧化至少在該 Al 前驅物中的 Al 原子，及
- (6) 清除該反應氣體之未反應部份及副產物。

17. 如申請專利範圍第 16 項之半導體裝置之製造方法，其中該阻斷劑分子包含容易吸附在該第一介電膜上的基、及相對難以吸附在該第一介電膜上的基，該阻斷劑分子自身執行定向吸附，使得難以吸附的該基朝向外側自組織，且難以吸附的該基為具有對於該 Al 前驅物而言之低親和力的基以阻斷該 Al 前驅物吸附至該阻斷劑分子。

18. 如申請專利範圍第 16 項之半導體裝置之製造方法，其中該阻斷劑分子為金屬複合物，該金屬複合物具有構成該第一介電膜的金屬原子 M，並具有容易吸附的基、及作為取代基或配位基的相對難以吸附的基，且

該反應氣體與該阻斷劑分子反應以形成構成該第一介電膜的金屬氧化物。

19. 如申請專利範圍第 16 項之半導體裝置之製造方法，其中該阻斷劑分子為單環戊二烯基金屬複合物，該單環戊二烯基金屬複合物具有構成該第一介電膜的金屬原子 M、極性基、及未被取代或由取代基所取代的環戊二烯環，且該反應氣體與該阻斷劑分子反應以形成金屬氧化物，該金屬氧化物構成該第一介電膜。

20. 如申請專利範圍第 16 項之半導體裝置之製造方法，其中該 Al

前驅物為三甲基鋁。

21. 如申請專利範圍第 20 項之半導體裝置之製造方法，其中該第一介電膜及該第二介電膜係由二氧化鋯薄膜所形成，且該阻斷劑分子為環戊二烯基三(二甲基胺基)鋯或甲基環戊二烯基三(二甲基胺基)鋯。

22. 如申請專利範圍第 21 項之半導體裝置之製造方法，其中該第一介電膜及該第二介電膜係藉由使用該阻斷劑分子作為前驅物的原子層沉積法形成。

23. 如申請專利範圍第 22 項之半導體裝置之製造方法，其中該電容器之該上電極及該下電極係由 TiN 薄膜所形成，且更包含在該 TiN 薄膜及該二氧化鋯薄膜之間的介面形成二氧化鈦薄膜。

24. 如申請專利範圍第 20 項之半導體裝置之製造方法，其中該第一介電膜及該第二介電膜係由二氧化鈦薄膜所形成，且該阻斷劑分子為甲基環戊二烯基三(二甲基胺基)鈦。

25. 如申請專利範圍第 24 項之半導體裝置之製造方法，其中該第一介電膜及該第二介電膜係藉由使用該阻斷劑分子作為前驅物的原子層沉積法形成。

26. 如申請專利範圍第 24 項之半導體裝置之製造方法，其中該電容器之該下電極係由 RuO₂ 所形成。

27. 如申請專利範圍第 16 項至第 26 項中任一項之半導體裝置之製造方法，其中該 Al 摻雜層係形成為該介電膜中之至少一層，且一層之薄膜形成係藉由僅執行一循環之該步驟(1)至(6)而進行。

28. 如申請專利範圍第 27 項之半導體裝置之製造方法，其中該 Al 摻雜層之一層中的 Al 原子之面積密度小於 $1.4E+14$ 原子/cm²。
29. 如申請專利範圍第 28 項之半導體裝置之製造方法，其中該 Al 摻雜層之一層中的 Al 原子之面積密度等於或小於 $1.0E+14$ 原子/cm²。
30. 如申請專利範圍第 27 項之半導體裝置之製造方法，其中包含於該介電膜中的 Al 原子濃度係於自 0.2 至 2 原子%的範圍內，該 Al 原子濃度為由關於構成該介電膜的金屬原子 M 之 $Al/(Al+M)$ 所代表的原子數之比率。
31. 如申請專利範圍第 16 項之半導體裝置之製造方法，其中該電容器之該下電極具有空間結構，該空間結構具有 20 以上的高寬比。

八、圖式：

28. 如申請專利範圍第 27 項之半導體裝置之製造方法，其中該 Al 摻雜層之一層中的 Al 原子之面積密度小於 $1.4E+14$ 原子/cm²。
29. 如申請專利範圍第 28 項之半導體裝置之製造方法，其中該 Al 摻雜層之一層中的 Al 原子之面積密度等於或小於 $1.0E+14$ 原子/cm²。
30. 如申請專利範圍第 27 項之半導體裝置之製造方法，其中包含於該介電膜中的 Al 原子濃度係於自 0.2 至 2 原子%的範圍內，該 Al 原子濃度為由關於構成該介電膜的金屬原子 M 之 $Al/(Al+M)$ 所代表的原子數之比率。
31. 如申請專利範圍第 16 項之半導體裝置之製造方法，其中該電容器之該下電極具有空間結構，該空間結構具有 20 以上的高寬比。

八、圖式：

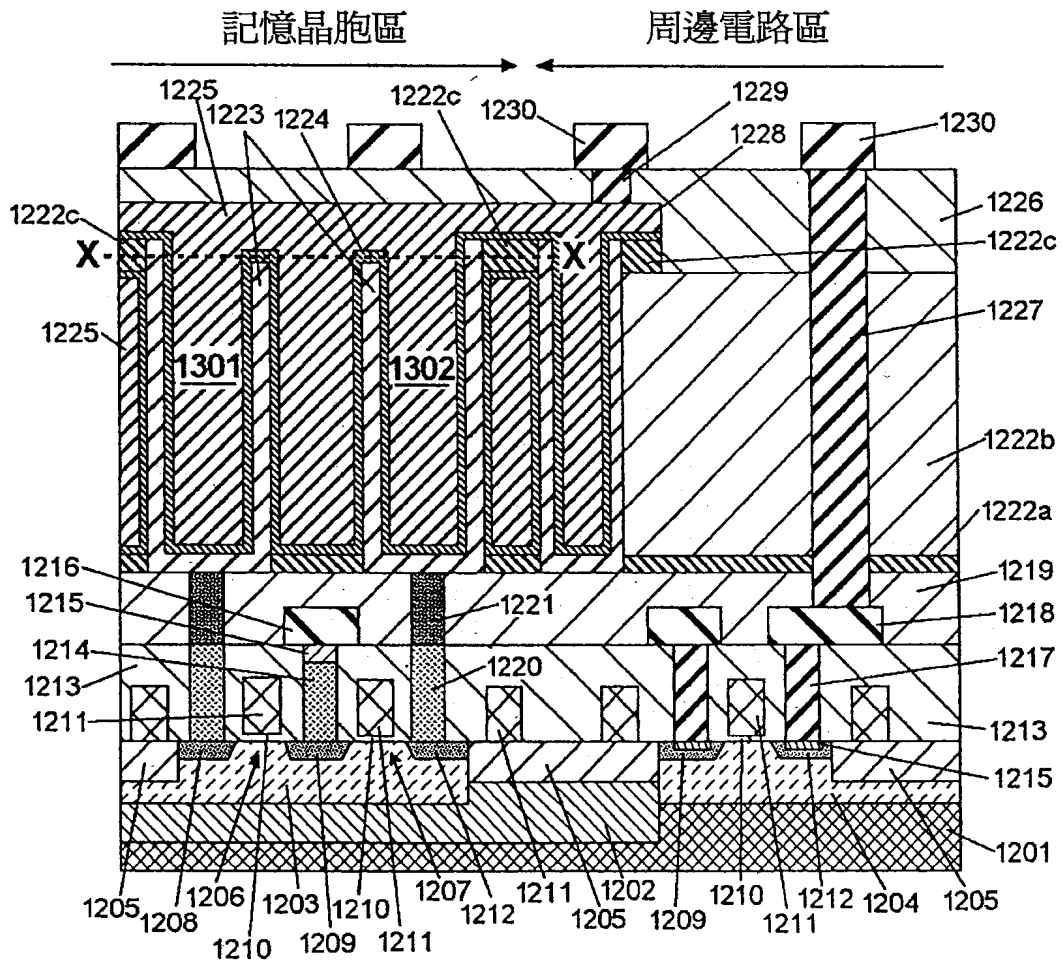


圖 16

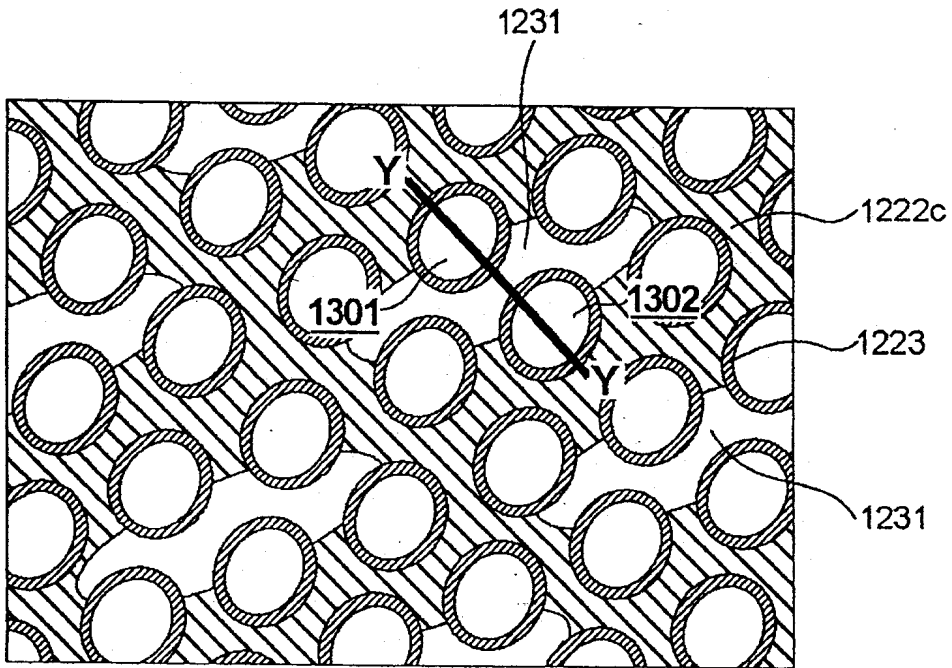


圖 17