



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년09월09일
(11) 등록번호 10-1306514
(24) 등록일자 2013년09월03일

(51) 국제특허분류(Int. C1.)
H01L 21/3065 (2006.01) H01L 21/205
(2006.01)
(21) 출원번호 10-2008-7000427
(22) 출원일자(국제) 2006년07월12일
심사청구일자 2011년06월10일
(85) 번역문제출일자 2008년01월07일
(65) 공개번호 10-2008-0034119
(43) 공개일자 2008년04월18일
(86) 국제출원번호 PCT/JP2006/313831
(87) 국제공개번호 WO 2007/007782
국제공개일자 2007년01월18일

(30) 우선권주장
JP-P-2005-00206071 2005년07월14일 일본(JP)

(56) 선행기술조사문현

WO2004003962 A1

JP2004523649 A

JP평성11265871 A

전체 청구항 수 : 총 10 항

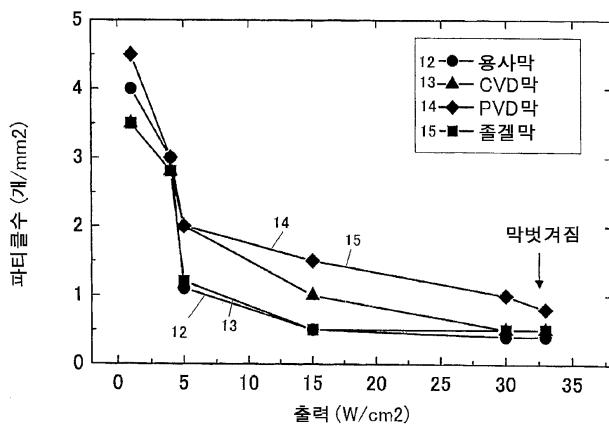
심사관 : 박귀만

(54) 발명의 명칭 다층 구조체 및 그 세정 방법

(57) 요 약

대형 세라믹스 부재를 신속하고 또한 경제적으로 제공하는 것은 곤란한 상황이 되어 있다. 비교적 제조하기 쉬운 재료에 의해 형성된 기재 상에, 세라믹스 막을 제막함으로써, 다층 구조체를 구성한다. 세라믹스막은 플라즈마 용사, CVD, PVD 또는 쿨·겔법 등 또는 용사막과의 조합에 의한 방법에 의해 성막된다.

대 표 도



(72) 발명자

모리나가 히토시

일본 미야기켄 센다이시 아오바쿠 가타히라 2쵸메
1방 1고고쿠리츠다이가쿠호진 도호쿠다이가쿠 나이

기시 유키오

일본 미야기켄 센다이시 이즈미쿠 아케도리 3쵸메
5방가부시키가이샤 니혼 세라黜꾸 나이

오타키 히로미치

일본 미야기켄 센다이시 이즈미쿠 아케도리 3쵸메
5방가부시키가이샤 니혼 세라黜꾸 나이

츠타이 요시후미

일본 미야기켄 센다이시 이즈미쿠 아케도리 3쵸메
5방가부시키가이샤 니혼 세라黜꾸 나이

특허청구의 범위

청구항 1

기재와 당해 기재 표면에 형성된 산화물세라믹스막을 구비한 다층 구조체에 있어서,

초순수에 수소, 암모니아, 이산화탄소로 이루어지는 군에서 선택된 가스를 용해시킨 용액을 준비하여, 이 용액에 5W/cm^2 이상 30W/cm^2 미만의 초음파를 인가하고, 노즐형 세정 장치를 사용하여 초음파 세정을 실시하여, 상기 산화물세라믹스막 상에는, $0.2\mu\text{m}$ 이상의 입경을 갖는 파티클 부착수가 1mm^2 당 2 개 이하인 것을 특징으로 하는 다층 구조체.

청구항 2

제 1 항에 있어서,

상기 기재는 세라믹스, 금속 또는 그들의 복합재에 의해 형성되어 있는 것을 특징으로 하는 다층 구조체.

청구항 3

삭제

청구항 4

제 1 항에 있어서,

상기 산화물세라믹스막은 용사에 의해 상기 기재 상에 퇴적된 용사막인 것을 특징으로 하는 다층 구조체.

청구항 5

제 1 항에 있어서,

상기 산화물세라믹스막은 CVD 법에 의해 상기 기재 상에 퇴적된 산화물세라믹스막인 것을 특징으로 하는 다층 구조체.

청구항 6

제 1 항에 있어서,

상기 산화물세라믹스막은 PVD 법에 의해 상기 기재 상에 퇴적된 산화물세라믹스막인 것을 특징으로 하는 다층 구조체.

청구항 7

제 1 항에 있어서,

상기 산화물세라믹스막은 졸겔법에 의해 상기 기재 상에 퇴적된 산화물세라믹스막인 것을 특징으로 하는 다층 구조체.

청구항 8

제 1 항에 있어서,

상기 산화물세라믹스막은 용사막 상에 CVD 법, PVD 법 및 졸겔법 중에서 선택된 적어도 1 종의 방법으로 이루어지는 것을 특징으로 하는 다층 구조체.

청구항 9

제 2 항에 있어서,

상기 산화물세라믹스막의 부착 강도가 10MPa 이상인 것을 특징으로 하는 다층 구조체.

청구항 10

기재와 당해 기재 표면에 형성된 산화물세라믹스막을 구비한 다층 구조체를 세정하는 세정 방법에 있어서,

초순수에 수소, 암모니아, 이산화탄소로 이루어지는 군에서 선택된 가스를 용해시킨 용액을 준비하여, 이 용액에 $5\text{W}/\text{cm}^2$ 이상 $30\text{W}/\text{cm}^2$ 미만의 초음파를 인가시킴으로써 상기 산화물세라믹스막을 세정하는 공정을 포함하는 것을 특징으로 하는 다층 구조체의 세정 방법.

청구항 11

제 10 항에 있어서,

상기 초음파 세정은 노즐형 세정 장치를 사용하여 실시되는 것을 특징으로 하는 다층 구조체의 세정 방법.

청구항 12

삭제

명세서

기술 분야

[0001] 본 발명은, 전자 디바이스의 드라이 프로세스용, 의료품 제조용, 식료품 가공·제조 등의 높은 청정성이 요구되는 환경에 사용되는 부품, 부재로서 사용되는 구조체 및 그 세정 방법에 관한 것이다.

배경 기술

[0002] 반도체는 집적도의 향상에 수반하여 디자인 룰의 미세화가 진행되어 허용되는 부착물이나 금속 오염은 크기 및 양은 작고, 적게 하는 것이 요구되고 있다. 또 의료품이나 식료품 등의 위생적인 관점에서 부착물이나 금속 오염은 저감시키는 것이 필요해지고 있다. 통상적으로, 금속 등의 오염을 꺼리는 이들 구조체에는 부재로서 세라믹스가 채용되어 왔다. 특히 반도체 및 액정 제조 장치를 구성하는 구조체는 웨이퍼, 패널의 대형화에 수반하여 대형화 경향이 있다.

[0003] 여기서, 반도체 제조 장치로서 마이크로파 플라즈마 처리 장치를 예로 들어 설명하면, 당해 마이크로파 플라즈마 처리 장치는 처리실, 처리실 내에 배치되어, 피처리 기반을 유지하는 유지대, 피처리 기반과 대향되는 위치에 형성된 샤크 플레이트, 샤크 플레이트 상에 배치된 커버 플레이트, 및 커버 플레이트 상에 형성된 래디얼 로드 안테나를 구비하고 있다. 샤크 플레이트는, 다수의 가스 분출공을 구비한 알루미나에 의해 형성된 플레이트로 구성되어 있고, 한편, 커버 플레이트도 알루미나로 형성되어 있다. 또한, 처리실 내의 내벽도 알루미나나 플라즈마에 대한 내식성의 관점에서 이트리아로 형성되는 것도 고려되고 있다.

[0004] 이와 같이, 반도체 제조 장치 내의 각종 부재를 알루미나 등의 세라믹스로 형성했을 경우, 소성 연삭, 연마 등의 다방면에 걸친 제조 공정에 있어서 유기물 오염, 금속 오염 및 미립자 부착에 의한 오염이 세라믹스 부재에 발생되는 것이 지적되어 있고, 이들의 오염이 잔존하는 부재에 웨이퍼, 액정 패널이 직접 접촉되면 웨이퍼, 액정 패널 표면에 오염이 퇴적되어, 회로 불량을 발생시키는 원인이 된다. 또 접촉시킴으로써 웨이퍼 중에 불순물이 확산되는 것도 지적되고 있다.

[0005] 따라서 높은 수율로 반도체나 액정 패널을 얻기 위해서는 파티클, 금속의 부착을 최대한 억제시킬 필요가 있다.

[0006] 반도체 제조 장치를 구성하는 각종 부재에 대한 고청정화의 요구는 웨이퍼 및 액정 패널의 대형화와 함께 향후, 더욱 강해질 경향이다.

[0007] 본 발명자 등은 먼저, 특히 문헌 1에 있어서, 반도체 제조 장치의 각종 부재를 구성하는 세라믹스 부재의 세정 방법을 제안하였다. 이 세정 방법에 의하면, 세라믹스 부재의 표면을 청정화시킬 수 있다. 구체적으로 설명하면, 특히 문헌 1에서 제안한 세라믹스 부재의 세정 방법은, 고청정 스펀지 또는 브러쉬에 의한 와이핑, 탈지액에 의한 초음파 세정, 유기 약제에서의 침지 세정, 오존수에 의한 초음파 세정, SPM 세정 및 HF/HNO_3 세정 중 적어도 어느 한 방법에 의해, 세라믹스 부재의 전(前) 세정을 실시한다.

[0008] 또한, 이 세정 방법에서는 전 세정을 실시한 후, 오존수에 의한 세정, pH를 알칼리성으로 제어한 수소를 함유하는 순수에 의한 초음파와 HF, SPM, HPM, HNO_3/HF 에서 선택되는 적어도 어느 하나를 사용하여 세정을 실시하고, 마지막에 수소를 함유하는 순수, 오존수, 초순수에서 선택되는 1종을 사용한 초음파 세정을 실시한다.

- [0009] 상기한 세정 방법에 의해, 세라믹스 부재를 세정함으로써, 세라믹스 부재 표면에 있어서의 $0.2\mu m$ 이상인 입경을 갖는 파티클을 $1mm^2$ 당 2 개 이하로 할 수 있다.
- [0010] 따라서, 특히 문헌 1에 의해 세정된 세라믹스 부재 표면은, 매우 청정하기 때문에 웨이퍼 및 액정 패널의 수율을 현저하게 개선시킬 수 있다.
- [0011] 전술한 바와 같이, 반도체 제조 장치의 대형화와 함께 당해 반도체 제조 장치에 사용되는 각종 세라믹스 부재도 대형화되는 것은 피할 수 없다. 그러나, 세라믹스 부재는 $1000^\circ C$ 이상의 고온에서 소성시켜 제조되기 때문에, 소성 중에 있어서의 수축이 불가피적으로 발생한다. 그 결과, 세라믹스 부재가 대형화되는 만큼 치수 정밀도를 산출하기 곤란해진다. 또한, 세라믹스 부재가 대형화되면, 장시간에 걸친 소성이 필요해지기 때문에, 대형이고 또한 정밀한 치수를 갖는 세라믹스 부재를 단시간에 또한 경제적으로 제조하는 것은 어렵다.
- [0012] 이 때문에, 세라믹스 부재 단체로 대형화의 요구에 신속히 대응하는 것은 실제로는 어려운 상황이다.
- [0013] 특히 문헌 1 : 일본 공개특허공보 2005-279481호
- [0014] 특히 문헌 2 : 일본 공개특허공보 평5-339699호
- [0015] 특히 문헌 3 : 일본 공개특허공보 평5-202460호

발명의 상세한 설명

- [0016] 발명의 개시
- [0017] 발명이 해결하고자 하는 과제
- [0018] 본 발명의 일 목적은, 반도체 제조 장치 등의 대형화 요구에 대응하여, 세라믹스 부재와 동등한 작용·효과, 예를 들어 절연성, 예칭 환경에서의 내식성이나 경량화를 나타내고, 또한 매우 청정한 표면을 구비한 구조체를 제공하는 것에 있다.
- [0019] 본 발명의 다른 목적은, 세라믹스 부재 단체로 반도체 제조 장치 등의 부재를 구성했을 경우에 있어서의 부담을 경감화하기 위해서, 다층 구조를 갖는 구조체를 제공하는 것에 있다.
- [0020] 본 발명의 또 다른 목적은, 청정도를 높이기 위한 세정을 실시해도 박리 등이 발생하지 않는 표면층을 구비한 다층 구조체를 제공하는 것에 있다.
- [0021] 본 발명 그 외의 목적은, 다층 구조체의 표면을 형성하는 표면층으로서, 부착 강도가 높은 세라믹스층을 퇴적시키는 방법을 제공하는 것에 있다.
- [0022] 본 발명의 그 밖의 과제는, 청정도가 높은 세라믹스 표면을 얻기 위한 세정 방법을 제공하는 것에 있다.
- [0023] 과제를 해결하기 위한 수단
- [0024] 본 발명자 등은, 세라믹스 부재 단체로 반도체 제조 장치용 세라믹스 부재를 구성하는 대신에, 다층 구조를 갖는 구조체에 대해서 연구하였다. 구체적으로 말하면, 기재 상에 막 (구체적으로는 세라믹스막) 을 퇴적시킨 다층 구조체에 대해서 검토하고, 기재 상에 퇴적되는 세라믹스막의 퇴적 방법 및 세정 방법의 개선에 대해서, 특히 문헌 1에 나타낸 세라믹스 부재 표면과 동등한 표면을 갖는 구조체가 얻어지는 것이 판명되었다.
- [0025] 본 발명의 제 1 양태에 의하면, 기재와 당해 기재 표면에 형성된 막을 구비한 다층 구조체에 있어서, 상기 막 상에는 $0.2\mu m$ 이상의 입경을 갖는 파티클 부착수가 $1mm^2$ 당, 2 개 이하인 것을 특징으로 하는 다층 구조체가 얻어진다.
- [0026] 본 발명의 제 2 양태에 의하면, 제 1 양태에 있어서, 상기 기재는 세라믹스, 금속 또는 그들의 복합재에 의해 형성되어 있는 것을 특징으로 하는 다층 구조체가 얻어진다.
- [0027] 본 발명의 제 3 양태에 의하면, 제 2 양태에 있어서, 상기 막은 세라믹스막인 것을 특징으로 하는 다층 구조체가 얻어진다.
- [0028] 본 발명의 제 4 양태에 의하면, 제 3 양태에 있어서, 상기 세라믹스막은 용사에 의해 상기 기재 상에 퇴적된 용사막인 것을 특징으로 하는 다층 구조체가 얻어진다.
- [0029] 본 발명의 제 5 양태에 의하면, 제 4 양태에 있어서, 상기 세라믹스막은 CVD 법에 의해 상기 기재 상에 퇴적

된 세라믹스막인 것을 특징으로 하는 다층 구조체가 얻어진다.

- [0030] 본 발명의 제 6 양태에 의하면, 상기 세라믹스막은 PVD 법에 의해 상기 기재 상에 퇴적된 세라믹스막인 것을 특징으로 하는 다층 구조체가 얻어진다.
- [0031] 본 발명의 제 7 양태에 의하면, 상기 세라믹스막은 콜겔법에 의해 상기 기재 상에 퇴적된 세라믹스막인 것을 특징으로 하는 다층 구조체가 얻어진다.
- [0032] 본 발명의 제 8 양태에 의하면, 상기 세라믹스막이 용사막 상에 제 5 항 내지 제 7 항에 기재된 어느 한 방법에 의해 퇴적된 세라믹스막인 것을 특징으로 하는 다층 구조체가 얻어진다.
- [0033] 본 발명의 제 9 양태에 의하면, 세라믹스막의 부착 강도가 10MPa 이상인 것을 특징으로 하는 다층 구조체가 얻어진다.
- [0034] 본 발명의 제 10 양태에 의하면, 기재와 당해 기재 표면에 형성된 막을 구비한 다층 구조체를 설정하는 방법에 있어서, 5W/cm² 이상 30W/cm² 이하의 초음파를 인가시킴으로써 상기 막을 설정하는 공정을 포함하는 것을 특징으로 하는 다층 구조체의 설정 방법이 얻어진다.
- [0035] 본 발명의 제 11 양태에 의하면, 제 10 양태에 있어서, 상기 초음파 설정은 노즐형 설정 장치를 사용하여 실시되는 것을 특징으로 하는 다층 구조체의 설정 방법이 얻어진다.
- [0036] 본 발명의 제 12 양태에 의하면, 제 10 및 제 11 양태 중 어느 한 양태에 있어서, 상기 초음파 설정은 초순수에 수소, 이산화탄소, 암모니아로 이루어지는 군에서 선택된 가스를 용해시킨 용액을 준비하여, 당해 용액에 초음파를 가함으로써 실시되는 것을 특징으로 하는 다층 구조체의 설정 방법이 얻어진다.

발명의 효과

- [0038] 본 발명에 의하면, 표면에 세라믹스층을 구비한 층 구조의 구조체로 함으로써, 구조 부재의 대형화에 신속하고 또한 경제적으로 대응할 수 있는 효과가 있다. 또한, 기재에 퇴적된 세라믹스층에 대해서, 고정정 설정을 실시할 수 있기 때문에, 높은 청정성을 유지할 수 있다. 또, 퇴적된 세라믹스층의 부착 강도는 높기 때문에, 고정정 설정에 있어서, 5W/cm² 이상 30W/cm² 이하의 초음파를 인가시켜도, 박리 등이 발생하는 일이 없다.

실시 예

- [0051] 이하, 본 발명의 실시예에 대해서 설명한다.
- [0052] 도 1 은, 본 발명에 있어서의 각종 제법에 의한 Y₂O₃ 막의 고정정 설정에서의 파티클수와 초음파 출력 관계도이다. 도 1 에 나타내는 바와 같이, 퇴적된 세라믹스층의 부착 강도는 높기 때문에, 고정정 설정을 위해서 5W/cm² 이상 30W/cm² 이하의 초음파를 인가시켜도, 박리 등이 발생하는 일이 없다.
- [0053] 도 2 를 참조하면, 본 발명의 제 1 실시예에 관련되는 다층 구성체는, 예를 들어 기재 (10) 와, 당해 기재의 표면에 이트리아를 플라즈마 용사에 의해 퇴적된 세라믹층 (11 ; 즉, 플라즈마 용사된 Y₂O₃ 층) 을 구비하고 있다. 여기에서는, 기재 (10) 로서, 직경 40mm, 두께 3mm 인 알루미늄 합금을 사용하여, 당해 기재 (10) 표면에 세라믹스층 (11) 으로서 플라즈마 용사막이 성막되어 있다. 도시된 플라즈마 용사막은 두께 200μm 인 Y₂O₃ 층이다. 플라즈마 용사에는, 예를 들어, 특히 문헌 2 또는 특히 문헌 3 에 기재된 용사 장치를 사용할 수 있다.
- [0054] 세라믹스막은 내플라즈마성의 관점에서 반도체 제조 장치용으로는 Y₂O₃, Al₂O₃, MgO 및 그 화합물이 바람직하다.
- [0055] 삭제

- [0056] 도시된 예는, 알루미늄 합금 기재 (10) 의 표면에, 직접 세라믹스층 (11) 을 형성하고 있지만, 알루미늄 합금 기재 (10) 의 표면을 양극 산화하여, 양극 산화막을 형성한 후, 플라즈마 용사막이 성막되어도 된다. 즉, 기재 (10) 상에 형성되는 층은 복합층이어야 한다.

- [0057] 통상적으로, 플라즈마 용사에 의해 성막된 플라즈마 용사막은, 치밀한 세라믹스층은 얻어지지 않고, 통상적인 설정 수법에서는, 제조 공정에서 유래하는 부착물 등이 기공에 잔존하기 때문에, 고품질이 요구되는 부재를 형

성하기에는 적합하지 않았다. 그러나, 본 발명자 등의 연구에 의하면, 개발된 세정 방법에서는 막의 박리나 결손을 발생시키는 일 없이 반도체 제조 장치용 부재로서 충분히 사용할 수 있는 다층 구조체가 얻어진다.

[0058] 파티클의 정량 평가는 이하와 같이 실시하였다.

[0059] 도 3에 나타내는 형상의 시료를 사용하여, 경면 가공된 세라믹스막면을 세정 전후에 실리콘 웨이퍼에 0.107Pa(약 0.8mTorr) 이하 2분간 흡착 전사시켜, 시료 표면 상의 부착 파티클을 웨이퍼측으로 전사시킨다. 그 후, 실리콘 웨이퍼 상의 파티클을 파티클 카운터(텐콜제 Surfscan 6420)로 계측하였다.

[0060] 세정은 먼저 육안으로 확인할 수 있는 잡부착물을 순수 중에서 초음파 세정으로 제거한 후, 클린룸용 스펀지 및 탈지액을 사용하여 전 세정을 실시한 시료에 대해서, 세정 공정 1 ~ 4로 이루어지는 세정을 실시하였다. 제 1 세정 공정은, 유기물 제거 공정으로, 오존 용해 초순수가 효과적이다. 제 2 공정은 수소, 암모니아, 이산화탄소로 이루어지는 군에서 선택된 가스를 용해시킨 초순수를 사용하고, 노즐형 초음파 세정 장치를 사용한 세정(노즐이라고 약칭함) : 배스형 초음파 세정 장치를 사용한 세정(배스라고 약칭함) 방법에서, 적어도 하나를 선택하여 세정하는 공정이다. 제 3 공정은 금속 제거 공정이고, 제 4 공정은 린스 공정이며, 초순수에서만 또는 수소, 암모니아, 이산화탄소로 이루어지는 군에서 선택된 가스를 용해시킨 초순수에서의 린스이다.

[0061] 하기 표 1 내지 표 4에, 파티클의 계측 결과 및 본 발명의 실시예에 대해서 각각 적용시킨 초음파 세정 조건과 함께 나타내었다.

표 1

No.	제작방법	기재	막	초음파 세정수법	출력 W/cm ²	파티클수 개/mm ²	막결손 ○:무, ×:유	류별	비고
1	용사	AI 합금	Y_2O_3	노즐형	1	4	○	비교예	
2					4	3.0	○		
3					5	1.1	○		실시예
4					15	0.5	○		
5					30	0.4	○		
6					33	0.4	×		막벗겨짐
7			배스형	배스형	1	5.0	○	비교예	
8					4	3.0	○		
9					5	1.5	○		실시예
10			세라믹스	Al_2O_3	4	3.0	○		비교예
11					5	1.3	○		
12					15	1.1	○		실시예
13					30	1.0	○		
14					33	1.0	×		막벗겨짐
15					1	4.5	○	비교예	
16					4	3.0	○		
17					5	1.5	○		실시예
18			Y_2O_3	노즐형	4	3.0	○	비교예	
19					5	1.1	○		실시예
20					15	0.7	○		
21					4	3.0	○		비교예
22					5	1.5	○		실시예
23	금속 세라믹스 복합체	Y_2O_3	노즐형	노즐형	4	6.0	○	비교예	
24					5	2.0	○		
25					15	1.5	○		실시예
26					30	1.0	○		
27					33	1.0	×		비교예 막벗겨짐

[0062]

표 2

No.	제작방법	기재	막	초음파 세정수법	출력 W/cm ²	파티클수 개/mm ²	막결손 ○:무, ×:유	류별	비고	
28	CVD	세라믹스	Y ₂ O ₃	노즐형	1	3.5	—	비교예		
29					4	2.8	○			
30					5	2.0	○			
31					15	1.0	○	실시예		
32					30	0.5	○			
33			배스형		33	0.5	×	비교예	막벗겨짐	
34					4	3.0	○			
35					5	2.0	○	실시예		
36			Al ₂ O ₃	노즐형	4	2.5	○	비교예		
37					5	2.0	○			
38					15	0.5	○	실시예		
39					5	1.0	○			
40					15	0.5	○			
41			Si	Y ₂ O ₃	4	2.5	○	비교예		
42					5	1.5	○	실시예		
43					15	0.5	○			
44					4	4.0	○	비교예		
45					5	2.0	○	실시예		
46			SUS	노즐형	4	3.0	○	비교예		
47					5	1.5	○	실시예		
48					15	0.5	○			

[0063]

표 3

No.	제작방법	기재	막	초음파 세정수법	출력 W/cm ²	파티클수 개/mm ²	막결손 ○:무, ×:유	류별	비고	
49	PVD	세라믹스	Y ₂ O ₃	노즐형	1	4.5	○	비교예		
50					4	3.0	○			
51					5	2.0	○			
52					15	1.5	○	실시예		
53					30	1.0	○			
54			배스형		33	0.8	×	비교예	막벗겨짐	
55					4	3.5	○			
56					5	2.0	○	실시예		
57			Al ₂ O ₃	노즐형	4	3.0	○	비교예		
58					5	2.0	○			
59					15	1.0	○	실시예		
60					5	1.0	○			
61					15	0.5	○			
62			AI 합금	Y ₂ O ₃	4	2.5	○	비교예		
63					5	1.5	○			
64					15	0.5	○	실시예		
65					4	4.0	○	비교예		
66					5	2.0	○	실시예		
67			노즐형		4	3.0	○	비교예		
68					5	1.5	○			
69					15	0.5	○	실시예		

[0064]

표 4

No.	제작방법	기재	막	초음파 세정수법	출력 W/cm ²	파티클수 개/mm ²	막결손 ○:무, ×:유	류별	비고	
70	풀결	세라믹스	Y ₂ O ₃	노즐형	1	3.5	○	실시예		
71					4	2.8	○	비교예		
72					5	1.2	○			
73					15	0.5	○	실시예		
74					30	0.5	○			
75			배스형		33	0.5	×	비교예	막벗겨짐	
76					4	3.0	○			
77					5	1.5	○	실시예		
78			Al ₂ O ₃	노즐형	4	2.5	○	비교예		
79					5	1.5	○			
80					15	1.0	○	실시예		
81			SUS		5	1.5	○			
82					15	0.8	○			
83			AI 합금		4	2.5	○	비교예		
84					5	1.5	○	실시예		
85					15	0.5	○			
86			Y ₂ O ₃	배스형	4	3.5	○	비교예		
87					5	1.5	○	실시예		
88					4	2.5	○	비교예		
89			Al ₂ O ₃	노즐형	5	2.0	○	실시예		
90					15	0.7	○			

[0065]

- [0066] 상기 표 1 내지 표 4 를 참조하면, 초음파 출력이 $4\text{W}/\text{cm}^2$ 이하인 경우, 잔존 파티클이 많아 반도체 제조 장치 등의 고정정 환경에서의 사용에는 바람직하지 않다. 초음파 출력이 $5\text{W}/\text{cm}^2$ 이상인 경우, 파티클수는 2 개/ mm^2 까지 감소되어 있고, 또한 초음파 방식으로는 노즐형 방식이 배스형 방식에 비해 파티클 저감에는 효과적이라는 것이 판명되었다. 그러나 초음파 출력이 $30\text{W}/\text{cm}^2$ 를 초과하는 경우에는 세라믹스막의 일부에 박리 등의 문제 가 발생되었다.
- [0067] 실제, 알루미늄 합금 기재 (10) 상에, 플라즈마 용사막 (11) 으로서의 Y_2O_3 막의 평균 밀착력은 JIS H8666 에 준거한 측정 방법에 의해 측정한 결과, 11MPa 이상인 것이 확인되었다. 또한, 기재 (10) 에 복합막을 형성한 경우에도, 최상층을 형성하는 플라즈마 용사막은 12MPa 이상의 부착 강도를 가지고 있었다.
- [0068] 도 4 를 참조하여, 본 발명의 제 2 실시예에 관련되는 다층 구조체를 설명한다. 이 실시예에 관련되는 다층 구조체는, 도 4 에 나타낸 대기 개방형 열 CVD 장치를 사용하여 제작되고, 당해 CVD 장치는 유량계 (21), 기화기 (23) 및 노즐 (25) 을 구비하고, 기재 (10) 를 구성하는 실리콘 웨이퍼는 히터 (27) 상에 탑재 되어 있고, 도시된 실리콘 웨이퍼는 $200\mu\text{m}$ 의 직경을 가지고 있다. 도시되어 있는 바와 같이, 기화기 (23) 및 노즐 (25) 은 히터 (29) 에 의해 덮여 있다.
- [0069] 질소 가스 (N_2) 가 유량계 (21) 를 개재하여 도입되어 있는 기화기 (23) 에는, Y 를 함유하는 유기 금속 착체가 원료로서 저장되어 있고, 당해 원료가 가열에 의해 증발되어 노즐 (25) 을 개재하여 기재 (10) 상으로 인도된다. 그 결과, 기재 (10) 를 형성하는 실리콘 웨이퍼 상에는 Y_2O_3 막이 증착막으로서 증착된다. 이 증착막은 플라즈마 용사막보다 높은 부착 강도를 나타냄과 함께, 파티클 부착수에 있어서도 플라즈마 용사막보다 적은 것을 알 수 있다. 즉, 증착막은 $0.2\mu\text{m}$ 이상의 입경을 갖는 파티클 부착수에서 2 개/ mm^2 이하이고, 또한 10MPa 이상의 부착 강도를 가지고 있었다.
- [0070] 도 5(a) 및 (b) 를 참조하면, 기재로서 실리콘 웨이퍼를 사용하여, 당해 실리콘 웨이퍼상에 Y_2O_3 막을 도 4 에 나타낸 CVD 장치에 의해 성막했을 경우의 단면 및 표면이 나타나 있다. 도시된 Y_2O_3 막은 $2\mu\text{m}$ 의 두께를 가지고, 240°C 의 기화 온도에서 기재 (10) 를 500°C 로 유지한 상태에서 성막되었다. 도 5(a) 및 (b) 로부터 도 명확한 바와 같이, 증착에 의해 성막된 Y_2O_3 막은 매우 평탄한 표면을 가지고 있었다. 이 때문에 시료는 랩 등의 평탄화 가공을 실시하는 일 없이 평가에 사용할 수 있다. 실리콘 웨이퍼 상에의 성막과 동일하게 세라믹스 기재 및 SUS 기재 상에 성막한 시료에 대해서 전술한 방법에 의한 세정을 실시한 결과, 표 1 과 같이 초음파 출력 $5\text{W}/\text{cm}^2$ 이상에서, 용사막과 동일하게 $0.2\mu\text{m}$ 이상인 부착 파티클은 2 개/ mm^2 이하로 저감시킬 수 있었다.
- [0071] 또 PVD 장치에 의해 기판으로서 세라믹스를 사용하여, 당해 세라믹스 기재 상에 Y_2O_3 막을 전자빔을 가열원으로서 증착 성막을 실시하여 시료를 얻었다. 이 시료의 Y_2O_3 막도 상기 CVD 법의 경우와 동일하게 매우 평활한 막이 얻어졌다. 세라믹스 상에의 성막과 동일하게 실리콘 웨이퍼 기재 상 및 Al 기재 상에 성막한 시료에 대해서 전술한 방법에 의한 세정을 실시한 결과, 상기 표 1 과 같이 초음파 출력 $5\text{W}/\text{cm}^2$ 이상에서, 용사막과 동일하게 $0.2\mu\text{m}$ 이상인 부착 파티클은 2 개/ mm^2 이하로 저감시킬 수 있었다.
- [0072] 다음으로, 도 6(a) 및 (b) 를 참조하여, 본 발명의 제 3 실시예에 관련되는 다층 구조체를 설명한다. 다층 구조체는, 도 6(a) 에 나타내는 바와 같이, 기재 (10) 상에, 먼저 스프레이 건 (31) 을 사용하여 세라믹스 전구체 (33) 를 도포한 후, 오븐 (35) 내에서 베이크함으로써 얻어진다. 스프레이 건 (31) 에 의해 형성된 전구체 (33) 를 오븐 (35) 내에서 300°C 정도의 온도에서 베이크함으로써, 고순도이고, 치밀성이 높은 세라믹스막, 예를 들어, Y_2O_3 막이 얻어진다. 이와 같이 하여, Y_2O_3 막을 성막하는 수법을 여기에서는 콜·겔법이라 부르는 것으로 한다.
- [0073] 이 방법에 의하면, 비교적 저온에서, 간단하게 고순도 세라믹스막을 성막할 수 있다. 실제로 알루미늄 기재 (10) 상에 Y_2O_3 막을 형성했을 경우, 기재 (10) 의 Ra 가 $0.18\mu\text{m}$ 일 때, $0.11\mu\text{m}$ 의 Ra 를 갖는 Y_2O_3 막이 얻어진다.
- [0074] 또한, 상기한 예에서는, 스프레이 건 (31) 에 의해 전구체를 도포하는 경우에 대해서 설명했지만, 전구체는 딥 법에 의해 도포되어도 된다.
- [0075] 상기 서술한 실시예에서는, Y_2O_3 막을 성막하는 경우에 대해서 설명했지만, Al_2O_3 막 등, 그 밖의 세라믹스막을

제막하는 경우에도 동일하게 적용시킬 수 있다. 또, 기재로서 알루미나 합금, 알루미늄, 실리콘 기판을 사용한 경우에 대해서 설명했지만, 그 외의 금속, 세라믹스 또는 그들의 복합재를 사용해도 된다.

- [0076] 상기한 실시예에서는, 반도체 제조 장치의 부재, 부품으로서 본 발명에 관련되는 다층 구조체를 사용하는 경우에 대해서만 설명했지만, 본 발명에 관련되는 다층 구조체는 여기에 한정되는 일 없이, 세라믹스 부재의 대체품으로서 각종 장치에 적용할 수 있다. 또, 반도체, 액정 제조 장치 등에 한정되지 않고, 의료품 제조용, 식료품 가공·제조 등의 높은 청정성이 요구되는 환경에 사용되는 부품, 부재로서 사용되는 구조체에도 적용시킬 수 있다.

산업상 이용 가능성

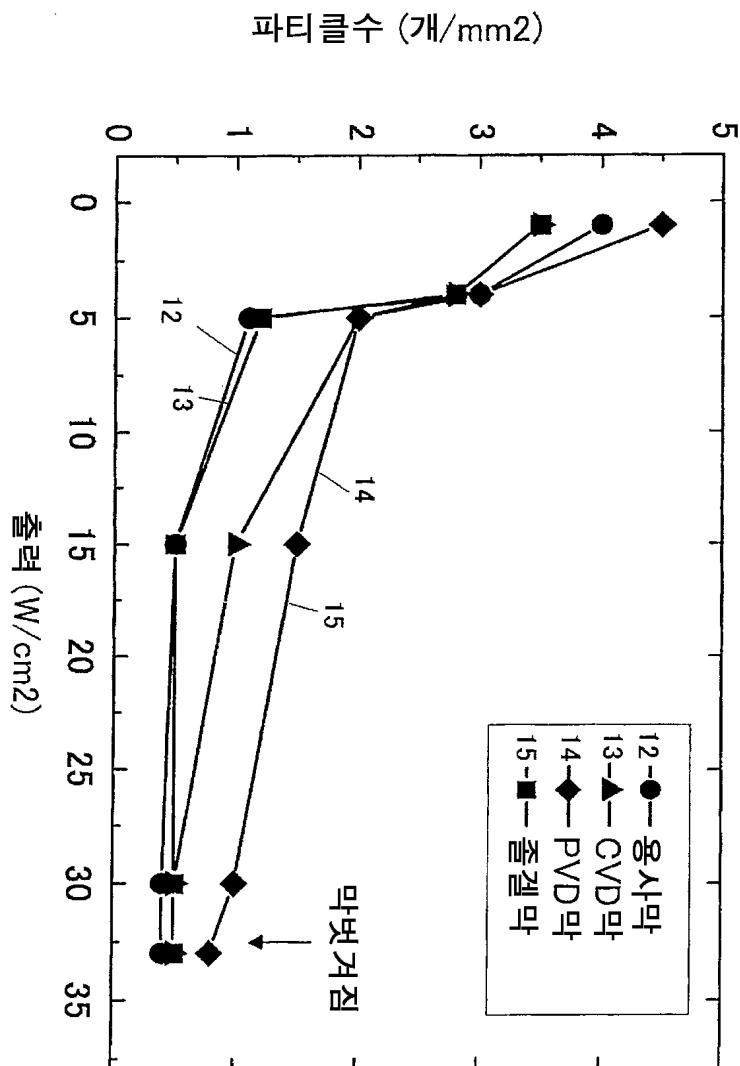
- [0077] 이상 설명한 바와 같이, 본 발명에 관련되는 다층 구조체는 여기에 한정되는 일 없이, 세라믹스 부재의 대체품으로서 각종 장치에 적용할 수 있다. 반도체, 액정 제조 장치 등에 한정되지 않고, 의료품 제조용, 식료품 가공·제조 등의 높은 청정성이 요구되는 환경에 사용되는 부품, 부재로서 사용되는 구조체에도 적용할 수 있다.

도면의 간단한 설명

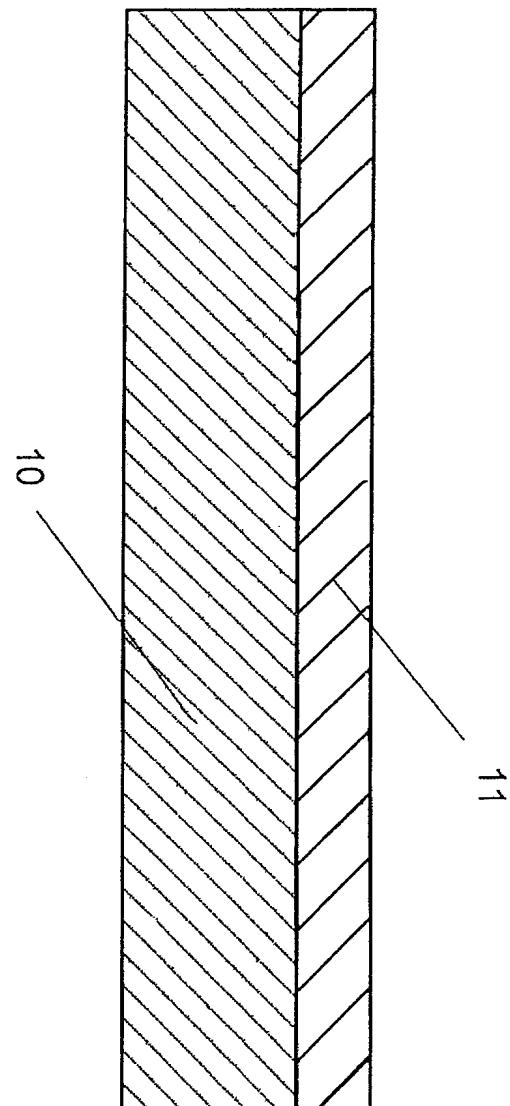
- [0039] 도 1 은 본 발명에 있어서의 각종 제법에 의한 Y_2O_3 막의 고청정 세정에서의 파티클수와 초음파 출력 관계도이다.
- [0040] 도 2 는 본 발명의 제 1 실시예에 관련되는 다층 구조체의 단면도이다.
- [0041] 도 3 은 부착 파티클수를 측정하기 위한 시료 형상도이다.
- [0042] 도 4 는 본 발명의 제 2 실시예에 관련되는 다층 구조체를 형성하는 대기 개방형 열 CVD 장치를 설명하는 개략도이다.
- [0043] 도 5(a) 및 (b) 는 도 4 에 나타낸 CVD 장치에 의해 제막된 다층 구조체의 단면 및 평면을 나타내는 주사 전자 현미경 (SEM) 사진을 본뜬 도면이다.
- [0044] 도 6(a) 및 (b) 는 본 발명의 제 3 실시예에 관련되는 다층 구조체를 형성하는 콜·겔법을 공정 순서대로 설명하는 도면이다.
- [0045] <도면의 주요부분에 대한 부호의 설명>
- | | |
|----------------------|-------------|
| [0046] 10 : 기재 | 11 : 세라믹스층 |
| [0047] 21 : 유량계 | 23 : 기화기 |
| [0048] 25 : 노즐 | 27 : 히터 |
| [0049] 29 : 히터 | 31 : 스프레이 건 |
| [0050] 33 : 세라믹스 전구체 | 35 : 오븐 |

도면

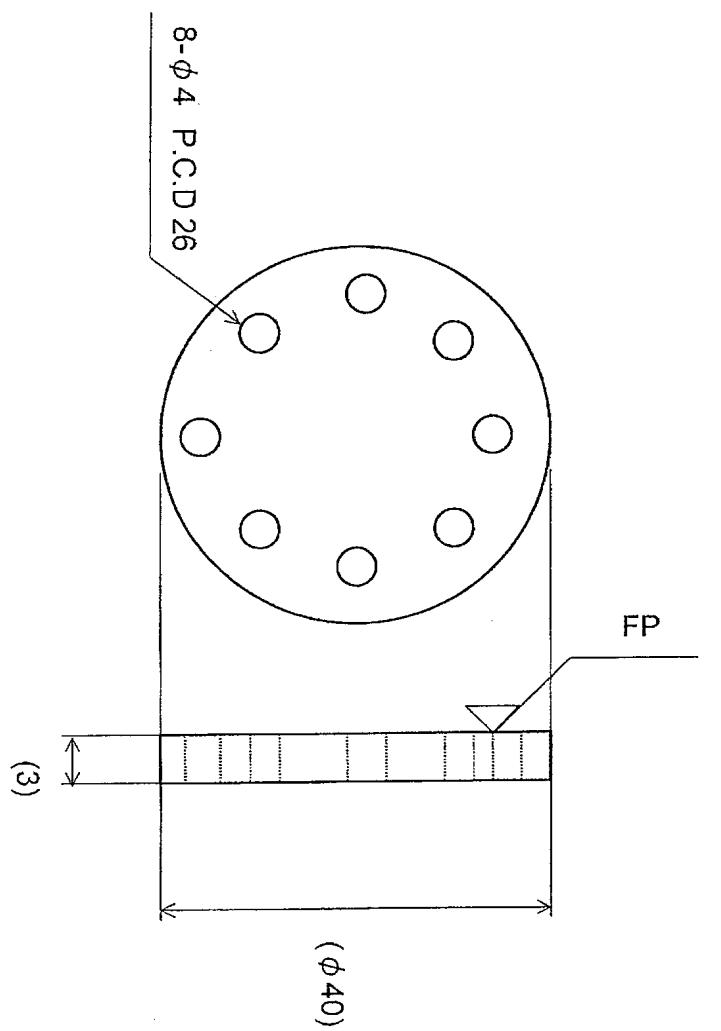
도면1



도면2

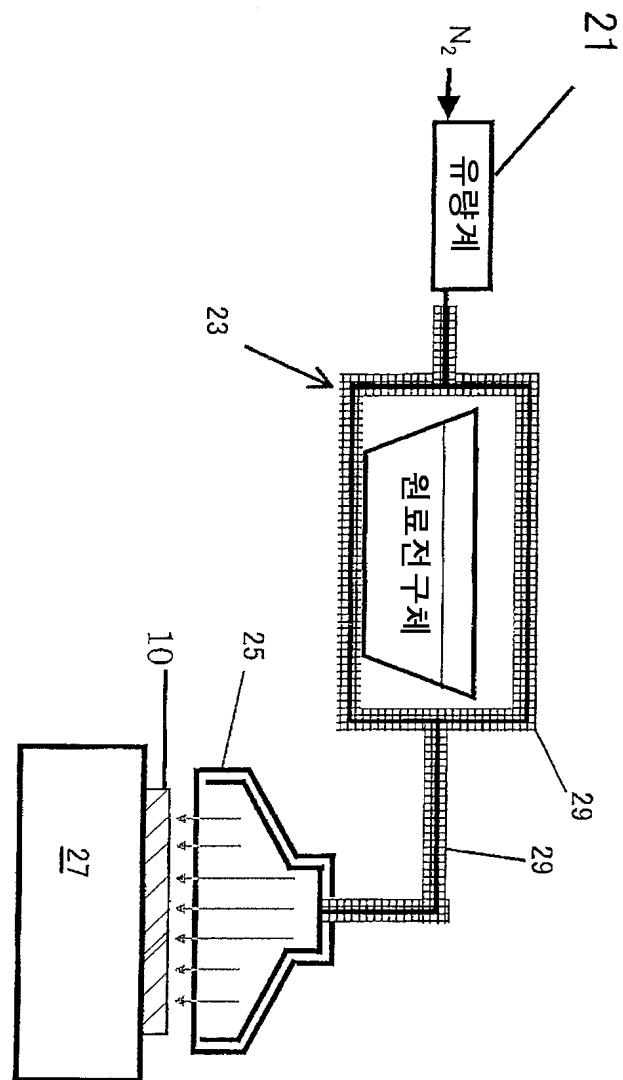


도면3

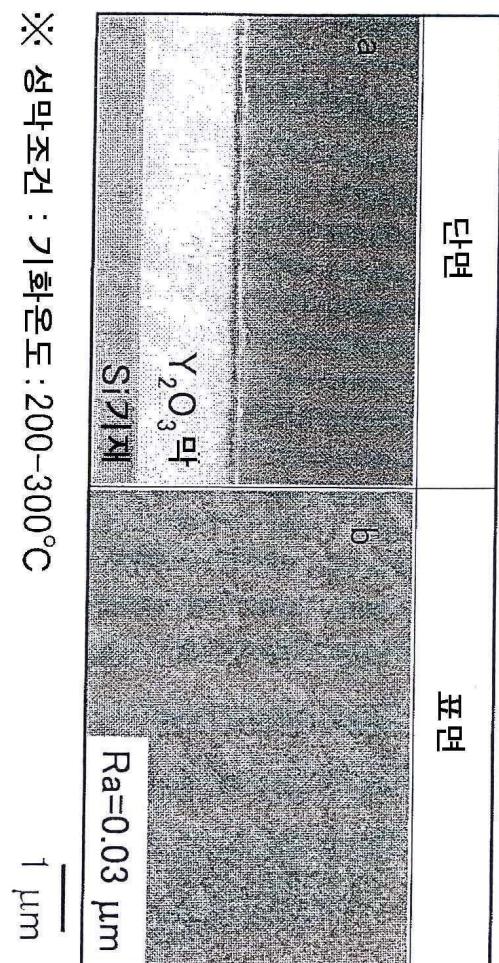


파티클평가시험 : 흡착전사용TP

도면4



도면5



1 μm

※ 성막조건 : 기화온도:200~300°C

도면6

