

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-274681

(P2007-274681A)

(43) 公開日 平成19年10月18日(2007. 10. 18)

(51) Int. Cl.		F I		テーマコード (参考)		
H03K	3/013	(2006.01)	H03K	3/013	5J043	
H03L	7/00	(2006.01)	H03L	7/00	D	5J106
H03L	7/081	(2006.01)	H03L	7/08	J	

審査請求 未請求 請求項の数 11 O L (全 24 頁)

(21) 出願番号	特願2007-58450 (P2007-58450)	(71) 出願人	000002369
(22) 出願日	平成19年3月8日(2007.3.8)		セイコーエプソン株式会社
(31) 優先権主張番号	特願2006-64597 (P2006-64597)		東京都新宿区西新宿2丁目4番1号
(32) 優先日	平成18年3月9日(2006.3.9)	(74) 代理人	100066980
(33) 優先権主張国	日本国(JP)		弁理士 森 哲也
		(74) 代理人	100075579
			弁理士 内藤 嘉昭
		(74) 代理人	100103850
			弁理士 崔 秀▲てつ▼
		(72) 発明者	池田 勝幸
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		Fターム(参考)	5J043 AA06 AA27 BB04 CC03 DD07
			5J106 AA03 BB01 CC58 DD43 DD47
			DD48 HH02 KK24 KK29

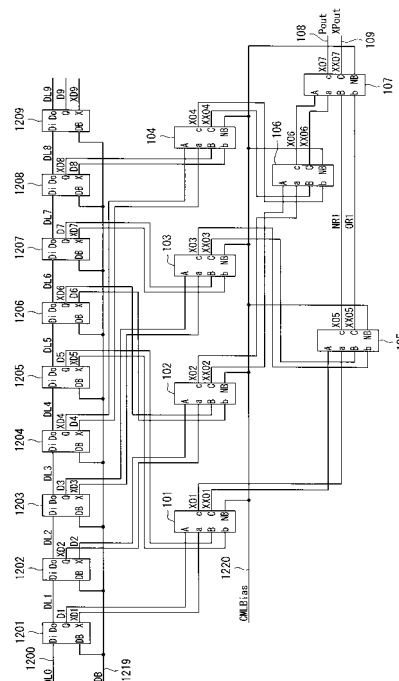
(54) 【発明の名称】 パルス発生回路

(57) 【要約】

【課題】 論理回路の動作の遷移時間程度に細いパルスを発生しようとする論理回路が誤動作し細いスパイク状のノイズが発生するが、このようなノイズ発生の影響を排除する新たなパルス発生回路および該回路を使ったUWB通信システムによって、安定で誤動作のない短パルスの発生回路とUWB通信を実現させる。

【解決手段】 縦続接続されたN段(Nは正の整数)の遅延回路と、前記遅延回路の各段の出力の積をとる乗算回路とで構成する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

縦続接続された N 段 (N は正の整数) の遅延回路と、前記遅延回路の各段の出力の積をとる乗算回路とで構成されることを特徴とするパルス発生回路。

【請求項 2】

縦続接続された N 段 (N は正の整数) の遅延回路と、前記遅延回路の各段の出力の積をとる乗算回路と、前記遅延回路に入力する信号のパルス幅を所定の時間増減する回路より構成されることを特徴とするパルス発生回路。

【請求項 3】

縦続接続された N 段 (N は正の整数) の遅延回路と、前記遅延回路の各段の出力の積をとる第 1 の乗算回路と、前記乗算回路出力信号と入力信号を乗算する第 2 の乗算回路より構成されることを特徴とするパルス発生回路。 10

【請求項 4】

前記乗算回路は前記遅延回路の各段の出力論理値の排他的論理和をとる論理回路で構成されることを特徴とする請求項 1 乃至 3 の何れか一項に記載のパルス発生回路。

【請求項 5】

前記乗算回路は段を追うごとにその信号数がほぼ $1/2$ になるよう多段接続した $N-1$ 個の 2 入力排他的論理和回路によって構成され、かつ k 段目 (k は整数) の出力信号の最小パルス幅はパルス継続時間 $/ 2^k$ 未満とならないように前記 2 入力排他的論理和回路の入力ペアを接続したことを特徴とする請求項 2 乃至 4 の何れか一項に記載のパルス発生回路。 20

【請求項 6】

縦続接続された $N+1$ 段 (N は正の整数) の遅延回路と、前記遅延回路の i (i は $1 \leq i \leq N$ の偶数) 段目の出力 D_i および前記遅延回路の $i-1$ 段目の出力の否定論理 $\overline{X D_{i-1}}$ の論理積 $D_i \overline{X D_{i-1}}$ をとる第 1 の論理積回路と、前記遅延回路の i 段目の出力 D_i の否定論理 $\overline{X D_i}$ および前記遅延回路の $i+1$ 段目の出力の D_{i+1} の論理積 $\overline{X D_i} D_{i+1}$ をとる第 2 の論理積回路と、前記遅延回路の i 段目の出力否定論理 $\overline{X D_i}$ および前記遅延回路の $i-1$ 段目の出力の D_{i-1} の論理積 $\overline{X D_i} D_{i-1}$ をとる第 3 の論理積回路と、前記遅延回路の i 段目の出力 D_i および前記遅延回路の $i+1$ 段目の出力の否定論理 $\overline{X D_{i+1}}$ の論理積 $D_i \overline{X D_{i+1}}$ をとる第 4 の論理積回路と、前記第 1 または第 3 の論理積回路出力が真のとき第 1 の電位レベルに前記第 2 または第 4 の論理積回路出力が真のときに第 2 の電位レベルに接続しそれ以外のときは第 3 の電位レベルに接続するスイッチ手段とを備えたことを特徴とするパルス発生回路。 30

【請求項 7】

縦続接続された $N+2$ 段 (N は正の整数) の遅延回路と、前記遅延回路に前置され前記遅延回路へ入力される信号のパルス幅を前記遅延回路 1 段分の遅延量だけ増減するパルス幅増減回路と、前記遅延回路の i (i は $1 \leq i \leq N+1$ の偶数) 段目の出力 D_i および前記遅延回路の $i-1$ 段目の出力の否定論理 $\overline{X D_{i-1}}$ の論理積 $D_i \overline{X D_{i-1}}$ をとる第 1 の論理積回路と、前記遅延回路の i 段目の出力 D_i の否定論理 $\overline{X D_i}$ および前記遅延回路の $i+1$ 段目の出力の D_{i+1} の論理積 $\overline{X D_i} D_{i+1}$ をとる第 2 の論理積回路と、前記パルス幅増減回路の出力パルス幅が狭いときには $1 \leq i \leq N+1$ の偶数の i について前記遅延回路の i 段目の出力 D_i および前記遅延回路の $i+1$ 段目の出力の否定論理 $\overline{X D_{i+1}}$ の論理積 $D_i \overline{X D_{i+1}}$ をとり、前記パルス幅増減回路の出力パルス幅が広いときには $3 \leq i \leq N+2$ 前記遅延回路の i 段目の出力否定論理 $\overline{X D_i}$ および前記遅延回路の $i-1$ 段目の出力の D_{i-1} の論理積 $\overline{X D_i} D_{i-1}$ をとる第 3 の論理積回路と、前記遅延回路の i 段目の出力 D_i および前記遅延回路の $i+1$ 段目の出力の否定論理 $\overline{X D_{i+1}}$ の論理積 $D_i \overline{X D_{i+1}}$ をとる第 4 の論理積回路と、前記第 1 または第 3 の論理積回路出力が真のとき第 1 の電位レベルに前記第 2 または第 4 の論理積回路出力が真のときに第 2 の電位レベルに接続しそれ以外のときは第 3 の電位レベルに接続するスイッチ手段とを備えたことを特徴とするパルス発生回路。 40

【請求項 8】

姿勢ないし位置に関して相対変位が許容されるように結合機構部によって結合され各個に電子回路が実装された複数の筐体間での信号の授受を無線で行うための無線部を各該当する前記筐体に備え、且つ、前記無線部は、請求項 1 乃至 7 の何れか一項に記載のパルス発生回路を適用して構成されていることを特徴とする電子装置。

【請求項 9】

同一筐体内に実装される複数の回路ブロックないし回路基板のうちの所定の相互間で無線により信号の授受を行うための少なくとも一对の無線部を具備し、且つ、該当する前記無線部は、請求項 1 乃至 7 の何れか一項に記載のパルス発生回路を適用して構成されことを特徴とする電子装置。

【請求項 10】

姿勢ないし位置に関して相対変位が許容されるように結合機構部によって結合され各個に電子回路が実装された複数の筐体間での信号の授受を無線で行う情報伝送方法であって、前記無線による信号の授受を、請求項 1 乃至 7 の何れか一項に記載のパルス発生回路を適用して行うことを特徴とする情報伝送方法。

【請求項 11】

同一筐体内に実装される複数の回路ブロックないし回路基板のうちの所定の相互間で無線により信号の授受を行う情報伝送方法であって、前記無線による信号の授受を、請求項 1 乃至 7 の何れか一項に記載のパルス発生回路を適用して行うことを特徴とする情報伝送方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は UWB (Ultra Wide Band) 通信に適するパルスを発生する回路に関する。

【背景技術】

【0002】

UWB 通信は非常に広い周波数帯域を利用して高速大容量のデータ通信を行う通信方式である。広帯域の信号を利用する通信方式には従来のスペクトル拡散による方法や直交周波数分割多重 (OFDM) があるが、UWB は非常に短時間のパルスを利用したさらに広帯域の通信方式であり、インパルスラジオ (IR) 方式の通信とも呼ばれている。IR 方式では従来の変調によらない時間軸操作のみで変復調が可能であり回路の簡略化や低消費電力化が期待できるとされている。(特許文献 1, 2, 3 参照)

ここで、IR 方式に使用されるパルス波形について簡単に説明する。図 10 (a) に示すようなパルス幅 P_D 、周期 T_P のパルス列は良く知られているとおりで、そのパルス列の周波数スペクトルは、図 11 (b) に示すように、エンベロープが $BW = 1 / P_D$ の周波数で最初の零点を持つ sinc 関数である。

【0003】

このようなパルスの場合にはスペクトルが直流から BW まで広がるため使いづらく、図 10 (c) に示すような波形、すなわち同図 (d) のようにスペクトルの中心周波数 f_0 が高いところにあるパルスが好まれる。このパルス波形は、図 10 (a) のパルスを周波数 $f_0 = 1 / 2 P_D$ の矩形波で乗算して周波数スペクトルを高いほうに移動したものである。ただしこの波形は同図 (c) に一転鎖線 801 に示すような直流 (DC) 成分を含み正確には同図 (d) に示すような理想的なスペクトルを持たない。このような理想的スペクトルを持つ波形は同図 (e) に示す。この波形は同図 (a) のパルスを搬送周波数 f_0 の正弦波で乗算した波形である。また同図 (f) は同図 (a) のパルスを搬送周波数 f_0 の矩形波で乗算した波形であり、デジタル回路での発生が容易である。デジタル回路といってもパルス幅が狭いためこのような角張った波形が生成されることはなく同図 (e) のような波形を得ることが出来る。UWB 通信に理想的なパルス波形はほかにもいろいろ考案されており、ここに示した波形とは異なっているが発生方法が簡単なために多用される。

【0004】

10

20

30

40

50

図 9 (a) は図 10 (a) に示すパルスが発生する従来の回路例である (非特許文献 1)。2つのインバータ 901, 902 及び否定論理和回路 (NOR) 903 は、NOR 903 のもう一方の入力 C_i が偽 (L:ローレベル) となったとき 3 段のリングオシレータを構成する。即ち、図 9 (b) に示すタイム図のように C_i が L の間だけ発振し、NOR 903 とインバータ 901, 902 の出力 NR1, N1, N2 はそれぞれ時間 t_d ずつ遅れて変化が伝播していく。ここで簡単のために NOR 903 及びインバータ 901, 902 の立ち上がり時間、立下り時間はすべて等しいと仮定した。従ってこの回路で発生するパルス幅 {図 10 (a) の P_w } は $3 t_d$ となる。即ち、回路を構成する素子の遅延時間の 3 倍が、発生可能な最も短いパルス幅となり、これがこの回路によって発生できるもっとも細いパルスの上限となる。

10

【特許文献 1】US Pat. 6421389

【特許文献 2】Pub. No. : US2003・0108133A1

【特許文献 3】Pub. No. : US2001/0033576

【非特許文献 1】A CMOS IMPULSE RADIO ULTRA-WIDEBAND TRANCEIVER FOR 1Mb/s DATA COMMUNICATION AND ± 2.5 cm RANGE FINDINGS T. Terada et al, 2005 Symposium on VLSI Circuits Digest of Technical Papers, pp. 30-33

【0005】

上記回路よりも更に細いパルスが発生する回路として以下のような回路が考案されている。図 11 (a) は、従来の改良されたパルス発生回路の要部を示す回路図、(b) ~ (d) はその動作を説明するためのタイム図である。但し、一例として図 10 (c) に示すパルス波形で時間 P_D の中に 4 個のパルスが含まれる場合 ($P_D = 8 P_w$) で説明している。

20

【0006】

図 11 (a) に示す符号 1101 ~ 1109 は縦続接続されたインバータ回路である。それぞれの入出力端子には D0, XD1, D2, XD3・XD9 のように端子名が付けられている。信号は一段ごとに反転し伝播するので、負論理を出力する端子、例えば一段目の出力は負論理出力となるので XD1 のように、X を前置することにする。入力端子 D0 が同図 (b) に示すようにハイレベル (H) からローレベル (L) に変化すると、それぞれの出力は t_d ずつの遅れを伴って反転しながら伝播していく。

30

【0007】

否定論理積 (NAND) 回路 1110 ~ 1113 はそれぞれ XD1 と D2, XD3 と D4, XD5 と D6, XD7 と D8 が両方とも H のときに、同図 (c) に示すように、端子 ND1 ~ ND4 から L を出力する。否定論理和 (NOR) 回路 (負論理入力の否定論理和回路) 1114 は、ND1 ~ ND4 が一つでも L のとき、同図 (d) に示すように H を出力する。

【0008】

これによって、目的のパルス波形が得られる。ここで求めようとしているパルス波形はデバイスの動作速度限界に迫るきわめて細いパルスであるため実際は信号がロジックレベルまで振り切れることは少なく図示したように角が丸くなりかつスイングも小さくなった波形が得られることが多い。

40

ここに使用される論理回路はゲート 1 段の遅延時間程度の極めて早いスイッチング動作が要求され、いわゆる電流モードロジック (CML: Current Mode Logic) と言われる論理回路が使われることが多い。

【0009】

図 12 は CML を用いた従来のパルス発生回路の例である。

遅延回路 1201 ~ 1209 は CML の論理積回路 1210 ~ 1213 を駆動するために位相の 180 度異なる 2 相信号が必要である。この 2 相の信号を作り出すために遅延回路 1201 ~ 1209 の各段は図 14 (a) に示すように遅延素子とインバータを含む構

50

成となる。すなわち P チャネルトランジスタ 1401 と N チャネルトランジスタ 1402 によるインバータが遅延素子となる。このインバータの N チャネルトランジスタ 1402 のソースには直列に電流制限トランジスタ 1403 が入っておりこのトランジスタのゲート電圧をコントロールすることによりトランジスタ 1401、1402 によるインバータの動作速度すなわち遅延量をコントロールすることが可能である。入力端子 Di1412 に入力された信号は端子 Do1414 に遅延を伴って出力され、その遅延量は遅延量制御端子 DB1413 に印加される電圧によって制御することが可能である。

【0010】

Do はトランジスタ 1404、1405 によるバッファ回路を通じさらにトランジスタ 1406、1407 によるバッファ回路を通じて反転信号 Q1415 を出力し、またトランジスタ 1408～1411 による 2 段のインバータによるバッファ回路を通して正転信号 X1415 を出力する。遅延回路出力信号 Q1415 および遅延回路出力信号 X1415 の位相は正確に 180 度のずれとなるようにトランジスタ 1406、1407 によるバッファ回路を遅めに、トランジスタ 1408～1411 による 2 段のインバータは速めに動作するよう設計される。

【0011】

また、図 12 における NAND 回路 1210～1213、および(負論理入力の)NOR 回路構成する 3 つのゲート回路 1214～1216 は CML ゲートであり図 14 (b) のように構成される。同図 (b) において N チャネルトランジスタ 1427 は電流制限トランジスタであり回路の動作電流を端子 NB1435 に印加する電圧によって決める。また P チャネルトランジスタ 1421、1422 は回路の負荷抵抗であり端子 PB1432 に印加する電圧によりそのインピーダンスが制御可能であり出力の振幅値を設定できる。

【0012】

4 つのスイッチトランジスタ 1423～1426 を図のように接続し入力端子 A1428、a1429、B1430、b1431 および出力端子 c1433、C1434 を図のように定義すると c には a と b の論理積の否定 $\overline{Xab}$ 、C には B または b かつ A の否定、すなわち $\overline{X(B + bA)}$ が出力される。A、B に印加される信号をそれぞれ a、b に印加される信号の否定、すなわち $A = \overline{Xa}$ 、 $B = \overline{Xb}$ とすると $C = ab$ となることは説明を要しないであろう。

この回路は各信号とも正論理負論理の 2 相信号を持つため単に接続を変更するだけですべてのブーリアン素子、すなわち AND/OR/NAND/NOR としての使用が可能である。しかしながら、2 相信号の位相が正しく合っていないと回路は期待どおりに動作しない。細いパルスを選ぶ場合等には特に問題となる。

【0013】

これらの CML ゲートは図 12 に示すように接続する。まず、端子 NB1435 は端子 DB1220 に接続されこの端子の電圧によって CML ゲートの電流を設定する。端子 PB1432 も互いに接続されこれに印加する電圧によって論理出力振幅値を設定するが図では省略してある。CML による論理回路 1210～1213 によって遅延回路一段の遅延量に相当するパルス幅のパルスが発生される。これらの信号は CML ゲート 1214～1216 により構成される(負論理入力の)NOR 回路によって端子 Pout1217 に目的のパルスを出力する。

上記に示した 2 つの従来回路で発生できるパルスは DC 成分を含む。発生パルスに DC 成分を含まない図 10 (e)、(f) のような、より UWB 通信に適したパルスの発生回路として図 13 (a) に示すような回路がある。この回路の動作は説明するために同図 (b)～(l) にタイム図を掲げる。

【0014】

図 13 (a) において 1301～1309 は 9 段のインバータを縦続接続し構成した遅延回路である。インバータ各段内部の構成は図 14 (a) に示したものが使える。端子 1331 に入力されたパルス D_0 は図 16 (b)～(k) に示すように一段毎に時間 t_d ずつ遅れてかつロジックが反転されながら遅延回路内を伝播し各段から出力される。すなわ

ち入力端子 1 3 3 1 に印加される信号を正論理とすると i 段目には

i が奇数のとき $X D_i$

i が偶数のとき D_i

が出力される。なお、 X は信号の否定論理をあらわし信号名に前置する。

【0015】

NチャネルMOSトランジスタ1312および1313はそれぞれ遅延回路の1段目の出力 $X D_1$ と2段目の出力 D_2 が高いときに導通してパルス出力端子1330を第1の電位レベル V_1 に接続する。つぎに、PチャネルMOSトランジスタ1310および1311はそれぞれ遅延回路の2段目の出力 D_2 と3段目の出力 $X D_3$ が低い（すなわち D_2 の否定論理と D_3 の両方が高い（論理積が真の））ときに導通してパルス出力端子1330を第2の電位レベル V_2 に接続する。 10

同様にNチャネルMOSトランジスタ1316、1317、1320、1321、1324および1325はそれぞれ遅延回路の偶数を i とするとき $i-1$ 段目の出力 $X D_{i-1}$ と i 段目の出力 D_i の両方が高いとき、すなわち $X D_{i-1}$ と D_i の論理積が真のときに導通してパルス出力端子1330を第1の電位レベル V_1 に接続する。

【0016】

次に、PチャネルMOSトランジスタ1314、1315、1318、1319、1322および1323はそれぞれ遅延回路の i 段目の出力 D_i と $i+1$ 段目の出力 $X D_{i+1}$ が低いとき、すなわち D_i の否定 $X D_i$ と $X D_{i+1}$ の否定論理である D_{i+1} の論理積が真のとき、に導通してパルス出力端子1330を第2の電位レベル V_2 に接続する。 20

以上のような動作によって図13(1)に示すパルス波形が得られ、図10(e)または(f)に示すようなパルス波形を生成することができる。

ここで、第1および第2の電位レベルはそれぞれ回路を構成する集積回路の負側および正側の電源電位 V_{SS} 、 V_{DD} を使用することが可能であるが他の任意の電位に設定しても良い。

【0017】

PチャネルMOSトランジスタ1327およびNチャネルMOSトランジスタ1328はMOS抵抗であって、端子1329、1326に印加される第1、第2の電位 V_1 、 V_2 を分割しMOSトランジスタ1310～1325のスイッチ回路が上記第1、第2の電位 V_1 、 V_2 のいずれにも接続しないときに出力端子1330の電位を設定する。通常は 30
N、Pチャネルトランジスタの常数の対称性を保って、この電位が V_1 、 V_2 の中間の値になるように設計する。

【発明の開示】

【発明が解決しようとする課題】

【0018】

しかし、上述した従来のパルス発生回路によって、パルス発生を試みると図15に示すように、不要なところに細いパルスがノイズとなって現れることがある。すなわち上述の従来の回路例において、パルスは図14(a)に示す D_0 の立ち下りで発生するように設計されているが、 D_0 の立ち上がりでもパルスを発生することがある。

図15(b)は図11(a)、図12または図13(a)に示す従来の回路例において 40
 D_0 およびそれに呼応して発生する遅延回路出力 $X D_1$ 、 D_2 、 $\dots$ 、 $X D_9$ を同じ枠内にプロットした図であり、同図(c)はパルス出力を示す。同図(c)にて円1502で囲った部分でパルスが出力され円1501の部分では本来パルスが出力されてはならないところである。このような現象は図12で示す従来例ではもっと起こりやすく深刻な問題となる。

【0019】

この現象は発生しようとするパルスのパルス幅が回路を構成する論理回路の応答時間（遷移時間）と同程度のような極端に狭い場合に起こり、 D_0 の立ち上がりにおいても論理回路が $X D_k D_{k+1}$ が真と誤って判断してしまうタイミングが存在するのが原因である。CMLを使う図12の従来例ではもともとCMLがノイジーである上に2相の信号を扱うた 50

め細かいタイミングのずれがさらに深刻な問題となる。

【0020】

そこで本発明の目的は、論理回路の動作の遷移時間程度に細いパルスが発生する際に問題になる上述の不要な信号発生の影響を排除する新たなパルス発生回路および該回路を使ったUWB通信システムを示し、安定で誤動作のない短パルスの発生回路とUWB通信を実現させることにある。

【課題を解決するための手段】

【0021】

上記目的を達成するために、本発明の一態様に係るパルス発生回路によれば、縦続接続されたN段（Nは正の整数）の遅延回路と、前記遅延回路の各段の出力の積をとる乗算回路とで構成されることを特徴とする。 10

本発明の上記構成によれば、遅延回路によって順次遅延された信号の各段出力のすべてを乗算してパルスを得るために遅延回路に入力されるパルスの前縁及び後縁の両方でパルスが発生することが可能となる。そのため、従来は遅延回路への入力パルスの前縁または後縁のみでパルスが発生し他方はパルスが発生すべきでない雑音として排除抑制していたが、本発明では雑音となって現れやすい時点でも積極的にパルスが発生させ利用することを可能とする。このようにして発生したパルスは遅延回路入力信号の前後縁の両方でペアとなって発生されるので信号受信側ではペアのうちの一方をテンプレートとしても利用できるので通信システムの簡略化も可能となる。

【0022】

また、本発明の一態様に係るパルス発生回路によれば、縦続接続されたN段（Nは正の整数）の遅延回路と、前記遅延回路の各段の出力の積をとる乗算回路と、前記遅延回路に入力する信号のパルス幅を所定の時間増減する回路より構成されることを特徴とする。 20

本発明の上記構成によれば、遅延回路への入力パルス幅を制御することにより発生するパルスペアの間隔を変更することが可能となる。信号の受信側において、受信信号を一定時間遅延して生成したテンプレートと受信信号で相関を計算することにより容易に前記遅延回路に入力されたパルスのパルス幅を判定することができこれによって情報を伝えることが可能となる。通信伝送路における歪みや伝送特性はテンプレートも同じように歪んでいるので伝送路における歪みの影響も排除し信頼性の高い通信が可能となる。

【0023】

本発明の一態様に係るパルス発生回路によれば、縦続接続されたN段（Nは正の整数）の遅延回路と、前記遅延回路の各段の出力の積をとる第1の乗算回路と、前記乗算回路出力信号と入力信号を乗算する第2の乗算回路より構成されることを特徴とする。 30

本発明の上記構成によれば、遅延回路への入力パルス幅を制御することにより発生するパルスペアの一方を第2の乗算回路によってその極性を反転することが可能となる。信号の受信側において、受信信号を一定時間遅延して生成したテンプレートと受信信号で相関を計算することにより容易に前記パルスペアの一方の極性が反転されたか否かを判定することができこれによって情報を伝えることが可能となる。通信伝送路における歪みや伝送特性はテンプレートも同じように歪んでいるので伝送路における歪みの影響も排除し信頼性の高い通信が可能となる。 40

【0024】

また、本発明の一態様に係るパルス発生回路によれば、前記乗算回路は前記遅延回路の各段の出力論理値の排他的論理和をとる論理回路で構成されることを特徴とする。

本発明の上記構成によれば、乗算回路はアナログの乗算回路でなく排他的論理和回路を使用することが可能となり簡単なデジタル回路での実現が可能となる。

また、本発明の一態様に係るパルス発生回路によれば、前記乗算回路は段を追うごとにその信号数がほぼ $1/2$ になるよう多段接続した $N-1$ 個の2入力排他的論理和回路によって構成され、かつk段目（kは整数）の出力信号の最小パルス幅はパルス継続時間/ 2^k 未満とならないように前記2入力排他的論理和回路の入力ペアを接続したことを特徴とする。 50

本発明の上記構成によれば、乗算回路を2入力排他的論理和回路で構成することが可能と回路の簡略化に効果がある。しかも上記接続の仕方によれば乗算回路を構成する各排他的論理和回路においてパルス幅の狭い信号を出力する排他的論理和回路の数を最小にすることが出来回路の安定化に効果がある。

【0025】

また、本発明の一態様に係るパルス発生回路によれば、縦続接続された $N+1$ 段（ N は正の整数）の遅延回路と、前記遅延回路の i （ i は $1 \leq i \leq N$ の整数）段目の出力 D_i および前記遅延回路の $i-1$ 段目の出力の否定論理 $\overline{X D_{i-1}}$ の論理積 $D_i \times D_{i-1}$ をとる第1の論理積回路と、前記遅延回路の i 段目の出力 D_i の否定論理 $\overline{X D_i}$ および前記遅延回路の $i+1$ 段目の出力の D_{i+1} の論理積 $X D_i D_{i+1}$ をとる第2の論理積回路と、前記遅延回路の i 段目の出力否定論理 $\overline{X D_i}$ および前記遅延回路の $i-1$ 段目の出力の D_{i-1} の論理積 $X D_i D_{i-1}$ をとる第3の論理積回路と、前記遅延回路の i 段目の出力 D_i および前記遅延回路の $i+1$ 段目の出力の否定論理 $\overline{X D_{i+1}}$ の論理積 $D_i \times D_{i+1}$ をとる第4の論理積回路と、前記第1または第3の論理積回路出力が真のとき第1の電位レベルに前記第2または第4の論理積回路出力が真のときに第2の電位レベルに接続しそれ以外のときは第3の電位レベルに接続するスイッチ手段とを備えたことを特徴とする。

本発明の上記構成によれば、乗算回路を簡単なスイッチ手段と論理回路によって実現が可能となり回路の簡素化に効果がある。

【0026】

また、本発明の一態様に係るパルス発生回路によれば、縦続接続された $N+2$ 段（ N は正の整数）の遅延回路と、前記遅延回路に前置され前記遅延回路へ入力される信号のパルス幅を前記遅延回路1段分の遅延量だけ増減するパルス幅増減回路と、前記遅延回路の i （ i は $1 \leq i \leq N+1$ の偶数）段目の出力 D_i および前記遅延回路の $i-1$ 段目の出力の否定論理 $\overline{X D_{i-1}}$ の論理積 $D_i \times D_{i-1}$ をとる第1の論理積回路と、前記遅延回路の i 段目の出力 D_i の否定論理 $\overline{X D_i}$ および前記遅延回路の $i+1$ 段目の出力の D_{i+1} の論理積 $X D_i D_{i+1}$ をとる第2の論理積回路と、前記パルス幅増減回路の出力パルス幅が狭いときには $1 \leq i \leq N+1$ の偶数の i について前記遅延回路の i 段目の出力 D_i および前記遅延回路の $i+1$ 段目の出力の否定論理 $\overline{X D_{i+1}}$ の論理積 $D_i \times D_{i+1}$ をとり、前記パルス幅増減回路の出力パルス幅が広いときには $3 \leq i \leq N+2$ 前記遅延回路の i 段目の出力否定論理 $\overline{X D_i}$ および前記遅延回路の $i-1$ 段目の出力の D_{i-1} の論理積 $X D_i D_{i-1}$ をとる第3の論理積回路と、前記遅延回路の i 段目の出力 D_i および前記遅延回路の $i+1$ 段目の出力の否定論理 $\overline{X D_{i+1}}$ の論理積 $D_i \times D_{i+1}$ をとる第4の論理積回路と、前記第1または第3の論理積回路出力が真のとき第1の電位レベルに前記第2または第4の論理積回路出力が真のときに第2の電位レベルに接続しそれ以外のときは第3の電位レベルに接続するスイッチ手段とを備えたことを特徴とする。

【0027】

本発明の上記構成によれば前記パルス幅増減回路および前記第3の論理積回路の働きによって発生されるパルスペアのうち後方のパルスの極性変更が可能となる。これによってDC成分のない理想的なUWB通信用のパルス発生が可能となる。

本発明はCMOS集積回路による論理回路で構成することができるので動作電力の増大なしに簡単にしかもCMOS回路の最高速度で動作させることが構成でき、UWB通信に利用可能な高周波広帯域のパルスを容易に発生することが可能である。

【0028】

一方、本発明の一態様に係る電子装置は、姿勢ないし位置に関して相対変位が許容されるように結合機構部によって結合され各個に電子回路が実装された複数の筐体間での信号の授受を無線で行うための無線部を各該当する前記筐体に備え、且つ、前記無線部は、上記の種々の態様のうちの何れかのパルス発生回路を適用して構成されていることを特徴とする。

【0029】

このような電子機器では、両筐体間での所要の情報の授受が無線によって行われ得るた

め結合機構部の簡素化が図られ、且つ、無線部は、上記の種々の態様のうちの何れかのパルス発生回路を適用して構成されているため、小型化が図られ、消費電力の低減効果も大きい。

また、本発明の一態様に係る電子装置は、同一筐体内に実装される複数の回路ブロックないし回路基板のうちの所定の相互間で無線により信号の授受を行うための少なくとも一対の無線部を具備し、且つ、該当する前記無線部は、上記の種々の態様のうちの何れかのパルス発生回路を適用して構成されていることを特徴とする。

【0030】

このような電子装置では、複数の回路ブロックないし回路基板のうちの所定の相互間で信号の送受信を電磁波により無線化でき、信号は空間を伝播して伝わるためフレキシブル基板やコネクタなどを用いた配線の必要がなく、これらに起因するコスト高や信頼性低下の懸念が払拭される。 10

また、本発明の一態様に係る情報伝送方法は、姿勢ないし位置に関して相対変位が許容されるように結合機構部によって結合され各個に電子回路が実装された複数の筐体間での信号の授受を無線で行う情報伝送方法であって、前記無線による信号の授受を、上記の種々の態様のうちの何れかのパルス発生回路を適用して行うことを特徴とする。

【0031】

このような情報伝送方法では、両筐体間での所要の情報の授受が無線によって行われ得るため結合機構部の簡素化が図られ、且つ、無線による信号の授受を、上記の種々の態様のうちの何れかのパルス発生回路を適用して行うため、消費電力の低減効果も大きい。 20

また、本発明の一態様に係る情報伝送方法は、同一筐体内に実装される複数の回路ブロックないし回路基板のうちの所定の相互間で無線により信号の授受を、上記の種々の態様のうちの何れかのパルス発生回路を適用して行うことを特徴とする。

このような情報伝送方法では、複数の回路ブロックないし回路基板のうちの所定の相互間で信号の送受信を電磁波により無線化でき、信号は空間を伝播して伝わるためフレキシブル基板やコネクタなどを用いた配線の必要がなく、これらに起因するコスト高や信頼性低下の懸念が払拭される。

【発明を実施するための最良の形態】

【0032】

以下、本発明の実施の形態に係るパルス発生回路について逐次図面を参照しながら説明する。 30

本明細書では、一例として以下の諸元の波形を発生する場合について説明するが本発明はこの場合のみに限定されるものではない。

パルス間隔： $T_p = 200 \text{ nsec}$

搬送波周波数： $f_0 = 8 \text{ GHz}$

搬送波パルス幅： $P_w = 62.6 \text{ psec}$

パルス幅： $P_D = 500 \text{ psec}$

時間 P_D の中に含まれるパルス数： 4 個 ($P_D = 8 P_w$)

【0033】

(第1の実施の形態)

図1に本発明の第1の実施の形態を示す。従来例を示す既述の図12と同じ部分については同一の参照符号を附して示しそれら各部の説明は省略する。図3はその動作を示すタイム図である。 40

101～107はCMLゲートで構成された2入力排他的論理和回路でありその内部は図2のようになっている。同図においてNチャネルトランジスタ209は電流制限トランジスタであり回路の動作電流を端子NB215に印加する電圧によって決める。またPチャネルトランジスタ201, 202は回路の負荷抵抗であり端子PB212に印加する電圧によりそのインピーダンスが制御可能であり出力の振幅値を設定できる。6つのスイッチトランジスタ203～208を図のように接続し入力端子A213、a214、B210、b211および出力端子c217、C218を図のように定義するとcにはaとbの 50

論理積 $a b$ または A と B の論理積 $A B$ の論理和の否定、すなわち $X (a b + A B)$ が出力される。ここで X は論理の否定を表し信号名に前置する。同様に C には a と B の論理積 $a B$ または A と b の論理積 $A b$ の論理和の否定、すなわち $X (a B + A b)$ が出力される。 A を a の否定、すなわち $A = X a$ 、 B を b の否定、すなわち $B = X b$ とすると C には A 、 B の排他的論理和回路が、 c にはその否定が出力されることは説明を要しないであろう。

【0034】

2入力排他的論理和回路101～107は遅延回路出力 $D_1 \sim D_8$ のすべてを乗算した結果を出力端子 $P o u t 108$ 、 $X P o u t 109$ に出力する。すなわち遅延回路1201～1208は入力端子1200に入力された信号 D_0 を順次遅延し出力する。図3(a)に D_0 、同図(b)に $D_1 \sim D_8$ を示す。排他的論理和回路101は D_1 と D_5 の排他的論理和とその否定を出力する{図3(c)}。この信号を $X O_1$ 、その否定を $X X O_1$ とする。同様に排他的論理和回路102～104はそれぞれ D_2 と D_6 、 D_3 と D_7 、 D_4 と D_8 の排他的論理和とその否定を出力する{図3(d), (e), (f)}。この信号を $X O_2$ 、 $X O_3$ 、 $X O_4$ 、それらの否定を $X X O_2$ 、 $X X O_3$ 、 $X X O_4$ とする。

10

【0035】

図1における排他的論理和回路105、106はそれぞれ $X O_1$ と $X O_3$ 、 $X O_2$ と $X O_4$ の排他的論理和をとり $X O_5$ 、 $X O_6$ {図3(g), (h)}およびそれらの信号の否定 $X X O_5$ 、 $X X O_6$ を出力する。排他的論理和回路107は $X O_5$ と $X O_6$ の排他的論理和とその否定 $X O_7$ 、 $X X O_7$ をパルス出力端子 $P o u t 108$ 、 $X P o u t 109$ に出力する{図3(i)}。

20

【0036】

本実施例のこのような回路によって生成される出力パルスは遅延回路に入力するパルス D_0 の前後縁の両サイドで発生する。従来のように前後縁のどちらか一方でパルスを発生させる場合、他の縁では回路の遷移時間の細かいずれなどが原因でノイズとなって不要なパルスを発生することが多かった。本実施例ではノイズの発生しやすい D_0 の両縁で積極的にパルスを発生させそのペアを通信に利用するものである。このようにすることにより従来のノイズ対策のような対策は不要となり、またUWB通信においても良好な通信性能を得ることが可能となる。

【0037】

排他的論理和回路は真、偽の2値をとる入力において真に対して -1 、偽に対して $+1$ のアナログ値を対応させるとその出力はその積である。遅延回路1301～1308の出力値として v_1 、 v_2 の2値をとるものとし、その平均値を $v_c \{ = (v_1 + v_2) / 2 \}$ と v_1 、 v_2 との差は絶対値が等しく符号が逆となる。 v_1 、 v_2 の代わりに $v_c - v_1$ 、 $v_c - v_2$ を対応させその符号だけを考えると上記回路の出力 $P o u t 108$ 、 $X P o u t 109$ は遅延回路1201～1208の出力 $D_1 \sim D_8$ を乗算していることになる。 $D_1 \sim D_8$ のうちで負の値をとる(または v_1 を出力する)ものの数が奇数か偶数かを判断しているといっても良い。

30

【0038】

一般に整数 N の出力すべてを2入力の論理回路(乗算回路)の組み合わせで演算(乗算)し1つの出力を得るには前記論理回路(乗算回路)はどのように組み合わせたとしても $N-1$ 個必要である。なぜならば、2入力信号が1つの2入力回路によって1つの出力信号となる、すなわち回路1つ追加ごとに信号の数が1つ減ることになり最終的に1つの出力信号を残すために必要な回路数は $N-1$ ということである。これは N チームの中から優勝1チームを決めるトーナメント試合で必要となる試合数を考える問題と同じである。

40

【0039】

$N-1$ 個の2入力排他的論理和回路をどのような順序に組み合わせて使っても最終的に1つの出力信号を得る事は可能である。しかし実際には回路の応答速度が有限であるためどの入力信号から出力端子までのパスも等しくなるように、また細かいパルスを出力する排他的論理和回路の数を最小にするように組み合わせる。本実施例ではこのような組み合わせ、接続方法をとっている。すなわち以下のようなアルゴリズムによってその接続を決め

50

ればよい。

【0040】

まず、以下の説明のために整数 M_0 を次のように定義する。

$M_0 = N / 2$ 、ただし $N / 2$ に端数が出るときは切り上げる。

遅延回路出力 D_i ($1 \leq i \leq M_0$) および D_{i+M_0} の排他的論理和をとり第1段目の信号群 E_{1_i} とする。 N が奇数のときは D_{M_0} がペアを作れず排他的論理和をとれないがこの信号は何もせずにそのまま $E_{1_{M_0}}$ とする。

次に、整数 M_1 を $M_1 = M_0 / 2$ 、ただし $M_0 / 2$ に端数が出るときは切り上げる。遅延回路出力 E_{1_i} ($1 \leq i \leq M_1$) および $E_{1_{i+M_1}}$ の排他的論理和をとり第2段目の信号群 E_{2_i} とする。 M_0 が奇数のときは D_{M_1} がペアを作れず排他的論理和をとれないがこの信号は何もせずにそのまま $E_{2_{M_1}}$ とする。

10

【0041】

以下、上記操作を排他的論理和の出力が1つになるまで繰り返す。上記のこのような操作によって入力から出力までのパスの長さはほぼ一様となりかつ細いパルス幅を出力する排他的論理和回路の数を最小とすることが出来る。なお、例えば M_0 の定義において、端数が出るときに切り捨てると N が奇数のときは D_N がペアを作ることが出来ないがこの信号を $E_{1_{M_0+1}}$ と定義すれば同様のアルゴリズムで同じ効果の回路が得られる。各段ごとに M_K (K は整数) が奇数が続くときは M_K の定義において、切り上げ、切捨てを交互に繰り返すなどするとより効果がある。

【0042】

20

以上の構成により本実施例ではノイズの発生しやすい D_0 の両縁で積極的にパルスを生じさせそのパルスペアを利用した通信が可能となる。しかも、回路はすべてデジタル回路で実現が可能でCMOS集積回路等で実現が可能である。従来のようなパルス発生回路でのノイズ対策等は不要となり、またUWB通信においても良好な通信性能を得ることが可能となる。このようなパルスを使用するUWB通信については第3の実施の形態のところで後述する。

パルスペアの間隔位相変更による情報伝送のほかにランダムにその間隔を変更することにより信号のスペクトルに出る特定のピークを抑制することも可能である。

【0043】

(第2の実施の形態)

30

図4に本発明の第2の実施形態の要部とそのタイム図を示す。405は図1で説明したパルス発生回路であり、遅延回路の入力端子 DL_0 408とパルス出力端子 $Output$ 406と $XOutput$ 407のみが示されている。本実施例では DL_0 にAND-ORゲート404を前置し、端子402から入力されるビット情報 B によって端子401より入力される信号 DI のパルス幅を変更するものである。403は遅延回路であり DI を一定時間遅延させ DL に出力する。遅延回路403の遅延時間は通常回路405に内蔵される遅延回路の一段あたりの遅延量と同じ、あるいはその $1/2$ に設定することが多い。

【0044】

図4(b)～(d)に示すように B が真のとき DL_0 にはAND-ORゲート404によって DL と DI の論理和が入力され、 B が偽のときは DI のみが入力される。すなわち DL_0 のパルス幅は B の真偽によってそのパルス幅を遅延回路403の遅延量だけ変更することが出来る。端子406には常に真が入力されていてAND-ORゲート404の端子406側のANDゲートは常に通過であり論理の上では不要であるが信号パスの差による信号遅延の影響を除去するために置かれている。

40

【0045】

このようにして、 DL_0 のパルス幅が変更されるとそれに伴い出力パルスペアの間隔を B によって変更できる。図4(e)に B が偽のときの、同図(f)に B が真のときのパルス出力端子 $Output$ 406に出力される波形を示す。受信側ではパルスペアの間隔を検出することにより伝送情報 B の知ることが出来る。検出の方法例については第3の実施の形態のところで後述する。

50

【0046】

(第3の実施の形態)

図5に本発明による更に他の実施形態の要部およびそのタイム図を示す。505は図1で説明したパルス発生回路であり、遅延回路の入力端子 DL_0 508とパルス出力端子 P_{out} 510と XP_{out} 511、および遅延回路出力 D_1 507、 XD_8 509のみが示されている。

【0047】

(負論理入力の)ANDゲート503は XD_1 かつ D_8 の論理積によってパルス発生回路505によって発生されるパルスペアのうち後ろのパルスが発生される時間を検出するとともに端子502に印加されるビット情報Bの論理に従って信号NDを出力する。すなわちBが偽のとき後ろのパルスが発生される時間を示すパルスが発生し、真のときは何も出力しない。排他的論理和回路506はNDの出力によってパルス発生回路505が発生するパルスペアの後ろのパルスをNDが偽のとき、すなわちBが真のときはそのまま出力し、NDが真のとき、すなわちBが偽のときは反転して出力する。図5(f)にBが真のとき、同図(g)に偽のときの出力パルス P'_{out} 512、 XP'_{out} 513を示す。

【0048】

受信側では受信パルスペアの後ろのパルスの極性が前のパルスの極性から反転されているかそのままかを検出することによって送信側のビット情報Bを知ることが可能となる。

この検出の方法例を図6に示す。同図(a)は受信機の要部を示す図である。601に入力された受信信号{同図(b)}は遅延回路602によって送信側のパルスペアの間隔、すなわち遅延回路505の入力端子 DL_0 508に入力する信号DI501のパルス幅に相当する時間だけ遅延{同図(c)}させ乗算回路603によってもとの信号と乗算する。

【0049】

遅延回路602は小信号の高周波アナログ信号であるが遅延回路は単なる長さ数cmの伝送線路で実現が可能である。そのほか電荷結合素子を使う、または周波数が低く大きな遅延量が必要な場合は周波数が低いのでAD変換が可能となりデジタル信号への変換とメモリ蓄積などによって実現することも可能である。

図5(a)において送信ビットが真のときは送信パルスペアの前後で極性が反転されずそのまま送信されるので同図(c)のような乗算波形が得られる。この波形を積分回路またはローパスフィルタ604により高周波成分を取り除けば端子605に復調されたビット情報が得られる。乗算回路603および積分回路(またはローパスフィルタ)604はあわせて相関を計算しているのと等価である。

【0050】

反対に送信ビットが偽のときは送信パルスペアの前後で極性が反転されて同図(e)のような波形が送信されるので同図(f)のような乗算波形が得られる。この波形を積分回路またはローパスフィルタ604により高周波成分を取り除けば端子605に復調されたビット情報が得られる。

上記説明では受信される波形が送信波形と相似な波形が受信されるとして説明したが、実際には信号伝送路にマルチパスによる残響や伝送路の周波数特性による歪みが存在し送信波形と同じ波形が受信されることは寧ろ稀である。上述のような通信方式では伝送路に歪みがあるときにもテンプレートとなる信号も同じ伝送路を通して送られてきており同じように歪むため相関関係が保存され良好な通信性能を得ることが可能である。

【0051】

図6(g)は実施例2で述べたパルス発生回路による復調の例である。図4においてBが偽のときは受信波形および乗算回路出力波形は本実施例と同じ図6(b)、(d)となる。Bが真のときは DL_0 のパルス幅がパルス発生回路405に使用される遅延回路の1段分の遅延量だけ伸ばされているとすると DL_0 後縁で発生されるパルス列は図10で示す $P_{\parallel}$ だけ遅延された図6(g)のような波形が受信できる。この波形を同図(a)の回路で復調すると同図(b)のように強い負の相関が現れ送信ビットBが復調できる。

後方のパルスの極性変更による情報伝送のほかにランダムにその極性を変更することにより信号のスペクトルに出る特定のピークを抑制できる効果もある。

【0052】

(第4の実施の形態)

図7に本発明による更に他の実施形態の要部を、図8にその動作を示すタイム図を示す。実施例1～3では図10(c)に示す波形を発生する発生回路例であるが本実施例では同図(f)の波形を発生する。

図7(a)において701～709は2相出力の遅延回路である。従来の例で説明した図14(a)に示した回路も使用可能であるが、位相の対称性を良くするためにその内部は同図(b)で説明される回路を使用する。

10

【0053】

Pチャネルトランジスタ751とNチャネルトランジスタ752によるインバータが遅延素子となる。このインバータのNチャネルトランジスタ752のソースには直列に電流制限トランジスタ753が入っておりこのトランジスタのゲート電圧をコントロールすることによりトランジスタ751、752によるインバータの動作速度すなわち遅延量をコントロールすることが可能である。

【0054】

入力端子Di762に入力された信号は端子Do764に遅延を伴って出力され、その遅延量は遅延量制御端子DB763に印加される電圧によって制御することが可能である。この端子は図7(a)に示すように互いに接続され遅延量の制御端子としてのDLc747に接続される。この端子に印加される電圧により生成パルスのパルス幅 P_w を設定する。

20

【0055】

Doはトランジスタ754、755によるバッファ回路を通じさらにトランジスタ758～761による2段のインバータによるバッファ回路を通して正転信号X766を出力し、またPチャネルトランジスタ768とNチャネルトランジスタ769による常にオンのトラスミッションゲートとトランジスタ756、757によるバッファ回路を通じて反転信号Q765を出力する。これによりトランジスタ758、759によるバッファ回路の遅延とトランジスタ768、769によるトラスミッションゲートによる遅延をそろえることが容易となり出力Q765、X766の信号位相のずれを最小にすることが可能となる。トランジスタ768、769とトランジスタ758、759およびバッファを構成するトランジスタ755、757とトランジスタ760、761のサイズをそれぞれ揃えることにより回路の対称性が良くなりタイミングのずれも最小となるがトランジスタ768、769とトランジスタ758、759のサイズの違いはそれほどクリティカルではない。

30

【0056】

いま遅延回路701の入力として信号 D_0 が端子700に入力されたとすると遅延回路701～709によって順次遅延された信号 D_i およびその否定 XD_i ($1 \leq i \leq 9$) が出力される {図8(a)～(j)}。

いま、 D_1 と XD_2 の両方が真、すなわち D_1 がハイかつ D_2 がローとなるとき(図8(k)で示す時間 t_1)にトランジスタ716、717がオンしてパルス出力端子Pulse Out 744を端子746に印加される第1の電位レベルV1に接続する。次に XD_2 と D_3 の両方が偽、すなわち D_2 がハイかつ D_3 がローのとき(図8(k)で示す時間 t_2)にトランジスタ714、715がオンしてパルス出力端子Pulse Out 744を端子745に印加される第2の電位レベルV2に接続する。

40

【0057】

以下同様に、 D_3 と XD_4 の両方、 D_5 と XD_6 の両方、または D_7 と XD_8 の両方が真、すなわち D_3 がハイかつ D_4 がロー、 D_5 がハイかつ D_6 がロー、または D_7 がハイかつ D_8 がローとなるとき(図8(k)で示す時間 t_3 、 t_5 、 t_7)にトランジスタ724および725の両方、732および733の両方、または740および741の両方がオンしてパル

50

ス出力端子 Pulse Out 744 を端子 746 に印加される第 1 の電位レベル V1 に接続する。

【0058】

次に XD₄ と D₅ の両方、XD₆ と D₇ の両方、または XD₈ と D₉ の両方が偽、すなわち D₄ がハイかつ D₅ がロー、D₆ がハイかつ D₇ がロー、D₈ がハイかつ D₉ がロー、のとき（図 8（k）で示す時間 t₄、t₆、t₈）にトランジスタ 722 および 723 の両方、730 および 731 の両方、または 738 および 739 の両方がオンしてパルス出力端子 Pulse Out 744 を端子 745 に印加される第 2 の電位レベル V2 に接続する。

【0059】

同様にパルス D₀ の立ち下りでは、XD₁ と D₂ の両方、XD₃ と D₄ の両方、XD₅ と D₆ の両方、または XD₇ と D₈ の両方が真となる時（図 8（k）で示す時間 t₉、t₁₁、t₁₃、t₁₅）にトランジスタ 712 および 713 の両方、720 および 721 の両方、728 および 729 の両方、または 736 および 737 の両方がオンしてパルス出力端子 Pulse Out 744 を端子 746 に印加される第 1 の電位レベル V1 に接続する。

【0060】

次に D₂ と XD₃ の両方、D₄ と XD₅ の両方、D₆ と XD₇ の両方、または D₈ と XD₉ の両方が偽となる時（図 8（k）で示す時間 t₁₀、t₁₂、t₁₄、t₁₆）にトランジスタ 710 および 711 の両方、718 および 719 の両方、726 および 727 の両方、または 734 および 735 の両方がオンしてパルス出力端子 Pulse Out 744 を端子 745 に印加される第 2 の電位レベル V2 に接続する。

【0061】

トランジスタ 742、743 は MOS 抵抗を利用して電位 V1、V2 を分割し、上述の t₁～t₈、t₉～t₁₆ 以外のときのパルス出力端子 Pulse Out 744 の電位を決める。

以上のような構成により図 10（e）、（f）に示すような DC 成分を持たないパルス列のペアを発生することが出来る。

【0062】

この回路を実施例 2 に示した図 4 のパルス発生回路 405 に使用してもよい。これによってパルス間隔の変更が可能となる。実施例 3 のように前後でその極性を切り替えるためには図 7（a）に示すように遅延回路 770 をもう一段追加し図 4（a）に示す回路の遅延回路 405 に使用するとともに B402 が偽、すなわち DL₀ のパルス間隔が狭いときに、トランジスタ 712、713 のゲートを XD₁、D₂ から XD₉ および追加した遅延回路出力の D₁₀ に切り替える。この切り替えは簡単なデジタル回路による従来技術で実現できるので方法の説明は省略する。

【0063】

本実施例ではパルス出力が直接スイッチトランジスタで駆動されておりしかもその各スイッチトランジスタのゲートに印加されるスイッチング信号には細いパルスが含まれない。従来の出力波形は図 11（d）に示したように振幅が十分振り切れずにつぶれてしまったり、十分な信号振幅を得るために消費電力の大きな出力回路を要する。この傾向は容性負荷を駆動するときにさらに顕著になり深刻な問題になるが、本発明によれば使用する回路デバイスの応答時間程度にきわめて細いパルスを生成するような場合においても低消費電力で振幅の大きい良好なパルス波形を得ることが出来る。

以上述べたように、本発明によれば簡単な回路によりデバイス性能の極限までの細いパルスを容易に発生できる。0.18 μ プロセスの CMOS 集積回路で 10 GHz 程度の短パルスの発生が可能でありその効果が大きい。

【0064】

（第 5 の実施の形態）

以上説明したパルス発生回路は、極めて小型で消費電力が少なく、且つ、UWB 通信に用いるに理想的なパルス信号を得ることができるため、周囲に無用な影響を及ぼさず、且つ、他からの妨害を受け難い短距離の微小電力の通信への応用等も極めて有望である。

10

20

30

40

50

特にUWB通信は短距離の高速通信に適しており、従来の無線通信では不可能であったGbps（ギガビット/秒）以上の伝送量が期待できる。このような伝送量は従来のどの無線通信方式においても実現し得なかった値であり、また上記のように有線伝送路によっても様々な困難を伴う。さらにパルスによるUWB通信（IR）を行う回路は動作は間歇的でありパルスがアクティブな時だけ回路に電源が入っていれば良い。これによって回路に消費される電力を大幅に節約できる。さらに間歇動作であるためにこのシステムが組み込まれる機器の動作に与える妨害や機器から受ける妨害が少ない。本発明によるパルス発生回路を用いたUWB通信を機器内のデータ伝送に使用すると従来の銅線（有線路）による接続よりも低電力、高速でより低い外部への妨害、また高い耐干渉性を得ることができる。

10

例えば、自在継ぎ手やヒンジなどのように、姿勢や位置に関して相対変位が許容されるように結合された二つ以上の筐体間での信号の授受を無線で行うような機構部（結合機構部）を含む装置に適用するにも好適である。

【0065】

図16は図1乃至図8を参照して説明したパルス発生回路を適用して各個に電子回路が実装され機構部によって結合された二つの筐体間での信号の授受を無線通信で行うようにした本発明の実施形態としての電子装置の構成例を表すブロック図である。

図16において、二つの筐体は、その一方である、送信部ブロックA812、および、同、他方である受信部ブロックA813として構成され、送信部ブロックA812から受信部ブロックA813へデータを送信する。送信部ブロックA812では、送信情報を生成しないし保有する回路要素A801から送信回路A802を介して、送信アンテナA810から電磁波を放射する。

20

【0066】

この実施形態では、送信回路A802内に、図1乃至図8を参照して説明したパルス発生回路を適用して送信アンテナA810に伝送情報に相応して変調された送信電力を供給するための回路部が構成されている。

この送信アンテナA810から放射された電磁波は空中の無線伝播路A808を通して伝播する。

【0067】

受信部ブロックA813には、無線伝播路A808を通して伝播する送信情報を受信アンテナA811および受信部A806を通して受信する回路要素A804が設けられている。尚、送信部ブロックA812および受信部ブロックA813間では、送信部ブロックA812にはインターフェース回路A803が、受信部ブロックA813にはインターフェース回路A805が各設けられ、両インターフェース回路A803、A805間を結ぶ有線路A807を介して一部の信号ないし電力の授受が行われ得るように構成されている。

30

【0068】

この有線路にて低速の信号を伝送するのは容易であり、無線通信部の同期信号を伝送することができる。これによって、無線通信部では同期捕捉や追跡といった面倒な手続きや回路が不要となり回路の簡略化が可能となる。また、セキュリティ強化のための暗号鍵を送り任意に鍵を変更しながら無線通信を行うこともできる。

40

送信アンテナA810から放射される電磁界は法律によって定められる上限を超えないように設定される。免許を要しない無線局として許容される放射レベルはEMIの規定よりもはるかに低いレベルであるが、通信距離が至近距離であるため、リンクバジェットを適当に設定することで十分な品質の通信路を確保できる。

【0069】

画像を含むデータのように高速伝送が必要な大量情報は信号線を介して伝えられるのではなく、無線により空間を伝播するため、信号線を使う必要がなくなり、それに伴うコネクタやヒンジ構造（結合機構部）における機構上の或いはまた電氣的な更には製造上の種々の問題を一掃することができる。

また、従来の信号線による伝送では、高速化に伴い浮遊容量への充放電が多くなり、消

50

費電力が増加し、さらに信号線路から発射される不要放射電力が増加し、周囲の機器への干渉対策が困難となるという欠点があった。また、信号線による伝送では、ロジックレベルが規定されているため、本質的に消費電力を減らすことができず、不要放射を減らすには、シールド強化などの対処療法しか方法がなかった。

【0070】

これに対して、この実施形態のような構成によれば、同一システム内という至近距離において十分な通信品質を確保できれば良いので、送信アンテナA810からの放射電力をこの値程度まで下げることができ、消費電力の増大が本質的に改善され、EMI対策が容易となる。また、通信線路のインピーダンスマッチングのための終端に伴う消費電力の増大や、部品配置、線路の引きまわし等の制約から解放される。

10

尚、図16の構成例では、便宜上、専ら送信部ブロックA812から受信部ブロックA813ヘータを送信するが如くに説明したが、両ブロック間で双方向の通信を行うように構成され得ることは言うまでもない。

【0071】

(第6の実施の形態)

図17は、図16を参照して説明した無線通信をクラムシェル型携帯電話機に適用した例を表す図である。図17(a)はクラムシェル型携帯電話機を開いたときの状態を示す斜視図であり、図17(b)は、同クラムシェル型携帯電話機を閉じたときの状態を示す斜視図である。

【0072】

20

図17(a)および図17(b)において、第1筐体部A901の表面には、操作ボタンA904が配置されると共に、第1筐体部A901の下端にはAマイク905が設けられ、第1筐体部A901の上端には外部無線通信用アンテナA906が取り付けられている。また、第2筐体部A902の表面(開いた状態で現れる面)には、表示体A908が設けられるとともに、第2筐体部A902の上端にはスピーカA909が設けられている。

【0073】

また、第2筐体部A902の裏面(閉じた状態での外面)には、表示体A911および撮像素子A912が設けられている。なお、上述の表示体A908およびA911としては、例えば、液晶表示パネル、有機ELパネルまたはプラズマディスプレイパネルなどが適用される。また、撮像素子A912としては、CCDまたはCMOSセンサなどが適用される。

30

【0074】

第1筐体部A901および第2筐体部A902には、第1筐体部A901と第2筐体部A902との間で内部無線通信を行う内部無線通信用アンテナA907およびA910がそれぞれ設けられている。図示のように、第1筐体部A901および第2筐体部A902結合機構部としてのヒンジA903を介して連結され、第2筐体部A902をヒンジA903を支点として回転させることにより、第2筐体部A902を第1筐体部A901上に折り畳むことができる。

【0075】

40

上述のようにして、第2筐体部A902を第1筐体部A901上に閉じることにより、操作ボタンA904を第2筐体部A902にて保護することができ、携帯電話を持ち歩く時に操作ボタンA904が誤って操作されることを防止することができる。また、第2筐体部A902を第1筐体部A901から開くことにより、表示体A908を見ながら操作ボタンA904を操作したり、スピーカA909およびマイクA905を使いながら通話したり、操作ボタンA904を操作しながら撮像を行ったりすることができる。

【0076】

また、クラムシェル構造を用いることにより、第2筐体部A902のほぼ一面全体に表示体A908を配置することができ、携帯電話機としての携帯性を損なうことなく、表示体A908のサイズを拡大させることを可能として、視認性を向上させることができる。

50

上述の構成において、この携帯電話機では、第1筐体部A901に内部無線通信用アンテナA907を、および、第2筐体部A902に内部無線通信用アンテナA910をそれぞれ設けることにより、これらの内部無線通信用アンテナA907およびA910を用いた内部無線通信にて第1筐体部A901と第2筐体部A902との間のデータ伝送を行うように構成されていることを特徴としている。

【0077】

即ち、図17の携帯電話機では、内部無線通信用アンテナA907が図16の電子装置における送信アンテナA810に相応し、内部無線通信用アンテナA910が図16の電子装置における受信アンテナA811に相応する。

図17の携帯電話機において、内部無線通信用アンテナA907側（第1筐体部A901側）には、図16の電子装置における送信部A802に相応する回路部を含む送信部ブロックA812に相当する回路部が設けられている。

【0078】

また、同様に、図17の携帯電話機の内部無線通信用アンテナA910側（第2筐体部A902側）には図16の電子装置における受信部A806に相応する回路部を含む受信部ブロックA813に相当する回路部が設けられている。

尚、図16の装置について既述の如く、送信側および受信側の想定は便宜上のものであって、双方向の通信を行うように装置を構成できる点は、図17においても該当するものであることは勿論である。

【0079】

上述の構成により、例えば、外部無線通信用アンテナA906を介して第1筐体部A901に取り込まれた画像データや音声データを、内部無線通信用アンテナA907およびA910を用いた内部無線通信によって第2筐体部A902に送り、表示体A908に画像を表示させたり、スピーカA909から音声を出力させたりすることができる。

また、撮像素子A912によって撮像された撮像データを、内部無線通信用アンテナA907およびA910を用いた内部無線通信によって第2筐体部A902から第1筐体部A901に送り、外部無線通信用アンテナA906を介して外部に送出させることができる。上述のように、第1筐体部A901と第2筐体部A902との間のデータ伝送を有線で行う必要がなくなり、多ピン化されたフレキシブル配線基板をヒンジA903に通す必要がなくなる。

【0080】

このため、ヒンジA903の構造の複雑化を招来せず、従って、実装工程の煩雑化を回避することができ、コストアップを抑制しつつ、携帯電話の小型薄型化および信頼性の向上を図ることが可能となるとともに、携帯電話機としての携帯性を損なうことなく、携帯電話の大画面化および多機能化を図ることができる。

このように、機器内部においても信号伝送に無線通信を使用すると効果が大きいですが、内部通信に本発明に基づくパルス発生回路を使用したパルス通信を用いると、与干渉性、耐干渉性に優れた無線通信が可能である。すなわち携帯電話機のように、別に機器本来の目的である通信回路を有するような電子機器においても、その本来の目的とする無線通信に対する影響や妨害、あるいは機器本来の目的とする無線通信から受ける影響や妨害を極小に抑制することができる。

なお、上述のような無線通信の技術は、クラムシェル型携帯電話機に限らず、他の形態の携帯電話機や、ビデオカメラ、PDA（Personal Digital Assistance）、ノート型パーソナルコンピュータ、その他の電子機器に適用することもできる。

【0081】

（第7の実施の形態）

図16および図17を参照して説明した実施形態では、図1乃至図8を参照して説明したパルス発生回路を適用して各個に電子回路が実装され機構部によって結合された二つの筐体間での信号の授受を無線通信で行うようにした構成を採るものであった。

しかしながら、本発明の技術思想は、このように二分された筐体間での信号の授受を無

線通信で行うような形態に限定されるものではない。

【0082】

即ち、同一の筐体内に、図16の送信部ブロックA812に相応する送信用の回路部と、受信部ブロックに相応する受信用の回路部とを備え、これら送信および受信用の両回路部間で図1乃至図8を参照して説明したパルス発生回路を適用して通信を行うような形態を採ることができる。次に、このような実施形態について例示し、本発明の技術思想について更に説明する。

【0083】

図18は本発明による電子装置の実施例の一つである液晶プロジェクタの構成を示す図であり、図18(a)は液晶プロジェクタの要部を示す図、図18(b)は図18(a)の液晶プロジェクタ内の一つのライトバルブの詳細を表す図である。 10

図18(a)において、プロジェクタはその筐体A1010の大部分を光学系が占める。すなわち、光源A1001から発せられた光(白色光)は光学系A1002(破線内)により三原色に分解される。ここで、光学系A1002は主としてハーフミラーHMや光学フィルタおよびレンズLZにより構成される。それぞれの光は液晶によるライトバルブA1005、ライトバルブA1006、ライトバルブA1007により光変調された後、プリズムで構成される光学系A1003により合成され、光学系A1004により拡大投影される。

【0084】

ライトバルブA1005、ライトバルブA1006、ライトバルブA1007を制御するための回路は基板A1008、A1009に搭載される。変調器A1012はライトバルブ制御のための表示データ信号を変調し、電磁波として送信アンテナA1011から放射される。 20

図18(b)において、透過液晶による光シャッターA1021を駆動する半導体集積回路による液晶ドライバA1022(通常複数個の半導体集積回路より構成される。)は、図18(a)の送信アンテナA1011から送信された表示データ信号を、受信アンテナA1023により受信し、該受信した信号を復調した信号によって、光シャッターA1021を駆動する。

【0085】

一方、本例のプロジェクタでは、光シャッターA1021や液晶ドライバA1022を駆動するための電力は、コネクタA1024を介して受け取ることができるように構成されている。 30

送信アンテナA1011から多重されて送信される電磁波による表示データ信号は、これら多重された信号を分離して各個に受信可能なように、符号拡散による方法や異なる電磁波の変調周波数を用いる方法あるいはタイムスロットを決めてアドレッシングする方法などにより、特定の正規の受信回路ブロック(モジュール)が指定される。

【0086】

このようなアドレッシング方法を取ることにより、送信アンテナA1011から送信された電磁波信号は3つあるライトバルブのうちの指定されたライトバルブに正しく伝えられる。アドレス指定はライトバルブ毎でもよいし、また、図18(b)に示すように一つのライトバルブに複数の液晶ドライバが搭載され、その各々に対してアドレス指定することも可能である。 40

【0087】

以上、図18(a)および図18(b)を参照して説明した液晶プロジェクタとしての実施形態から容易に理解されたとおり、本実施形態の電子装置は、送信信号を電磁波信号に変換する電磁波変換部と、電磁波信号を無線送信する送信部とを備える送信用の回路部(図18の装置では、ライトバルブ制御のための表示データ信号を変調し、電磁波として送信アンテナA1011に供給する変調器A1012および送信アンテナA1011等であって、図16の送信部ブロックA812に相応)と、前記電磁波信号を受信する受信部と受信した電磁波信号を前記送信信号に復元する電磁波復元部とを備える受信用の回路部 50

(図18の装置では、受信アンテナA1023および該受信アンテナA1023により受信した信号を復調して光シャッターA1021を駆動するための信号を得る回路部であって、図16の受信部ブロックに相応)とが、同一筐体内に収容されて構成されているものであるということが出来る。

【0088】

上述の技術は、これを敷衍するに、同一筐体内に実装される複数の回路ブロックないし回路基板のうちの所定の相互間で無線により信号の授受を行うための少なくとも一対の無線部を具備し、且つ、該当する前記無線部は、上記の種々の態様のうちの何れかのパルス発生回路を適用して構成されている電子装置であることが明らかである。

上述の構成において、送信用の回路部および受信用の回路部は、それぞれ、回路基板或いは回路ブロックとしてモジュール化されて構成され得る。 10

【0089】

そして、上記構成の電子装置では、信号の送受信を電磁波により無線化でき、信号は空間を伝播して伝わるためフレキシブル基板やコネクタなどを用いた配線の必要がなく、これらに起因するコスト高や信頼性低下の懸念が払拭される。

また、インピーダンスマッチングのための終端やデータ伝送速度の高速化に伴う消費電力の増大といった問題も回避できる。更に、配線の引き回しや部品配置の制約がなくなり、電子装置のデザインや使い勝手を向上することができる。

また信号伝送に使用される電磁波は同一筐体という至近距離で行われるため、この距離内での通信が確保できさえすれば良く、放射電磁波の強度を限界まで下げることが出来るのでEMI特性が本質的に改善され対策が容易になる。 20

【0090】

特に、図18を参照して例示した液晶プロジェクタの場合では、従来、液晶プロジェクタ内では筐体体積の大部分を光学系が占め、光経路を避けて配線したり、光経路を避けて部品を配置したりする必要がある、更には、光源から発せられる熱が筐体内にこもるため、配線の熱対策も必要であった。ここに本発明を実施することによって、信号伝送が電磁波により空間伝送されるため、従来のこの種の困難さは著しく緩和される。

なお、上述のような無線通信の技術は、プロジェクタに限らず、携帯電話機や、ビデオカメラ、PDA(Personal Digital Assistance)、ノート型パーソナルコンピュータ、その他の電子機器での同一筐体内の信号送受信に適用することもできる。 30

【産業上の利用可能性】

【0091】

本発明は短パルスを利用するUWB通信に利用すれば特にその効果が大きい。

【図面の簡単な説明】

【0092】

【図1】本発明の第1の実施の形態に係るパルス発生回路の図である。

【図2】CMLによる排他的論理和回路を説明する図である。

【図3】本発明の第1の実施の形態に係るパルス発生回路の動作を説明するタイム図である。

【図4】本発明の第2の実施の形態に係るパルス発生回路の図、およびその動作を説明するタイム図である。 40

【図5】本発明の第3の実施の形態に係るパルス発生回路の図、およびその動作を説明するタイム図である。

【図6】本発明に係るパルス発生回路で発生したパルスを使った通信の受信部の要部を説明する図、およびその動作を説明するタイム図である。

【図7】本発明の第4の実施の形態に係るパルス発生回路の図である。

【図8】本発明の第4の実施の形態に係るパルス発生回路の動作を説明するタイム図である。

【図9】従来のパルス発生回路の図と動作タイム図である。

【図10】従来の、および本発明で発生しようとするパルスを説明する説明図である。 50

【図 1 1】従来のパルス発生回路の図と動作タイム図である。

【図 1 2】従来のパルス発生回路の図である。

【図 1 3】従来のパルス発生回路の図と動作タイム図である。

【図 1 4】従来のパルス発生回路の図である。

【図 1 5】従来のパルス発生回路の動作タイム図およびその課題を説明する図である。

【図 1 6】本発明の第 5 の実施の形態に係る、図 1 乃至図 8 を参照して説明したパルス発生回路を適用して各個に電子回路が実装され機構部によって結合された二つの筐体間での信号の授受を無線通信で行うようにした本発明の実施形態としての電子装置の構成例を表すブロック図である。

【図 1 7】本発明の第 6 の実施の形態に係る、図 1 6 を参照して説明した無線通信をクラムシェル型携帯電話機に適用した例を表す図である。

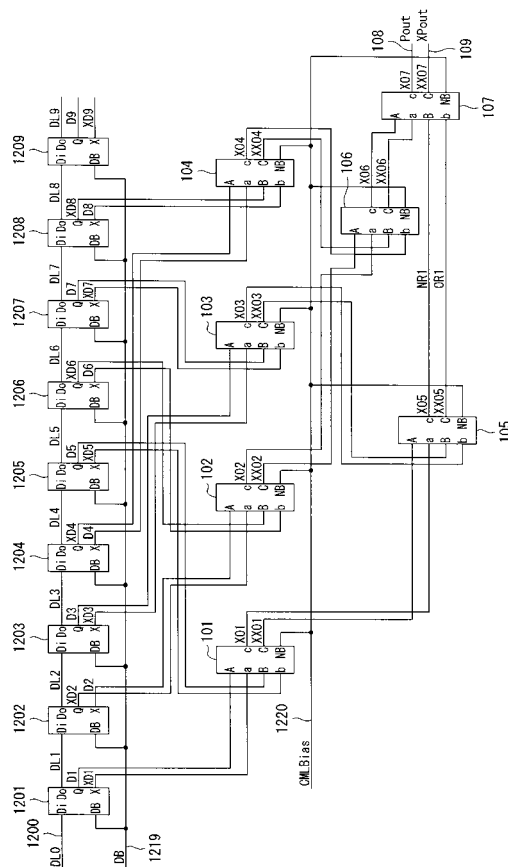
【図 1 8】本発明の第 7 の実施の形態に係る、本発明による電子装置の実施例の一つである液晶プロジェクタの構成を示す図である。

【符号の説明】

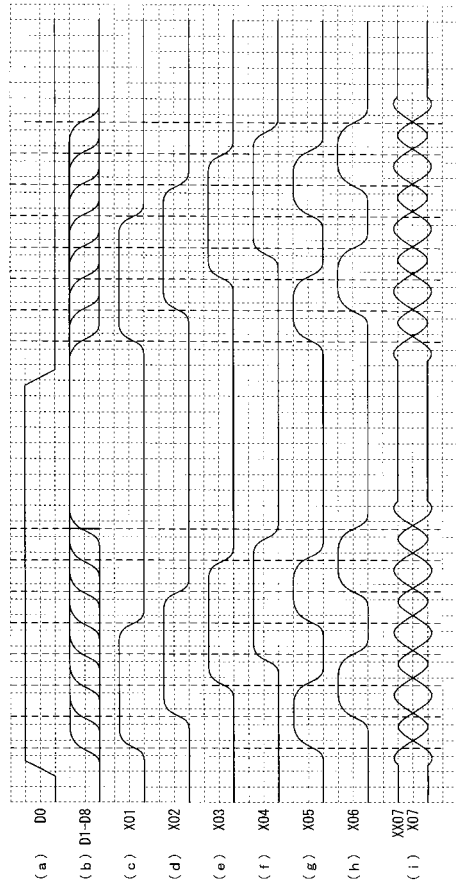
【0093】

403、602、701～709、770、1201～1209…遅延回路 101～107、506…排他的論理和回路 404…AND-ORゲート 405、505…パルス発生回路 603…乗算回路 604…ローパスフィルタまたは積分回路 710～741…スイッチトランジスタ 768、769…トランスミッションゲートのトランジスタ 746…第 1 の電位レベルを与えるノード 745…第 2 の電位レベルを与えるノード

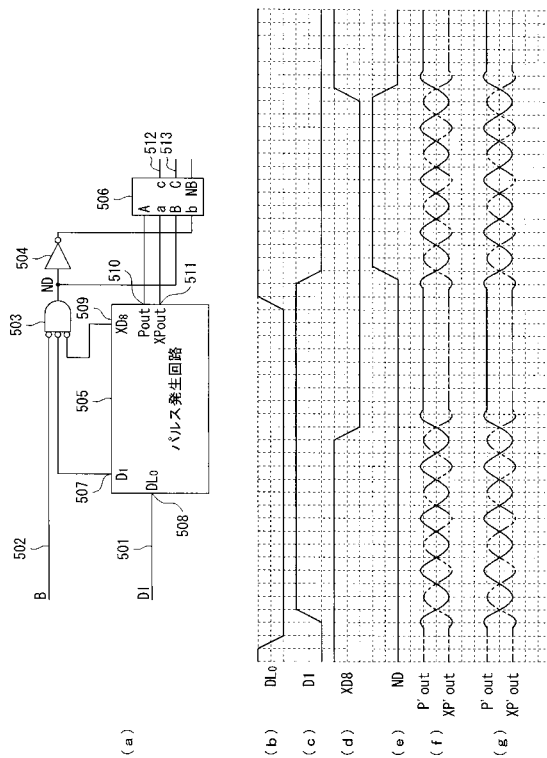
【図 1】



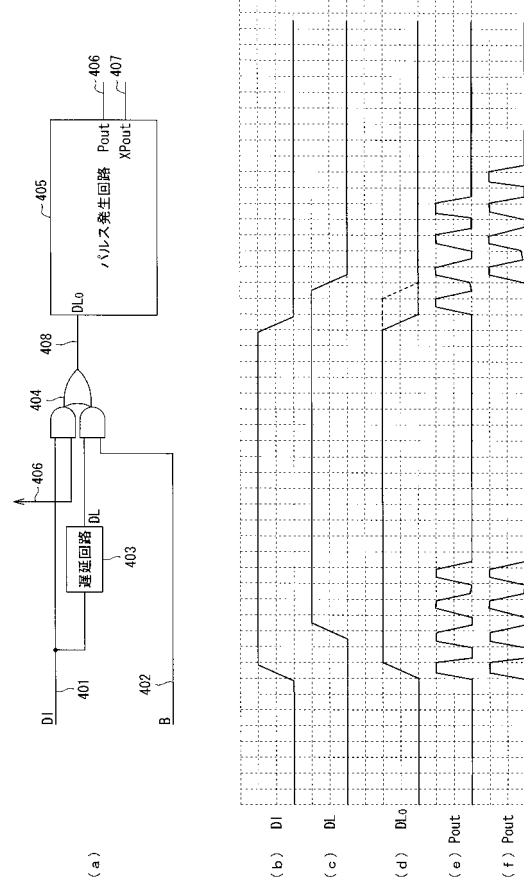
【図 3】



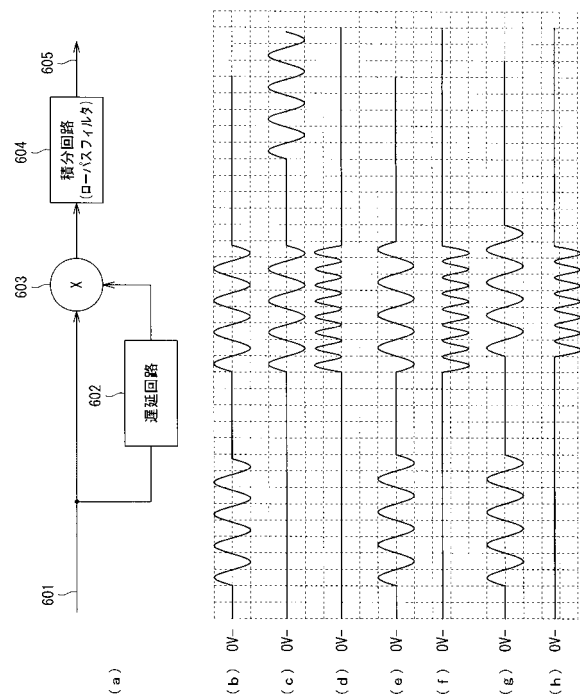
【図 5】



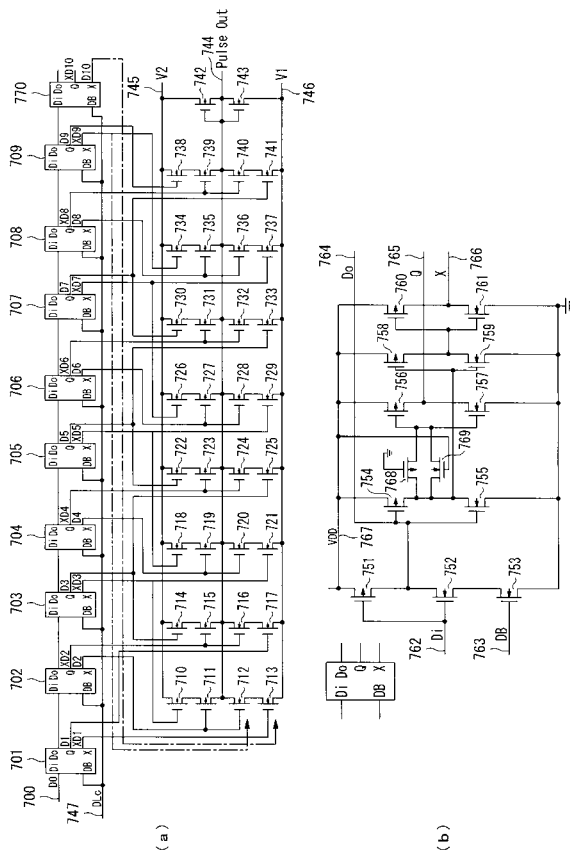
【図 4】



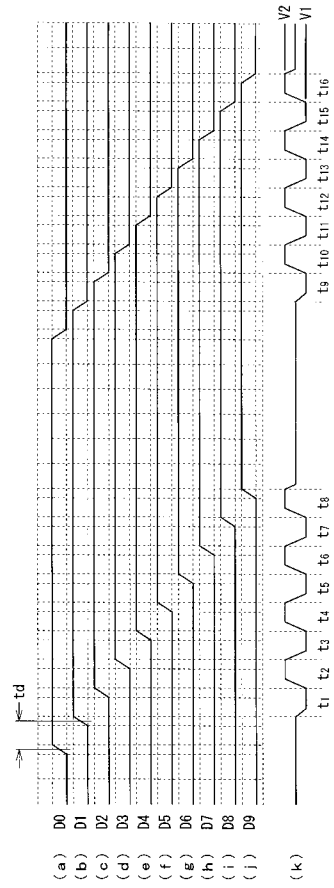
【図 6】



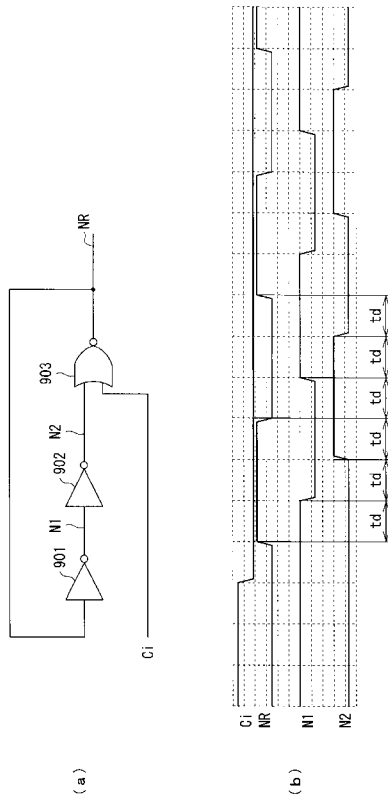
【図 7】



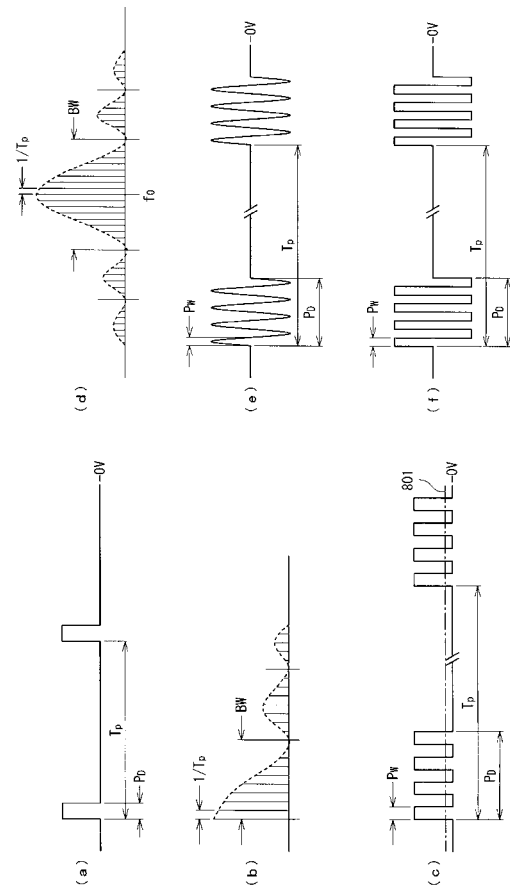
【図 8】



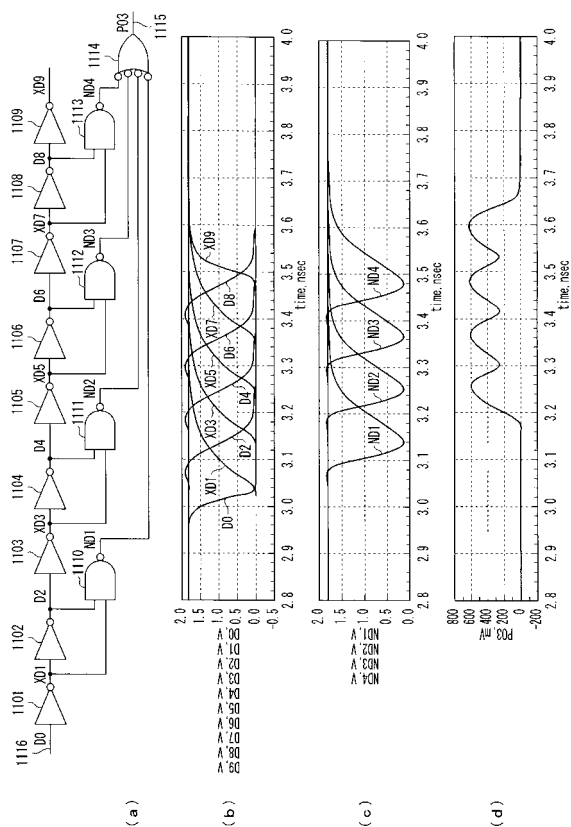
【図 9】



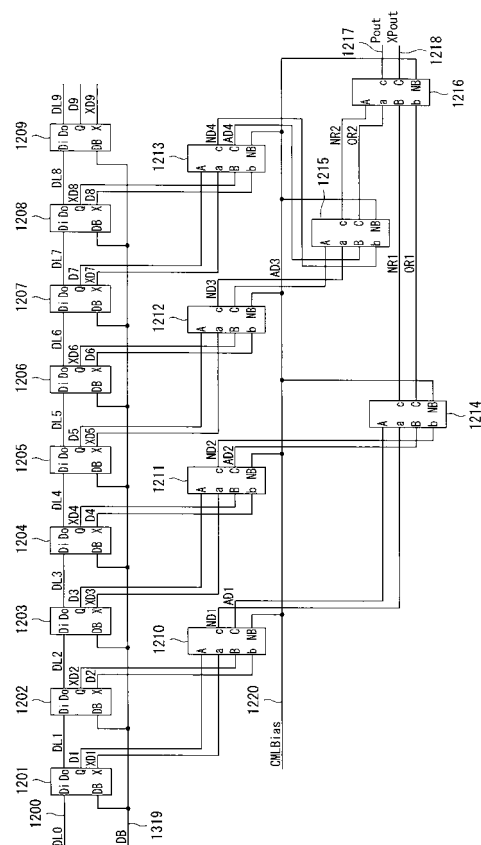
【図 10】



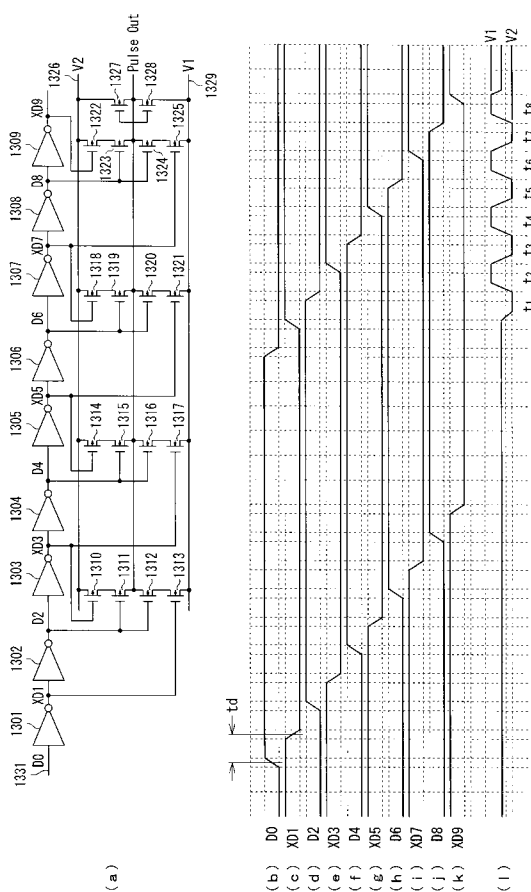
【 図 1 1 】



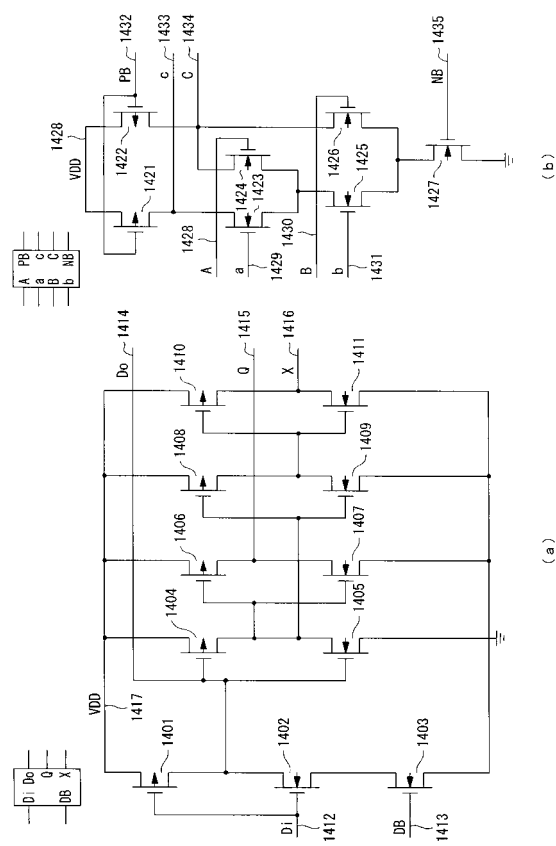
【图 1 2】



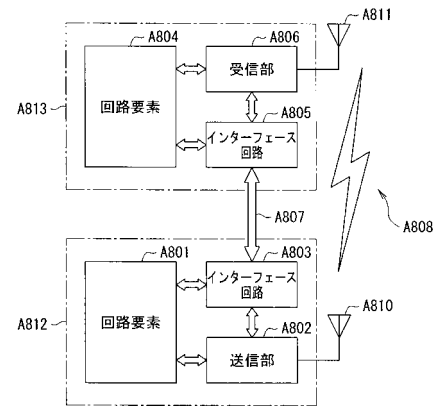
【 図 1 3 】



【図 14】



【 図 1 6 】



【 図 1 8 】

