



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201110206 A1

(43)公開日：中華民國 100 (2011) 年 03 月 16 日

(21)申請案號：099116885

(22)申請日：中華民國 99 (2010) 年 05 月 26 日

(51)Int. Cl. : *H01L21/30 (2006.01)*

(30)優先權：2009/06/25 日本 2009-151288

(71)申請人：瑞薩電子股份有限公司 (日本) RENESAS ELECTRONICS CORPORATION (JP)
日本

(72)發明人：栗栖裕和 KURISU, HIROKAZU (JP)；武島豐 TAKESHIMA, YUTAKA (JP)；菅野
至 KANNO, ITARU (JP)；東雅彥 HIGASHI, MASAHIKO (JP)；廣田祐作 HIROTA,
YUSAKU (JP)

(74)代理人：陳長文

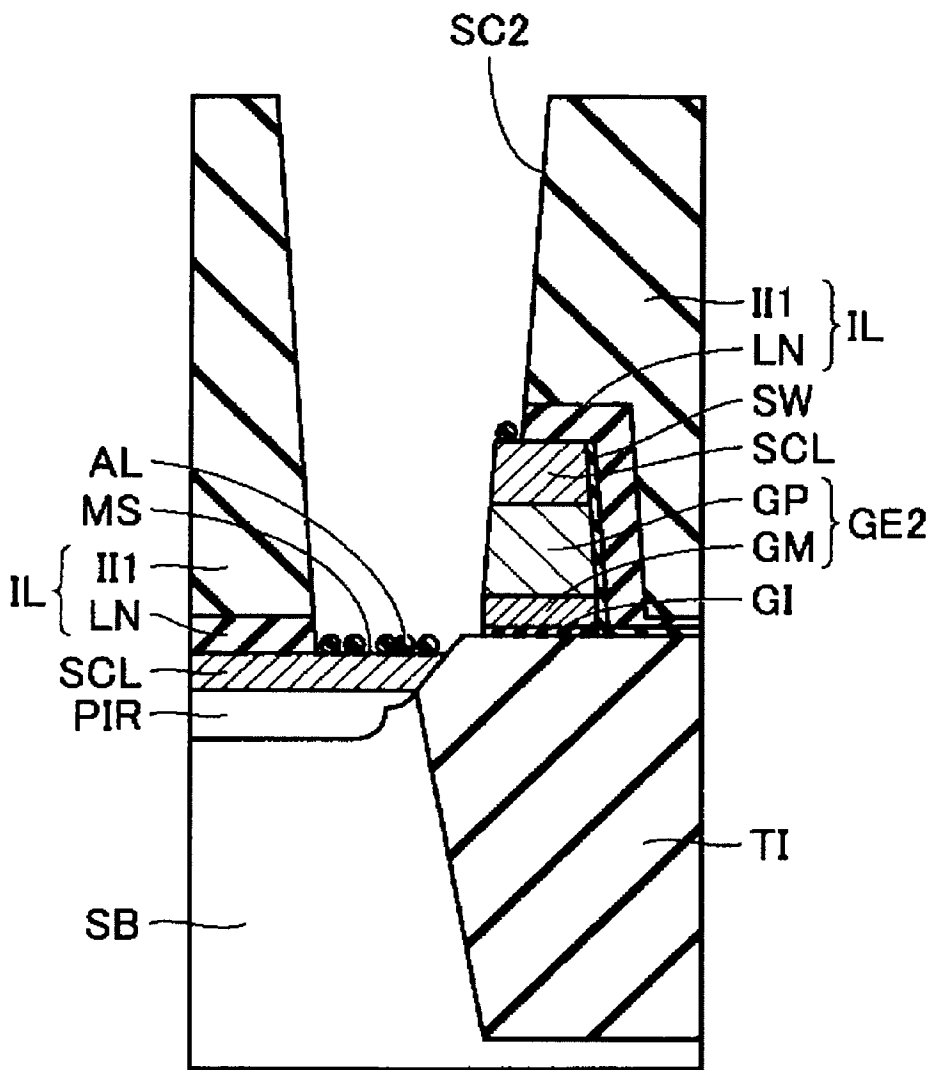
申請實體審查：無 申請專利範圍項數：13 項 圖式數：24 共 63 頁

(54)名稱

半導體裝置之洗淨方法

(57)摘要

本發明提供一種抑制閘極金屬材料溶解與獲得良好的接觸電阻兩者可同時實現的半導體裝置之洗淨方法。本發明之半導體裝置之洗淨方法包含以下步驟。準備包含矽且具有主表面 MS 之半導體基板 SB。於主表面 MS 上自下依序積層金屬層 GM 與矽層 GP，形成積層閘極 GE2。於主表面 MS 及矽層 GP 表面分別形成矽化物層 SCL。於主表面 MS 及積層閘極 GE2 表面各自之矽化物層 SCL 上形成絕緣層 IL。於絕緣層 IL 形成共用接觸孔 SC2，以使半導體基板 SB 之主表面 MS 及積層閘極 GE2 之表面各自的矽化物層 SCL 自絕緣層 IL 露出。對共用接觸孔 SC2 分別以不同之步驟進行硫酸洗淨、過氧化氫水洗淨及 APM 洗淨，藉此除去共用接觸孔 SC2 中所形成之變質層 AL。



AL：變質層

GE2：閘極電極層

GI：閘極絕緣層

GM：閘極金屬

GP：閘極多晶矽

II1：層間絕緣層

IL：絕緣層

LN：襯墊氮化膜

MS：主表面

PIR：p型雜質區域

SB：半導體基板

SC2：共用接觸孔

SCL：矽化物層

SW：側壁分隔件

TI：填充物



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201110206 A1

(43)公開日：中華民國 100 (2011) 年 03 月 16 日

(21)申請案號：099116885

(22)申請日：中華民國 99 (2010) 年 05 月 26 日

(51)Int. Cl. : **H01L21/30 (2006.01)**

(30)優先權：2009/06/25 日本 2009-151288

(71)申請人：瑞薩電子股份有限公司 (日本) RENESAS ELECTRONICS CORPORATION (JP)
日本

(72)發明人：栗栖裕和 KURISU, HIROKAZU (JP)；武島豐 TAKESHIMA, YUTAKA (JP)；菅野
至 KANNO, ITARU (JP)；東雅彥 HIGASHI, MASAHIKO (JP)；廣田祐作 HIROTA,
YUSAKU (JP)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：13 項 圖式數：24 共 63 頁

(54)名稱

半導體裝置之洗淨方法

(57)摘要

本發明提供一種抑制閘極金屬材料溶解與獲得良好的接觸電阻兩者可同時實現的半導體裝置之洗淨方法。本發明之半導體裝置之洗淨方法包含以下步驟。準備包含矽且具有主表面 MS 之半導體基板 SB。於主表面 MS 上自下依序積層金屬層 GM 與矽層 GP，形成積層閘極 GE2。於主表面 MS 及矽層 GP 表面分別形成矽化物層 SCL。於主表面 MS 及積層閘極 GE2 表面各自之矽化物層 SCL 上形成絕緣層 IL。於絕緣層 IL 形成共用接觸孔 SC2，以使半導體基板 SB 之主表面 MS 及積層閘極 GE2 之表面各自的矽化物層 SCL 自絕緣層 IL 露出。對共用接觸孔 SC2 分別以不同之步驟進行硫酸洗淨、過氧化氫水洗淨及 APM 洗淨，藉此除去共用接觸孔 SC2 中所形成之變質層 AL。

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體裝置之洗淨方法，尤其是關於一種形成有共用接觸孔之半導體裝置之洗淨方法。

【先前技術】

於半導體裝置之接觸孔形成步驟中，為獲得良好的接觸電阻，需要除去用以形成接觸孔之乾式蝕刻後之變質層。該變質層包含乾式蝕刻後之殘渣物(含有殘留氣體之產物及因抗蝕劑而生成之有機物的聚合物)及接觸孔底部的矽化物之氧化層。先前，該變質層係藉由使用SPM(Sulfuric Acid/Hydrogen Peroxide/Water Mixture；硫酸、過氧化氫水及水之混合液)及APM(Ammonium Hydroxide/Hydrogen Peroxide/Water mixture；氨水、過氧化氫水及水之混合液)進行洗淨而除去。

更具體而言，例如含有CF(fluorocarbon；碳氟)系之殘留氣體之產物及因抗蝕劑而生成之有機物的聚合物係藉由SPM而分解除去。又，例如接觸孔底部的矽化物(NiPtSi；矽化鎳鉑)之氧化層即NiPtSiO_x係藉由APM進行蝕刻而除去。

通常之半導體裝置之基板洗淨技術例如記載於日本專利特開2000-331978號公報(專利文獻1)、日本專利特開2008-85124號公報(專利文獻2)等中。日本專利特開2000-331978號公報中記載：於多金屬閘極電極之形成中，為除去抗蝕劑殘留物、微粒及因乾式蝕刻而產生之聚合物等，依序使

[S]

用 SPM 溶液及 APM 溶液洗淨矽基板。又，日本專利特開 2008-85124 號公報中記載有：於接觸孔下面的半導體基板表面及接觸孔下面的接觸插塞表面形成矽化鈷層後，使用硫酸等除去未反應之鈷。

[先前技術文獻]

[專利文獻]

[專利文獻 1] 日本專利特開 2000-331978 號公報

[專利文獻 2] 日本專利特開 2008-85124 號公報

【發明內容】

[發明所欲解決之問題]

對於 32 nm 節點以下之 CMOS (Complementary Metal Oxide Semiconductor；互補金氧半導體) 元件，業界正在研究採用高介電常數層/金屬閘極 (High-k/Metal Gate) 結構。高介電常數層/金屬閘極結構中，閘極電極層係使用閘極金屬。於高介電常數層/金屬閘極結構中，SRAM (Static Random Access Memory；靜態隨機存取記憶體) 部可採用包含到達至活性區域與閘極電極層兩者的 1 個接觸孔之共用接觸。洗淨共用接觸時，需要於閘極金屬材料 (例如，氮化鈦) 及共用接觸孔底部的矽化物 (例如，NiPtSi) 同時自共用接觸孔中露出之狀態下，除去孔蝕刻後之變質層 (乾式蝕刻後之殘渣物、矽化物之氧化層)。

先前用於多結晶矽 (poly-Si)/氮氧化矽 (SiON) 閘極結構的 SPM 之洗淨液會溶解閘極金屬材料 (例如，氮化鈦)。藉此，電晶體特性劣化，產生不良。因此，要使用 SPM 之洗

淨液除去變質層較為困難。

另一方面，氟系之洗淨液不會溶解閘極金屬材料(例如，氮化鈦)。然而，當以氟系之洗淨液洗淨乾式蝕刻後之共用接觸孔時，會發生因乾式蝕刻而受到損壞之共用接觸孔之底部的矽化物(例如，NiPtSi)沿晶界以塊狀脫落之現象。藉此會產生接觸電阻增大之不良狀況，故而除去變質層與獲得良好的接觸電阻兩者難以同時實現。

本發明係有鑒於上述課題而成者，其目的在於提供一種抑制閘極金屬材料溶解與獲得良好的接觸電阻兩者可同時實現的半導體裝置之洗淨方法。

[解決問題之技術手段]

本發明之一實施例之半導體裝置之洗淨方法包含以下步驟。準備包含矽且具有主表面之半導體基板。於主表面上自下依序積層金屬層與矽層，形成積層閘極。於主表面及矽層表面分別形成矽化物層。於主表面及積層閘極表面各自之矽化物層上形成絕緣層。於絕緣層形成共用接觸孔，以使半導體基板之主表面及積層閘極之表面各自的矽化物層自絕緣層露出。對共用接觸孔分別以不同之步驟進行硫酸洗淨、過氧化氫水洗淨及APM洗淨，藉此除去共用接觸孔中所形成之變質層。

[發明之效果]

根據本實施例之半導體裝置之洗淨方法，由於對共用接觸孔係分別以不同之步驟進行硫酸洗淨與過氧化氫水洗淨，故而與使用作為硫酸與過氧化氫水之混合液之SPM進

[5]

行洗淨之情形相比，更可抑制金屬層之溶解。由於可抑制金屬層溶解，因此電晶體特性不會劣化。

又，即便分別以不同之步驟進行硫酸洗淨與過氧化氫水洗淨，亦可除去包含聚合物之變質層。又，由於進行APM洗淨，故而亦可除去包含矽化物之氧化層之變質層。

並且，由於可抑制金屬層之溶解，故而無需使用氟系之洗淨液。因此，矽化物不會脫落因而可獲得良好的接觸電阻。藉由以上，可除去變質層，並且可使抑制閘極金屬(金屬層)溶解與獲得良好的接觸電阻兩者同時得以實現。

【實施方式】

以下，藉由圖就本發明之實施形態進行說明。

(實施形態1)

首先，利用圖1~圖6，就包含本實施形態之半導體裝置之洗淨方法的製造方法進行說明。

參照圖1，例如藉由於包含矽之半導體基板SB中埋入填充物TI而形成由STI(Shallow Trench Isolation；淺溝槽隔離)所構成之溝槽分離結構。填充物TI例如係以包含氧化矽膜之分離氧化膜形成。於半導體基板SB之主表面MS上，形成閘極絕緣層GI及閘極電極用導電層。閘極絕緣層GI例如係以高介電常數(High-k)閘極氧化膜形成。

於閘極電極用導電層上塗佈例如光阻劑(未圖示)。繼而將光阻劑圖案化。將該光阻劑之圖案作為掩模而對閘極電極用導電層實施蝕刻。藉此，閘極電極用導電層圖案化，形成作為積層閘極之閘極電極層GE2等。閘極電極層GE2

係由作為金屬層之閘極金屬GM、及作為矽層之閘極多結晶矽(以下，將多結晶矽稱作多晶矽(polysilicon))GP所形成。閘極金屬GM例如以TiN(氮化鈦)形成。其後，藉由灰化等除去光阻劑之圖案。

繼而，將閘極電極層GE2等作為掩模，以離子形態注入雜質，藉此於半導體基板SB之主表面MS形成源極/汲極區域之低濃度區域。

其後，以將閘極電極層GE2等上覆蓋之方式，形成側壁分隔件用之絕緣層。該絕緣層例如係以氧化矽膜形成。於該絕緣層上形成例如SiN(氮化矽)膜。然後，對SiN膜之整個面實施深蝕刻，直至半導體基板SB之主表面MS露出為止。此時，SiN膜被除去，藉此側壁分隔件用之絕緣層於閘極電極層GE2等之側壁殘存，形成側壁分隔件SW。

將該側壁分隔件SW及閘極電極層GE2等作為掩模，進行雜質之離子注入等，藉此於半導體基板SB之主表面MS形成源極/汲極區域之高濃度區域。如此，形成例如藉由p型之低濃度區域及高濃度區域而具有LDD(Lightly Doped Drain；輕摻雜汲極)結構的p型之源極/汲極區域PIR。

參照圖2，於半導體基板SB之主表面MS之整個面形成高熔點金屬層，並實施熱處理，藉此於閘極電極層GE2及半導體基板SB之主表面MS上形成矽化物層(矽化物)SCL。例如，高熔點金屬層係藉由依序沈積NiPt(鎳鉑)膜、TiN膜而形成。之後，於N₂(氮氣)環境中實施第1階段之退火，藉此促進與矽之反應。其後，藉由化學藥液洗淨而除去未反

[S]

應之剩餘之NiPt膜、TiN膜。進而，於N₂環境中實施第2階段之退火，藉此促進與矽之反應，形成矽化物層SCL。

參照圖3，以覆蓋閘極電極GE2、側壁分隔件SW等之方式，於半導體基板SB之主表面MS上，依序積層形成襯墊氮化膜LN及層間絕緣層II1。襯墊氮化膜LN及層間絕緣層II1形成絕緣層IL。藉此，於半導體基板SB之主表面MS及閘極電極層GE2之表面各自的矽化物層SCL上形成絕緣層IL。襯墊氮化膜LN例如係以SiN膜形成。層間絕緣層II1例如係以氧化矽膜形成。其後，對層間絕緣層II1實施CMP (Chemical Mechanical Polishing；化學機械研磨)。

參照圖4，使層間絕緣層II1上未圖示之抗蝕劑圖案化。將抗蝕劑之圖案作為掩模對層間絕緣層II1實施蝕刻。之後，藉由灰化等除去抗蝕劑。藉此，於作為活性區域的半導體基板SB之主表面MS及閘極電極層GE2之表面各自的矽化物層SCL之上方形形成用以共用接觸之孔。再者，亦存在於半導體基板SB之主表面MS及閘極電極層僅分別形成接觸孔之圖案。

參照圖5，於無掩模之狀態下對襯墊氮化膜LN進行蝕刻，藉此形成共用接觸孔SC2，以使矽化物層SCL自絕緣層IL露出。此時，形成於共用接觸孔SC2內之閘極電極層GE2之側壁的襯墊氮化膜LN及側壁分隔件被SW除去。因此，於共用接觸孔SC2內之閘極電極層GE2之側壁，露出閘極多晶矽GP、閘極金屬GM等。

又，於半導體基板SB之主表面MS及閘極電極層GE2兩

者之矽化物層 SCL 上形成變質層 AL。變質層 AL 例如包含：含有 CF 系之殘留氣體之產物及因抗蝕劑而生成之有機物之聚合物、及作為矽化物之氧化層之 NiPtSiO_x 。變質層 AL 會阻礙與導電層 PL1 良好地接觸，因而成為接觸電阻增大之不良因素。導電層 PL1 例如為鎢 (W) 插塞。

參照圖 6，對共用接觸孔 SC2 分別以不同之步驟進行硫酸洗淨、過氧化氫水洗淨及 APM 洗淨。藉此除去變質層 AL。於硫酸洗淨中，硫酸之溫度例如設定為 80°C 。洗淨時間例如設定為 1 分鐘。於過氧化氫水洗淨中，過氧化氫水之溫度例如設定為室溫 (25°C)。洗淨時間例如設定為 30 秒。

於 APM 洗淨中，APM 之溫度 (液溫) 例如設定為 50°C 以下。APM 之溫度較佳為設定為 50°C ~ 室溫。APM 之混合比例例如設定為 29 質量% 氫水、30 質量% 過氧化氫水及純水為 1 : 1 : 50，或者設定為 4 : 1 : 200 之比率。29 質量% 氫水與純水之混合比宜為 1 : 50 以上。30 質量% 過氧化氫水與純水之混合比宜為 1 : 400 ~ 1 : 50 之間。

硫酸洗淨、過氧化氫水洗淨、APM 洗淨之各洗淨之順序不受限制。含有 CF 系之殘留氣體之產物及因抗蝕劑而生成之有機物之聚合物具有斥水性，故而為有效果地進行洗淨，較佳為以硫酸洗淨、過氧化氫水洗淨、APM 洗淨之順序進行洗淨。

然後，於共用接觸內形成導電性之插塞層。以下，利用圖 7~圖 11，關於作為上述共用接觸適用之元件的 SRAM 元

[5]

件進行說明。

參照圖7，SRAM係揮發性之半導體記憶裝置，該SRAM之記憶胞係例如完全CMOS(Complementary Metal Oxide Semiconductor)型之記憶胞。

該SRAM中，於呈矩陣(行列)狀配置之互補型資料線(位元線)BL、/BL及字元線WL之交叉部配置有記憶胞。該記憶胞包括包含一對換流電路之正反電路、及2個存取電晶體AT1、AT2。藉由該正反電路，構成交叉耦合之2個記憶節點N1、N2，且構成(高、低)或(低、高)之雙穩態。只要施加有特定之電源電壓，該記憶胞即可持續保持雙穩態。

一對存取電晶體AT1、AT2分別由例如n通道MOS電晶體(以下，稱作nMOS電晶體)所形成。存取電晶體AT1之源極/汲極之一者電性連接於記憶節點N1，源極/汲極之另一者電性連接於位元線/BL。又，存取電晶體AT2之源極/汲極之一者電性連接於記憶節點N2，源極/汲極之另一者電性連接於位元線BL。又，存取電晶體AT1、AT2各自之閘極電性連接於字元線WL。藉由該字元線WL而控制存取電晶體AT1、AT2之導通、非導通狀態。

換流電路包含1個驅動電晶體DT1(或DT2)及1個負載電晶體LT1(或LT2)。

一對驅動電晶體DT1、DT2分別由例如nMOS電晶體所形成。一對驅動電晶體DT1、DT2各自之源極電性連接於GND(接地電位)。又，驅動電晶體DT1之汲極電性連接於

記憶節點N1，驅動電晶體DT2之汲極電性連接於記憶節點N2。另外，驅動電晶體DT1之閘極電性連接於記憶節點N2，驅動電晶體DT2之閘極電性連接於記憶節點N1。

一對負載電晶體LT1、LT2分別由例如p通道MOS電晶體(以下，稱作pMOS電晶體)所形成。一對負載電晶體LT1、LT2各自之源極電性連接於Vdd電源電壓。又，負載電晶體LT1之汲極電性連接於記憶節點N1，負載電晶體LT2之汲極電性連接於記憶節點N2。又，負載電晶體LT1之閘極電性連接於記憶節點N2，負載電晶體LT2之閘極電性連接於記憶節點N1。

於該記憶胞中寫入資料時，係選擇字元線WL而使存取電晶體AT1、AT2成為導通狀態，並根據所期望之邏輯值對位元線BL、/BL強制性地電壓，藉此設定正反電路之雙穩態之任一種。又，自該記憶胞中讀出資料時，存取電晶體AT1、AT2為導通狀態，記憶節點N1、N2之電位傳輸至位元線BL、/BL。

於本實施形態之半導體裝置之構成中，負載電晶體LT1之閘極電極層與負載電晶體LT2之汲極區域藉由共用接觸而彼此電性連接，負載電晶體LT2之閘極電極層與負載電晶體LT1之汲極區域藉由共用接觸而彼此電性連接。以下，就該構成進行說明。

參照圖8及圖11，於半導體基板SB之主表面，形成有例如以STI(Shallow Trench Isolation；淺溝槽隔離)所構成之溝槽分離結構。該溝槽分離結構包含於半導體基板SB之主

[5]

表面形成的溝槽分離用之槽TR、及填充於該槽TR內之填充物TI。

於藉由該溝槽分離結構而分離之半導體基板SB之主表面，形成有複數個SRAM記憶胞。於1個SRAM記憶胞區域MC(圖8中以虛線包圍之區域)中，形成有一對驅動電晶體DT1、DT2，一對存取電晶體AT1、AT2及一對負載電晶體LT1、LT2。

一對驅動電晶體DT1、DT2及一對存取電晶體AT1、AT2分別由例如nMOS電晶體所形成，且係形成於半導體基板SB之主表面之p型井區PW1、PW2內。又，一對負載電晶體LT1、LT2分別由例如pMOS電晶體所形成，且係形成於半導體基板SB之主表面之n型井區NW內。

驅動電晶體DT1包含成為一對源極/汲極區域之一對n型雜質區域NIR、NIR及閘極電極層GE1。一對n型雜質區域NIR、NIR之各者係於p型井區PW1內之半導體基板SB之主表面彼此隔開間隔而形成。閘極電極層GE1係於由一對n型雜質區域NIR、NIR所夾持的通道形成區域上夾持閘極絕緣層(未圖示)而形成。

驅動電晶體DT2包含成為一對源極/汲極區域之一對n型雜質區域NIR、NIR及閘極電極層GE2。一對n型雜質區域NIR、NIR之各者係於p型井區PW2內之半導體基板SB之主表面彼此隔開間隔而形成。閘極電極層GE2係於由一對n型雜質區域NIR、NIR所夾持的通道形成區域上夾持閘極絕緣層(未圖示)而形成。

存取電晶體AT1包含成為一對源極/汲極區域之一對n型雜質區域NIR、NIR及閘極電極層GE3。一對n型雜質區域NIR、NIR之各者係於p型井區PW1內之半導體基板SB之主表面彼此隔開間隔而形成。閘極電極層GE3係於由一對n型雜質區域NIR、NIR所夾持的通道形成區域上夾持閘極絕緣層(未圖示)而形成。

存取電晶體AT2包含成為一對源極/汲極區域之一對n型雜質區域NIR、NIR及閘極電極層GE4。一對n型雜質區域NIR、NIR之各者係於p型井區PW2內之半導體基板SB之主表面彼此隔開間隔而形成。閘極電極層GE4係於由一對n型雜質區域NIR、NIR所夾持的通道形成區域上夾持閘極絕緣層(未圖示)而形成。

負載電晶體LT1包含成為一對源極/汲極區域之一對p型雜質區域PIR、PIR及閘極電極層GE1。一對p型雜質區域PIR、PIR之各者係於n型井區NW內之半導體基板SB之主表面彼此隔開間隔而形成。閘極電極層GE1係於由一對p型雜質區域PIR、PIR所夾持的通道形成區域CHN1上夾持閘極絕緣層GI而形成。

負載電晶體LT2包含成為一對源極/汲極區域之一對p型雜質區域PIR、PIR及閘極電極層GE2。一對p型雜質區域PIR、PIR之各者係於n型井區NW內之半導體基板SB之主表面彼此隔開間隔而形成。閘極電極層GE2係於由一對p型雜質區域PIR、PIR所夾持的通道形成區域CHN2上夾持閘極絕緣層GI而形成。

驅動電晶體DT1之汲極區域與存取電晶體AT1之一對源極/汲極區域之一者係藉由同一n型雜質區域NIR而形成。又，驅動電晶體DT2之汲極區域與存取電晶體AT2之一對源極/汲極區域之一者彼此係藉由同一n型雜質區域NIR而形成。

驅動電晶體DT1之閘極電極層GE1與負載電晶體LT1之閘極電極層GE1彼此係藉由同一導電層而形成。又，驅動電晶體DT2之閘極電極層GE2與負載電晶體LT2之閘極電極層GE2彼此係藉由同一導電層而形成。

主要參照圖11，以接觸該等電晶體DT1、DT2、AT1、AT2、LT1、LT2各自之閘極電極層、源極/汲極區域之方式而形成有矽化物層SCL。又，以覆蓋該等電晶體DT1、DT2、AT1、AT2、LT1、LT2各自之閘極電極層、源極/汲極區域等之方式，而於半導體基板SB上依序積層形成有襯墊氮化膜LN及層間絕緣層II1。於襯墊氮化膜LN及層間絕緣層II1中，形成有複數個接觸孔CH1~CH8及複數個共用接觸孔SC1、SC2。

主要參照圖8，具體而言，於襯墊氮化膜LN及層間絕緣層II1中，形成有到達至驅動電晶體DT1、DT2各自之源極區域的接觸孔CH1、CH2。又，於襯墊氮化膜LN及層間絕緣層II1中，形成有到達至存取電晶體AT1、AT2各自之一對源極/汲極區域之一者(驅動電晶體DT1、DT2各自之汲極區域)的接觸孔CH3、CH4。又，於襯墊氮化膜LN及層間絕緣層II1中，形成有到達至存取電晶體AT1、AT2各自之

一對源極/汲極區域之另一者的接觸孔CH5、CH6。又，於襯墊氮化膜LN及層間絕緣層II1中，形成有到達至負載電晶體LT1、LT2各自之源極區域的接觸孔CH7、CH8。

又，於襯墊氮化膜LN及層間絕緣層II1中，形成有到達至負載電晶體LT1之閘極電極層GE1與負載電晶體LT2之汲極區域兩者之共用接觸孔SC1。又，於襯墊氮化膜LN及層間絕緣層II1中，形成有到達至負載電晶體LT2之閘極電極層GE2與負載電晶體LT1之汲極區域兩者之共用接觸孔SC2。

主要參照圖11，於上述複數個接觸孔CH1~CH8及共用接觸孔SC1、SC2各自之內部，填充有導電層PL1(圖11)。於層間絕緣層II1上，依序積層形成有絕緣層BL1及層間絕緣層II2。於該絕緣層BL1及層間絕緣層II2中，形成有複數個貫通孔，於複數個貫通孔各自之內部，分別埋入有複數個導電層(第1金屬層)CL1。藉由該等複數個導電層CL1而構成導電層圖案。

主要參照圖8，藉由該導電層CL1，共用接觸孔SC1內之導電層PL1與接觸孔CH4內之導電層PL1電性連接。藉此，負載電晶體LT1之閘極電極層GE1、負載電晶體LT2之汲極區域、驅動電晶體DT2之汲極區域及存取電晶體AT2之一對源極/汲極區域之一者電性連接。

又，藉由導電層CL1，共用接觸孔SC2內之導電層PL1與接觸孔CH3內之導電層PL1電性連接。藉此，負載電晶體LT2之閘極電極層GE2、負載電晶體LT1之汲極區域、驅動

[S]

電晶體DT1之汲極區域及存取電晶體AT1之一對源極/汲極區域之一者電性連接。

又，接觸孔CH1、CH2、CH5~CH8各自內部之導電層PL1亦分別與導電層CL1電性連接。

主要參照圖11，於層間絕緣層II2上，依序積層形成有絕緣層BL2及層間絕緣層II3。於該絕緣層BL2及層間絕緣層II3中形成有複數個通孔VH11~VH18，並且以與複數個通孔VH11~VH18分別連通之方式，而於層間絕緣層II3之表面形成有導電層埋入用之槽。

於複數個通孔VH11~VH18中，分別埋入有導電層PL2。又，於複數個導電層埋入用之槽中，分別埋入有複數個導電層(第2金屬層)CL2之各者。藉由該等複數個導電層CL2而形成導電層圖案。

主要參照圖9，經由通孔VH13及接觸孔CH5電性連接於存取電晶體AT1之一對源極/汲極區域之另一者的導電層CL2係發揮位元線/BL之功能。又，經由通孔VH14及接觸孔CH6電性連接於存取電晶體AT2之一對源極/汲極區域之另一者的導電層CL2係發揮位元線BL之功能。又，經由通孔VH15及接觸孔CH7電性連接於負載電晶體LT1之源極區域，且經由通孔VH16及接觸孔CH8電性連接於負載電晶體LT2之源極區域的導電層CL2係發揮電源線Vdd之功能。該等位元線BL、/BL及電源線Vdd係沿圖中之縱方向相互並行地延伸。

又，通孔VH11、VH12、VH17、VH18各自內部之導電

層 PL2 亦分別與導電層 CL2 電性連接。

主要參照圖 11，於層間絕緣層 II3 上，依序積層形成有絕緣層 BL3 及層間絕緣層 II4。於該絕緣層 BL3 及層間絕緣層 II4 中形成有複數個通孔 VH21~VH24，並且以與複數個通孔 VH21~VH24 分別連通之方式，而於層間絕緣層 II4 之表面形成有導電層埋入用之槽。

於複數個通孔 VH21~VH24 中，分別埋入有導電層(未圖示)。又，於複數個導電層埋入用之槽中，分別埋入有複數個導電層(第 3 金屬層)CL3 之各者。藉由該等複數個導電層 CL3 而形成導電層圖案。

主要參照圖 10，經由通孔 VH21、通孔 VH11 及接觸孔 CH1 電性連接於驅動電晶體 DT1 之源極區域的導電層 CL3 係發揮 GND 線之功能。又，經由通孔 VH22、通孔 VH12 及接觸孔 CH2 電性連接於驅動電晶體 DT2 之源極區域的導電層 CL3 係發揮 GND 線之功能。又，經由通孔 VH23、通孔 VH17 及接觸孔 CH9 電性連接於存取電晶體 AT1 之閘極電極層 GE3，且經由通孔 VH24、通孔 VH18 及接觸孔 CH10 電性連接於存取電晶體 AT2 之閘極電極層 GE3 的導電層 CL3 係發揮字元線 WL 之功能。該等 GND 線及字元線 WL 係沿圖中之橫向相互並行地延伸。

以下，與比較例比較來說明本實施形態之作用效果。根據本實施形態，由於係對共用接觸孔 SC2 分別以不同之步驟進行硫酸洗淨與過氧化氫水洗淨，因此與使用作為硫酸與過氧化氫水之混合液之 SPM 進行洗淨的情形(比較例 1)相

[5]

比，可抑制閘極金屬 GM(例如 TiN)溶解。以下，就此進行說明。

於比較例 1 中，為自圖 5 之狀態除去變質層 AL，而對共用接觸孔 SC2 連續地進行 SPM 洗淨及 APM 洗淨。參照圖 23 可知，於比較例 1 中，儘管藉由 SPM 洗淨及 APM 洗淨可除去變質層 AL，但由於閘極電極層之側壁露出，故而閘極金屬(例如 TiN)溶解消失。

因此，本發明者等人努力研究後發現，參照圖 12，於 SPM 中，對作為閘極金屬 GM 之材料之 TiN 的蝕刻速率為 20 nm/min。為解決該問題，本發明者等人進一步努力研究，結果發現，若利用 H_2SO_4 (硫酸)及 H_2O_2 (過氧化氫水)以不同之步驟進行蝕刻，則 H_2SO_4 (硫酸)對 TiN 之蝕刻速率為 0.2 nm/min， H_2O_2 (過氧化氫水)為 1 nm/min。因此，相比 SPM 之蝕刻速率，硫酸、過氧化氫水各自對 TiN 之蝕刻速率為非常小之值。因此，相比 SPM 洗淨，藉由分別以不同之步驟進行硫酸洗淨與過氧化氫水洗淨可抑制閘極金屬 GM(例如，TiN)之溶解。

於本實施形態中，因硫酸之氧化還原電位低於 SPM 之氧化還原電位，故而對閘極金屬 GM(例如，TiN)之蝕刻速率低於以 SPM 進行洗淨之情形。因此，相比以 SPM 進行洗淨之情形可抑制除去閘極金屬 GM。因可抑制閘極金屬 GM(例如，TiN)溶解，故電晶體特性不會劣化。

又，即便分別以不同之步驟進行硫酸洗淨與過氧化氫水洗淨，亦可除去包含聚合物之變質層。於比較例 1 之 SPM

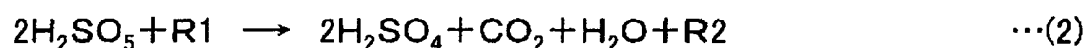
洗淨中，如下述式(1)所示，將由硫酸(H_2SO_4)及過氧化氫水(H_2O_2)生成卡洛酸(H_2SO_5)。

[化1]



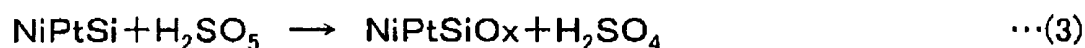
如下述式(2)所示，藉由卡洛酸將變質層AL中所含之有機物R1氧化。如此，將變質層AL中所含之包含有機物R1之聚合物分解除去。再者，有機物R1之一部分可不被氧化而作為有機物R2殘存。

[化2]



再者，如下述式(3)所示，藉由卡洛酸將變質層AL中所含之矽化物(例如，NiPtSi)氧化。藉此矽化物(例如，NiPtSi)受到氧化保護。

[化3]



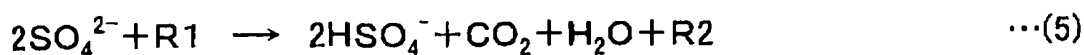
於本實施形態中，如下述式(4)及(5)所示，藉由硫酸將變質層AL之聚合物中所包含之有機物R1氧化。如此，將變質層AL中所含之包含有機物R1之聚合物分解除去。藉此，可將含有殘留氣體之產物及因抗蝕劑而生成之有機物之聚合物分解除去。再者，有機物R1之一部分可不被氧化而作為有機物R2殘存。

[化4]



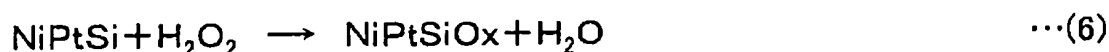
[S]

[化 5]



再者，如下述式(6)所示，藉由過氧化氫水將變質層 AL 中所含之矽化物(例如 NiPtSi)氧化。藉此矽化物(例如 NiPtSi)受到氧化保護。

[化 6]



即，根據本實施形態，藉由分別以不同之步驟進行硫酸洗淨與過氧化氫水洗淨，可抑制閘極金屬 GM 之溶解，而不會損及含有殘留氣體之產物及因抗蝕劑而生成之有機物的聚合物之分解效果。

又，根據本實施形態，藉由進行 APM 洗淨，可除去矽化物之氧化層(例如，NiPtSiOx)。

又，根據本實施形態，藉由使 APM 洗淨之溫度較低，可提高共用接觸孔 SC2 底部的矽化物(例如，NiPtSi)之氧化層(例如，NiPtSiOx)之蝕刻量與閘極金屬 GM(例如，TiN)之蝕刻量之選擇比。藉此，抑制閘極金屬 GM 溶解與獲得良好的接觸電阻之兩者可同時實現。就該點進行詳細說明。

參照圖 13，表示於 APM 中，作為閘極金屬 GM 之材料之 TiN 及 Th.Ox(熱氧化膜)的蝕刻速率之溫度依存性。於圖 13 中，為便於測定而表示 Th.Ox(熱氧化膜)而非矽化物之氧化層(例如，NiPtSiOx)，但是關於蝕刻速率之溫度依存性，矽化物之氧化層(例如，NiPtSiOx)與 Th.Ox 具有相同之

傾向。如圖13所示，於低溫下，Th.Ox相對於TiN之選擇比變得良好。因此，於低溫下，矽化物之氧化層(例如，NiPtSiOx)相對於TiN之選擇比變得良好。

作為除去NiPtSiOx所需之蝕刻量，以Th.Ox換算為1 nm左右。對於TiN之蝕刻量，考慮到於32 nm節點以下之SoC (System on a Chip；系統單晶片)產品中之應用，以抑制為30 nm以下為宜。若TiN之蝕刻量為30 nm以下，則短於至活性層為止之距離(圖8中之箭頭L)，故而電晶體特性不會劣化。

參照圖13，關於APM之溫度為50℃時之蝕刻速率，Th.Ox為約0.02 nm/min，TiN為約0.6 nm/min。因此，於APM之溫度為50℃之情形時，NiPtSiOx之蝕刻量以Th.Ox換算為約1 nm，TiN之蝕刻量為約30 nm。如此，藉由使APM之處理溫度為50℃以下，可將TiN之蝕刻量抑制為30 nm以下。

然而，若處理溫度過低，則要獲得以Th.Ox換算為1 nm左右的NiPtSiOx之蝕刻量將過度耗費處理時間，成為生產性降低之原因。因此，藉由使APM之處理溫度為50℃以下，達到不會使生產性降低之處理溫度，可抑制TiN之蝕刻量並提高生產性。

於本實施形態中，無需使用可抑制除去閘極金屬GM之氟系洗淨液。因此，於共用接觸孔SC2內，閘極電極層GE2上之矽化物層SCL及半導體基板SB之主表面MS上之矽化物層SCL的矽化物不會脫落，故而可獲得良好的接觸電

[S]

阻。

藉此，於本實施形態中，抑制閘極金屬 GM 溶解與獲得良好的接觸電阻兩者可同時實現。

(實施形態 2)

本實施形態與實施形態 1 相比較主要不同點在於以下兩方面：在進行共用接觸孔內之洗淨之前於閘極電極層之側壁形成氧化膜，及代替 APM 洗淨而進行氨水洗淨。

於本實施形態中，至形成共用接觸孔 SC2 之階段(參照圖 5)之前，可適用與實施形態 1 相同之製造方法。

參照圖 14，本實施形態中，於共用接觸孔 SC2 內，在閘極電極層 GE2 之側壁、閘極電極層 GE2 上之矽化物層 SCL 及半導體基板 SB 之主表面 MS 上的矽化物層 SCL 上，藉由氧化性之灰化處理而形成犧牲層 OL。犧牲層 OL 例如係以氧化層形成。於犧牲層 OL 上形成變質層 AL。

參照圖 15，對共用接觸孔 SC2 分別進行硫酸洗淨與過氧化氫水洗淨。代替實施形態 1 之 APM 洗淨而進行氨水洗淨。

再者，本實施形態除此以外之構成及方法與上述實施形態 1 相同，故對同一要素附上相同符號，不重複其說明。

繼而，與比較例比較來說明本實施形態之作用效果。根據本實施形態，藉由分別以不同之步驟進行硫酸洗淨與過氧化氫水洗淨，可抑制閘極金屬 GM 之溶解，而不會損及含有殘留氣體之產物及因抗蝕劑而生成之有機物的聚合物之分解效果。

根據本實施形態，由於氨水洗淨中不含過氧化氫水，故而與APM洗淨相比更可抑制閘極金屬GM(例如，TiN)之蝕刻量。藉此，可抑制電晶體特性劣化。

於比較例1之APM洗淨中，如下述式(7)所示，藉由過氧化氫水(H₂O₂)將矽(Si)氧化。如下述式(8)所示，氧化矽(SiO₂)藉由與氨水之氫氧離子(OH⁻)反應而受到蝕刻。

[化7]



[化8]



於本實施形態之氨水洗淨中，如下述式(9)所示，矽(Si)藉由與氨水之氫氧離子(OH⁻)反應而受到蝕刻。

[化9]



當矽(Si)由氨水之氫氧離子(OH⁻)直接蝕刻時，與經過過氧化氫水氧化之步驟之情形相比蝕刻之速度較快。因此，相比APM洗淨，於氨水洗淨中矽(Si)容易受到損壞。

根據本實施形態，由於藉由犧牲層OL而抑制氨水接觸閘極多晶矽GP，故而可抑制閘極多晶矽GP因氨水洗淨而受到蝕刻。

又，由於藉由犧牲層OL而防止硫酸及過氧化氫水接觸閘極金屬GM，故而可防止閘極金屬GM因硫酸洗淨及過氧化氫水洗淨而受到蝕刻。

(實施形態3)

本實施形態與實施形態1相比較主要不同點在於在閘極金屬之側壁部形成絕緣層方面、及SPM洗淨方面及APM洗淨方面。

本實施形態中，至蝕刻層間絕緣層II1之階段(參照圖4)之前，可適用與實施形態1相同之製造方法。本實施形態中，襯墊氮化膜LN相當於第1絕緣層，層間絕緣層II1相當於第2絕緣層。以使半導體基板SB之主表面MS正上方的襯墊氮化膜LN之部分、及閘極電極層GE2正上方及側壁的襯墊氮化膜LN之部分自層間絕緣層II1露出之方式，形成用於共用接觸孔SC2之孔。

參照圖16，第3絕緣層IL3係於用於共用接觸孔SC2之孔及層間絕緣層II1上藉由沈積而形成。第3絕緣層IL3只要於至少閘極金屬GM(例如，TiN)之側壁部形成即可。第3絕緣層IL3例如係以SiN形成。第3絕緣層IL3亦可係例如以氧化矽膜形成。第3絕緣層IL3以形成為如下厚度為宜，即藉由後續步驟之蝕刻可完全去除之膜厚與蝕刻後殘留側壁分隔件SW之膜厚之間的厚度。

參照圖17，藉由於無掩模之狀態下對第3絕緣層IL3及襯墊氮化膜LN進行蝕刻而形成共用接觸孔SC2。藉由乾式蝕刻之各向異性，可不使閘極電極層GE2之側壁部之閘極多晶矽GP及閘極金屬GM露出而除去用於共用接觸孔SC2之孔之底部的第3絕緣層IL3及襯墊氮化膜LN。於半導體基板SB之主表面MS及閘極電極層GE2兩者之矽化物層SCL上形

成變質層AL。

參照圖18，於構成閘極電極層GE2之側壁的閘極金屬GM之側壁部由第3絕緣層IL3覆蓋之狀態下，對用於共接觸孔SC2之孔分別進行SPM洗淨與APM洗淨。

再者，本實施形態之除此以外之構成及方法與上述實施形態1相同，故對同一要素附上相同符號，不重複其說明。

根據本實施形態，藉由第3絕緣層IL而防止閘極金屬GM(例如，TiN)露出，故而即便進行SPM洗淨及APM洗淨亦可防止閘極金屬GM之溶解。藉此，可防止電晶體特性劣化。

又，於半導體裝置之製造方法中，由於形成積層結構之各層時產生不均勻，故而將各層之過度蝕刻量設定為較大。於本實施形態中，由於係於後面之步驟中形成第3絕緣層IL3，故而藉由控制第3絕緣層IL3之過度蝕刻量，與不形成第3絕緣層IL3之情形相比較，可將各層之過度蝕刻量設定為較小。

(實施形態4)

本實施形態與實施形態1相比較主要不同點在於：於矽化物層SCL上形成犧牲層方面及以氟系化學藥液進行洗淨方面。

於本實施形態中，至形成矽化物層SCL之階段(參照圖2)之前，可適用與實施形態1相同之製造方法。

參照圖19，於半導體基板SB之主表面MS及閘極電極層

[S]

GE2兩者之矽化物層SCL上形成犧牲層OX。犧牲層OX係藉由實施氧化性之灰化處理而形成。作為氧化性之灰化處理，例如藉由O₂(氧)電漿實施2分鐘左右之處理。

參照圖20，以覆蓋犧牲層OX、側壁分隔件SW等之方式，於半導體基板SB之主表面MS上依序積層襯墊氮化膜LN及層間絕緣層II1。其後，對層間絕緣層II1實施CMP。

參照圖21，對層間絕緣層II1實施蝕刻。並且蝕刻襯墊氮化膜LN，藉此形成用於共用接觸孔SC2之孔。此時，除去於用於共用接觸孔SC2之孔內之閘極電極層GE2之側壁形成的襯墊氮化膜LN及側壁分隔件SW。於半導體基板SB之主表面MS及閘極電極層GE2兩者之犧牲層OX上形成變質層AL。

參照圖22，使用氟系化學藥液，對用於共用接觸孔SC2之孔進行洗淨。氟系化學藥液例如包含氟系化合物、有機溶劑及水。藉此，可除去變質層AL以及半導體基板SB之主表面MS正上方及閘極電極層GE2正上方的犧牲層OX。氟系化學藥液之洗淨較佳為在恰好完全去除犧牲層OX之程度之時間內進行。

再者，本實施形態除此以外之構成及方法與上述實施形態1相同，故對同一要素附上相同符號，不重複其說明。

以下，與比較例比較來說明本實施形態之作用效果。

比較例2中，藉由氟系化學藥液對共用接觸孔SC2進行洗淨。參照圖24，雖藉由氟系化學藥液洗淨可除去變質層AL，但發生因乾式蝕刻而受到損壞之矽化物(例如，

NiPtSi)沿晶界以塊狀脫落之現象。因此，產生接觸電阻增大之不良狀況。

根據本實施形態，藉由形成犧牲層 OX，可保護矽化物不受到乾式蝕刻之損壞。又，可保護矽化物不受到氟系化學藥液之損壞。藉此，可獲得良好的接觸電阻。

根據本實施形態，由於在氟系化學藥液洗淨中，閘極金屬 GM(例如，TiN)之溶解得到抑制，故而電晶體特性不會劣化。

(實施形態 5)

本實施形態與實施形態 4 相比較主要不同點在於犧牲層之形成方法方面。

參照圖 19，於本實施形態中，犧牲層 OX 係藉由實施氧化性之濕處理而形成。作為氧化性之濕處理，例如使用將 98 質量%硫酸及 30 質量%過氧化氫水以體積比 5:1 之比例混合所得之硫酸過氧化氫水混合物水溶液，實施 10 分鐘左右之處理。硫酸過氧化氫水混合物水溶液之溫度係設定為例如 130℃。

再者，本實施形態除此以外之構成及方法與上述實施形態 4 相同，故對同一要素附上相同符號，不重複其說明。

根據本實施方式，具有與實施形態 4 之作用效果相同之作用效果。

(實施形態 6)

本實施形態與實施形態 4 相比較主要不同點在於犧牲層之形成方法方面。

參照圖 19，於本實施形態中，犧牲層 OX 係藉由沈積低溫之 SiO_2 (氧化矽膜) 而形成。低溫之 SiO_2 膜例如係將 300°C 之電漿 TEOS (Tetraethoxysilane；四乙氧基矽烷) 膜沈積 1~2 nm 左右而形成。

再者，本實施形態除此以外之構成及方法與上述實施形態 4 相同，故對同一要素附上相同符號，不重複其說明。

根據本實施方式，具有與實施形態 4 之作用效果相同之作用效果。

(實施形態 7)

本實施形態與實施形態 4 相比較主要不同點在於犧牲層之形成方法方面。

參照圖 19，於半導體基板 SB 之主表面 MS 之整個面形成高熔點金屬層，並實施熱處理，藉此於閘極電極層 GE2 及半導體基板 SB 之主表面 MS 上形成矽化物層 SCL。例如，高熔點金屬層係藉由依序沈積 NiPt 膜、TiN 膜而形成。其後，於 N_2 (氮) 環境中實施第 1 階段之退火，藉此促進與矽之反應。之後，藉由化學藥液洗淨而除去未反應之剩餘之 NiPt 膜、TiN 膜。進而，於包含微量之 O_2 (氧) 之 N_2 環境中實施第 2 階段之退火，藉此促進與矽之反應，形成矽化物層 SCL 及矽化物之氧化層。於本實施形態中，該矽化物之氧化層相當於犧牲層 OX。作為 O_2 氣體之流量，係設定為相對於 N_2 氣體之流量為 10% 左右。

再者，本實施形態除此以外之構成及方法與上述實施形態 4 相同，故對同一要素附上相同符號，不重複其說明。

根據本實施方式，具有與實施形態4之作用效果相同之作用效果。

又，根據本實施形態，由於無需追加為形成犧牲層OX而將矽化物氧化之步驟，故而可提高生產性。

上述中，矽化物係以NiPtSi為例而進行說明，但矽化物只要包含含有選自由Ni、Co(鈷)及Ti所組成之群中之1種以上元素的金屬矽化物及合金矽化物之至少任一種即可。例如，可適用NiPtSi(矽化鎳鉑)、NiSi(矽化鎳)、CoSi(矽化鈷)、TiSi(矽化鈦)等。

上述中，閘極金屬GM係以TiN為例而進行說明，但積層閘極只要包含含有選自由Ti、W、Ta(鉭)及Al(鋁)所組成之群中之1種以上元素的金屬、合金、其金屬氮化物、其合金氮化物、其金屬矽化物及其合金矽化物之至少任一種即可。例如可適用TiN(氮化鈦)、W(鎢)、WSi(矽化鎢)、TaSiN(矽氮化鉭)、TiAlN(氮化鈦鋁)等。

再者，用於APM洗淨之鹼性化學藥液較佳為調整為pH值7以上。

再者，用於氨水洗淨之鹼性化學藥液較佳為調整為pH值7以上。

另外，上述鹼性化學藥液除氨以外亦可包含TMAH(四甲基氫氧化銨)、胺等。

應當認為，此次揭示之實施形態之所有方面均僅為例示，並不限制本發明。本發明之範圍並不由上述說明而由申請專利範圍揭示，意圖包含與申請專利範圍均等之含義

[S]

及範圍內之所有變更。

[產業上之可利用性]

本發明可特別有利地應用於形成有共用接觸孔半導體裝置之洗淨方法。

【圖式簡單說明】

圖1係表示本發明之實施形態1之半導體裝置之製造方法的形成源極/汲極區域後之狀態的概略剖面圖，且係表示圖11中一點鏈線所包圍之共用接觸孔附近之圖。

圖2係表示本發明之實施形態1中圖1之下一步驟之概略剖面圖。

圖3係表示本發明之實施形態1中圖2之下一步驟之概略剖面圖。

圖4係表示本發明之實施形態1中圖3之下一步驟之概略剖面圖。

圖5係表示本發明之實施形態1中圖4之下一步驟之概略剖面圖。

圖6係表示本發明之實施形態1中圖5之下一步驟之概略剖面圖。

圖7係SRAM之記憶胞之等效電路圖。

圖8係表示本發明之實施形態1之半導體裝置的自下方起之第1層之平面佈局構成之概略平面圖。

圖9係表示本發明之實施形態1之半導體裝置的自下方起之第2層之平面佈局構成之概略平面圖。

圖10係表示本發明之實施形態1之半導體裝置的自下方

起之第3層之平面佈局構成之概略平面圖。

圖11係沿圖8~圖10之V-V線之概略剖面圖。

圖12係表示本發明之實施形態1中之硫酸洗淨及過氧化氫水洗淨、以及比較例1之SPM洗淨對閘極金屬之蝕刻速率之圖。

圖13係表示APM中之蝕刻速率之溫度依存性之圖。

圖14係表示本發明之實施形態2之半導體裝置之製造方法的形成氧化層後之狀態的概略剖面圖，且係表示共用接觸孔附近之圖。

圖15係表示本發明之實施形態2中圖14之下一步驟之概略剖面圖。

圖16係表示本發明之實施形態3之半導體裝置之製造方法的形成第3絕緣膜後之狀態的概略剖面圖，且係表示共用接觸孔附近之圖。

圖17係表示本發明之實施形態3中圖16之下一步驟之概略剖面圖。

圖18係表示本發明之實施形態4中圖17之下一步驟之概略剖面圖。

圖19係表示本發明之實施形態5~7之半導體裝置之製造方法的形成犧牲層後之狀態的概略剖面圖，且係表示共用接觸孔附近之圖。

圖20係表示本發明之實施形態5~7中圖19之下一步驟之概略剖面圖。

圖21係表示本發明之實施形態5~7中圖20之下一步驟之

[5]

概略剖面圖。

圖22係表示本發明之實施形態5~7中圖21之下一步驟之概略剖面圖。

圖23係表示比較例1中之共用接觸孔附近之概略剖面圖。

圖24係表示比較例2中之共用接觸孔附近之概略剖面圖。

【主要元件符號說明】

AL	變質層
AT1、AT2	存取電晶體
BL、/BL	位元線
BL1~BL3	絕緣層
CH1~CH10	接觸孔
CHN1、CHN2	通道形成區域
CL1~CL3	導電層
DT1、DT2	驅動電晶體
GE	閘極電極用導電層
GE1~GE4	閘極電極層
GI	閘極絕緣層
GM	閘極金屬
GP	閘極多晶矽
II1~II4	層間絕緣層
IL	絕緣層
IL3	第3絕緣膜

LN	襯墊氮化膜
LT1、LT2	負載電晶體
MC	記憶胞區域
MS	主表面
N1、N2	記憶節點
NIR	n型雜質區域
NW	n型井區
OL、OX	犧牲層
PIR	p型雜質區域
PL1、PL2	導電層
PW1、PW2	p型井區
SB	半導體基板
SC1、SC2	共用接觸孔
SCL	矽化物層
SW	側壁分隔件
TI	填充物
VH11~VH18、VH21~VH24	通孔
WL	字元線

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 99116885

※申請日： 99. 5. 26

※IPC 分類：H01L 21/70 12006.01

一、發明名稱：(中文/英文)

半導體裝置之洗淨方法

二、中文發明摘要：

本發明提供一種抑制閘極金屬材料溶解與獲得良好的接觸電阻兩者可同時實現的半導體裝置之洗淨方法。本發明之半導體裝置之洗淨方法包含以下步驟。準備包含矽且具有主表面MS之半導體基板SB。於主表面MS上自下依序積層金屬層GM與矽層GP，形成積層閘極GE2。於主表面MS及矽層GP表面分別形成矽化物層SCL。於主表面MS及積層閘極GE2表面各自之矽化物層SCL上形成絕緣層IL。於絕緣層IL形成共用接觸孔SC2，以使半導體基板SB之主表面MS及積層閘極GE2之表面各自的矽化物層SCL自絕緣層IL露出。對共用接觸孔SC2分別以不同之步驟進行硫酸洗淨、過氧化氫水洗淨及APM洗淨，藉此除去共用接觸孔SC2中所形成之變質層AL。

三、英文發明摘要：

七、申請專利範圍：

1. 一種半導體裝置之洗淨方法，其係包含以下步驟：

準備包含矽且具有主表面之半導體基板；

於上述主表面上自下依序積層金屬層與矽層，形成積層閘極；

於上述主表面及上述矽層表面分別形成矽化物；

於上述主表面及上述積層閘極表面各自之上述矽化物上形成絕緣層；

於上述絕緣層形成共用接觸孔，以使上述半導體基板之主表面及上述積層閘極之表面各自的上述矽化物自上述絕緣層露出；及

對上述共用接觸孔分別以不同之步驟進行硫酸洗淨、過氧化氫水洗淨及APM洗淨，藉此除去上述共用接觸孔中所形成之變質層。

2. 如請求項1之半導體裝置之洗淨方法，其中上述APM洗淨中之APM之溫度係設定為50℃以下。

3. 一種半導體裝置之洗淨方法，其係包含以下步驟：

準備包含矽且具有主表面之半導體基板；

於上述主表面上自下依序積層金屬層與矽層，形成積層閘極；

於上述主表面及上述矽層表面分別形成矽化物；

於上述主表面及上述積層閘極表面各自之上述矽化物上形成絕緣層；

於上述絕緣層形成共用接觸孔，以使上述半導體基板

[5]

之主表面及上述積層閘極之表面各自的上述矽化物自上述絕緣層露出；

於自上述共用接觸孔露出的上述積層閘極之至少上述矽層之側面形成犧牲層；及

於以上述犧牲層將上述矽層之側面覆蓋之狀態下，對上述共用接觸孔分別以不同之步驟進行硫酸洗淨、過氧化氫水洗淨及氨水洗淨，藉此除去上述共用接觸孔中所形成之變質層。

4. 一種半導體裝置之洗淨方法，其係包含以下步驟：

準備包含矽且具有主表面之半導體基板；

於上述主表面上自下依序積層金屬層與矽層，形成積層閘極；

於上述主表面及上述矽層表面分別形成矽化物；

於上述主表面及上述積層閘極表面各自之上述矽化物上形成第1絕緣層；

於上述第1絕緣層上形成上述第2絕緣層；

於上述第2絕緣層形成孔，以使上述主表面正上方的上述第1絕緣層之部分、以及上述積層閘極正上方及側壁的上述第1絕緣層之部分自上述第2絕緣層露出；

於至少上述金屬層之側壁部形成第3絕緣層；及

於以上述第3絕緣層將上述金屬層之側壁部覆蓋之狀態下，於上述孔內進行SPM洗淨及APM洗淨，藉此除去上述孔內所形成之變質層。

5. 一種半導體裝置之洗淨方法，其係包含以下步驟：

準備包含矽且具有主表面之半導體基板；

於上述主表面上自下依序積層金屬層與矽層，形成積層閘極；

於上述主表面及上述矽層表面分別形成矽化物；

於上述主表面及上述積層閘極表面各自之上述矽化物上形成犧牲層；

於上述犧牲層上形成絕緣層；

於上述絕緣層形成孔，以使上述主表面正上方的上述犧牲層之部分、以及上述積層閘極正上方的上述犧牲層之部分自上述絕緣層露出；及

於在上述主表面之上述矽化物上及上述積層閘極表面之上述矽化物上形成有犧牲層之狀態下，以氟系化學藥液洗淨上述孔內，藉此除去上述孔內所形成之變質層。

6. 如請求項5之半導體裝置之洗淨方法，其中上述犧牲層係藉由於上述矽化物上進行氧化性之灰化處理而形成。
7. 如請求項5之半導體裝置之洗淨方法，其中上述犧牲層係藉由於上述矽化物上進行氧化性之濕處理而形成。
8. 如請求項5之半導體裝置之洗淨方法，其中上述犧牲層係藉由於上述矽化物上沈積低溫之氧化矽膜而形成。
9. 如請求項5之半導體裝置之洗淨方法，其中上述犧牲層係藉由於含有氧之氮氣環境中於上述矽化物上退火而形成。
10. 如請求項1至9中任一項之半導體裝置之洗淨方法，其中上述矽化物包含含有選自由Ni、Co及Ti所組成之群中之

[5]

1種以上元素的金屬矽化物及合金矽化物之至少任一種。

11. 如請求項1至10中任一項之半導體裝置之洗淨方法，其中上述積層閘極包含含有選自由Ti、W、Ta及Al所組成之群中之1種以上元素的金屬、合金、上述金屬之氮化物、上述合金之氮化物、上述金屬之矽化物及上述合金之矽化物的至少任一種。
12. 如請求項1、2及4中任一項之半導體裝置之洗淨方法，其中用於上述APM洗淨之鹼性化學藥液係調整為pH值7以上。
13. 如請求項3之半導體裝置之洗淨方法，其中用於上述氨水洗淨之鹼性化學藥液係調整為pH值7以上。

八、圖式：

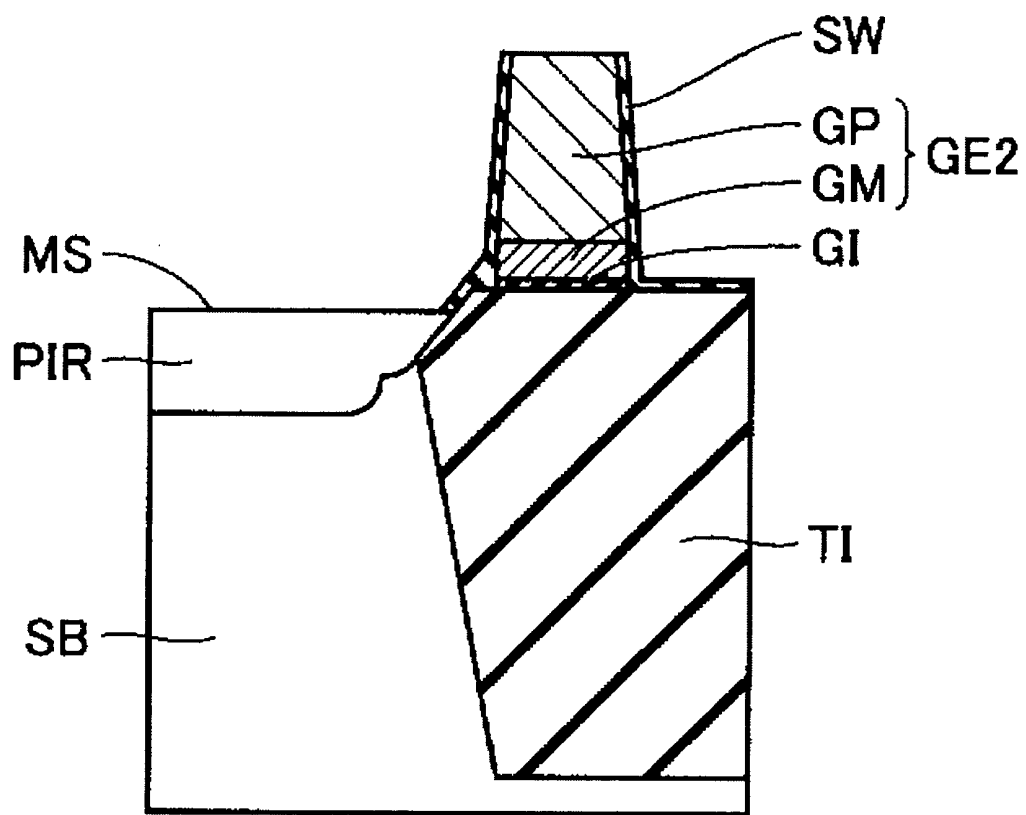


圖1

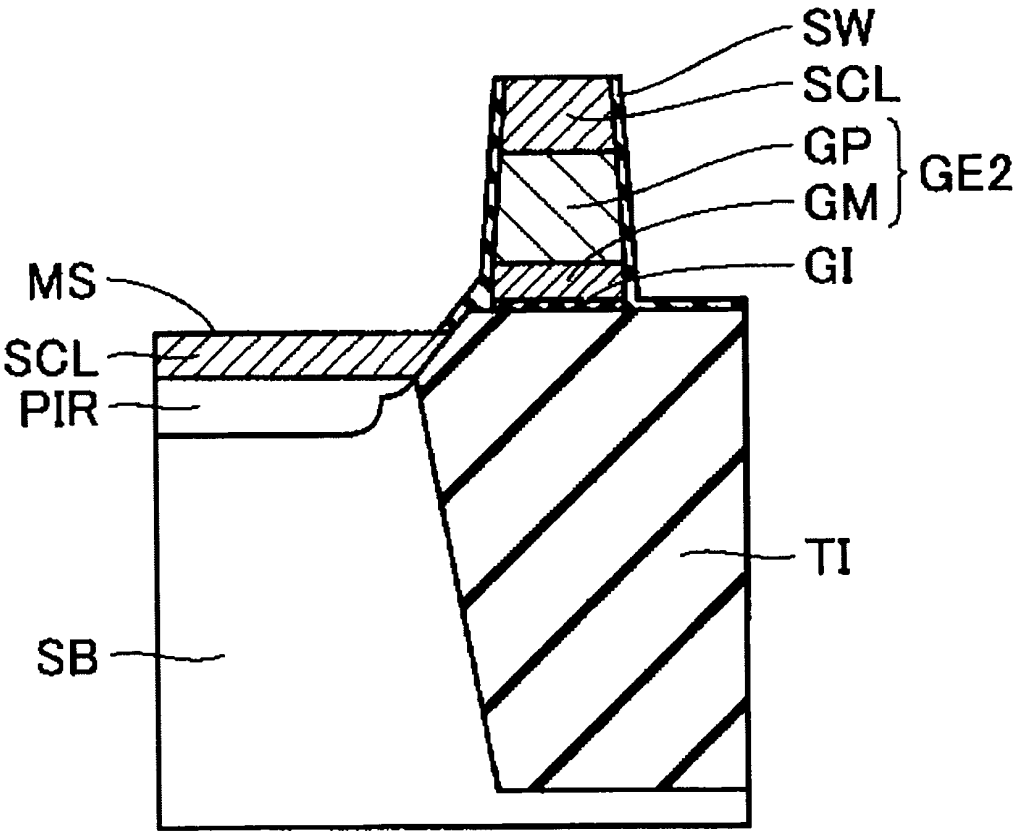


圖2

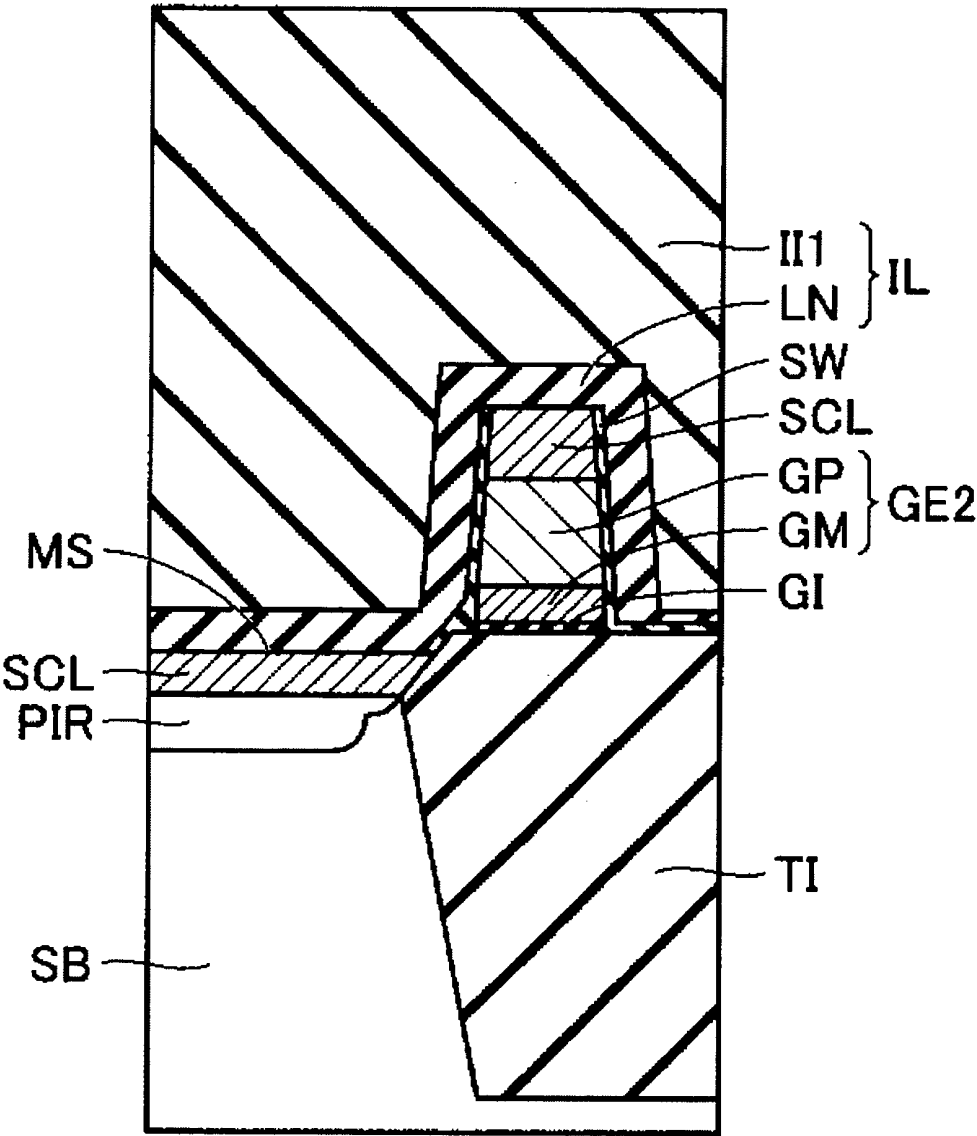


圖3

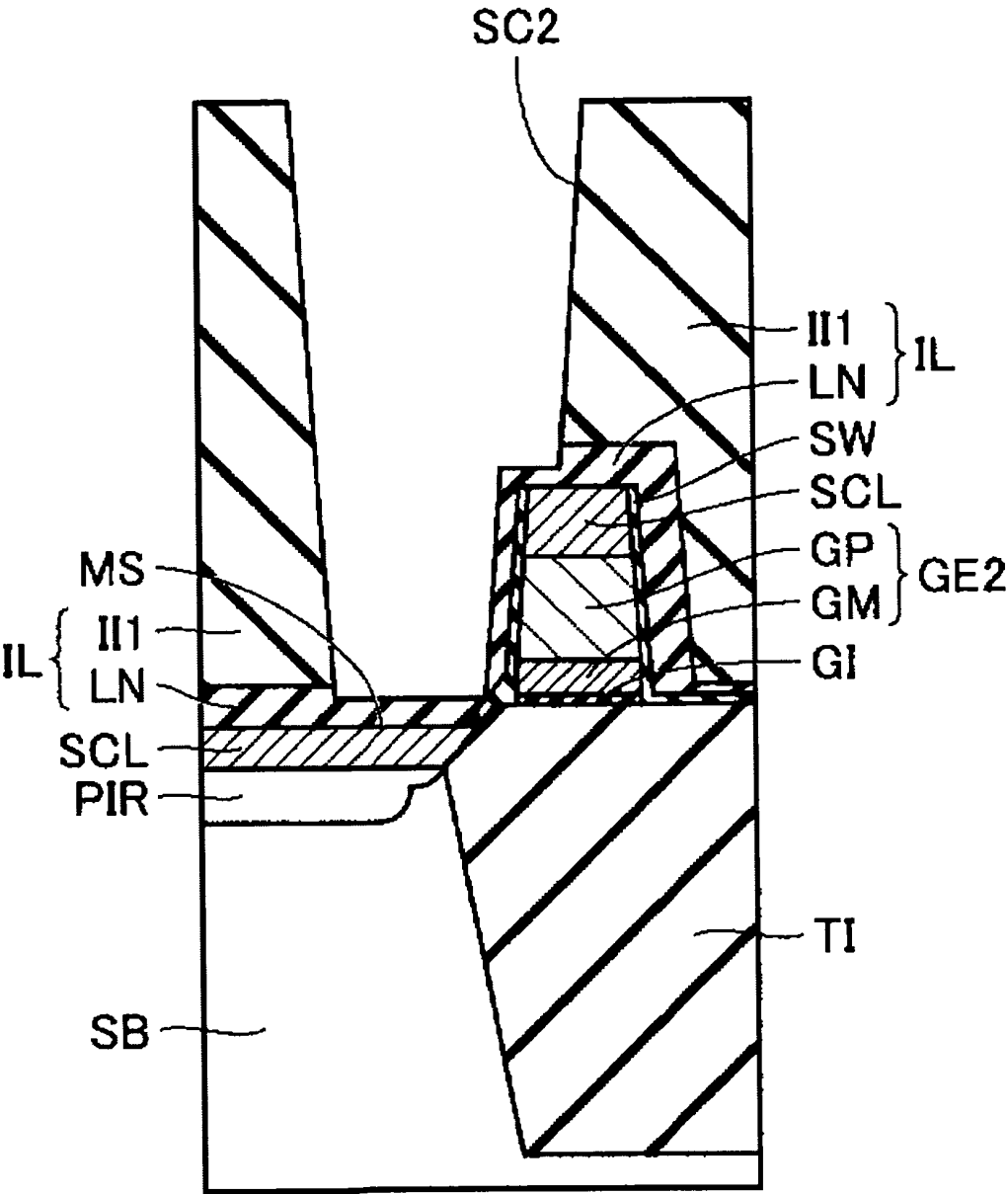


圖4

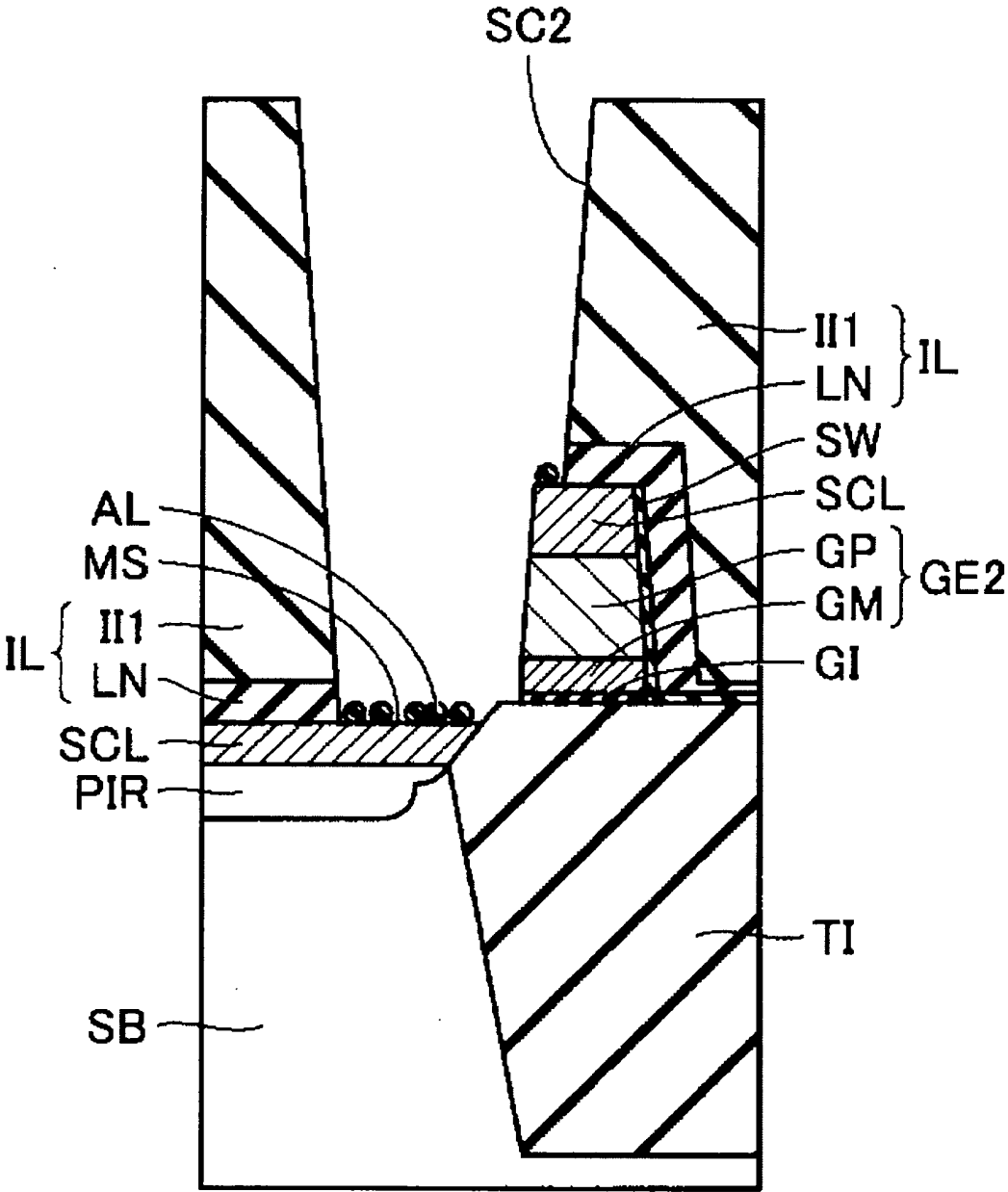


圖5

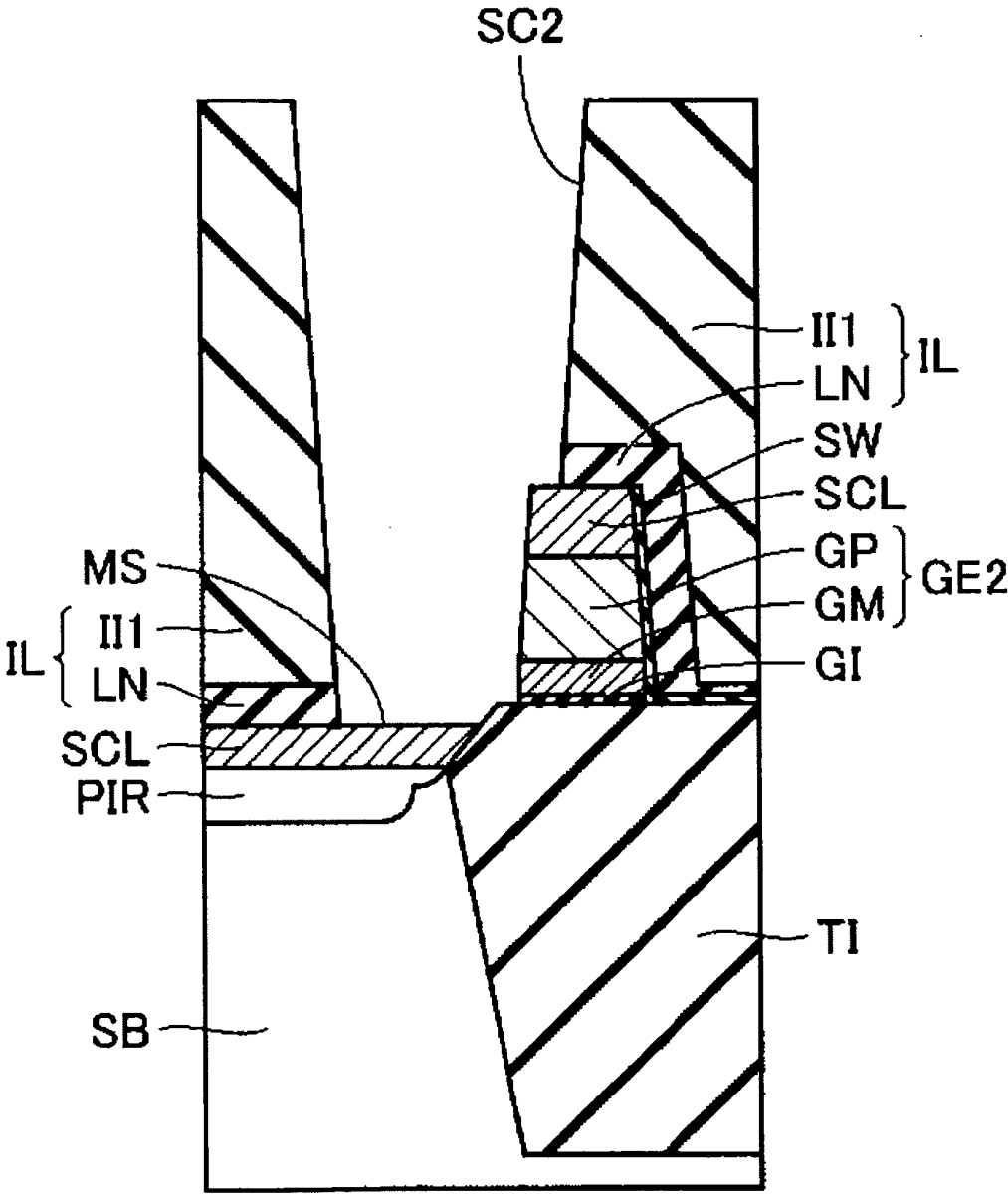


圖6

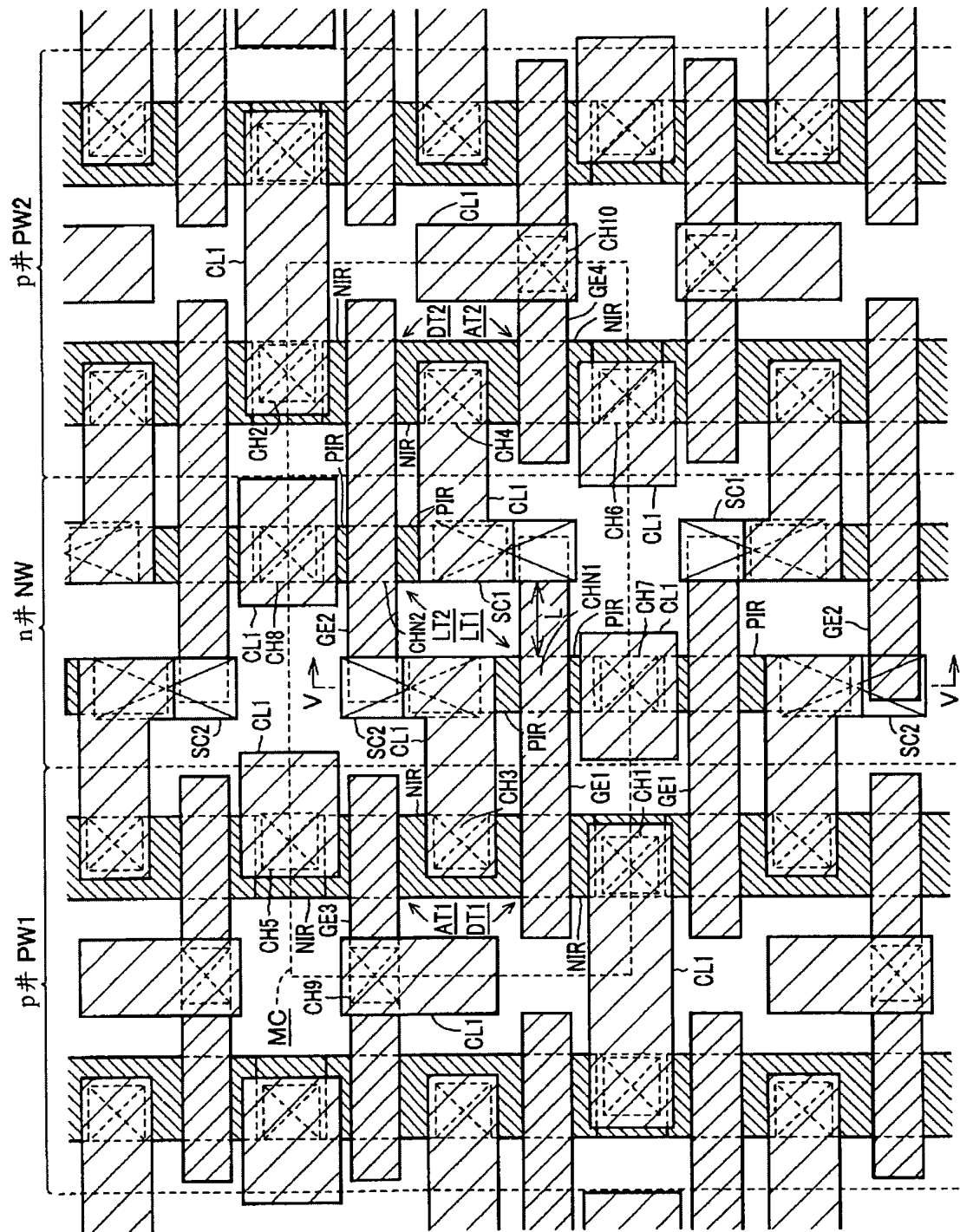


圖 8

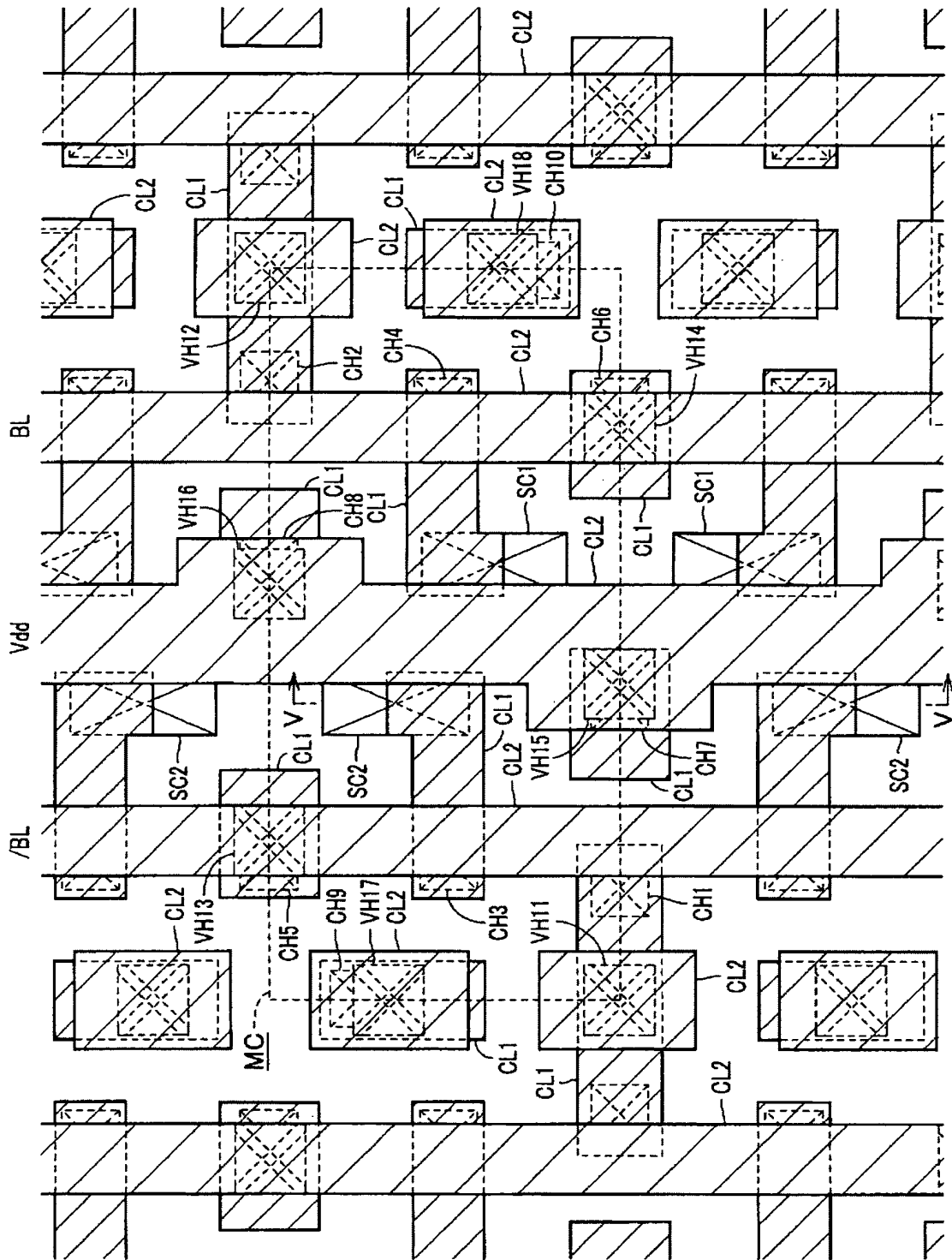


圖9

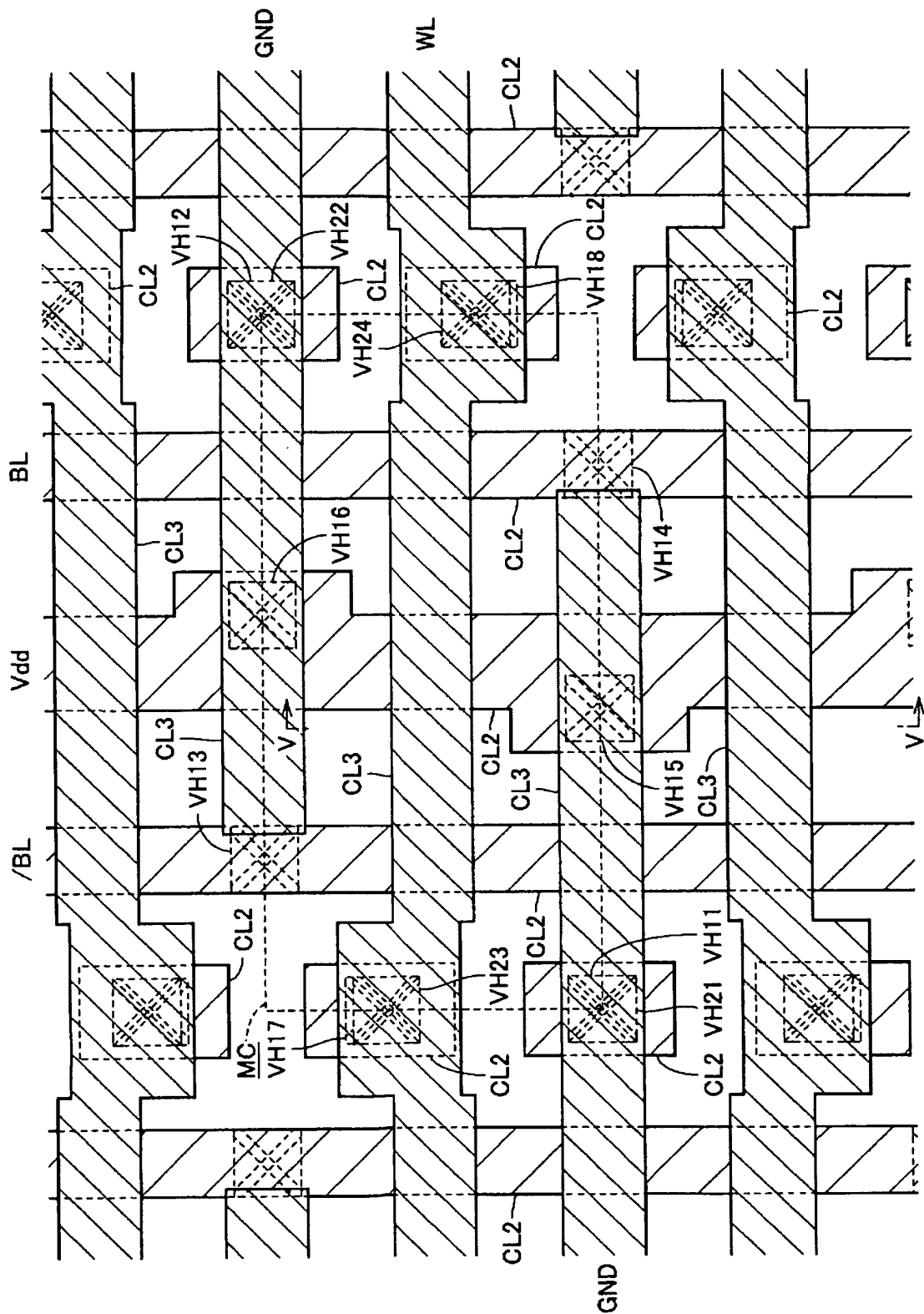


圖10

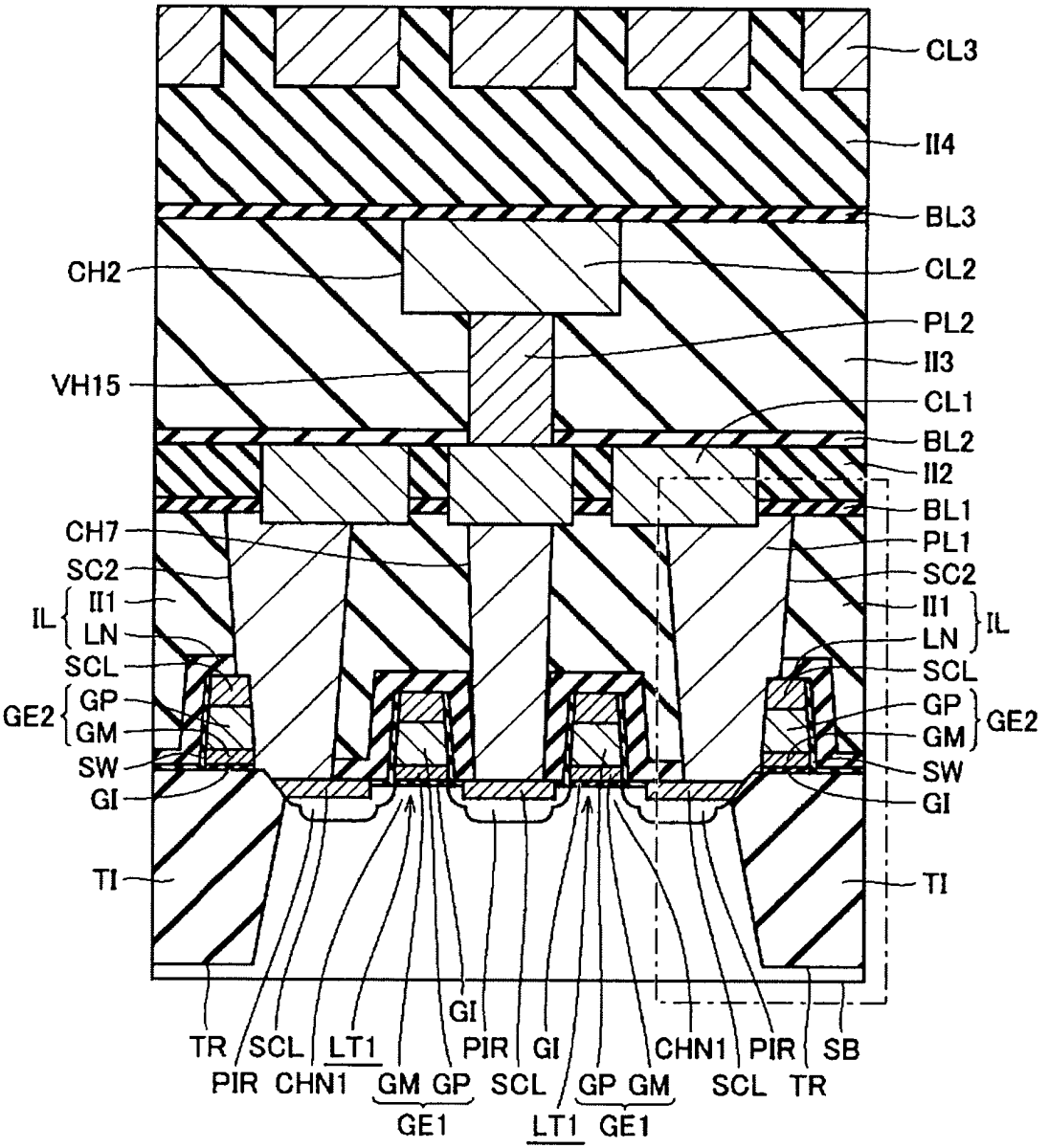


圖 11

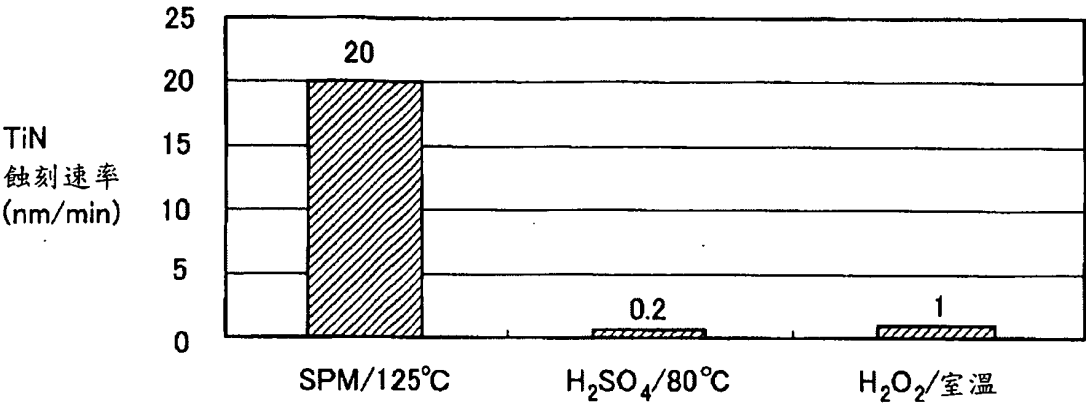


圖12

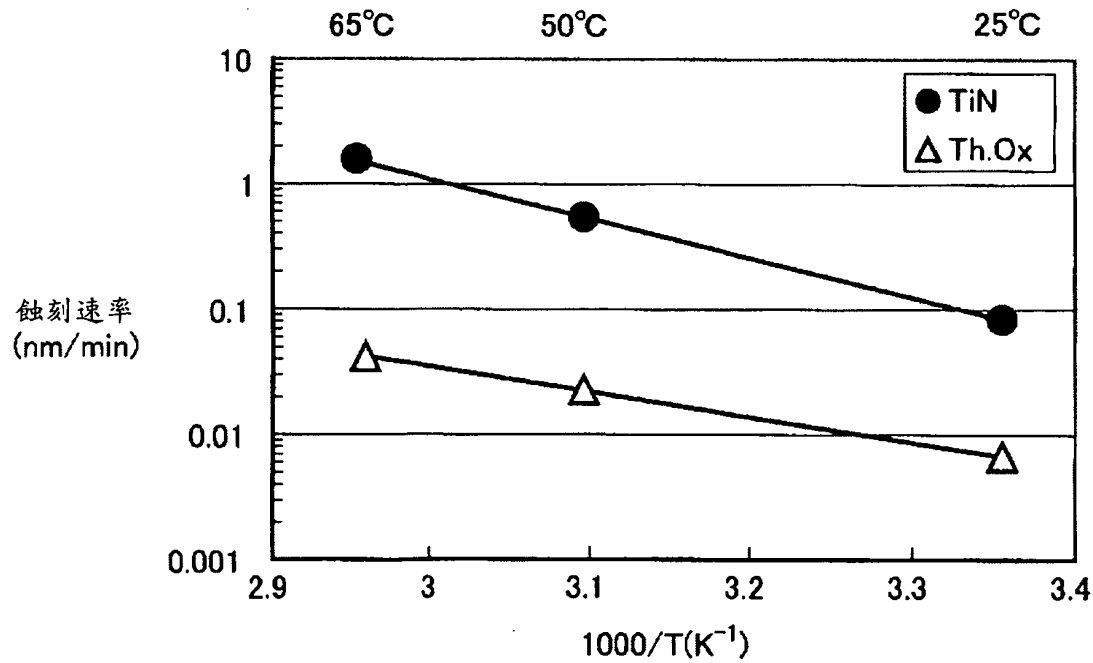


圖13

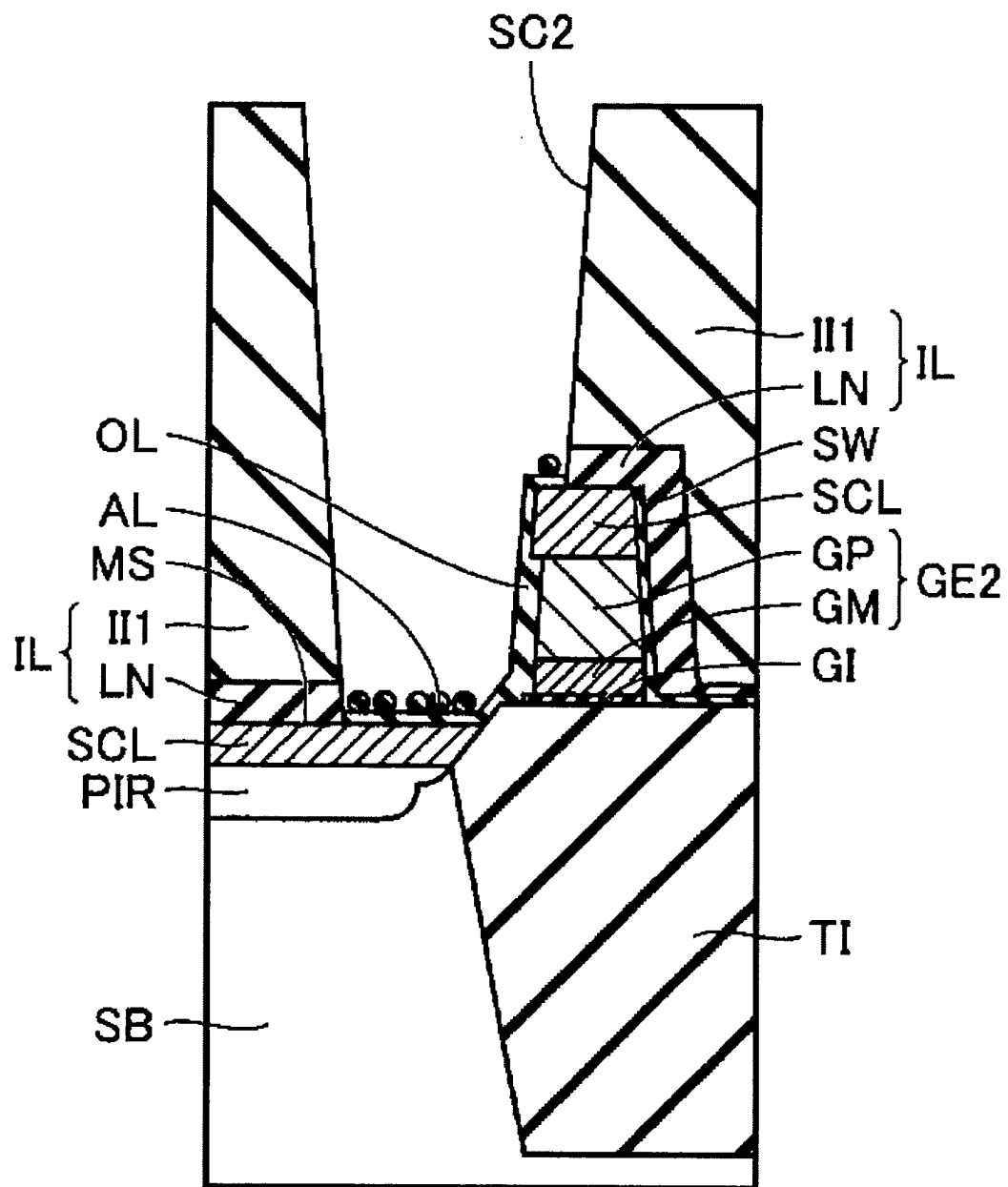


圖14

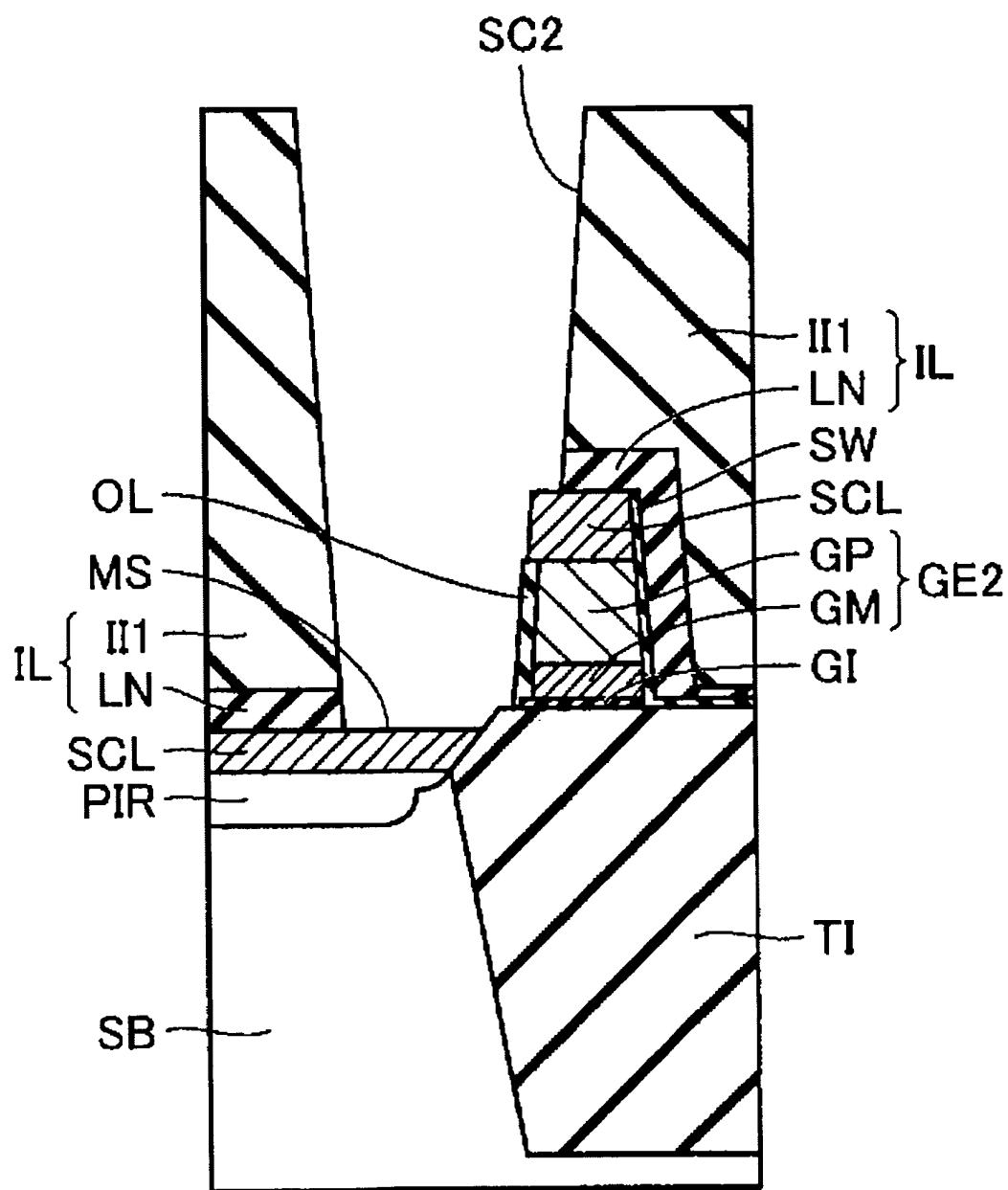


圖15

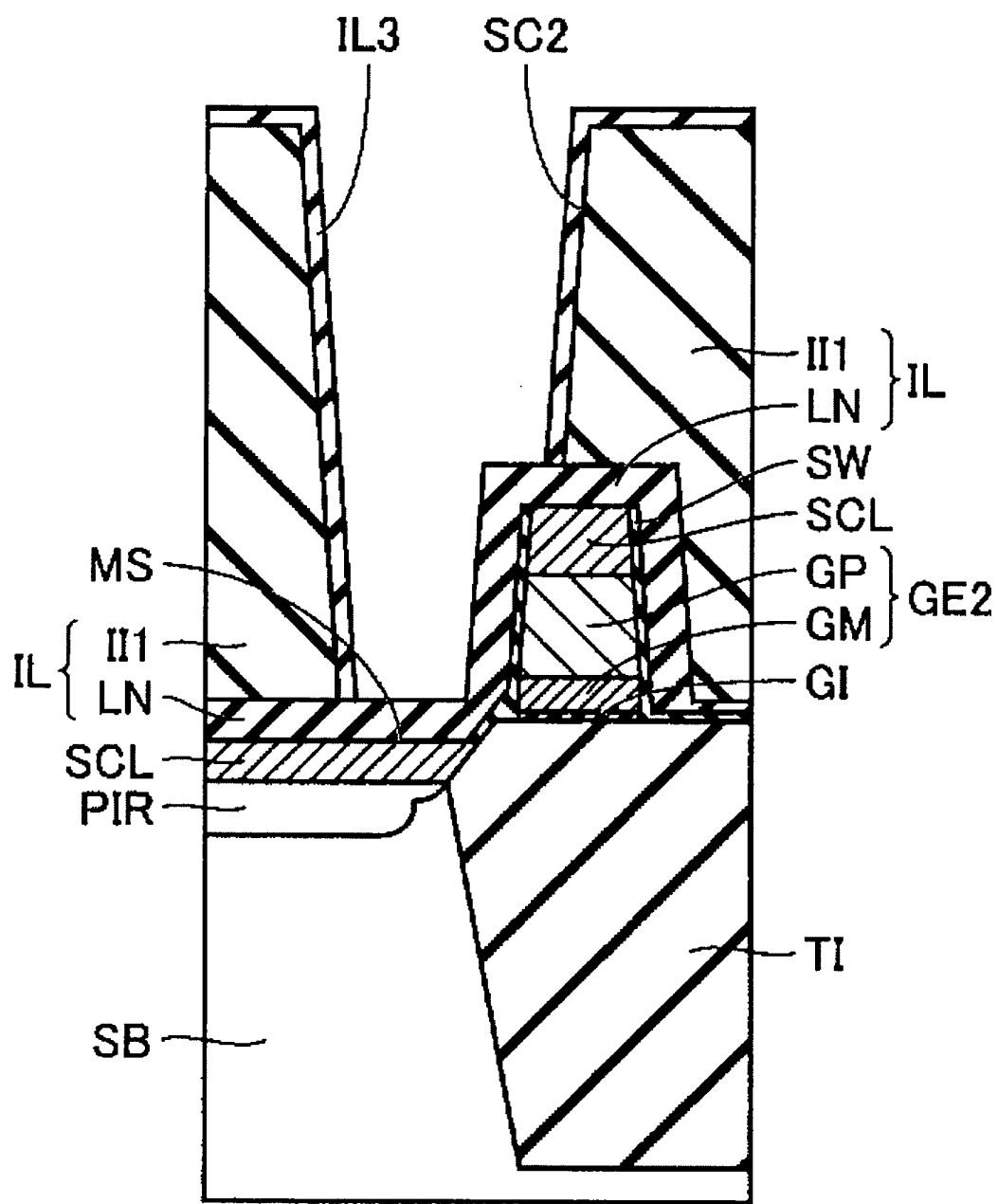


圖 16

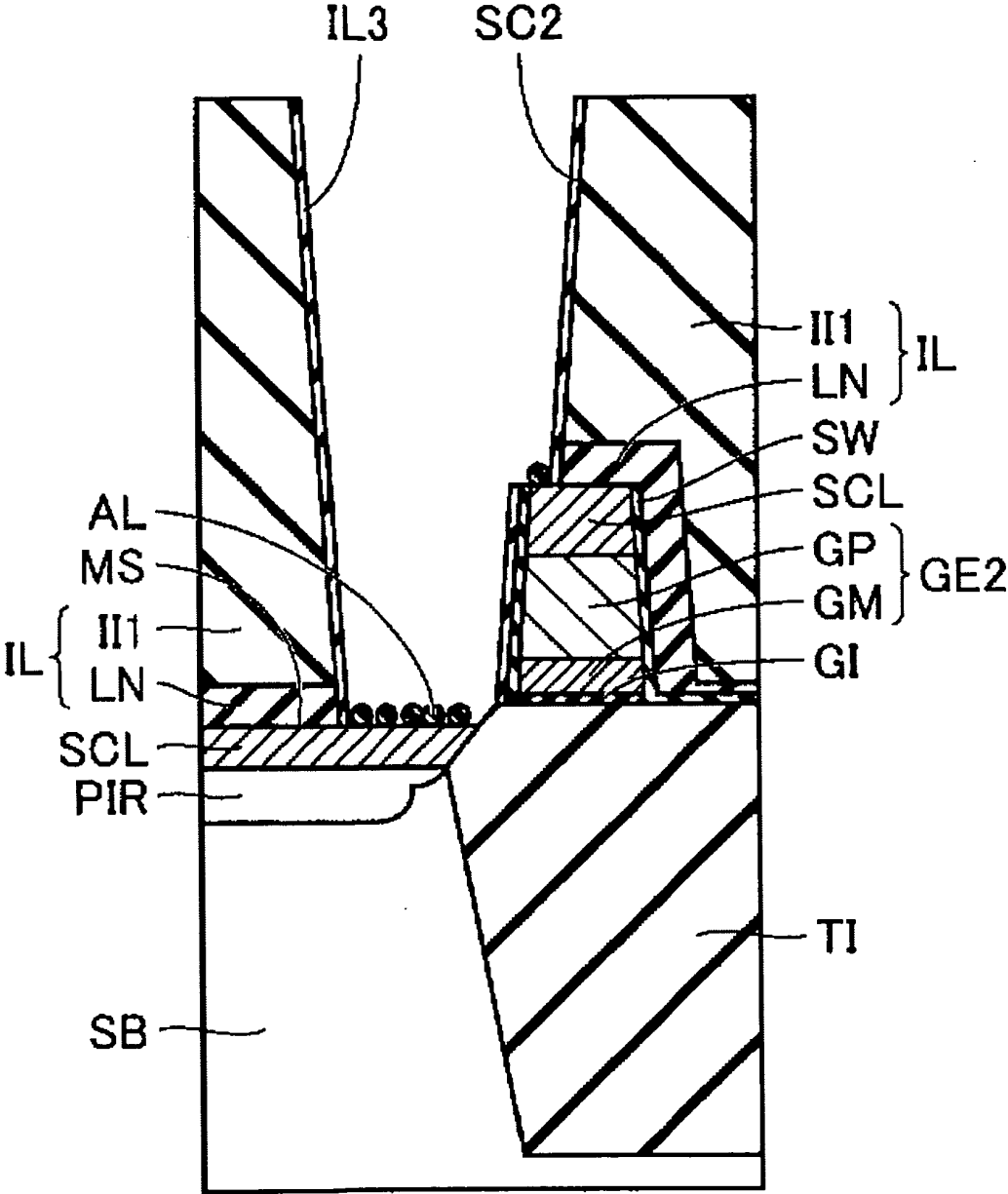


圖 17

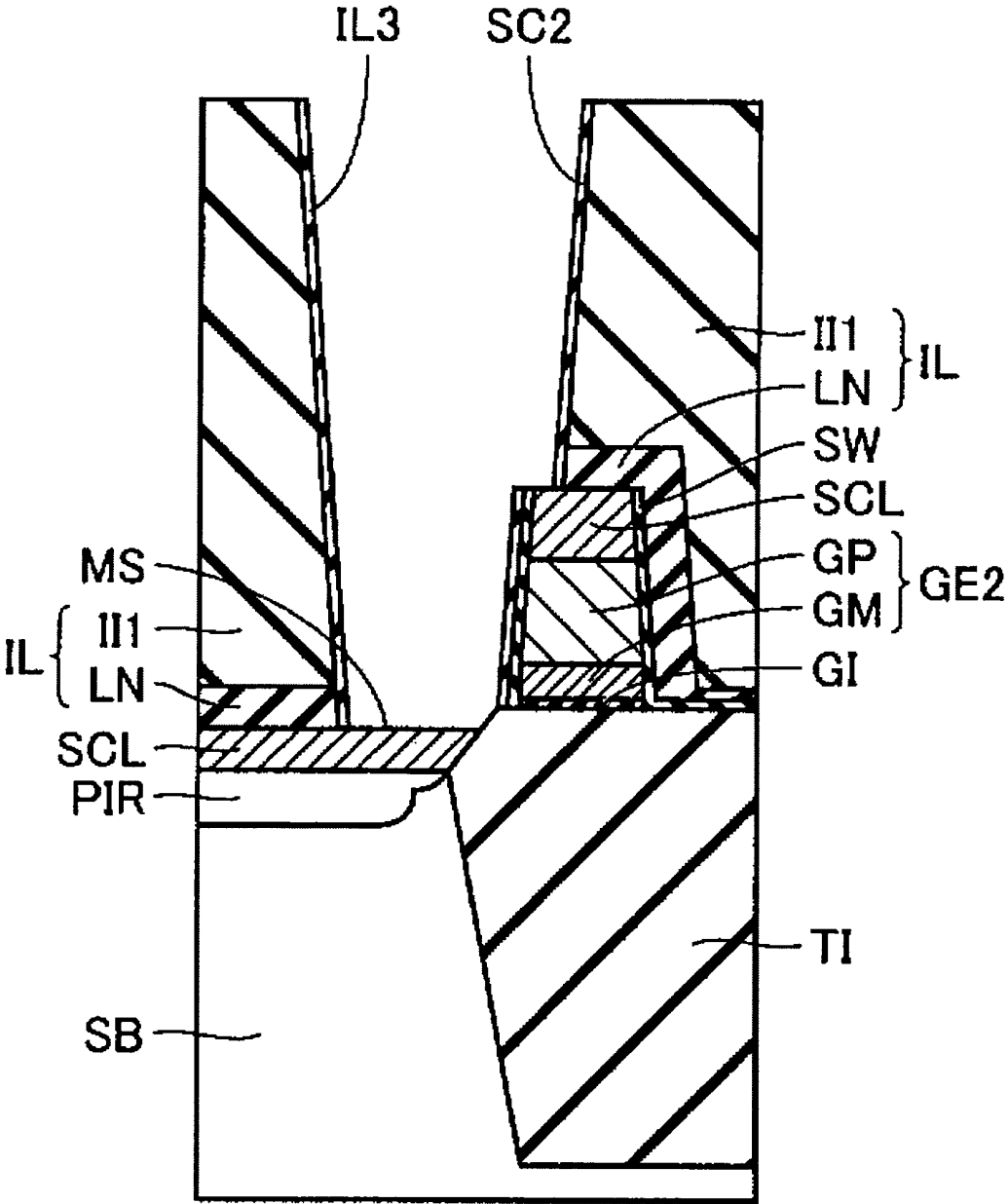


圖18

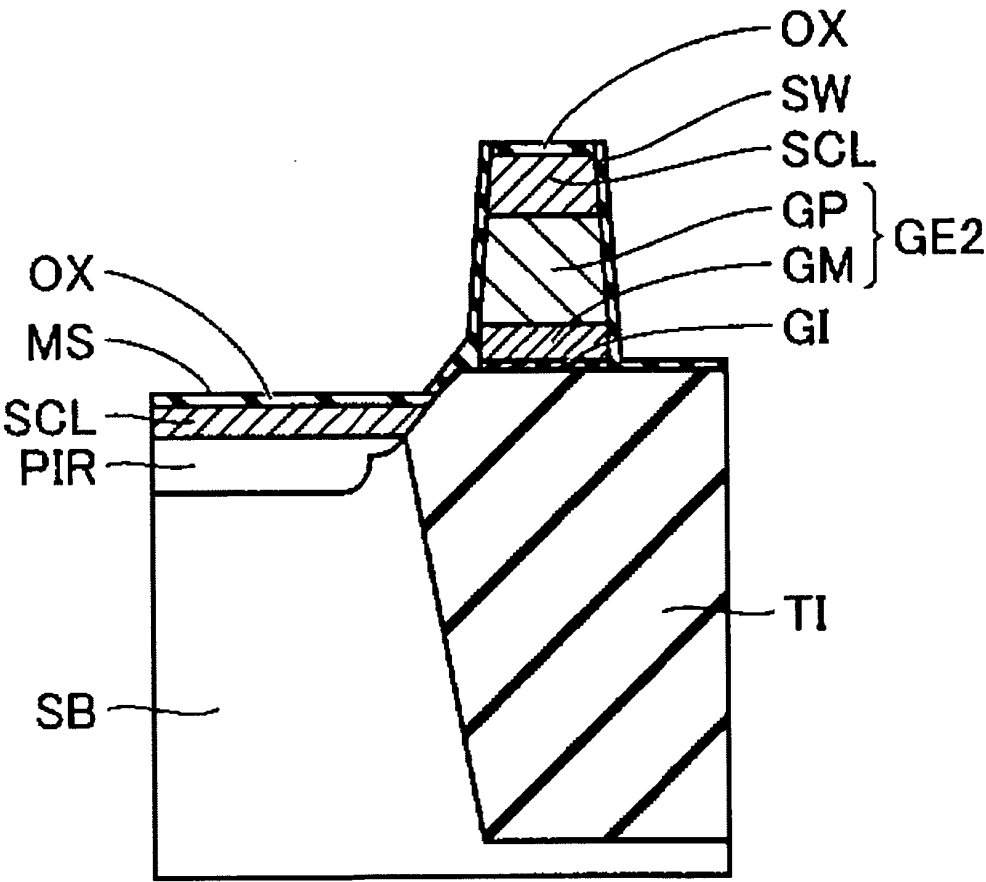


圖 19

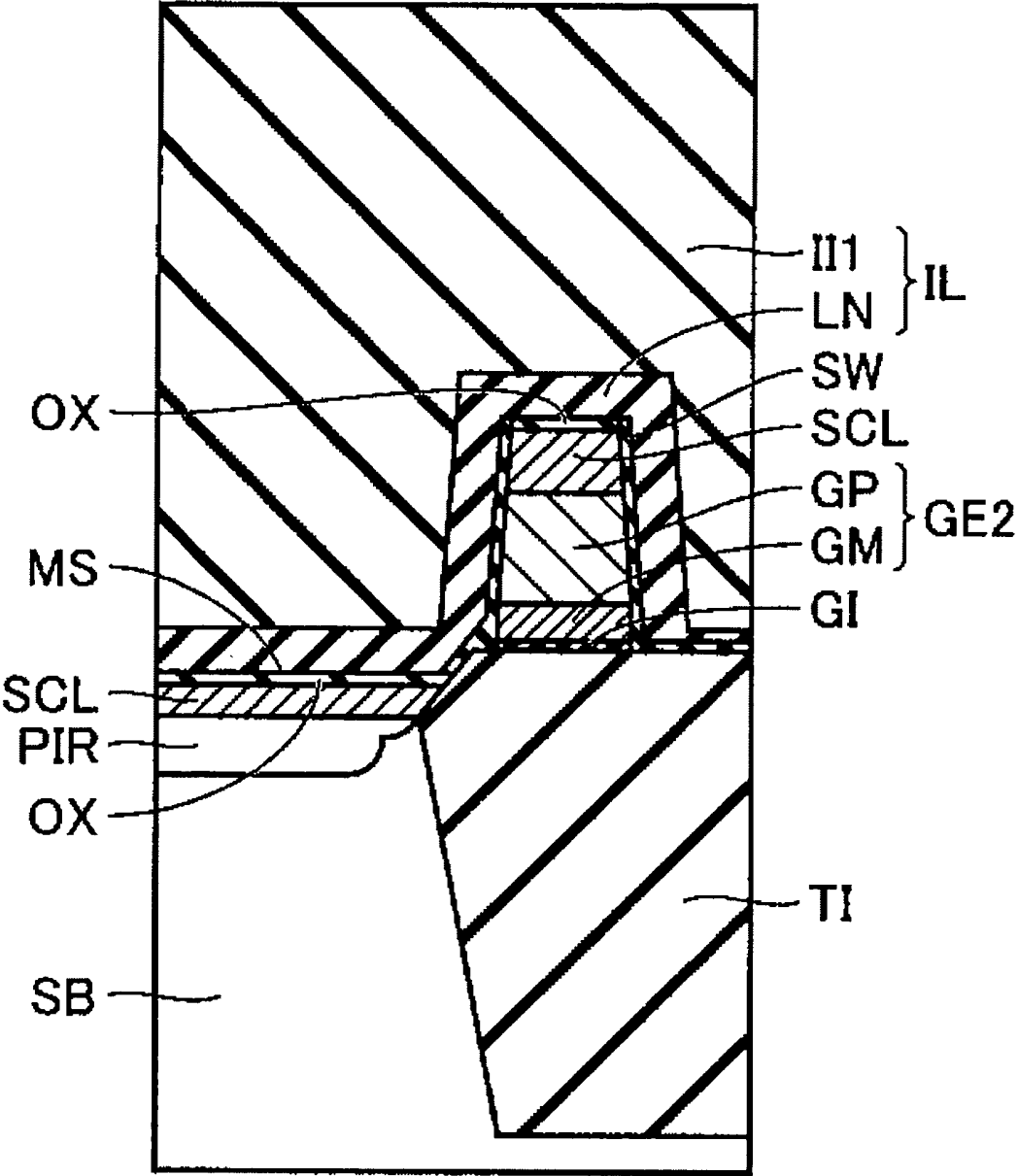


圖 20

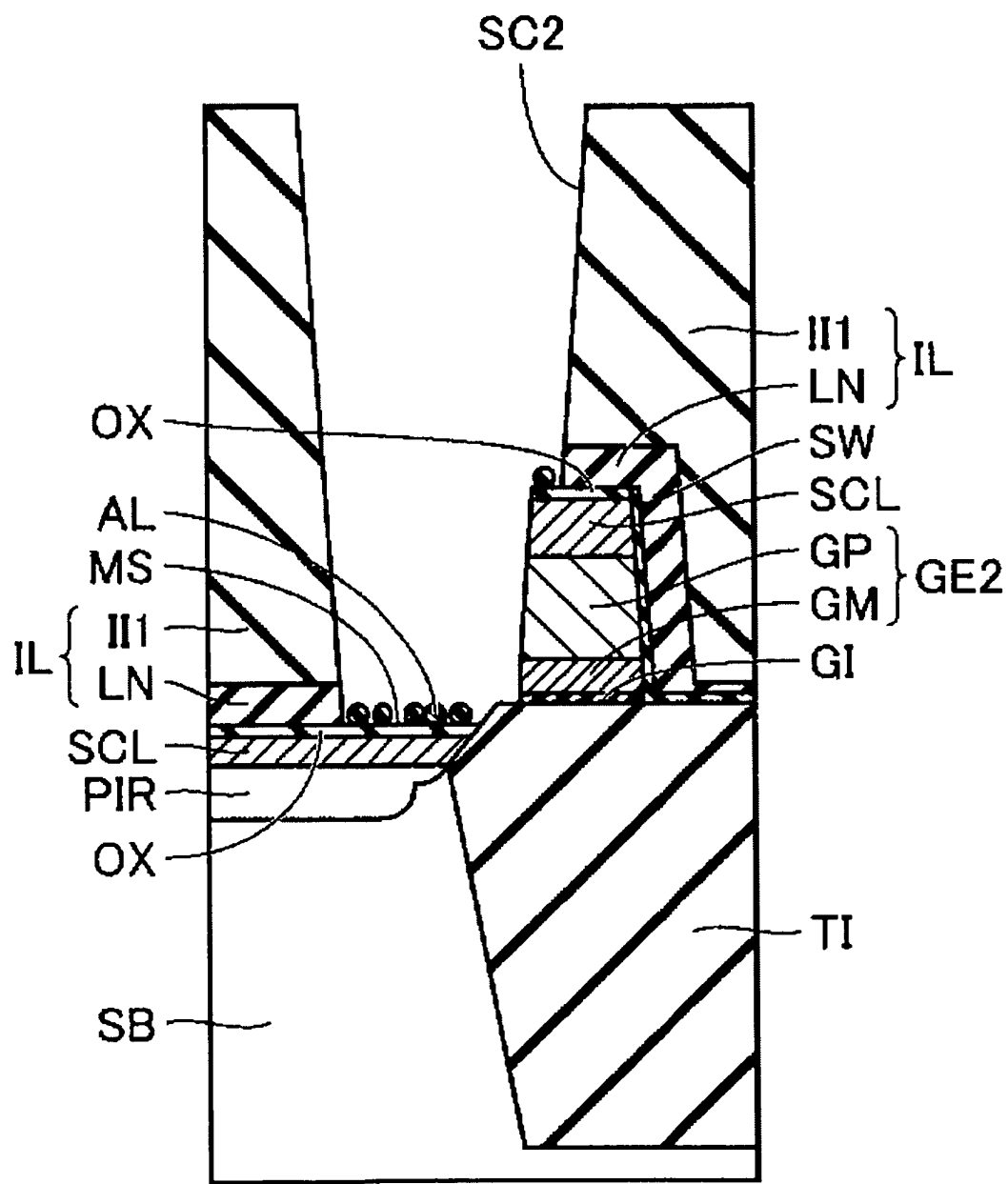


圖21

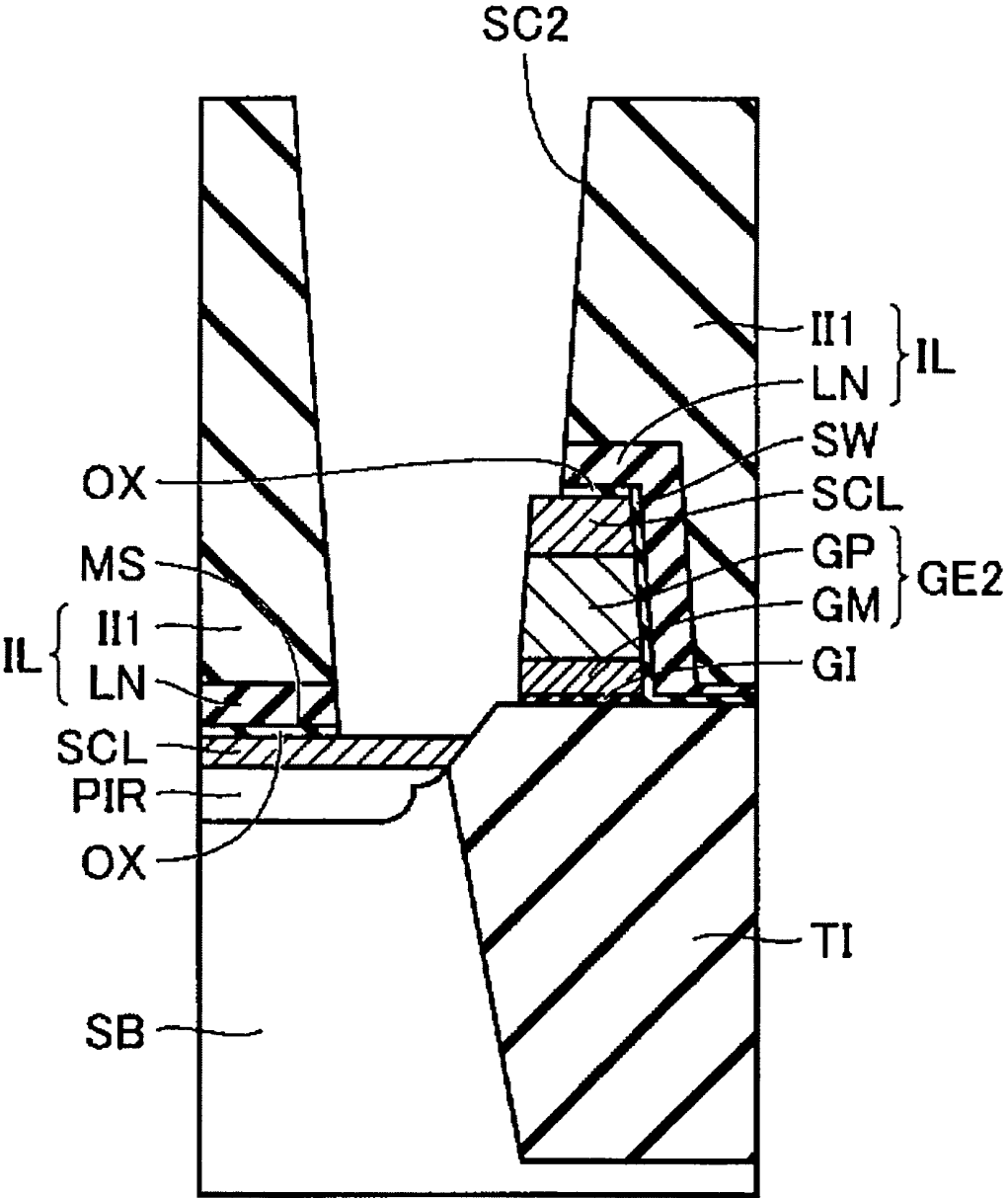


圖22

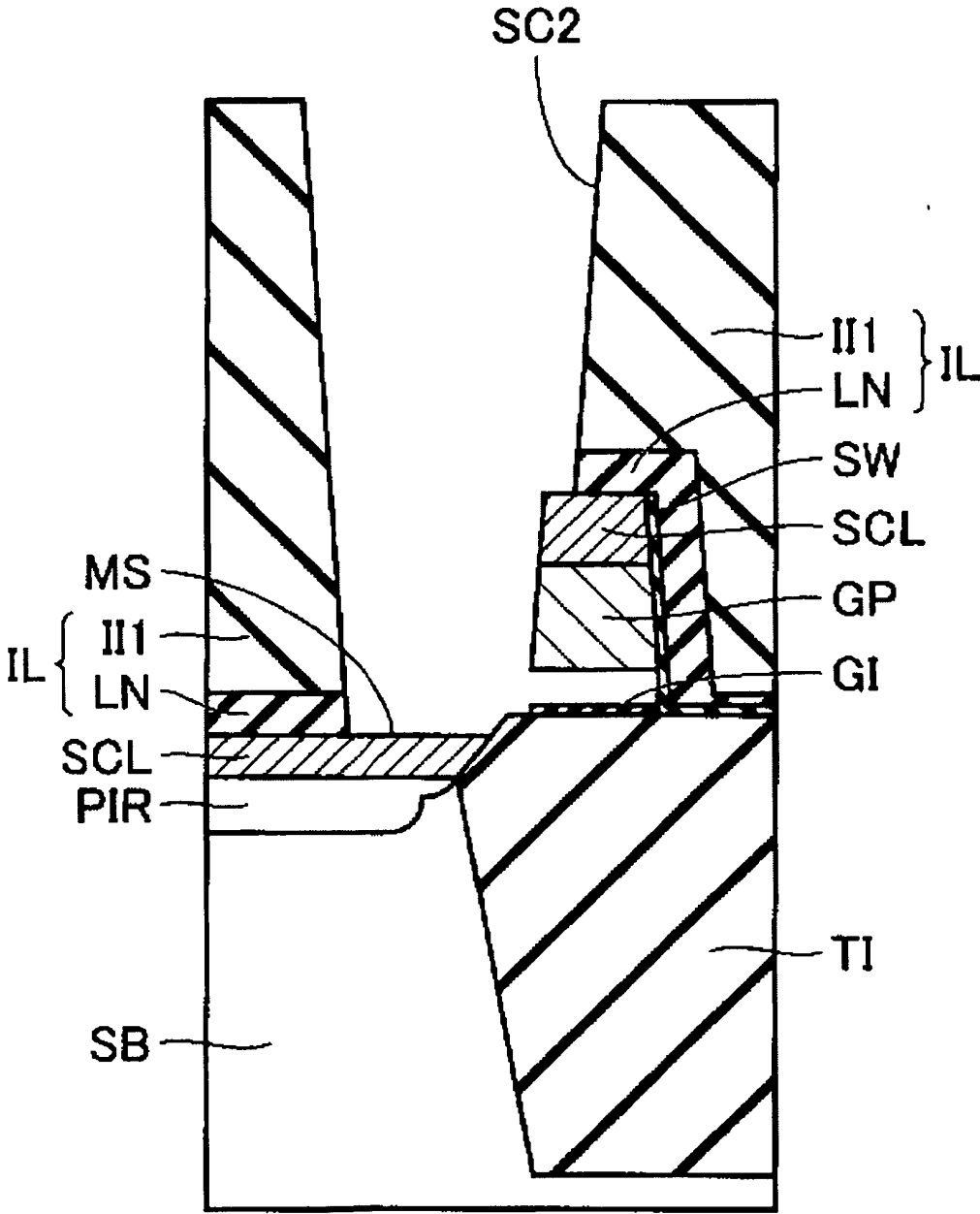


圖23

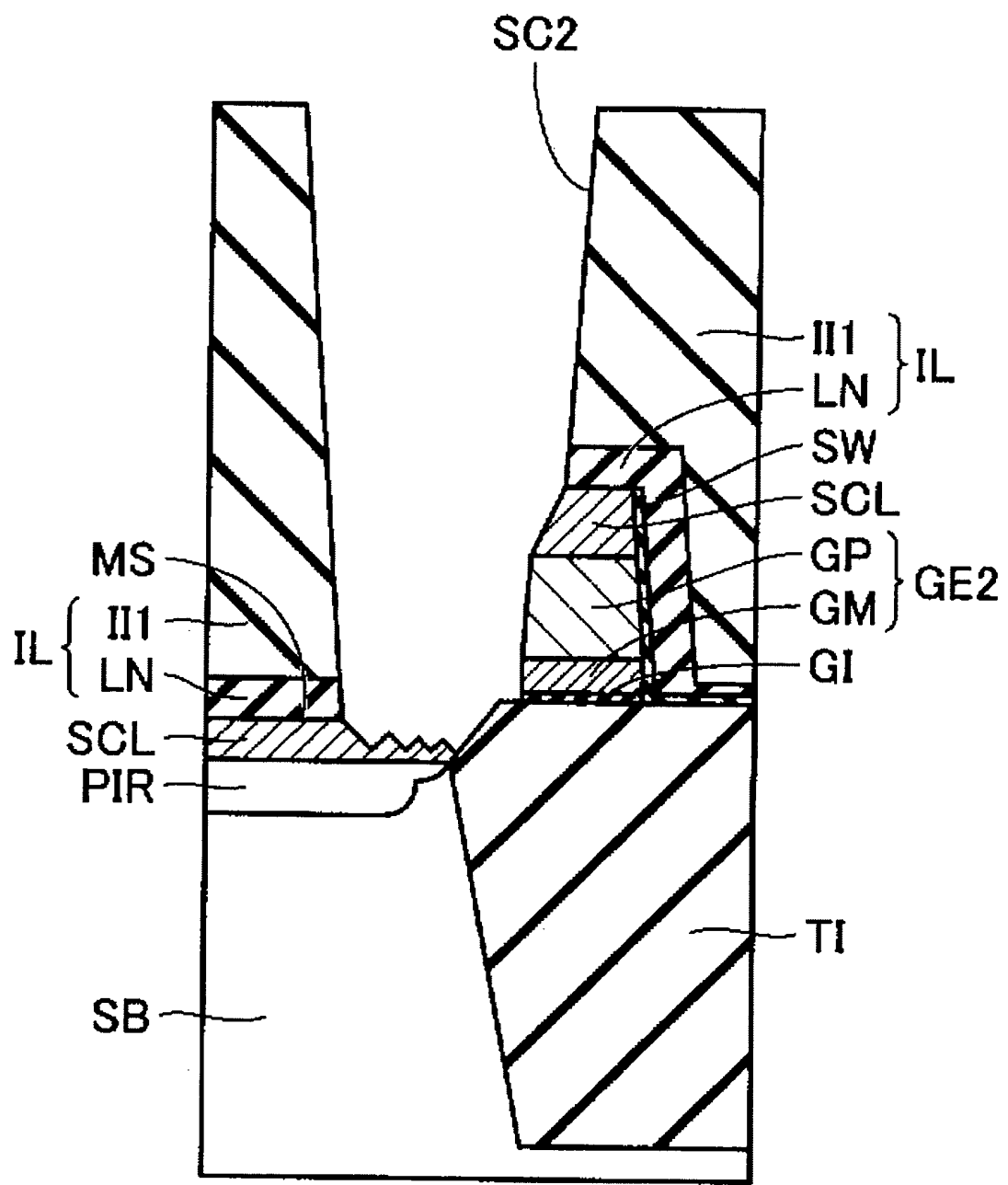


圖 24

四、指定代表圖：

(一)本案指定代表圖為：第(5)圖。

(二)本代表圖之元件符號簡單說明：

AL	變質層
GE2	閘極電極層
GI	閘極絕緣層
GM	閘極金屬
GP	閘極多晶矽
II1	層間絕緣層
IL	絕緣層
LN	襯墊氮化膜
MS	主表面
PIR	p型雜質區域
SB	半導體基板
SC2	共用接觸孔
SCL	矽化物層
SW	側壁分隔件
TI	填充物

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)