

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5968452号
(P5968452)

(45) 発行日 平成28年8月10日 (2016. 8. 10)

(24) 登録日 平成28年7月15日 (2016. 7. 15)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)
G09G 3/20 (2006.01)
G02F 1/133 (2006.01)

G09G 3/36
G09G 3/20 622B
G09G 3/20 641C
G09G 3/20 622E
G09G 3/20 612E

請求項の数 12 (全 30 頁) 最終頁に続く

(21) 出願番号 特願2014-542101 (P2014-542101)
(86) (22) 出願日 平成25年10月11日 (2013. 10. 11)
(86) 国際出願番号 PCT/JP2013/077717
(87) 国際公開番号 W02014/061574
(87) 国際公開日 平成26年4月24日 (2014. 4. 24)
審査請求日 平成27年4月15日 (2015. 4. 15)
(31) 優先権主張番号 特願2012-231995 (P2012-231995)
(32) 優先日 平成24年10月19日 (2012. 10. 19)
(33) 優先権主張国 日本国 (JP)

(73) 特許権者 000005049
シャープ株式会社
大阪府堺市堺区匠町 1 番地
(74) 代理人 100104695
弁理士 島田 明宏
(74) 代理人 100121348
弁理士 川原 健児
(74) 代理人 100114247
弁理士 奥田 邦廣
(74) 代理人 100148459
弁理士 河本 悟
(72) 発明者 岩本 明久
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 表示装置およびその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

データ信号を伝達する複数のデータ線、複数の走査線、前記複数のデータ線と前記複数の走査線とに対応して設けられた複数の画素形成部、および前記複数の走査線を選択的に駆動する走査線駆動回路を含む表示パネルと、

前記走査線駆動回路を制御する駆動制御部と、

外部から与えられる電源に基づいて、前記走査線を選択状態にするための電位である走査線選択電位および前記走査線を非選択状態にするための電位である走査線非選択電位を生成して前記駆動制御部に与える電源回路と、

前記走査線駆動回路と前記駆動制御部とを互いに接続するための複数の配線と、

前記配線に一端が接続され、他端が接地された放電抵抗と、

前記電源のオフ状態を検出すると、所定の電源オフ信号を前記駆動制御部に与える電源状態検出部とを備え、

前記走査線駆動回路は、前記複数の走査線に対応して設けられクロック信号に基づいて順次にパルスを出力する複数の双安定回路を有するシフトレジスタを含み、

前記電源回路は、前記走査線選択電位として、第 1 走査線選択電位と、前記第 1 走査線選択電位よりも前記電源がオフ状態になったときの 前記走査線選択電位からグラウンドレベルまでの変化が遅い第 2 走査線選択電位を生成し、

前記駆動制御部は、

前記クロック信号と、前記複数の双安定回路の状態を初期化するためのクリア信号と

10

20

、前記複数の双安定回路の動作の基準となる基準電位とを、前記複数の配線をそれぞれ介して前記走査線駆動回路に与え、

前記電源オフ信号を受け取ると、前記クロック信号の電位および前記基準電位を前記第1走査線選択電位に設定する第1放電処理と、前記クリア信号の電位を前記第2走査線選択電位に設定する第2放電処理とを順次に行い、

前記双安定回路は、

対応する走査線に接続された出力ノードと、

前記クロック信号が第1導通端子に与えられ、前記出力ノードに第2導通端子が接続された出力制御用スイッチング素子と、

前記出力制御用スイッチング素子の制御端子に接続された第1ノードと、

前記クリア信号が制御端子に与えられ、前記第1ノードに第1導通端子が接続され、前記基準電位が第2導通端子に与えられる第1の第1ノード制御用スイッチング素子と、

ゲートスタートパルスまたは前の段の双安定回路の出力ノードから出力されるパルスが制御端子および第1導通端子に与えられ、前記第1ノードに第2導通端子が接続された第1ノードセット用スイッチング素子と、

前記出力制御用スイッチング素子の第1導通端子に与えられるクロック信号とは異なる位相のクロック信号が制御端子に与えられ、前記出力ノードが第1導通端子に接続され、前記基準電位が第2導通端子に与えられる出力ノード制御用スイッチング素子と、

前記クリア信号または次の段の双安定回路の出力ノードから出力されるパルスが制御端子に与えられ、前記第1ノードに第1導通端子が接続され、前記基準電位が第2導通端子に与えられる第1ノードリセット用スイッチング素子と、

前記第1ノードに一端が接続され、前記出力ノードに他端が接続された容量素子とを含むことを特徴とする、表示装置。

【請求項2】

前記放電抵抗と直列に設けられ、前記電源がオフ状態であるときに閉じる制御スイッチをさらに含むことを特徴とする、請求項1に記載の表示装置。

【請求項3】

前記放電抵抗と直列に設けられ、前記第2走査線選択電位が所定値を下回ったときに閉じる制御スイッチをさらに含むことを特徴とする、請求項1に記載の表示装置。

【請求項4】

前記駆動制御部は、前記第2走査線選択電位を電源として動作し、前記クロック信号、前記クリア信号、および前記基準電位をそれぞれ出力するための複数の出力回路を含むことを特徴とする、請求項1に記載の表示装置。

【請求項5】

前記双安定回路は、

前記第1ノードに第1導通端子が接続され、前記基準電位が第2導通端子に与えられる第2の第1ノード制御用スイッチング素子と、

前記第2の第1ノード制御用スイッチング素子の制御端子に接続された第2ノードと、

前記クリア信号が制御端子に与えられ、前記第2ノードに第1導通端子が接続され、前記基準電位が第2導通端子に与えられる第2ノード制御用スイッチング素子とをさらに含むことを特徴とする、請求項1に記載の表示装置。

【請求項6】

前記電源回路は、前記電源がオフ状態になると、前記第1走査線選択電位を、前記電源がオフ状態になった時点のレベルからグラウンドレベルまで所定時間をかけて変化させることを特徴とする、請求項1に記載の表示装置。

【請求項7】

前記電源回路は、

少なくとも第1容量および第1抵抗に接続され、前記電源から得られた所定の電位に基づいて前記第1走査線選択電位を生成するための第1走査線選択電位生成線と、

少なくとも第2容量および第2抵抗に接続され、前記電源から得られた所定の電位に基づいて前記第2走査線選択電位を生成するための第2走査線選択電位生成線とを含み、

前記第2容量および前記第2抵抗によって定まる時定数は、前記第1容量および前記第1抵抗によって定まる時定数よりも大きいことを特徴とする、請求項6に記載の表示装置。

【請求項8】

前記駆動制御部は、前記電源オフ信号を受け取ると、前記第1放電処理の前に、前記クリア信号の電位を前記第2走査線選択電位に設定すると共に前記基準電位を前記走査線非選択電位に設定する初期化処理を行うことを特徴とする、請求項1に記載の表示装置。

【請求項9】

前記駆動制御部は、前記初期化処理時に前記クロック信号の電位を前記走査線非選択電位に設定することを特徴とする、請求項8に記載の表示装置。

【請求項10】

前記双安定回路に含まれるスイッチング素子は、チャンネル層が酸化物半導体により形成された薄膜トランジスタであることを特徴とする、請求項1に記載の表示装置。

【請求項11】

前記酸化物半導体は、酸化インジウムガリウム亜鉛であることを特徴とする、請求項10に記載の表示装置。

【請求項12】

データ信号を伝達する複数のデータ線、複数の走査線、前記複数のデータ線と前記複数の走査線とに対応して設けられた複数の画素形成部、および前記複数の走査線を選択的に駆動する走査線駆動回路を含む表示パネルと、前記走査線駆動回路を制御する駆動制御部と、外部から与えられる電源に基づいて、前記走査線を選択状態にするための電位である走査線選択電位および前記走査線を非選択状態にするための電位である走査線非選択電位を生成して前記駆動制御部に与える電源回路と、前記走査線駆動回路と前記駆動制御部とを互いに接続するための複数の配線と、前記配線に一端が接続されて他端が接地された放電抵抗とを備える表示装置の駆動方法であって、

前記電源のオン／オフ状態を検出する電源状態検出ステップと、

前記電源状態検出ステップでオフ状態が検出されたときに実行される、前記表示パネル内の電荷を放電させるパネル内放電ステップと、

前記電源がオフ状態である期間の少なくとも一部で前記配線に蓄積された電荷を前記放電抵抗を介して放電する配線放電ステップとを備え、

前記走査線駆動回路は、前記複数の走査線に対応して設けられクロック信号に基づいて順次にパルスを出力する複数の双安定回路を有するシフトレジスタを含み、

前記電源回路は、前記走査線選択電位として、第1走査線選択電位と、前記第1走査線選択電位よりも前記電源がオフ状態になったときの前記走査線選択電位からグラウンドレベルまでの変化が遅い第2走査線選択電位を生成し、

前記パネル内放電ステップは、

前記クロック信号と、前記複数の双安定回路の状態を初期化するためのクリア信号と、前記複数の双安定回路の動作の基準となる基準電位とを、前記複数の配線をそれぞれ介して前記走査線駆動回路に与える出力ステップと、

前記クロック信号の電位および前記基準電位を前記第1走査線選択電位に設定する第1放電ステップと、

前記クリア信号の電位を前記第2走査線選択電位に設定する第2放電処理とを含み、前記双安定回路は、

対応する走査線に接続された出力ノードと、

前記クロック信号が第1導通端子に与えられ、前記出力ノードに第2導通端子が接続された出力制御用スイッチング素子と、

前記出力制御用スイッチング素子の制御端子に接続された第1ノードと、

前記クリア信号が制御端子に与えられ、前記第1ノードに第1導通端子が接続され、

10

20

30

40

50

前記基準電位が第2導通端子に与えられる第1の第1ノード制御用スイッチング素子と、
ゲートスタートパルスまたは前の段の双安定回路の出力ノードから出力されるパルス
が制御端子および第1導通端子に与えられ、前記第1ノードに第2導通端子が接続された
第1ノードセット用スイッチング素子と、

前記出力制御用スイッチング素子の第1導通端子に与えられるクロック信号とは異なる
位相のクロック信号が制御端子に与えられ、前記出力ノードが第1導通端子に接続され
、前記基準電位が第2導通端子に与えられる出力ノード制御用スイッチング素子と、

前記クリア信号または次の段の双安定回路の出力ノードから出力されるパルスが制御
端子に与えられ、前記第1ノードに第1導通端子が接続され、前記基準電位が第2導通端
子に与えられる第1ノードリセット用スイッチング素子と、

前記第1ノードに一端が接続され、前記出力ノードに他端が接続された容量素子と
を含むことを特徴とする、駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置およびその駆動方法に関する。

【背景技術】

【0002】

一般に、アクティブマトリクス型の液晶表示装置は、液晶層と、その液晶層を挟持する
2枚の基板により構成される液晶パネルを含んでいる。それらの2枚の基板のうちの一方
には、複数本の走査線および複数本のデータ線が設けられ、それらの複数本の走査線と複
数本のデータ線との交差点に対応してマトリクス状に配置された複数の画素形成部が設け
られている。各画素形成部は、対応する交差点を通過する走査線にゲート端子が接続され
、その交差点を通過するデータ線にソース端子が接続された薄膜トランジスタ（TFT）
、およびデータ線によって伝達されるデータ信号を書き込むための画素容量などを含んで
いる。また、上記2枚の基板のうちの他方には、上記複数の画素形成部に共通の共通電極
が設けられる場合がある。アクティブマトリクス型の液晶表示装置は、さらに、上記複数
本の走査線を駆動するゲートドライバ（走査線駆動回路）および上記複数本のデータ線を
駆動するソースドライバ（データ線駆動回路）を含んでいる。

【0003】

上述のように、データ信号はデータ線によって伝達されるが、各データ線は複数行分の
データ信号を一時（同時）に伝達することができない。このため、画素形成部内の画素容
量へのデータ信号の書き込みは、例えば1行ずつ順次に行われる。そこで、複数本の走査
線が所定期間ずつ順次に選択されるように、ゲートドライバは複数段からなるシフトレジ
スタにより構成されている。

【0004】

このような液晶表示装置において、利用者によって電源が遮断されたにもかかわらず、
直ちに表示がクリアされず、残像のような画像が残ることがある。この理由は、装置の電
源がオフされると画素容量に保持された電荷の放電経路が遮断され、画素形成部内に残留
電荷が蓄積されるからである。また、画素形成部内に残留電荷が蓄積された状態で装置の
電源がオンされると、その残留電荷に基づく不純物の偏りに起因するフリッカの発生など
表示品位の低下が生じる。そこで、電源オフの際に、例えば、全ての走査線を選択状態に
してデータ線に黒電圧を印加することによって、パネル上の電荷を放電させる手法が知ら
れている。

【0005】

従来、ゲートドライバは液晶パネルを構成する基板の周辺部に集積回路（IC）チップ
として搭載されることが多かったが、近年、基板上に直接的にゲートドライバを形成する
ことが徐々に多くなされている。このようなゲートドライバは「モノリシックゲートドラ
イバ」と呼ばれている。また、モノリシックゲートドライバを含んだパネルは「ゲートド
ライバモノリシックパネル」と呼ばれている。

10

20

30

40

50

【0006】

ゲートドライバモノリシックパネルにおいては、パネル上の電荷の放電に関し、上述した手法を採用することができない。そこで、国際公開第2011/055584号パンフレットには、次のような液晶表示装置が開示されている。ゲートドライバ内のシフトレジスタを構成する双安定回路において、シフトレジスタを動作させるクロック信号がゲート端子に与えられ、基準電位を伝達する基準電位配線にソース端子が接続され、走査線にドレイン端子が接続されたTFTが設けられる。このような構成において、外部からの電源の供給が遮断されると、クロック信号をハイレベルにして上記TFTをオン状態にするとともに、基準電位がゲートオフ電位からゲートオン電位にまで高められる。これにより、各走査線の電位がゲートオン電位にまで高められ、全ての画素形成部内の残留電荷が放電される。また、国際公開第2010/050262号パンフレットには、ゲートドライバモノリシックパネルに関する発明として、TFTでのリークに起因する誤動作を防止する技術が開示されている。

10

【先行技術文献】

【特許文献】

【0007】

【特許文献1】国際公開第2011/055584号パンフレット

【特許文献2】国際公開第2010/050262号パンフレット

【発明の概要】

【発明が解決しようとする課題】

20

【0008】

ところで、近年、酸化物半導体の一種である酸化インジウムガリウム亜鉛によりチャネル層が形成されたTFT（以下「IGZO-TFT」という。）を使用した液晶パネルの開発が進んでいる。以下では、IGZO-TFTを使用した液晶パネルのことをIGZO-TFT液晶パネルという。IGZO-TFT液晶パネルにおいても、モノリシック化されたゲートドライバの開発が進められている。以下では、IGZO-TFT液晶パネルに設けられているモノリシックゲートドライバのことを「IGZO-GDM」という。

【0009】

従来から液晶パネルに使用されている、アモルファスシリコンによりチャネル層が形成されたTFT（以下「a-SiTFT」という。）はオフ特性が良好ではないため、a-SiTFTを使用した液晶パネル（以下「a-SiTFT液晶パネル」という。）では、画素形成部以外の部分の浮遊ノード上の電荷（以下「浮遊電荷」という場合がある。）については数秒で放電される。従って、a-SiTFT液晶パネルにおいては、画素形成部以外の部分の浮遊電荷については特に問題とはならない。ところが、IGZO-TFTは、オン特性のみならずオフ特性も優れている。特にゲートへのバイアス電圧が0V（バイアスなし）のときのオフ特性がa-SiTFTと比較して顕著に優れているため、TFTと接続されているノードの浮遊電荷がゲートオフ時に当該TFTを介して放電することがない。その結果、回路内に電荷が長時間残ることとなる。ある試算によると、後述の図10に示すような構成を採用するIGZO-GDMにおいて、net A上の浮遊電荷の放電に要する時間は数時間（数千秒～数万秒）となっている。また、IGZO-GDMのバイアス温度ストレス試験によれば、IGZO-TFTの閾値シフトの大きさは1時間で数Vとなっている。このことから、IGZO-GDMにおいては残留電荷の存在がIGZO-TFTの閾値シフトの大きな要因となることが把握される。以上より、IGZO-GDMのシフトレジスタにおいてシフト動作が途中で停止すると、ある1つの段においてのみTFTの閾値シフトが生じるおそれがある。その結果、シフトレジスタが正常に動作しなくなり、画面への画像表示が行われなくなる。

30

40

【0010】

また、ゲートドライバがICチップである場合には、パネル内のTFTは画素形成部内のTFTだけである。従って、電源オフの際には画素形成部内の電荷および走査線上の電荷を放電すれば足りる。しかしながら、モノリシックゲートドライバの場合には、パネル

50

内のTFTとしてゲートドライバ内にもTFTが存在している。そして、例えば図10に示す構成においては、符号net Aおよび符号net Bで示す2つの浮遊ノード（以下、それぞれ「第1ノード」および「第2ノード」という。）が存在する。従って、IGZO-GDMにおいては、電源オフの際、画素形成部内の電荷、走査線上の電荷、第1ノードnet A上の電荷、および第2ノードnet B上の電荷を放電する必要がある。さらに、これらの電荷の放電は、安定的に行われることが望ましい。

【0011】

そこで、本発明は、電源が遮断されたときにパネル内の残留電荷を速やかに且つ安定的に除去することのできる、例えばチャンネル層が酸化物半導体により形成されたTFTを有するモノリシックゲートドライバを採用する場合に好適な表示装置およびその駆動方法を提供することを目的とする。

【課題を解決するための手段】

【0012】

本発明の第1の局面は、データ信号を伝達する複数のデータ線、複数の走査線、前記複数のデータ線と前記複数の走査線とに対応して設けられた複数の画素形成部、および前記複数の走査線を選択的に駆動する走査線駆動回路を含む表示パネルと、

前記走査線駆動回路を制御する駆動制御部と、

外部から与えられる電源に基づいて、前記走査線を選択状態にするための電位である走査線選択電位および前記走査線を非選択状態にするための電位である走査線非選択電位を生成して前記駆動制御部に与える電源回路と、

前記走査線駆動回路と前記駆動制御部とを互いに接続するための複数の配線と、

前記配線に一端が接続され、他端が接地された放電抵抗と、

前記電源のオフ状態を検出すると、所定の電源オフ信号を前記駆動制御部に与える電源状態検出部とを備え、

前記走査線駆動回路は、前記複数の走査線に対応して設けられクロック信号に基づいて順次にパルスを出力する複数の双安定回路を有するシフトレジスタを含み、

前記電源回路は、前記走査線選択電位として、第1走査線選択電位と、前記第1走査線選択電位よりも前記電源がオフ状態になったときの前記走査線選択電位からグラウンドレベルまでの変化が遅い第2走査線選択電位を生成し、

前記駆動制御部は、

前記クロック信号と、前記複数の双安定回路の状態を初期化するためのクリア信号と、前記複数の双安定回路の動作の基準となる基準電位とを、前記複数の配線をそれぞれ介して前記走査線駆動回路に与え、

前記電源オフ信号を受け取ると、前記クロック信号の電位および前記基準電位を前記第1走査線選択電位に設定する第1放電処理と、前記クリア信号の電位を前記第2走査線選択電位に設定する第2放電処理とを順次に行い、

前記双安定回路は、

対応する走査線に接続された出力ノードと、

前記クロック信号が第1導通端子に与えられ、前記出力ノードに第2導通端子が接続された出力制御用スイッチング素子と、

前記出力制御用スイッチング素子の制御端子に接続された第1ノードと、

前記クリア信号が制御端子に与えられ、前記第1ノードに第1導通端子が接続され、前記基準電位が第2導通端子に与えられる第1の第1ノード制御用スイッチング素子と、

ゲートスタートパルスまたは前の段の双安定回路の出力ノードから出力されるパルスが制御端子および第1導通端子に与えられ、前記第1ノードに第2導通端子が接続された第1ノードセット用スイッチング素子と、

前記出力制御用スイッチング素子の第1導通端子に与えられるクロック信号とは異なる位相のクロック信号が制御端子に与えられ、前記出力ノードが第1導通端子に接続され、前記基準電位が第2導通端子に与えられる出力ノード制御用スイッチング素子と、

前記クリア信号または次の段の双安定回路の出力ノードから出力されるパルスが制御

10

20

30

40

50

端子に与えられ、前記第 1 ノードに第 1 導通端子が接続され、前記基準電位が第 2 導通端子に与えられる第 1 ノードリセット用スイッチング素子と、

前記第 1 ノードに一端が接続され、前記出力ノードに他端が接続された容量素子とを含むことを特徴とする。

【0014】

本発明の第 2 の局面は、本発明の第 1 の局面において、

前記表示装置は、前記放電抵抗と直列に設けられ、前記電源がオフ状態であるときに閉じる制御スイッチをさらに含むことを特徴とする。

【0015】

本発明の第 3 の局面は、本発明の第 1 の局面において、

前記表示装置は、前記放電抵抗と直列に設けられ、前記第 2 走査線選択電位が所定値を下回ったときに閉じる制御スイッチをさらに含むことを特徴とする。

【0016】

本発明の第 4 の局面は、本発明の第 1 の局面において、

前記駆動制御部は、前記第 2 走査線選択電位を電源として動作し、前記クロック信号、前記クリア信号、および前記基準電位をそれぞれ出力するための複数の出力回路を含むことを特徴とする。

【0017】

本発明の第 5 の局面は、本発明の第 1 の局面において、

前記双安定回路は、

前記第 1 ノードに第 1 導通端子が接続され、前記基準電位が第 2 導通端子に与えられる第 2 の第 1 ノード制御用スイッチング素子と、

前記第 2 の第 1 ノード制御用スイッチング素子の制御端子に接続された第 2 ノードと、

前記クリア信号が制御端子に与えられ、前記第 2 ノードに第 1 導通端子が接続され、前記基準電位が第 2 導通端子に与えられる第 2 ノード制御用スイッチング素子とをさらに含むことを特徴とする。

【0019】

本発明の第 6 の局面は、本発明の第 1 の局面において、

前記電源回路は、前記電源がオフ状態になると、前記第 1 走査線選択電位を、前記電源がオフ状態になった時点のレベルからグラウンドレベルまで所定時間をかけて変化させることを特徴とする。

【0020】

本発明の第 7 の局面は、本発明の第 6 の局面において、

前記電源回路は、

少なくとも第 1 容量および第 1 抵抗に接続され、前記電源から得られた所定の電位に基づいて前記第 1 走査線選択電位を生成するための第 1 走査線選択電位生成線と、

少なくとも第 2 容量および第 2 抵抗に接続され、前記電源から得られた所定の電位に基づいて前記第 2 走査線選択電位を生成するための第 2 走査線選択電位生成線とを含み、

前記第 2 容量および前記第 2 抵抗によって定まる時定数は、前記第 1 容量および前記第 1 抵抗によって定まる時定数よりも大きいことを特徴とする。

【0021】

本発明の第 8 の局面は、本発明の第 1 の局面において、

前記駆動制御部は、前記電源オフ信号を受け取ると、前記第 1 放電処理の前に、前記クリア信号の電位を前記第 2 走査線選択電位に設定すると共に前記基準電位を前記走査線非選択電位に設定する初期化処理を行うことを特徴とする。

【0022】

本発明の第 9 の局面は、本発明の第 8 の局面において、

前記駆動制御部は、前記初期化処理時に前記クロック信号の電位を前記走査線非選択電位に設定することを特徴とする。

【0023】

本発明の第10の局面は、本発明の第1の局面において、
前記双安定回路に含まれるスイッチング素子は、チャンネル層が酸化物半導体により形成された薄膜トランジスタであることを特徴とする。

【0024】

本発明の第11の局面は、本発明の第10の局面において、
前記酸化物半導体は、酸化インジウムガリウム亜鉛であることを特徴とする。

【0025】

本発明の第12の局面は、データ信号を伝達する複数のデータ線、複数の走査線、前記複数のデータ線と前記複数の走査線とに対応して設けられた複数の画素形成部、および前記複数の走査線を選択的に駆動する走査線駆動回路を含む表示パネルと、前記走査線駆動回路を制御する駆動制御部と、外部から与えられる電源に基づいて、前記走査線を選択状態にするための電位である走査線選択電位および前記走査線を非選択状態にするための電位である走査線非選択電位を生成して前記駆動制御部に与える電源回路と、前記走査線駆動回路と前記駆動制御部とを互いに接続するための複数の配線と、前記配線に一端が接続されて他端が接地された放電抵抗とを備える表示装置の駆動方法であって、

前記電源のオン／オフ状態を検出する電源状態検出ステップと、

前記電源状態検出ステップでオフ状態が検出されたときに実行される、前記表示パネル内の電荷を放電させるパネル内放電ステップと、

前記電源がオフ状態である期間の少なくとも一部で前記配線に蓄積された電荷を前記放電抵抗を介して放電する配線放電ステップとを備え、

前記走査線駆動回路は、前記複数の走査線に対応して設けられクロック信号に基づいて順次にパルスを出力する複数の双安定回路を有するシフトレジスタを含み、

前記電源回路は、前記走査線選択電位として、第1走査線選択電位と、前記第1走査線選択電位よりも前記電源がオフ状態になったときの前記走査線選択電位からグラウンドレベルまでの変化が遅い第2走査線選択電位を生成し、

前記パネル内放電ステップは、

前記クロック信号と、前記複数の双安定回路の状態を初期化するためのクリア信号と、前記複数の双安定回路の動作の基準となる基準電位とを、前記複数の配線をそれぞれ介して前記走査線駆動回路に与える出力ステップと、

前記クロック信号の電位および前記基準電位を前記第1走査線選択電位に設定する第1放電ステップと、

前記クリア信号の電位を前記第2走査線選択電位に設定する第2放電処理とを含み、
前記双安定回路は、

対応する走査線に接続された出力ノードと、

前記クロック信号が第1導通端子に与えられ、前記出力ノードに第2導通端子が接続された出力制御用スイッチング素子と、

前記出力制御用スイッチング素子の制御端子に接続された第1ノードと、

前記クリア信号が制御端子に与えられ、前記第1ノードに第1導通端子が接続され、前記基準電位が第2導通端子に与えられる第1の第1ノード制御用スイッチング素子と、

ゲートスタートパルスまたは前の段の双安定回路の出力ノードから出力されるパルスが制御端子および第1導通端子に与えられ、前記第1ノードに第2導通端子が接続された第1ノードセット用スイッチング素子と、

前記出力制御用スイッチング素子の第1導通端子に与えられるクロック信号とは異なる位相のクロック信号が制御端子に与えられ、前記出力ノードが第1導通端子に接続され、前記基準電位が第2導通端子に与えられる出力ノード制御用スイッチング素子と、

前記クリア信号または次の段の双安定回路の出力ノードから出力されるパルスが制御端子に与えられ、前記第1ノードに第1導通端子が接続され、前記基準電位が第2導通端子に与えられる第1ノードリセット用スイッチング素子と、

前記第1ノードに一端が接続され、前記出力ノードに他端が接続された容量素子と

10

20

30

40

50

を含むことを特徴とする。

【発明の効果】

【0026】

本発明の第1の局面によれば、表示装置において電源の供給が遮断されると、表示パネル内の電荷を放電させるための2つの処理（第1放電処理および第2放電処理）が順次に行われる。第1放電処理では、クロック信号の電位および基準電位が第1走査線選択電位に設定されることにより、第1走査線選択電位となったクロック信号の電位が出力制御用スイッチング素子を介して出力ノードに与えられるので、各走査線が選択状態になる。このとき、データ信号の電位をグラウンド電位に設定しておくことによって、各画素形成部内の電荷が放電される。また、第1走査線選択電位は、電源がオフ状態になったときのレベル変化が第2走査線選択電位よりも速いので、第1放電処理時に走査線上の電荷も放電される。第2放電処理では、クリア信号の電位が第2走査線選択電位に設定される。第2走査線選択電位は、電源がオフ状態になったときのレベル変化が第1走査線選択電位よりも遅いので、第2放電処理の開始時点では、第2走査線選択電位が各双安定回路に含まれるスイッチング素子をオン状態にするレベルに維持されている。このため、第2放電処理によって各双安定回路内の浮遊ノード上の電荷が放電される。また、走査線駆動回路と駆動制御部とを互いに接続するための配線に放電抵抗が接続されている。したがって、駆動制御部に与えられる走査線選択電位が駆動制御部を動作させるために必要な値を下回って駆動制御部の各出力端子（上記配線が接続された端子）がハイインピーダンス状態になったとしても、配線はフローティング状態にならない（グラウンド電位に引き込まれる）。以上のようにして、電源が遮断されたときにパネル内の残留電荷を速やかに且つ安定的に除去することができる。

10

20

【0028】

本発明の第2の局面によれば、電源遮断時以外（以下「通常動作時」という場合がある。）では制御スイッチが開いているので、放電抵抗を通じて電流が流れない。このため、放電抵抗による通常動作時の消費電力の増加を抑制することができる。

【0029】

本発明の第3の局面によれば、本発明の第2の局面と同様に、通常動作時は制御スイッチが開いているので、放電抵抗を通じて電流が流れない。このため、放電抵抗による通常動作時の消費電力の増加を抑制することができる。また、電源遮断時でも、第2走査線選択電位が所定値（駆動制御部を動作させるために必要な値）を下回るまで制御スイッチが開いているので、放電抵抗を通じて電流が流れない。これにより、第2走査線選択電位が所定値を下回るまでの駆動制御部からの出力波形が安定するので、電源が遮断されたときにパネル内の残留電荷をさらに安定的に除去することができる。また、本発明の第2の局面よりも、放電抵抗による電源遮断時の消費電力の増加を抑制することができる。

30

【0030】

本発明の第4の局面によれば、第2走査線選択電位が出力回路の動作下限値を下回って当該出力回路の出力がハイインピーダンス状態になったとしても、配線はフローティング状態にならない（グラウンド電位に引き込まれる）。このようにして、本発明の第1の局面と同様の効果を奏することができる。

40

【0031】

本発明の第5の局面によれば、通常動作時に第1ノードの電位を随時基準電位に引き込むことが可能となるので、動作不良の発生を抑制することができる。

【0033】

本発明の第6の局面によれば、第1放電処理時に出力ノードの電位が徐々に低下する。このため、各画素について、キックバック電圧に起因する表示への影響を低減することができる。

【0034】

本発明の第7の局面によれば、電源の供給が遮断されたときのレベル変化状態が互いに異なる2種類の走査線選択電位を比較的容易な構成で生成することができる。

50

【0035】

本発明の第8の局面によれば、第1放電処理が行われる前にシフトレジスタ内の各双安定回路が初期化される。このため、電源の供給が遮断されたときに、表示パネル内の残留電荷がより確実に除去され、表示パネル内の残留電荷に起因する動作不良の発生を効果的に抑制することができる。

【0036】

本発明の第9の局面によれば、初期化処理時に、シフトレジスタ内の各双安定回路がより確実に初期化される。

【0037】

本発明の第10の局面によれば、酸化物半導体によりチャンネル層が形成されたTFT（以下「酸化物TFT」という。）を使用した走査線駆動回路を備えた表示装置において、本発明の第1の局面と同様の効果が得られる。従来、酸化物TFTを使用した走査線駆動回路を備えた表示装置では、表示パネル内の残留電荷に起因する動作不良が生じやすかったので、本発明の第10の局面によれば、表示パネル内の残留電荷に起因する動作不良の発生を抑制する効果がより大きく得られる。

【0038】

本発明の第11の局面によれば、酸化物半導体として酸化インジウムガリウム亜鉛を使用することにより、本発明の第10の局面と同様の効果を奏することができる。

【0039】

本発明の第12の局面によれば、表示装置の駆動方法において、本発明の第1の局面と同様の効果を奏することができる。

【図面の簡単な説明】

【0040】

【図1】本発明の第1の実施形態に係る表示装置の構成を示すブロック図である。

【図2】上記第1の実施形態における画素形成部の構成を示す回路図である。

【図3】図1に示すレベルシフト回路の構成を説明するためのブロック図である。

【図4】図1に示す電源回路の構成のうち、第1、第2ゲートオン電位の生成に関する回路構成の一例を示す回路図である。

【図5】本発明の第1の実施形態における電源遮断時の第1、第2ゲートオン電位の変化を説明するための波形図である。

【図6】上記第1の実施形態におけるレベルシフト回路および放電部の構成を説明するためのブロック図である。

【図7】図1に示すゲートドライバの構成を説明するためのブロック図である。

【図8】図7に示すシフトレジスタの構成を示すブロック図である。

【図9】図1に示すゲートドライバの動作を説明するためのタイミングチャートである。

【図10】図8に示す双安定回路の構成を示す回路図である。

【図11】図8に示す双安定回路の動作を説明するためのタイミングチャートである。

【図12】上記第1の実施形態における電源遮断時の動作を説明するためのタイミングチャートである。

【図13】上記第1の実施形態における通常動作時および電源遮断時の各信号の電位を説明するための図である。

【図14】本発明の第2の実施形態における放電部の構成を説明するためのブロック図である。

【図15】上記第2の実施形態における通常動作および電源遮断時の動作を説明するためのタイミングチャートである。

【図16】本発明の第3の実施形態における通常動作および電源遮断時の動作を説明するためのタイミングチャートである。

【発明を実施するための形態】

【0041】

以下、添付図面を参照しながら、本発明の第1～第3の実施形態について説明する。各トランジスタは電界効果トランジスタであり、より詳細にはnチャネル型のTFTである。また、nチャネル型のTFTに関する以下の説明では、ゲート端子は制御端子に相当し、ドレイン端子は第1導通端子に相当し、ソース端子は第2導通端子に相当する。また、TFTとしてIGZO-TFTを使用するものとして説明するが、他の酸化物TFTを使用しても良い。酸化インジウムガリウム亜鉛以外の酸化物半導体として、例えばインジウム、ガリウム、亜鉛、銅(Cu)、シリコン(Si)、錫(Sn)、アルミニウム(Al)、カルシウム(Ca)、ゲルマニウム(Ge)、および鉛(Pb)のうち少なくとも1つを含む酸化物半導体によりチャネル層を形成した場合でも同様の効果が得られる。また、m、nは2以上の整数であるとする。

10

【0042】

<1. 第1の実施形態>

<1.1 全体構成>

図1は、本実施形態に係るアクティブマトリクス型の液晶表示装置100の全体構成を示すブロック図である。液晶表示装置100は、プリント回路基板(PCB)10と、表示パネルとしての液晶パネル20と、PCB10および液晶パネル20に接続されたテープ自動化接合(TAB)テープ30とを含んでいる。PCB10には、タイミングコントローラ11、レベルシフト回路13、電源回路15、および電源OFF検出部17が設けられている。なお、PCB10上にはさらに、図示しない後述の放電部が設けられているが、図1を参照した説明では便宜上その説明を省略する。液晶パネル20は、IGZO-TFT液晶パネルである。TABテープ30には、データ線SL1～SLmを駆動するためのソースドライバ32がICチップの状態を搭載されている。TABテープ30は主に中型用から大型用の液晶パネルで採用されるソースドライバ32の実装形態であり、小型用から中型用の液晶パネルではソースドライバ32の実装形態としてチップオンガラス(COG)実装が採用される場合もある。また、昨今では、ソースドライバ32、タイミングコントローラ11、レベルシフト回路13、電源回路15、および電源OFF検出部17が1チップ化された構成も徐々に採用されてきている。

20

【0043】

液晶表示装置100は、外部から電源の供給を受けて動作する。液晶表示装置100には、電源が正常に供給されているとき、例えば+5Vの電位が与えられる。以下では、液晶表示装置100に電源から与えられる電位のことを「入力電源電位」といい、符号VCCで表す。なお、電源の供給が遮断されると、入力電源電位VCCはグラウンド電位(0V)にまで徐々に低下する。

30

【0044】

液晶パネル20は、液晶層と、その液晶層を挟持する2枚の基板(典型的にはガラス基板であるが、ガラス基板に限定されない。)とを含んでいる。基板上の所定領域には、画像を表示するための表示部22が形成されている。表示部22は、n本の走査線GL1～GLnと、m本のデータ線SL1～SLmと、それらのn本の走査線GL1～GLnおよびm本のデータ線SL1～SLmの交差点に対応してマトリクス状に配置されたm×n個の画素形成部を含んでいる。

40

【0045】

図2は、画素形成部の構成を示す回路図である。各画素形成部は、対応する交差点を通過する走査線GLにゲート端子が接続され、その交差点を通過するデータ線SLにソース端子が接続されたトランジスタ220と、トランジスタ220のドレイン端子に接続された画素電極221と、m×n個の画素形成部に共通的に設けられた共通電極222および補助容量電極223と、画素電極221と共通電極222とによって形成される液晶容量224と、画素電極221と補助容量電極223とによって形成される補助容量225とを含んでいる。トランジスタ220としては、上述のようにnチャネル型のIGZO-TFTが採用される。液晶容量224および補助容量225によって画素容量CPが形成されている。トランジスタ220のゲート端子に接続された走査線GLが選択されると、ト

50

ランジスタ 220 がオン状態になってデータ線 SL によって伝達されるデータ信号が画素容量 CP に書き込まれる。

【0046】

液晶パネル 20 には、図 1 に示すように、走査線 GL 1 ~ GL n を駆動するためのゲートドライバ 24 がさらに形成されている。ゲートドライバ 24 は走査線駆動回路に相当する。ゲートドライバ 24 は IGZO-GDM であり、液晶パネル 20 を構成する基板上にモノリシックに形成されている。なお、図 1 では、ゲートドライバ 24 は表示部 22 の片側のみに配置されているが、表示部 22 の左右両側に配置されても良い。

【0047】

以上のように、本実施形態では、m 本のデータ線 SL 1 ~ SL m、n 本の走査線 GL 1 ~ GL n、m × n 個の画素形成部、およびゲートドライバ 24 が液晶パネル 20 を構成する 1 枚の基板上に形成されている。

【0048】

液晶表示装置 100 には、水平同期信号 Hsync、垂直同期信号 Vsync、およびデータイネーブル信号 DE などのタイミング信号と画像信号 DAT と入力電源電位 VCC とが外部から与えられる。入力電源電位 VCC は、タイミングコントローラ 11、電源回路 15、および電源 OFF 検出部 17 に与えられる。通常動作時の入力電源電位 VCC は例えば +5 V とされるが、この入力電源電位 VCC は +5 V に限定されるものではない。また、入力信号についても上述の内容には限定されない。また、タイミング信号および画像信号 DAT は、ローボルテージ・ディファレンシャル・シグナリング (LVDS) 規格、モバイル・インダストリ・プロセッサ・インタフェース (MIPPI) 規格、ディスプレイ・ポート (DP) 規格、またはエンベデッド・ディスプレイ・ポート (e-DP) 規格などの差動インタフェースを利用して転送されることもある。

【0049】

電源回路 15 は、入力電源電位 VCC に基づいて、通常動作時に走査線 GL を選択状態にするレベルで維持されるゲートオン電位 (走査線選択電位) VGH と、通常動作時に走査線 GL を非選択状態にするレベルで維持されるゲートオフ電位 (走査線非選択電位) VGL とを生成する。なお、電源回路 15 で生成されるゲートオン電位 VGH およびゲートオフ電位 VGL については、通常動作時のレベルが一定で維持されるが、外部からの電源の供給が遮断されたときにはレベルが変化する。本実施形態では、電源回路 15 は、ゲートオン電位 VGH として 2 種類の電位 (第 1、第 2 ゲートオン電位 VGH1、VGH2) を生成する。それら 2 種類のゲートオン電位 VGH を生成するための構成の説明は後述する。なお、通常動作時は、ゲートオン電位 VGH が例えば +20 V に設定され、ゲートオフ電位 VGL が例えば -10 V に設定される。電源回路 15 は、生成した第 1、第 2 ゲートオン電位 VGH1、VGH2 およびゲートオフ電位 VGL をレベルシフタ回路 13 に与える。

【0050】

電源 OFF 検出部 17 は、電源の供給状態 (電源のオン/オフ状態) を示す電源状態信号 SHUT を生成してレベルシフタ回路 13 に与える。電源状態信号 SHUT は電源オフ信号に相当する。電源 OFF 検出部 17 は電源状態検出部に相当する。

【0051】

タイミングコントローラ 11 は、水平同期信号 Hsync、垂直同期信号 Vsync、およびデータイネーブル信号 DE などのタイミング信号と画像信号 DAT と入力電源電位 VCC を受け取り、デジタル映像信号 DV、ソーススタートパルス信号 SSP、ソースクロック信号 SCK、ゲートスタートパルス信号 L_GSP、およびゲートクロック信号 L_GCK を生成する。デジタル映像信号 DV、ソーススタートパルス信号 SSP、およびソースクロック信号 SCK はソースドライバ 32 に与えられ、ゲートスタートパルス信号 L_GSP およびゲートクロック信号 L_GCK はレベルシフタ回路 13 に与えられる。なお、ゲートスタートパルス信号 L_GSP およびゲートクロック信号 L_GCK は、ハイレベル側の電位が入力電源電位 VCC に設定され、ローレベル側の電位がグラウンド電

位 GND に設定される。

【0052】

レベルシフト回路 13 は、グラウンド電位 GND と、電源回路 15 から与えられる第 1、第 2 ゲートオン電位 VGH1、VGH2 およびゲートオフ電位 VGL とを使用して、タイミングコントローラ 11 から出力されたゲートスタートパルス信号 L_GSP を IGZO-GDM 駆動に最適化されたタイミング信号に変換した信号のレベル変換後の信号 H_GSP の生成と、タイミングコントローラ 11 から出力されたゲートクロック信号 L_GCK に基づく第 1、第 2 ゲートクロック信号 H_GCK1、H_GCK2 の生成と、内部信号に基づく基準電位 H_VSS およびクリア信号 H_CLR の生成とを行う。以下では、第 1、第 2 ゲートオン電位 VGH1、VGH2 をまとめて「ゲートオン電位 VGH」ともいう。レベルシフト回路 13 は、生成したゲートスタートパルス信号 H_GSP、第 1、第 2 ゲートオン電位 VGH1、VGH2、クリア信号 H_CLR、および基準電位 H_VSS をゲートドライバ 24 に与える。以下では、レベルシフト回路 13 で生成されゲートドライバ 24 に与えられるこれらの信号のことを便宜上「GDM 信号」という。なお、通常動作時には、ゲートスタートパルス信号 H_GSP、第 1、第 2 のゲートクロック信号 H_GCK1、H_GCK2 の電位は第 1 ゲートオン電位 VGH1 またはゲートオフ電位 VGL に設定され、クリア信号 H_CLR の電位は第 2 ゲートオン電位 VGH2 またはゲートオフ電位 VGL に設定され、基準電位 H_VSS はゲートオフ電位 VGL に設定される。本実施形態では、タイミングコントローラ 11 およびレベルシフト回路 13 によって駆動制御部が実現されている。

【0053】

ところで、本実施形態では、図 3 に示すように、レベルシフト回路 13 には、タイミング生成ロジック部 131 およびオシレータ 132 が含まれ、電源 OFF 検出部 17 から出力される電源状態信号 SHUT が与えられる。このような構成により、レベルシフト回路 13 は、所定のタイミング（後述する図 12 における時点 t1～t3）に従って上記 GDM 信号の電位を変化させることが可能となっている。所定のタイミングについては、例えば、レベルシフト回路 13 を構成する IC 内部の不揮発性メモリ及び不揮発性メモリからデータをロードしたレジスタ値に基づいて生成される。なお、このレベルシフト回路 13 についてのさらに詳しい説明は後述する。

【0054】

ソースドライバ 32 は、タイミングコントローラ 11 から出力されるデジタル映像信号 DV、ソーススタートパルス信号 SSP、およびソースクロック信号 SCK を受け取り、データ線 SL1～SLm にデータ信号を印加する。

【0055】

ゲートドライバ 24 は、レベルシフト回路 13 から出力されるゲートスタートパルス信号 H_GSP、第 1、第 2 ゲートクロック信号 H_GCK1、H_GCK2、クリア信号 H_CLR、および基準電位 H_VSS に基づいて、アクティブな走査信号の走査線 GL1～GLn への印加を 1 垂直走査期間を周期として繰り返す。なお、このゲートドライバ 24 についての詳しい説明は後述する。

【0056】

以上のようにして、データ線 SL1～SLm にデータ信号が印加され、走査線 GL1～GLn に走査信号が印加されることにより、外部から送られた画像信号 DAT に基づく画像が表示部 22 に表示される。

【0057】

<1. 2 種類のゲートオン電位>

図 4 は、電源回路 15 の構成のうち、第 1、第 2 ゲートオン電位 VGH1、VGH2 の生成に関する回路構成の一例を示す回路図である。なお、以下の説明における電圧の値は一例であって、それらの値に限定されるものではない。電源回路 15 は、2 種類のゲートオン電位 VGH を生成するための構成要素として、電源管理集積回路 (PMIC) 150、1 個のコイル L1、6 個のダイオード D1～D6、6 個のコンデンサ（容量）C1～C

10

20

30

40

50

6、および2個の抵抗器 R_1 、 R_2 を含んでいる。なお、ダイオード $D_1 \sim D_6$ における順方向電圧降下を「 V_f 」とする。

【0058】

電源回路15では、まず、PMIC150を用いて生成された5Vの振幅の信号が節点P1に現れる。節点P2には、ダイオード D_1 とコンデンサ C_1 とを用いた平滑化により、 $(5 - V_f)$ Vの電圧が現れる。節点P3には、コンデンサ C_2 によるカップリングおよびダイオード D_2 での順方向電圧降下によって、 $(5 - 2V_f)$ V $\sim$ $(10 - 2V_f)$ Vの信号が現れる。同様にして、節点P4には $(10 - 3V_f)$ Vの電圧が現れ、節点P5には $(10 - 4V_f)$ V $\sim$ $(15 - 4V_f)$ Vの信号が現れる。

【0059】

節点P5よりも出力側では、図4に示すように、電源線が、第1ゲートオン電位 V_{GH1} 用の線と第2ゲートオン電位 V_{GH2} 用の線とに分岐している。第1ゲートオン電位 V_{GH1} 用の線では、ダイオード D_5 とコンデンサ C_5 とを用いた平滑化により、 $(15 - 5V_f)$ Vの電圧が生成される。第2ゲートオン電位 V_{GH2} 用の線では、ダイオード D_6 とコンデンサ C_6 とを用いた平滑化により、 $(15 - 5V_f)$ Vの電圧が生成される。このようにして、通常動作時には、第1、第2ゲートオン電位 V_{GH1} 、 V_{GH2} は互いに等しいレベルになる。

【0060】

ところで、電源の供給が遮断されると、第1、第2ゲートオン電位 V_{GH1} 、 V_{GH2} のレベルは、第1ゲートオン電位 V_{GH1} 用の線および第2ゲートオン電位 V_{GH2} 用の線にそれぞれ接続されたコンデンサおよび抵抗の定数（容量値および抵抗値）に応じて低下する。本実施形態では、第1ゲートオン電位 V_{GH1} 用の線および第2ゲートオン電位 V_{GH2} には、異なる定数のコンデンサおよび抵抗が接続されている。より詳細には、コンデンサ C_6 および抵抗 R_2 によって定まる第2ゲートオン電位 V_{GH2} 用の線における時定数は、コンデンサ C_5 および抵抗 R_1 によって定まる第1ゲートオン電位 V_{GH1} 用の線における時定数よりも大きく設定されている。このため、電源の供給が遮断されたとき、図5に示すように、第1ゲートオン電位 V_{GH1} よりも第2ゲートオン電位 V_{GH2} の方が緩やかにレベルが低下する。本実施形態では、コンデンサ C_5 および抵抗 R_1 がそれぞれ第1容量および第1抵抗に相当し、コンデンサ C_6 および抵抗 R_2 がそれぞれ第2容量および第2抵抗に相当する。

【0061】

<1.3 放電部>

図6は、本実施形態におけるレベルシフト回路13および放電部190の構成を説明するためのブロック図である。レベルシフト回路13は、第1～第5出力回路OC1～OC5と、第1～第5出力回路OC1～OC5にそれぞれ対応する第1～第5出力端子OT1～OT5とを含んでいる。第1出力回路OC1および第1出力端子OT1はそれぞれ、ゲートスタートパルス信号 H_GSP を出力するための回路および端子である。第2出力回路OC2および第2出力端子OT2はそれぞれ、第1ゲートクロック信号 H_GCK1 を出力するための回路および端子である。第3出力回路OC3および第3出力端子OT3はそれぞれ、第2ゲートクロック信号 H_GCK2 を出力するための回路および端子である。第4出力回路OC4および第4出力端子OT4はそれぞれ、クリア信号 H_CLR を出力するための回路および端子である。第5出力回路OC5および第5出力端子OT5はそれぞれ、基準電位 H_VSS を出力するための回路および端子である。各出力回路OCは対応する出力端子OTに接続されている。なお、出力回路OCに接続された出力端子OTは、出力回路OCの出力端子ともいえるが、ここでは出力回路OCと出力端子OTとを便宜上別の構成要素として説明する。各出力回路OCは、第1、第2ゲートオン電位 V_{GH1} 、 V_{GH2} のうち、電源の供給が遮断されたときにより緩やかにレベルが低下する第2ゲートオン電位 V_{GH2} を電源として動作する。このため、各出力回路OCは、第2ゲートオン電位 V_{GH2} が動作下限値（所定値）以上であるときには所望の電位を出力し、第2ゲートオン電位 V_{GH2} が動作下限値を下回っているときには出力がハイインピーダンス

10

20

30

40

50

ス状態になる（「出力端子OTがハイインピーダンス状態になる」ともいう。）。

【0062】

ゲートドライバ24は、第1～第5入力端子IT1～IT5を含んでいる。第1入力端子IT1は、ゲートスタートパルス信号H_GSPを入力するための端子である。第2入力端子IT2は、第1ゲートクロック信号H_GCK1を入力するための端子である。第3入力端子IT3は、第2ゲートクロック信号H_GCK2を入力するための端子である。第4入力端子IT4は、クリア信号H_CLRを入力するための端子である。第5入力端子IT5は、基準電位H_VSSを入力するための端子である。

【0063】

レベルシフタ回路13およびゲートドライバ24は、第1～第5配線OL1～OL5を介して互いに接続されている。より詳細には、レベルシフタ回路13およびゲートドライバ24は次のような接続関係にある。第1出力端子OT1と第1入力端子IT1とは第1配線OL1を介して互いに接続されている。第2出力端子OT2と第2入力端子IT2とは第2配線OL2を介して互いに接続されている。第3出力端子OT3と第3入力端子IT3とは第3配線OL3を介して互いに接続されている。第4出力端子OT4と第4入力端子IT4とは第4配線OL4を介して互いに接続されている。第5出力端子OT5と第5入力端子IT5とは第5配線OL5を介して互いに接続されている。

【0064】

各配線OLには放電部190が接続されている。放電部190は、一端が配線OLに接続され、他端が接地されている。より詳細には、本実施形態における放電部190は、一端が配線OLに接続され、他端が接地された放電抵抗191により構成されている。放電抵抗191の抵抗値は、比較的大きな値（例えば3kΩ以上）に設定されるが、このような値に限定されるものではない。また、上述のように、本実施形態では放電部190がPCB10に設けられるが、本発明はこれに限定されるものではない。放電部190は、液晶パネル20に設けられていても良い。

【0065】

<1.4 ゲートドライバ>

図7は、図1に示すゲートドライバ24の構成を説明するためのブロック図である。なお、ここでは第1～第5入力端子IT1～IT5の図示を便宜上省略している。ゲートドライバ24は複数段からなるシフトレジスタ240を含んでいる。表示部22は、n行m列の画素マトリクスが形成されているので、それら画素マトリクスの各行と1対1で対応するように1～n段目SR1～SRnが設けられている。ただし、シフトレジスタ240には、画素マトリクスの各行に対応しないダミー段が設けられていても良い。シフトレジスタ240の各段SRは、各時点において2つの状態のうちのいずれか一方の状態となっていて当該状態を示す信号（以下「状態信号」という。）を出力する双安定回路となっている。シフトレジスタ240の各段SRから出力される状態信号は、対応する走査線GLに走査信号として与えられる。以下では、シフトレジスタ240における「段」と「双安定回路」とを同義として扱い、双安定回路についても符号SRで表すことがある。

【0066】

図8は、図7に示すシフトレジスタ240の構成を示すブロック図である。各双安定回路SRは、第1、第2クロックCKA、CKB、クリア信号CLR、基準電位VSS、セット信号S、およびリセット信号Rを受け取るための入力端子と、状態信号Qを出力するための出力端子とを含んでいる。各双安定回路SRには、レベルシフタ回路13から出力された基準電位H_VSSが基準電位VSSとして与えられ、レベルシフタ回路13から出力されたクリア信号H_CLRがクリア信号CLRとして与えられる。また、各双安定回路SRには、レベルシフタ回路13から出力された第1、第2ゲートクロック信号H_GCK1、H_GCK2の一方が第1クロックCKAとして与えられ、それらの他方が第2クロックCKBとして与えられる。また、各双安定回路SRには、前段から出力された状態信号Qがセット信号Sとして与えられ、次段から出力された状態信号Qがリセット信号Rとして与えられる。すなわち、i段目SRiに着目すると、i-1行目の走査線GL

$i-1$ に与えられる走査信号 $GOUT_{i-1}$ がセット信号 S として与えられ、 $i+1$ 行目の走査線 GL_{i+1} に与えられる走査信号 $GOUT_{i+1}$ がリセット信号 R として与えられる。なお、レベルシフト回路13から出力されたゲートスタートパルス信号 H_GSP は、シフトレジスタ240の1段目 SR_1 にセット信号 S として与えられる。また、レベルシフト回路13から出力されたクリア信号 H_CLR は、シフトレジスタ240の n 段目 SR_n にリセット信号 R としても与えられる。

【0067】

以上のような構成において、シフトレジスタ240の1段目 SR_1 にセット信号 S としてのゲートスタートパルス信号 H_GSP のパルスが与えられると、オンデューティが50%程度の値にされた第1、第2ゲートクロック信号 H_GCK_1 、 H_GCK_2 （図9を参照）に基づいて、ゲートスタートパルス信号 H_GSP に含まれるパルス（このパルスは各段から出力される状態信号 Q に含まれる）が1段目 SR_1 から n 段目 SR_n へと順次に転送される。そして、このパルスの転送に応じて、1～ n 段目 SR_1 ～ SR_n から出力される状態信号 Q が順次にハイレベルとなる。1～ n 段目 SR_1 ～ SR_n から出力される状態信号 Q は、走査信号 $GOUT_1$ ～ $GOUT_n$ としてそれぞれ走査線 GL_1 ～ GL_n に与えられる。これにより、図9に示すように、所定期間ずつ順次にハイレベルとなる走査信号 $GOUT_1$ ～ $GOUT_n$ が、表示部22内の走査線 GL_1 ～ GL_n に与えられる。

【0068】

なお、本実施形態では、画素マトリクス of 各行と1対1で対応するようにシフトレジスタ240の各段 SR が設けられているが、本発明はこれに限定されるものではない。例えば「ダブルゲート駆動」と呼ばれる駆動方式が採用される場合など、複数本の走査線 GL を同時に駆動する場合には、1つのパルスが複数本の走査線 GL で共用されることがある。このような場合には、画素マトリクス of 複数行と対応するようにシフトレジスタ240の各段 SR が設けられる。すなわち、シフトレジスタ240の段数と走査線 GL の本数との比は、1対1であっても1対複数であっても良い。

【0069】

<1.5 双安定回路>

図10は、図8に示す双安定回路 SR の構成を示す回路図である。双安定回路 SR は、第1～第10トランジスタ（スイッチング素子） T_1 ～ T_{10} およびコンデンサ（容量） CAP_1 を備えている。第1～第10トランジスタ T_1 ～ T_{10} は上述のように n チャネル型のIGZO-TFTである。図10では、第1クロック CKA を入力するための入力端子には符号41を付し、第2クロック CKB を入力するための入力端子には符号42を付し、セット信号 S を入力するための入力端子には符号43を付し、リセット信号 R を入力するための入力端子には符号44を付し、クリア信号 CLR を入力するための入力端子には符号45を付し、状態信号 Q を出力するための出力端子には符号49を付している。

【0070】

本実施形態では、第1トランジスタ T_1 のソース端子と第2トランジスタ T_2 のドレイン端子と第5トランジスタ T_5 のドレイン端子と第8トランジスタ T_8 のドレイン端子と第10トランジスタ T_{10} のゲート端子とコンデンサ CAP_1 の一端との接続点のことを「第1ノード」といい、符号 $net A$ で表す。また、第3トランジスタ T_3 のソース端子と第4トランジスタ T_4 のドレイン端子と第5トランジスタ T_5 のゲート端子と第6トランジスタ T_6 のドレイン端子との接続点のことを「第2ノード」といい、符号 $net B$ で表す。

【0071】

第1トランジスタ T_1 は、入力端子43にゲート端子およびドレイン端子が接続され（すなわち、ダイオード接続になっている。）、第1ノード $net A$ にソース端子が接続されている。第2トランジスタ T_2 は、入力端子45にゲート端子が接続され、第1ノード $net A$ にドレイン端子が接続され、基準電位配線（以下、基準電位と同じく符号 VSS で表す。）にソース端子が接続されている。第3トランジスタ T_3 は、入力端子42にゲート端子およびドレイン端子が接続され（すなわち、ダイオード接続になっている。）、

第2ノードnet Bにソース端子が接続されている。第4トランジスタT4は、第1ノードnet Aにゲート端子が接続され、第2ノードnet Bにドレイン端子が接続され、基準電位配線VSSにソース端子が接続されている。第5トランジスタT5は、第2ノードnet Bにゲート端子が接続され、第1ノードnet Aにドレイン端子が接続され、基準電位配線VSSにドレイン端子が接続されている。第6トランジスタT6は、入力端子45にゲート端子が接続され、第2ノードnet Bにドレイン端子が接続され、基準電位配線VSSにソース端子が接続されている。第7トランジスタT7は、入力端子42にゲート端子が接続され、出力端子49にドレイン端子が接続され、基準電位配線VSSにソース端子が接続されている。第8トランジスタT8は、入力端子44にゲート端子が接続され、第1ノードnet Aにドレイン端子が接続され、基準電位配線VSSにソース端子が接続されている。第9トランジスタT9は、入力端子44にゲート端子が接続され、出力端子49にドレイン端子が接続され、基準電位配線VSSにソース端子が接続されている。第10トランジスタT10は、第1ノードnet Aにゲート端子が接続され、入力端子41にドレイン端子が接続され、出力端子49にソース端子が接続されている。コンデンサCAP1は、第1ノードnet Aに一端が接続され、出力端子49に他端が接続されている。

10

【0072】

本実施形態では、出力端子49が出力ノードに相当する。また、第7トランジスタT7は出力ノード制御用スイッチング素子に相当し、第10トランジスタT10は出力制御用スイッチング素子に相当し、第2トランジスタT2は第1の第1ノード制御用スイッチング素子に相当し、第5トランジスタT5は第2の第1ノード制御用スイッチング素子に相当し、第6トランジスタT6は第2ノード制御用スイッチング素子に相当する。

20

【0073】

図11は、図8に示す双安定回路SRの動作を説明するためのタイミングチャートである。液晶表示装置100が動作している期間中、双安定回路SRには、オンデューティが50%程度の値に設定された第1、第2クロックCKA、CKBが与えられる。第1、第2クロックCKA、CKBは、ハイレベル側の電位が第1ゲートオン電位VGH1に設定され、ローレベル側の電位がゲートオフ電位VGLに設定されている。なお、クリア信号CLRは、図11に示す期間中ローレベルで維持されるので、図11では省略している。

【0074】

時点t10になると、第2クロックCKBがローレベルからハイレベルに変化する。第3トランジスタT3は、図10に示すようにダイオード接続になっているので、ターンオンする。このとき、第1ノードnet Aの電位およびクリア信号CLRがローレベルになっているので、第4、第6トランジスタT4、T6はオフ状態になっている。このため、時点t10では、第2ノードnet Bの電位がローレベルからハイレベルに変化する。その結果、第5トランジスタT5がターンオンし、第1ノードnet Aの電位が基準電位VSSへと引き込まれる。また、時点t10では、第7トランジスタT7もターンオンする。これにより、状態信号Q（出力端子49の電位）が基準電位VSSへと引き込まれる。

30

【0075】

時点t11になると、第1クロックCKAがローレベルからハイレベルに変化する。このとき、第1ノードnet Aの電位がローレベルになっていて第10トランジスタT10がオフ状態になっているので、状態信号Qはローレベルのまま維持される。また、時点t11では、第2クロックCKBがハイレベルからローレベルに変化することに伴い、第2ノードnet Bの電位がハイレベルからローレベルに変化する。

40

【0076】

時点t12になると、セット信号Sがローレベルからハイレベルに変化する。第1トランジスタT1は、図10に示すようにダイオード接続になっているので、ターンオンする。このため、コンデンサCAP1が充電されて、第1ノードnet Aの電位はローレベルからハイレベルに変化する。これにより、第10トランジスタT10がターンオンする。ここで、時点t12～t13の期間中、第1クロックCKAはローレベルになっている。

50

このため、この期間中、状態信号Qはローレベルで維持される。また、この期間中、リセット信号Rがローレベルになっているので第8トランジスタT8はオフ状態で維持され、且つ、第2ノードnet Bの電位がローレベルになっているので第5トランジスタT5はオフ状態で維持される。したがって、この期間中の第1ノードnet Aの電位が低下することはない。

【0077】

時点t13になると、第1クロックCKAがローレベルからハイレベルに変化する。このとき、第10トランジスタT10がオン状態になるので、入力端子41の電位上昇に伴って出力端子49の電位（状態信号Qの電位）が上昇する。ここで、図10に示すように、第1ノードnet Aと出力端子49との間にはコンデンサCAP1が設けられているので、出力端子49の電位上昇に伴って第1ノードnet Aがブートストラップされる。その結果、第10トランジスタT10のゲート端子には大きな電圧が印加され、状態信号Qの電位は、第1クロックCKAのハイレベル側の電位すなわち第1ゲートオン電位VGH1の電位レベルにまで確実に上昇する（第10トランジスタT10の閾値電圧分のレベル低下が解消される。）。これにより、この双安定回路SRの出力端子49に接続されている走査線GLは選択状態になる。なお、時点t13～t14の期間中、第2クロックCKBがローレベルになっているので第7トランジスタT7はオフ状態で維持され、且つ、リセット信号Rがローレベルになっているので第9トランジスタT9はオフ状態で維持される。したがって、この期間中に状態信号Qの電位が低下することはない。また、時点t13～t14の期間中、リセット信号Rがローレベルになっているので第8トランジスタT8はオフ状態で維持され、且つ、第2ノードnet Bの電位がローレベルになっているので第5トランジスタT5はオフ状態で維持される。したがって、この期間中に第1ノードnet Aの電位が低下することはない。

【0078】

時点t14になると、第1クロックCKAがハイレベルからローレベルに変化する。このため、入力端子41の電位低下に伴って出力端子49の電位（状態信号Qの電位）が低下する。これにより、コンデンサCAP1を介して第1ノードnet Aの電位も低下する。また、時点t14では、第2クロックCKBがローレベルからハイレベルに変化することによって第3、第7トランジスタT3、T7がターンオンし、リセット信号Rがローレベルからハイレベルに変化することによって第8、第9トランジスタT8、T9がターンオンする。さらに、第3トランジスタT3がターンオンすることにより、第2ノードnet Bの電位がローレベルからハイレベルに変化して第5トランジスタT5がターンオンする。以上のようにして、時点t14では、第5、第8トランジスタがターンオンすることによって第1ノードnet Aの電位がローレベルになり、第7、第9トランジスタT7、T9がターンオンすることによって状態信号Qがローレベルになる。

【0079】

以上のような動作がシフトレジスタ240内の各双安定回路SRで行われることにより、図9に示したように所定期間ずつ順次にハイレベルとなる走査信号GOUT1～GOUTnが表示部22内の走査線GL1～GLnに与えられる。

【0080】

<1.6 電源遮断時の動作>

図12は、本実施形態における電源遮断時の動作を説明するためのタイミングチャートである。以下では、外部からの電源の供給が遮断されたときに行われる一連の処理のことを「電源オフシーケンス」という。図12には、入力電源電位VCC、電源状態信号SHUT、第1、第2ゲートオン電位VGH1、VGH2、ゲートオフ電位VGL、ゲートスタートパルス信号H_GSP、ゲートクロック信号H_GCK、クリア信号H_CLR、基準電位H_VSS、およびデータ信号電位（データ線SLの電位）VSの波形が示されている。図13は、本実施形態における通常動作時および電源遮断時の各信号の電位を説

明するための図である。第1, 第2ゲートクロック信号 H_GCK1 , H_GCK2 は、通常動作中の位相が異なるだけであって、電源オフ後の時点 t_1 以降の波形変化は同じである。したがって、図12では、第1, 第2ゲートクロック信号 H_GCK1 , H_GCK2 をゲートクロック信号 H_GCK として1つの波形で示している。

【0081】

上述のように、ゲートスタートパルス信号 H_GSP はシフトレジスタ240の1段目 $SR1$ にセット信号 S として与えられる。ゲートクロック信号 H_GCK (第1, 第2ゲートクロック信号 H_GCK1 , H_GCK2)は各段 SR に第1, 第2クロック CKA , CKB として与えられる。クリア信号 H_CLR は各段 SR にクリア信号 CLR として与えられると共に n 段目 SRn にリセット信号 R として与えられる。基準電位 H_VSS は各段に基準電位 VSS として与えられる。

10

【0082】

図12に示すように、電源オフシーケンスは、初期化ステップ、第1放電ステップ、および第2放電ステップを含んでいる。初期化ステップはシフトレジスタ240を構成する全ての双安定回路の状態をリセット(クリア)するためのステップであり、第1の放電ステップは画素形成部内で電荷を放電させるためのステップであり、第2の放電ステップはゲートドライバ24内で電荷を放電させるためのステップである。本説明において、時点 t_0 以前には電源が正常に供給されていて時点 t_0 に電源の供給が遮断されたものと仮定する。なお、放電部190に関する動作および第2ゲートオン電位 $VGH2$ が動作下限値を下回ったときの動作の詳細な説明は後述する。

20

【0083】

電源が正常に供給されている時点 t_0 以前の期間(通常動作時)には、電源状態信号 $SHUT$ はローレベルに維持される。通常動作時には、ゲートスタートパルス信号 H_GSP の電位およびゲートクロック信号 H_GCK の電位は第1ゲートオン電位 $VGH1$ またはゲートオフ電位 VGL に設定され、クリア信号 H_CLR の電位は第2ゲートオン電位 $VGH2$ またはゲートオフ電位 VGL に設定される。なお、通常動作中、第1, 第2ゲートオン電位 $VGH1$, $VGH2$ は同レベル(例えば+20V)になっている。

【0084】

時点 t_0 に電源の供給が遮断されると、入力電源電位 VCC はグラウンド電位 GND へと徐々に低下する。これにより、時点 t_0 以降には、第1, 第2ゲートオン電位 $VGH1$, $VGH2$ はグラウンド電位 GND へと徐々に低下し、ゲートオフ電位 VGL はグラウンド電位 GND へと徐々に上昇する。

30

【0085】

時点 t_0 に電源の供給が遮断された後の時点 t_1 に、電源OFF検出部17は電源状態信号 $SHUT$ をローレベルからハイレベルに変化させる。レベルシフタ回路13は、電源状態信号 $SHUT$ がローレベルからハイレベルに変化すると、 GDM 信号のうちのクリア信号 H_CLR のみをハイレベル側の電位に設定し、クリア信号 H_CLR 以外の信号をローレベル側の電位に設定する。すなわち、時点 $t_1 \sim t_2$ の間には、クリア信号 H_CLR の電位は第2ゲートオン電位 $VGH2$ に設定され、ゲートスタートパルス信号 H_GSP の電位、ゲートクロック信号 H_GCK の電位、および基準電位 H_VSS はゲートオフ電位 VGL に設定される。図10から把握されるように、クリア信号 H_CLR がハイレベルになると、各双安定回路において第2, 第6トランジスタ $T2$, $T6$ がターンオンする。これにより、第1ノード $netA$ の電位および第2ノード $netB$ の電位がローレベルになる。このようにして、初期化ステップ(時点 $t_1 \sim t_2$)では、各双安定回路 SR の状態がリセット(クリア)される。なお、データ信号電位 VS については、時点 t_1 以降の期間を通じて、グラウンド電位 GND に設定される。

40

【0086】

時点 t_2 になると、レベルシフタ回路13は、 GDM 信号を構成する全ての信号をハイレベル側の電位に設定する。すなわち、時点 $t_2 \sim t_3$ の間には、クリア信号 H_CLR の電位は第2ゲートオン電位 $VGH2$ に設定され、ゲートスタートパルス信号 H_GS

50

Pの電位、ゲートクロック信号H_GCKの電位、および基準電位H_VSSは第1ゲートオン電位VGH1に設定される。ところで、時点t2においては、第1ゲートオン電位VGH1は十分には低下していない。したがって、時点t2には、ゲートスタートパルス信号H_GSPの電位、ゲートクロック信号H_GCKの電位、および基準電位H_VSSはハイレベルになる。このとき、各双安定回路SRにおいて、基準電位VSSがハイレベルになった状態で第7トランジスタT7がターンオンするので、状態信号Qがハイレベルになる。これにより、全ての走査線GL1~GLnが選択状態になる。時点t1以降の期間にはデータ信号電位Vsがグラウンド電位GNDになっているので、全ての走査線GL1~GLnが選択状態になることによって、各画素形成部内の画素容量CPに蓄積されている電荷が放電される。また、時点t2~時点t3の期間には、ゲートクロック信号H_GCKの電位および基準電位H_VSSはグラウンド電位GNDへと徐々に低下する。これにより、各双安定回路SRの出力端子49の電位（状態信号Qの電位）が徐々に低下する。すなわち、各走査線GL上の電荷が放電される。また、出力端子49の電位が徐々に低下するため、各画素について、キックバック電圧に起因する表示への影響を低減することができる。以上のようにして、第1放電ステップ（時点t2~t3）では、表示部22内の全ての画素形成部および全ての走査線GL1~GLnにおいて電荷の放電が行われる。

10

【0087】

図6に示したように、電源の供給が遮断された後、第2ゲートオン電位VGH2と比較して、第1ゲートオン電位VGH1は速やかにグラウンド電位GNDにまで低下する。このため、時点t3では、第2ゲートオン電位VGH2は充分には低下していないが、第1ゲートオン電位VGH1はグラウンド電位GNDにまで低下している。したがって、時点t2にハイレベル側の電位に設定されたゲートスタートパルス信号H_GSP、ゲートクロック信号H_GCK、および基準電位H_VSSについては、時点t3ではグラウンド電位GNDにまで低下する。

20

【0088】

時点t3では、クリア信号H_CLR、ゲートスタートパルス信号H_GSP、ゲートクロック信号H_GCK、および基準電位H_VSSについて、時点t2と同様の設定がなされる。上述のように、時点t3では、第2ゲートオン電位VGH2が充分には低下していないので、クリア信号H_CLRはハイレベルになる。これにより、各双安定回路SRにおいて第2、第6トランジスタT2、T6がターンオンするので、第1ノードnetAの電位および第2ノードnetBの電位がローレベルになる。その結果、第2放電ステップ（時点t3~t4）では、ゲートドライバ24を構成するシフトレジスタ240内の浮遊ノード（各双安定回路内の第1ノードnetAおよび第2ノードnetB）上の電荷の放電が行われる。

30

【0089】

その後、時点t4には、第2ゲートオン電位VGH2がグラウンド電位GNDにまで低下する。これにより、時点t4には、クリア信号H_CLRについてもグラウンド電位GNDにまで低下する。以上より、電源オフシーケンスは終了する。

【0090】

40

ところで、電源オフシーケンスにおいてGDM信号の電位を図12に示すように複数のステップで変化させることができるように、レベルシフト回路13には図3に示すようにタイミング生成ロジック部131とオシレータ132とが含まれている。このような構成において、電源OFF検出部17からレベルシフト回路13に与えられる電源状態信号SHUTがローレベルからハイレベルに変化すると、タイミング生成ロジック部131は、オシレータ132によって生成される基本クロックをカウンタでカウントすることによって、各ステップの開始タイミングを取得する。そして、タイミング生成ロジック部131は、そのタイミングに従って、GDM信号の電位を予め定められた電位に変化させる。このようにして、図12に示すような波形のゲートスタートパルス信号H_GSP、ゲートクロック信号H_GCK、クリア信号H_CLR、および基準電位H_VSSが生成され

50

る。なお、図3に示すように、レベルシフト回路13と電源OFF検出部17とが1つのLSI60内に格納されていても良い。

【0091】

次に、第2ゲートオン電位VGH2が動作下限値を下回ったときの動作について説明する。ここで、各配線OLに放電部190が接続されていない場合を考える。電源オフシーケンスにおいて第2ゲートオン電位VGH2が動作下限値を下回ると、上述のように、レベルシフト回路13の各出力端子OTがハイインピーダンス状態になる。このとき、各配線OLに放電部190が接続されていないと、当該配線OLはフローティング状態になる。このため、各配線OLがノイズの影響を受けやすくなるので、図12に示すようなGDM信号の波形を得られない可能性がある。また、電源オフシーケンス後も、各配線OLがフローティング状態を維持するので、当該配線OLはノイズの影響を受けやすくなる。このように、各配線OLがフローティング状態になることにより、電源オフシーケンス中および電源オフシーケンス後において動作不良を引き起こす可能性がある。

10

【0092】

そこで、本発明は、各配線OLに放電部190を接続することにより、レベルシフト回路13の各出力端子OTがハイインピーダンス状態になったとしても、各配線OLはフローティング状態にならない。具体的には、レベルシフト回路13の各出力端子OTがハイインピーダンス状態になったとき、各配線OLの電位は、放電部190（放電抵抗191）を介してグラウンド電位GNDに引き込まれる。これにより、各配線OLへのノイズの影響が低減されるので、電源オフシーケンス中に図12に示すようなGDM信号の波形を得ることができる。また、電源オフシーケンス後も、各配線OLの電位がグラウンド電位GNDに固定されることにより、各配線OLへのノイズの影響が低減される。このようにして、電源オフシーケンス中および電源オフシーケンス後における動作不良を防止することができる。

20

【0093】

なお、初期化ステップではクリア信号H_CLRがハイレベルに設定され、第1放電ステップではGDM信号を構成する全ての信号がハイレベルに設定され、第2放電ステップではクリア信号H_CLRがハイレベルに設定されているが、上述のように放電抵抗191の抵抗値が比較的大きな値（例えば3kΩ以上）に設定して放電抵抗191を通じて流れる電流を小さくすることにより、放電抵抗191による各信号のレベル低下を抑制することができる。ただし、放電抵抗191の抵抗値は、時点t3以降にグラウンド電位GNDになるように第1～第3、第5配線OL1～OL3、OL5の電位を変化させ、時点t4以降にグラウンド電位GNDになるように第4配線OL4の電位を変化させることができる程度の値である。

30

【0094】

本実施形態では、電源オフシーケンスはパネル内放電ステップに相当し、電源オフシーケンスにおいて放電部190によって各配線OLがグラウンド電位GNDに引き込まれる動作は配線放電ステップに相当する。

【0095】

<1.7 効果>

40

本実施形態によれば、IGZO-GDMを含む液晶表示装置100において、電源の供給が遮断されると、電源オフシーケンスが行われる。電源オフシーケンスにおける第1放電ステップでは、GDM信号のうちのクリア信号H_CLRのみがローレベル側の電位に設定される。すなわち、第1放電ステップでは、ゲートスタートパルス信号H_GSP、ゲートクロック信号H_GCK、および基準電位H_VSSがハイレベルになる。これにより、双安定回路SRにおいて、基準電位VSSがハイレベルになった状態で第7トランジスタT7がターンオンするので、状態信号Qがハイレベルになって各走査線GLが選択状態になる。このとき、データ信号電位VSはグラウンド電位GNDになっているので、各画素形成部内の画素容量CPに蓄積されている電荷が放電される。また、第1ゲートオン電位VGH1は、電源の供給が遮断されたときのレベル変化（レベル低下）が第2ゲ

50

トオン電位 V_{GH2} よりも速いので、第1放電ステップにおいて走査線 GL 上の電荷も放電される。第2ゲートオン電位 V_{GH2} は電源の供給が遮断されたときのレベル変化（レベル低下）が第1ゲートオン電位 V_{GH1} よりも遅いので、第2放電ステップの開始時点では、第2ゲートオン電位 V_{GH2} が各双安定回路 SR に含まれるトランジスタをオン状態にするレベルに維持されている。このため、第2放電ステップでは、各双安定回路 SR 内の浮遊ノード上の電荷が放電される。また、ゲートドライバ24とレベルシフト回路13とを互いに接続するための各配線 OL に放電部190が接続されている。したがって、第2ゲートオン電位 V_{GH2} が動作下限値を下回ってレベルシフト回路13の各出力端子 OT がハイインピーダンス状態になったとしても、各配線 OL はフローティング状態にならない。これにより、各配線 OL へのノイズの影響が低減される。以上のようにして、本実施形態によれば、電源が遮断されたときに液晶パネル20内の残留電荷を速やかに且つ安定的に除去することができる。なお、 $IGZO-GDM$ を含む液晶表示装置100では液晶パネル20内の残留電荷に起因する動作不良が生じやすかったので、本実施形態によれば、液晶パネル20内の残留電荷に起因する動作不良の発生を抑制する効果がより大きく得られる。

10

【0096】

また、本実施形態によれば、第5、第6トランジスタ $T5$ 、 $T6$ を設けることによって、通常動作時に第1ノード $netA$ の電位を随時基準電位 V_{SS} に引き込むことが可能となるので、動作不良の発生を抑制することができる。

【0097】

20

また、本実施形態によれば、第7トランジスタ $T7$ を設けることによって、第1放電ステップにおいて、各走査線 GL を確実に選択状態にして各画素形成部内の電荷を放電させることができる。

【0098】

また、本実施形態によれば、第1放電ステップにおいて、出力端子49の電位が徐々に低下する。このため、各画素について、キックバック電圧に起因する表示への影響を低減することができる。

【0099】

また、本実施形態によれば、第1ゲートオン電位 V_{GH1} 用の線および第2ゲートオン電位 V_{GH2} 用の線を使用することにより、電源の供給が遮断されたときのレベル変化状態が互いに異なる2種類のゲートオン電位 V_{GH} を比較的容易な構成で生成することができる。

30

【0100】

また、本実施形態によれば、電源オフシーケンスにおいて、第1放電ステップの前にシフトレジスタ240内の各双安定回路 SR が初期化される。このため、電源の供給が遮断されたときに、液晶パネル20内の残留電荷がより確実に除去され、液晶パネル20内の残留電荷に起因する動作不良の発生を効果的に抑制することができる。

【0101】

また、本実施形態によれば、初期化ステップにおいてゲートクロック信号 H_GCK の電位をゲートオフ電位 V_{GL} に設定することにより、初期化ステップにおいて、シフトレジスタ240内の各双安定回路 SR がより確実に初期化される。

40

【0102】

< 2. 第2の実施形態 >

< 2. 1 放電部 >

図14は、本発明の第2の実施形態における放電部190の構成を説明するためのブロック図である。本実施形態の構成要素のうち上記第1の実施形態と同一の要素については、同一の参照符号を付して説明を省略する。本実施形態における放電部190は、放電抵抗191に加えて、放電抵抗191と直列に設けられた制御スイッチ192を含んでいる。本実施形態では、制御スイッチ192は、放電抵抗191と接地線との間に設けられるが（図14を参照）、放電抵抗191と配線 OL との間に設けられても良い。制御スイッ

50

チ１９２は、制御信号ＤＩＳに基づいて制御される。制御信号ＤＩＳは、例えばレベルシフタ回路１３によって生成される。制御スイッチ１９２は、制御信号ＤＩＳがハイレベルであるときに開く、すなわち、制御信号ＤＩＳがハイレベルであるときに放電抵抗１９１と接地線とを電氣的に切り離す。また、制御スイッチ１９２は、制御信号ＤＩＳがローレベルであるときに閉じる、すなわち、制御信号ＤＩＳがローレベルであるときに放電抵抗１９１と接地線とを電氣的に互いに接続させる。

【０１０３】

< ２．２ 通常動作および電源遮断時の動作 >

図１５は、本実施形態における通常動作および電源遮断時の動作を説明するためのタイミングチャートである。図１５に示すように、制御信号ＤＩＳは、通常動作時にはハイレベルに、電源遮断時にはローレベルになっている。このため、通常動作時は、各制御スイッチ１９２が開いているので、配線ＯＬから放電抵抗１９１を通じて電流が流れない。一方、電源遮断時は、各制御スイッチ１９２が閉じているので上記第１の実施形態と同様にＧＤＭ信号がグラウンド電位ＧＮＤに引き込まれる。

10

【０１０４】

< ２．３ 効果 >

本実施形態によれば、通常動作時に開き、電源遮断時に閉じる制御スイッチ１９２を設けることにより、放電抵抗１９１による通常動作時の消費電力の増加を抑制することができる。

【０１０５】

< ３．第３の実施形態 >

< ３．１ 通常動作および電源遮断時の動作 >

図１６は、本実施形態における通常動作および電源遮断時の動作を説明するためのタイミングチャートである。本実施形態の構成要素のうち上記第１、第２の実施形態と同一の要素については、同一の参照符号を付して説明を省略する。なお、本実施形態における放電部１９０の構成は、上記第２の実施形態と同様である。図１６に示す時点ｔ３ａにおいて、第２ゲートオン電位ＶＧＨ２が動作下限値を下回るとする。本実施形態における制御信号ＤＩＳは、第２ゲートオン電位ＶＧＨ２が動作下限値以上であるときはハイレベルに、第２ゲートオン電位ＶＧＨ２が動作下限値未満であるときにはローレベルになっている。このため、第２ゲートオン電位ＶＧＨ２が動作下限値以上であるとき（通常動作時および電源オフシーケンスの例えば前半）は、各制御スイッチ１９２が開いているので、配線ＯＬから放電抵抗１９１を通じて電流が流れない。一方、第２ゲートオン電位ＶＧＨ２が動作下限値未満であるとき（電源オフシーケンスの例えば後半および電源オフシーケンス後）は、各制御スイッチ１９２が閉じているので上記第１の実施形態と同様にＧＤＭ信号がグラウンド電位ＧＮＤに引き込まれる。

20

30

【０１０６】

< ３．２ 効果 >

本実施形態によれば、上記第２の実施形態と同様に通常動作時は制御スイッチ１９２が開いているので、放電抵抗１９１を通じて電流が流れない。このため、放電抵抗１９１による通常動作時の消費電力の増加を抑制することができる。また、電源遮断時でも、第２ゲートオン電位ＶＧＨ２が動作下限値を下回るまで制御スイッチ１９２が開いているので、放電抵抗１９１を通じて電流が流れない。これにより、第２ゲートオン電位ＶＧＨ２が動作下限値を下回るまでのレベルシフタ回路１３からの出力波形が安定するので、電源が遮断されたときに液晶パネル２０内の残留電荷をさらに安定的に除去することができる。また、上記第２の実施形態よりも、放電抵抗１９１による電源遮断時（電源オフシーケンスの例えば前半）の消費電力の増加を抑制することができる。

40

【０１０７】

< ４．その他 >

本発明は、上述の実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲で種々変形して実施することができる。例えば、各実施形態における第１放電ステップで

50

は、クリア信号H_{CLR}はローレベル（ゲートオフ電位V_{GL}）に設定されても良い。また、出力回路OCが、第2ゲートオン電位V_{GH2}に代えて第1ゲートオン電位V_{GH1}を電源として動作するようにしても良い。この場合、上記第3の実施形態における制御信号DISは、第1ゲートオン電位V_{GH1}が動作下限値以上であるときにはハイレベルに、第1ゲートオン電位V_{GH1}が動作下限値未満であるときにはローレベルになる。また、第1～第5出力回路OC1～OC5の一部が第2ゲートオン電位V_{GH2}を電源として動作し、第1～第5出力回路OC1～OC5の残りが第1ゲートオン電位V_{GH1}を電源として動作しても良い。また、液晶パネル20において、nチャネル型のTFTに代えてpチャネル型のTFTを使用しても良い。また、本発明は、液晶表示装置に限らず、画素形成部に電荷が保持される他の表示装置にも適用することができる。

10

【産業上の利用可能性】

【0108】

本発明は、アクティブマトリクス型の表示装置に適用されるものであって、特にチャネル層が酸化物半導体により形成されたTFTを有するモノリシックゲートドライバを採用する液晶表示装置などに適している。

【符号の説明】

【0109】

11…タイミングコントローラ
 13…レベルシフト回路
 15…電源回路
 17…電源OFF検出部
 20…液晶パネル
 22…表示部
 24…ゲートドライバ（走査線駆動回路）
 32…ソースドライバ（データ線駆動回路）
 100…液晶表示装置（表示装置）
 190…放電部
 191…放電抵抗
 192…制御スイッチ
 220…トランジスタ
 240…シフトレジスタ
 OC…出力回路
 OL…配線
 OT…出力端子
 VCC…入力電源電位
 SHUT…電源状態信号
 VGH…ゲートオン電位
 VGH1…第1ゲートオン電位
 VGH2…第2ゲートオン電位
 VGL…ゲートオフ電位
 L_GCK…ゲートクロック信号
 H_GCK1…第1ゲートクロック信号
 H_GCK2…第2ゲートクロック信号
 L_GSP, H_GSP…ゲートスタートパルス信号
 L_CLR, H_CLR, CLR…クリア信号
 L_VSS, H_VSS, VSS…基準電位
 DIS…制御信号
 T1～T10…トランジスタ
 CK A…第1クロック
 CK B…第2クロック

20

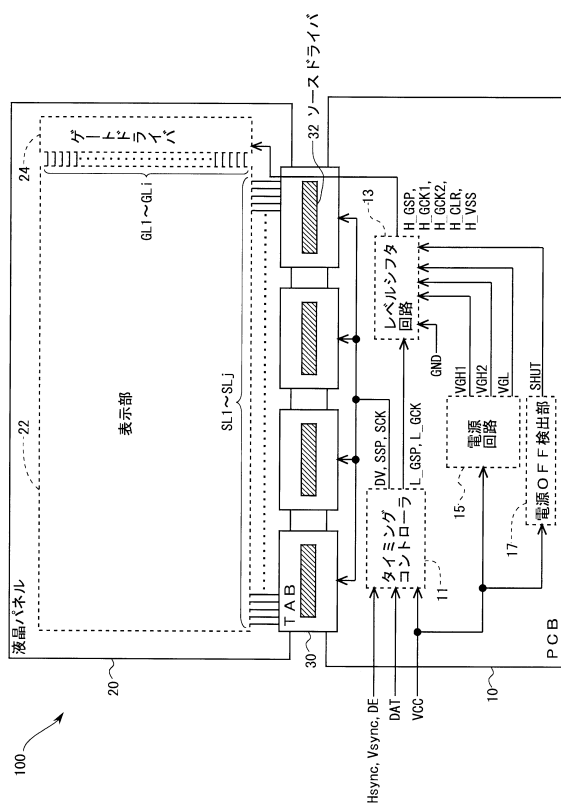
30

40

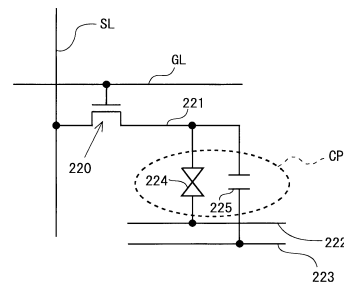
50

S…セット信号
 R…リセット信号
 Q…状態信号
 G O U T…走査信号

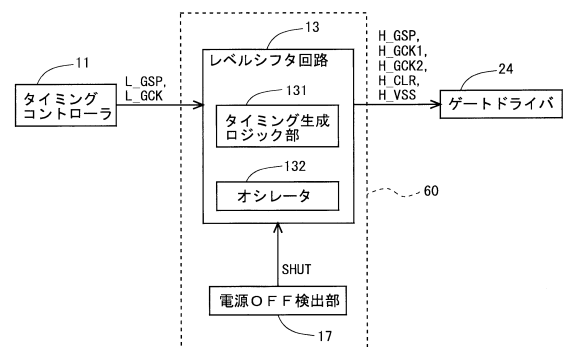
【図 1】



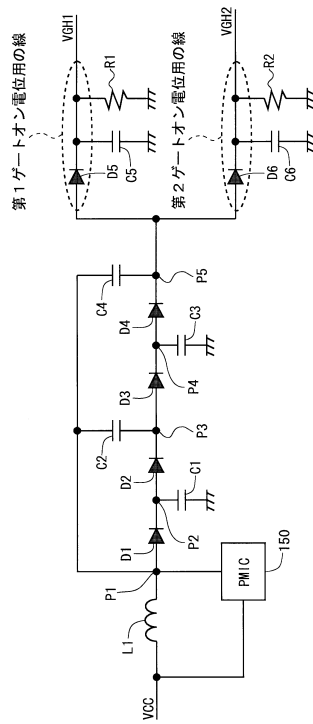
【図 2】



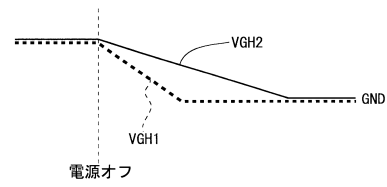
【図 3】



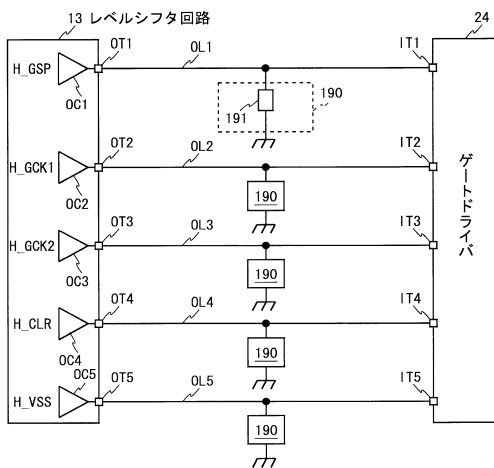
【図 4】



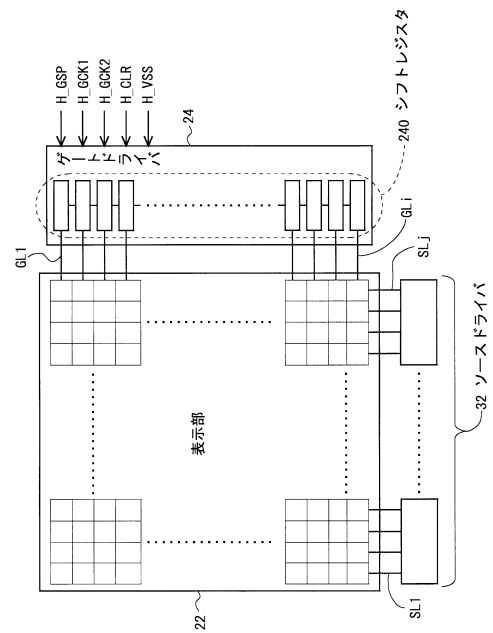
【図 5】



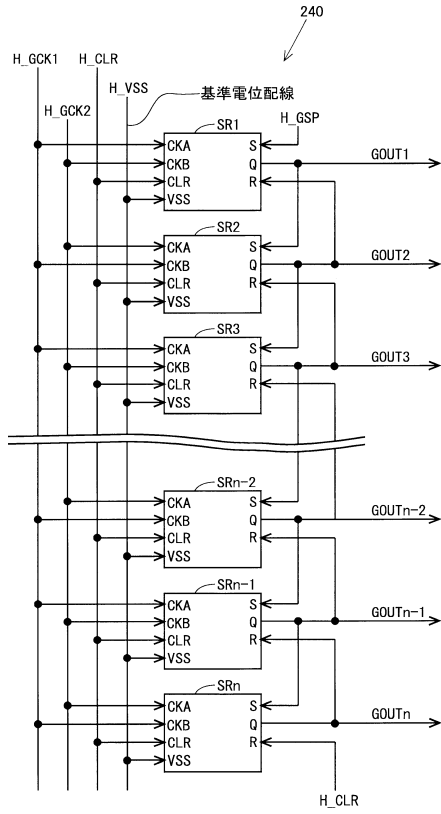
【図 6】



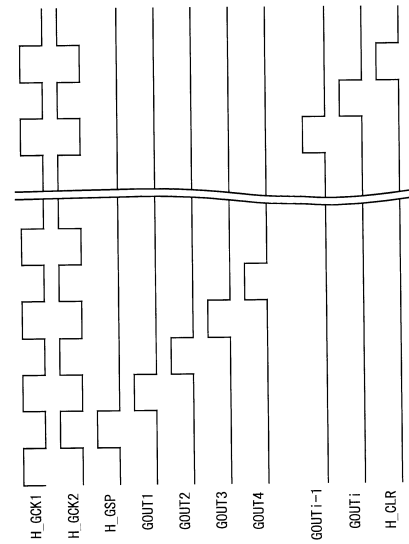
【図 7】



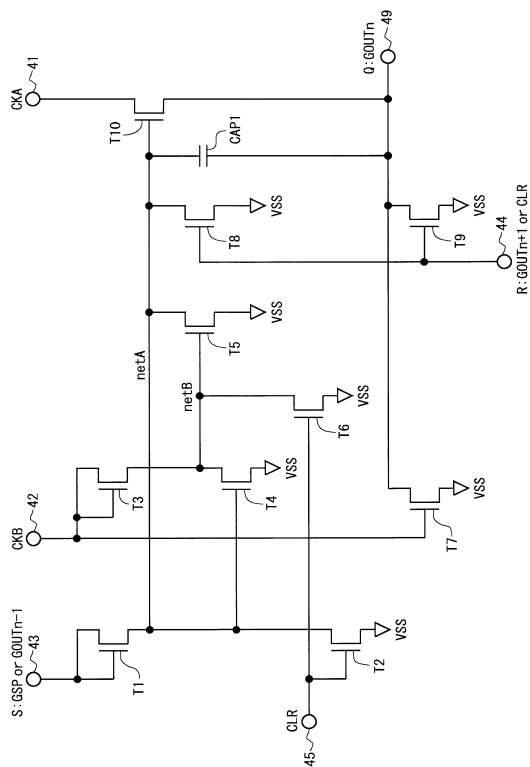
【図 8】



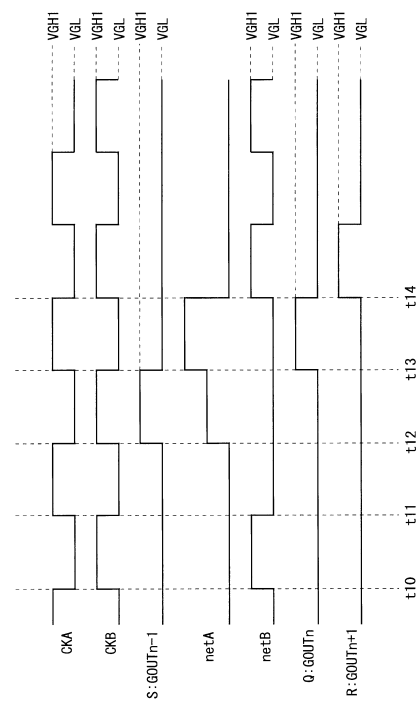
【図 9】



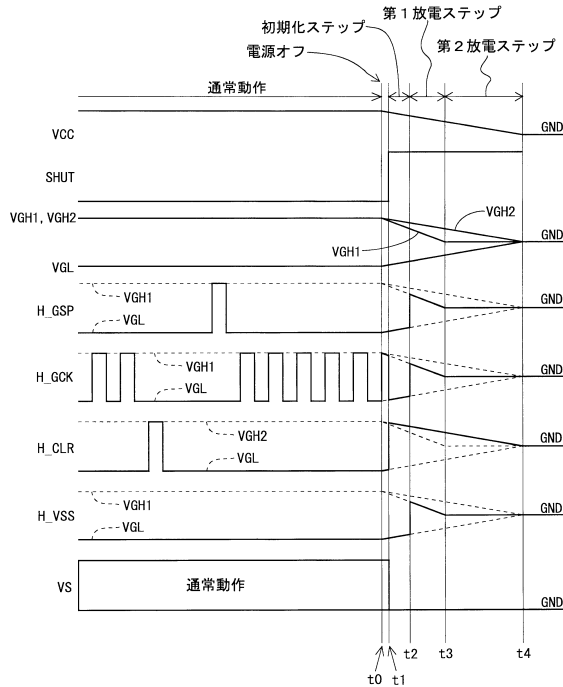
【図 10】



【図 11】



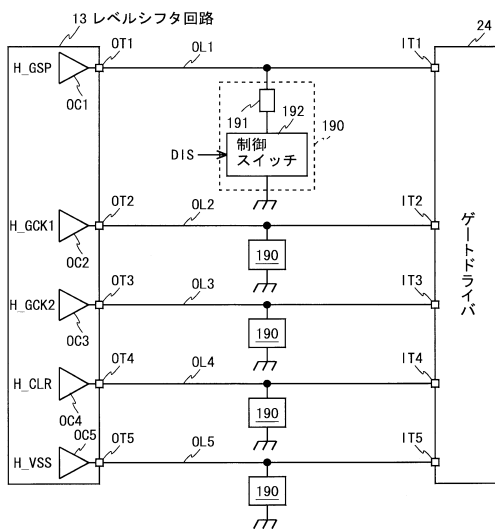
【図 12】



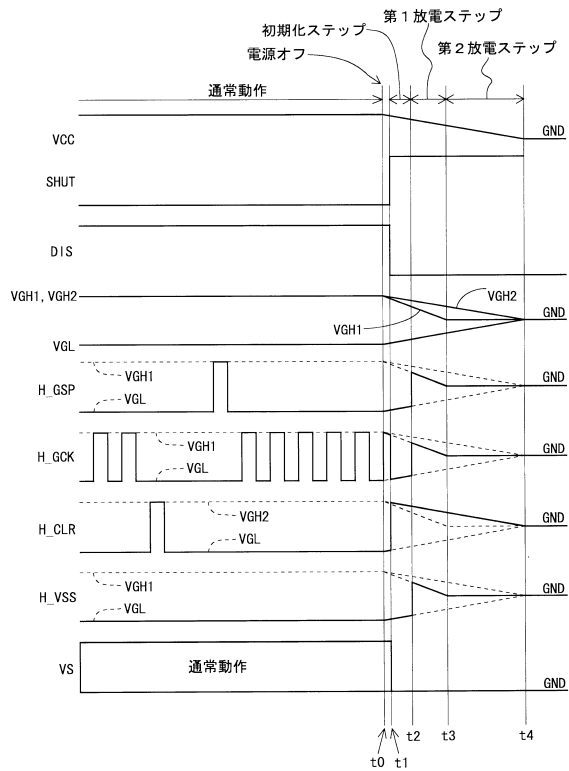
【図 13】

	通常動作 ($\sim t_0$)	初期化ステップ ($t_1 \sim t_2$)	第1の放電ステップ ($t_2 \sim t_3$)	第2の放電ステップ ($t_3 \sim t_4$)
H_GSP	VGH1, VGL	VGL	VGH1	VGH1 (GND)
H_GCK	VGH1, VGL	VGL	VGH1	VGH1 (GND)
H_CLR	VGH2, VGL	VGH2	VGH2	VGH2
H_VSS	VGL	VGL	VGH1	VGH1 (GND)

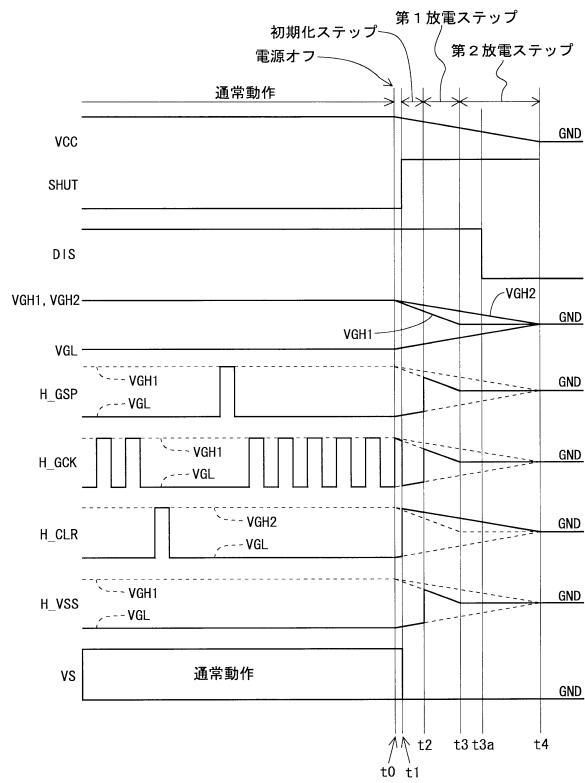
【図 14】



【図 15】



【図 16】



フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 1 2 G
	G 0 9 G	3/20	6 2 1 L
	G 0 2 F	1/133	5 5 0
	G 0 2 F	1/133	5 8 0

(72)発明者 尾崎 正実
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

(72)発明者 西村 智彦
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

(72)発明者 齊藤 浩二
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

(72)発明者 植畑 正樹
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

(72)発明者 中田 淳
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

審査官 西島 篤宏

(56)参考文献 国際公開第 2 0 1 3 / 0 8 8 7 7 9 (WO, A 1)
国際公開第 2 0 1 1 / 0 5 5 5 8 4 (WO, A 1)
特開 2 0 0 4 - 0 0 4 6 3 0 (JP, A)
特開 2 0 0 0 - 2 1 4 8 3 0 (JP, A)
特開 2 0 0 9 - 0 0 3 2 0 7 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3