



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I443821 B

(45)公告日：中華民國 103 (2014) 年 07 月 01 日

(21)申請案號：099146694 (22)申請日：中華民國 99 (2010) 年 12 月 29 日
(51)Int. Cl. : *H01L27/24 (2006.01)* *H01L45/00 (2006.01)*
(30)優先權：2010/02/09 日本 2010-026573
2010/11/24 日本 2010-261517
(71)申請人：新力股份有限公司 (日本) SONY CORPORATION (JP)
日本
(72)發明人：大場和博 OHBA, KAZUHIRO (JP)；保田周一郎 YASUDA, SHUICHIRO (JP)；水口徹也 MIZUGUCHI, TETSUYA (JP)；荒谷勝久 ARATANI, KATSUHISA (JP)；紫牟田雅之 SHIMUTA, MASAYUKI (JP)；河內山彰 KOUCHIYAMA, AKIRA (JP)；小笠原繭美 OGASAWARA, MAYUMI (JP)
(74)代理人：陳長文
(56)參考文獻：
US 2006/0126423A1 WO 2009/020041A1
審查人員：余宗翰
申請專利範圍項數：21 項 圖式數：53 共 0 頁

(54)名稱

記憶元件及記憶裝置、以及記憶裝置之動作方法

(57)摘要

本發明係提供一種可使重複耐久性提昇之記憶元件以及記憶裝置。電阻變化層 22 含有氧化鋁 (AlO_x) 及電阻低於氧化鋁之過渡金屬氧化物。具體而言，電阻變化層 22 具有自下部電極 10 側起依序積層有包含過渡金屬氧化物之第 1 層 22A、及以氧化鋁為主成分之第 2 層 22B 之構成。即便在對元件施加正電壓之情形時，第 1 層 22A 亦難以受到偏壓。因此，即便元件成為寫入狀態(低電阻狀態)，第 1 層 22A 亦不會被還原而保持於下部電極 10 上形成有氧化膜之狀態。藉此以抑制伴隨重複進行寫入以及抹除而使離子源層 21 中所含之硫族元素與下部電極 10 產生不必要之氧化反應。

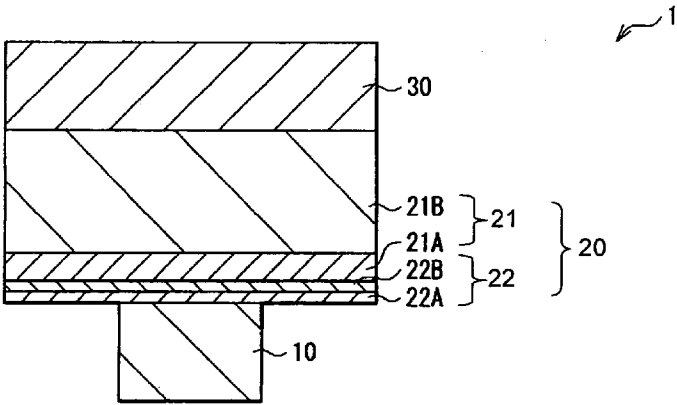


圖1

- 1 . . . 記憶元件
- 10 . . . 下部電極
- 20 . . . 記憶層
- 21 . . . 離子源層
- 21A . . . 中間層
- 21B . . . 離子供給層
- 22 . . . 電阻變化層
- 22A . . . 第1層
- 22B . . . 第2層
- 30 . . . 上部電極

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 99146694

※申請日： 99.12.29

※IPC 分類： H01L 27/04 (2006.01)
H01L 45/00 (2006.01)

一、發明名稱：(中文/英文)

記憶元件及記憶裝置、以及記憶裝置之動作方法

二、中文發明摘要：

本發明係提供一種可使重複耐久性提昇之記憶元件以及記憶裝置。電阻變化層22含有氧化鋁(AlO_x)及電阻低於氧化鋁之過渡金屬氧化物。具體而言，電阻變化層22具有自下部電極10側起依序積層有包含過渡金屬氧化物之第1層22A、及以氧化鋁為主成分之第2層22B之構成。即便在對元件施加正電壓之情形時，第1層22A亦難以受到偏壓。因此，即便元件成為寫入狀態(低電阻狀態)，第1層22A亦不會被還原而保持於下部電極10上形成有氧化膜之狀態。藉此以抑制伴隨重複進行寫入以及抹除而使離子源層21中所含之硫族元素與下部電極10產生不必要之氧化反應。

三、英文發明摘要：

四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

1	記憶元件
10	下部電極
20	記憶層
21	離子源層
21A	中間層
21B	離子供給層
22	電阻變化層
22A	第1層
22B	第2層
30	上部電極

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種可藉由包含離子源層及電阻變化層之記憶層之電氣特性變化而記憶資訊之記憶元件及記憶裝置、以及記憶裝置之動作方法。

【先前技術】

於電腦等資訊機器中，作為隨機存取記憶體，廣泛使用有動作高速且高密度之DRAM(Dynamic Random Access Memory，動態隨機存取記憶體)。然而，DRAM係與用於電子機器之普通之邏輯電路LSI(Large Scale Integration，大型積體電路)或信號處理相比，製造製程較為複雜，因此製造成本變高。又，DRAM係若切斷電源，則資訊消失之揮發性記憶體，必需頻繁地進行更新動作、即讀出所寫入之資訊(資料)，重新放大，並再次重新寫入之動作。

因此，先前，作為即便切斷電源，資訊亦不會消失之非揮發性之記憶體，提出有例如快閃記憶體、FeRAM(Ferroelectric Random Access Memory，鐵電式隨機存取記憶體)(強介電質記憶體)或MRAM(Magnetoresistive Random Access Memory，磁阻式隨機存取記憶體)(磁記憶元件)等。於該等記憶體之情形時，即便不供給電源亦可長時間持續保持所寫入之資訊。然而，該等記憶體各有所長各有所短。即，快閃記憶體雖積體度較高但於動作速度之方面欠佳。FeRAM係用於高積體度化之微細加工存在極限，又，製作製程中存在問題。MRAM存在耗電之問題。

因此，提出有尤其對記憶體元件之微細加工之極限有利之新型記憶元件。該記憶元件成為於2個電極之間夾持包含某種金屬之離子導電體之結構。該記憶元件係使2個電極之任一者中包含離子導電體中所含之金屬。藉此，於對2個電極間施加電壓之情形時，電極中所含之金屬以離子之形態擴散至離子導電體中，使得離子導電體之電阻值或者電容等電氣特性產生變化。例如，專利文獻1中，作為利用該特性之記憶體元件，提出有離子導電體包含硫屬化合物與金屬之固溶體之構成。具體而言，離子導電體包含AsS、GeS、GeSe中固溶有Ag、Cu或者Zn之材料，且2個電極之任一電極中包含Ag、Cu或者Zn。

該專利文獻1之構成中，藉由製造製程中之溫度上升或資料之長期保存時之長期熱負載等來促進離子導電體之結晶化，使電阻值等原本之電氣特性產生變化。而專利文獻2係揭示了於離子導電體與電極之間，設置包含氧化釷膜之記憶用薄膜。

[先前技術文獻]

[專利文獻]

[專利文獻1]日本專利特表2002-536840號公報

[專利文獻2]日本專利特開2005-197634號公報

【發明內容】

[發明所欲解決之問題]

然而，專利文獻2中所揭示之構成中，抹除側之性能存在不足，於覆寫較多位元之情形時，於抹除狀態之電阻值

較低之側存在不均一之傾向，寫入狀態之電阻值與抹除狀態之電阻值之電阻分離寬度不充分，重複耐久性有改善之餘地。

本發明係鑒於上述問題研製而成者，其目的在於提供一種提昇重複耐久性之記憶元件及記憶裝置、以及記憶裝置之動作方法。

[解決問題之技術手段]

本發明之記憶元件係依序包含第1電極、記憶層及第2電極，且記憶層包括以下(A)及(B)之構成要素：

(A)離子源層，其包含碲(Te)、硫(S)及硒(Se)中之至少一種硫族元素、以及鋁(Al)；

(B)電阻變化層，其設置於離子源層與第1電極之間，且包含氧化鋁、以及電阻低於氧化鋁之過渡金屬氧化物及過渡金屬氮氧化物中之至少一者。

本發明之記憶裝置包括依序包含第1電極、記憶層及第2電極之複數個記憶元件，以及對複數個記憶元件選擇性施加電壓或者電流之脈衝之脈衝施加機構，且複數個記憶元件由上述本發明之記憶元件而構成。

本發明之記憶裝置之動作方法係藉由對第1電極及第2電極之間施加電壓，而在離子源層中，使鋁(Al)離子以及離子源層中所含之金屬元素之離子向第1電極側移動，並且於電阻變化層中，藉由氧化鋁或者金屬元素之離子之還原反應產生導電通道而低電阻化，且藉由對第1電極及第2電極之間施加反極性之電壓，而在離子源層中，使鋁(Al)離

子以及離子源層中所含之金屬元素之離子向第2電極側移動，並且於電阻變化層中，藉由鋁(Al)離子氧化反應形成氧化鋁而高電阻化，或者藉由經還原之金屬元素離子化並移動至離子源層，使導電通道消失而高電阻化。

本發明之記憶元件或本發明之記憶裝置、或者本發明之記憶裝置之動作方法中，若對初始狀態(高電阻狀態)之元件施加「正方向」(例如將第1電極側設為負電位，將第2電極側設為正電位)之電壓或者電流脈衝，則在離子源層中，鋁(Al)離子以及離子源層中所含之金屬元素之離子會向第1電極側移動，並且在電阻變化層中，藉由氧化鋁或者金屬元素之離子之還原反應產生導電通道而低電阻化(寫入狀態)。若對該低電阻狀態之元件朝「負方向」(例如將第1電極側設為正電位，將第2電極側設為負電位)電壓脈衝，則在離子源層中，鋁(Al)離子以及離子源層中所含之金屬元素之離子會向第2電極側移動，並且在第1電極中，藉由鋁(Al)離子進行氧化反應而形成氧化鋁，或者藉由還原狀態之金屬元素進行氧化反應而離子化並溶解於離子源層中，使得導電通道消失而成為高電阻狀態(初始狀態或者抹除狀態)。

再者，使寫入動作以及抹除動作對應於低電阻化以及高電阻化之何者係定義之問題，本說明書中將低電阻狀態定義為寫入狀態，將高電阻狀態定義為抹除狀態。

此處，由於電阻變化層包含氧化鋁、以及電阻低於該氧化鋁之過渡金屬氧化物及過渡金屬氮氧化物中之至少一

者，故而即便對元件施加上述正方向之電壓或者電流脈衝之情形時，過渡金屬氧化物或者過渡金屬氮氧化物亦難以受到偏壓。因此，即便元件變為寫入狀態(低電阻狀態)，過渡金屬氧化物或者過渡金屬氮氧化物亦不會被還原而保持於第1電極上形成有氧化膜或者氮氧化膜之狀態。藉此，以抑制伴隨重複進行寫入及抹除而使離子源層中所含之硫族元素與第1電極產生不必要之氧化反應。

[發明之效果]

根據本發明之記憶元件或者本發明之記憶裝置，電阻變化層含有氧化鋁、以及電阻低於該氧化鋁之過渡金屬氧化物及過渡金屬氮氧化物中之至少一者，因此可使重複耐久性提昇。

根據本發明之記憶裝置之動作方法，藉由對第1電極及第2電極之間施加電壓，而使離子源層中鋁(Al)離子以及離子源層中所含之金屬元素之離子向第1電極側移動，並且於電阻變化層中，藉由氧化鋁或者金屬元素之離子之還原反應產生導電通道而低電阻化，且藉由對第1電極及第2電極之間施加反極性之電壓，而在離子源層中使鋁(Al)離子以及離子源層中所含之金屬元素之離子向第2電極側移動，並且於電阻變化層中藉由鋁(Al)離子進行氧化反應形成氧化鋁而高電阻化，或者藉由經還原之金屬元素離子化並移動至離子源層使導電通道消失而高電阻化，因此可使重複耐久性提昇。

【實施方式】

以下，參照圖式，對本發明之實施形態進行詳細說明。

再者，說明係以如下順序進行。

- 1.第1實施形態(記憶元件；依序積層有包含過渡金屬氧化物之第1層以及以氧化鋁為主成分之第2層作為電阻變化層，且離子源層包括中間層與離子供給層之例)
- 2.變形例1(記憶元件；電阻變化層以混合之狀態含有氧化鋁及過渡金屬氧化物，且離子源層包括中間層與離子供給層之例)
- 3.變形例2(記憶元件；依序積層有包含過渡金屬氧化物之第1層以及以氧化鋁為主成分之第2層作為電阻變化層，且離子源層為單層之例)
- 4.變形例3(記憶元件；電阻變化層以混合之狀態含有氧化鋁及過渡金屬氧化物，且離子源層為單層之例)
- 5.第2實施形態(記憶元件；依序積層有包含過渡金屬氮氧化物之第1層以及以氧化鋁為主成分之第2層作為電阻變化層，且離子源層包括中間層與離子供給層之例)
- 6.變形例4(記憶元件；第1層包含過渡金屬氧化物層與過渡金屬氮氧化物層之例)
- 7.第3實施形態(記憶元件；於中間層中添加過渡金屬之例)
- 8.第4實施形態(記憶元件；於中間層以及離子供給層中之至少一者中添加氧之例)
- 9.記憶裝置
- 10.實施例
(第1實施形態)

圖1係本發明之第1實施形態之記憶元件1之剖面構成圖。該記憶元件1係依序包含下部電極10(第1電極)、記憶層20以及上部電極30(第2電極)者。記憶層20係自上部電極30側起依序包含離子源層21與電阻變化層22。

下部電極10係例如設置於如下所述(圖13)形成有CMOS(Complementary Metal Oxide Semiconductor, 互補金氧半導體)電路之矽基板41上, 且成為與CMOS電路部分連接之連接部。該下部電極10包含用於半導體製程之配線材料, 例如鎢(W)、氮化鎢(WN)、銅(Cu)、鋁(Al)、鉬(Mo)、鉭(Ta)及矽化物等。於下部電極10包含Cu等具有於電場中產生離子傳導之可能性之材料之情形時, 亦可由W、WN、TiN、TaN等難以進行離子傳導或熱擴散之材料包覆包含Cu等之下部電極10之表面。

較佳為下部電極10包含由鈦(Ti)、鋯(Zr)、鈦(Hf)、釩(V)、鈮(Nb)、Ta、鉻(Cr)、Mo及W所組成之過渡金屬群中之至少一種之單體或者氮化物。其原因在於, 可容易地藉由將下部電極10之表面氧化, 而形成下述電阻變化層22中之過渡金屬氧化物(或者包含過渡金屬氧化物之第1氧化層22A)。

離子源層21係具有作為離子供給源之作用者, 且主要具有非晶質結構。離子源層21包含碲(Te)、硫(S)及硒(Se)中之至少一種硫族元素作為進行陰離子化之離子傳導材料。又, 離子源層21含有Al作為抹除時形成氧化物之元素。

進而, 離子源層21至少含有1種金屬元素。作為離子源

層 21 中所含之金屬元素，較佳為例如由 Cu、鋅 (Zn)、銀 (Ag)、鎳 (Ni)、鈷 (Co)、錳 (Mn)、鐵 (Fe)、Ti、Zr、Hf、V、Nb、Ta、Cr、Mo 以及 W 所組成之金屬元素群中之至少一種。Al 以及該等金屬元素之若干種係具有作為進行陽離子化之離子傳導材料之功能者。

離子源層 21 因非晶質化，故較佳為含有 Zr 作為金屬元素。其原因在於，可使低電阻狀態 (寫入狀態) 或者高電阻狀態 (初始狀態或抹除狀態) 之電阻值保持特性提昇。此處，將低電阻狀態定義為寫入狀態，將高電阻狀態定義為抹除狀態。又，Cu 係藉由與 Zr 之組合而易於形成非晶質，且均一地保持離子源層 21 之微細結構者，並且亦具有作為進行陽離子化之金屬元素之功能。

離子源層 21 中亦可視需要添加其他元素。作為添加元素之例，可列舉鎂 (Mg)、鍺 (Ge) 及矽 (Si) 等。Mg 係易於陽離子化且易於利用抹除偏壓形成氧化膜而高電阻化者。Ge 係與 Al 同樣地藉由抹除時形成氧化物，而使高電阻狀態 (抹除狀態) 穩定化，並且亦有助於重複次數之增加者。Si 係可抑制記憶層 20 之高溫熱處理時之膜剝落，並且亦可同時期待保持特性之提昇之添加元素，且亦可與 Zr 一併添加至離子源層 21 中。

作為此種離子源層 21 之具體材料，可列舉例如 ZrTeAl、ZrTeAlGe、CuZrTeAl、CuZrTeAlGe、CuHfTeAl、CuTiTeAl、AgZrTeAl、NiZrTeAl、CoZrTeAl、MnZrTeAl、及 FeZrTeAl 之組成之離子源層材料。

離子源層21中之Al之含量為例如30~50原子%。離子源層21中之Zr之含量較佳為7.5~26原子%，進而，離子源層21中所含之Zr相對於硫族元素之合計之組成比率(=Zr(原子%)/硫族元素之合計(原子%))較佳為0.2~0.74之範圍。離子源層21中之Ge之含量較佳為15原子%以下。離子源層21中之Si之含量較佳為10~45原子%左右之範圍內。藉由以此方式構成，而可最大限度地發揮各構成元素之作用。其詳細情況將於下文描述。

電阻變化層22係設置於離子源層21與下部電極10之間，且具備作為電傳導方面之障壁之功能者。電阻變化層22包含氧化鋁(AlO_x)及電阻低於氧化鋁之過渡金屬氧化物。具體而言，電阻變化層22係具有自下部電極10側起依序積層有包含過渡金屬氧化物之第1層22A、及以氧化鋁為主成分之高電阻之第2層22B的構成。藉此，該記憶元件1可使重複耐久性提昇。

較佳為電阻變化層22中之過渡金屬氧化物(或者第1層22A)係具有導電性之氧化物，並且絕緣性不高。具體而言，較佳為由Ti、Zr、Hf、V、Nb、Ta、Cr、Mo以及W所組成之過渡金屬群中之至少一種之氧化物。

電阻變化層22中之氧化鋁(或者第2層22B)係藉由下部電極10側之氧化反應而形成，上述下部電極10側之氧化反應係藉由離子源層21中所含之Al離子之移動或擴散、或者對下部電極10及上部電極30之電壓施加所引起。再者，電阻變化層22中之氧化鋁(或者第2層22B)係記憶元件1之製造

時便已形成者，但存在於下述高電阻狀態(抹除狀態)下進一步增大(或者厚度變得更厚)之傾向。

第1層22A之厚度較佳為1 nm以上。其原因在於可獲得良好之電阻分離特性。又，較佳為第1層22A具有成為較第2層22B之電阻值更低之電阻之厚度。其原因在於，若第1層22A之厚度過厚，則成為較第2層22B更高之電阻，導致動作特性下降。構成第1層22A之過渡金屬氧化物之密度理想的是於例如氧化鈦(TiO_x)之情形時為 4 g/cm^3 以下。

進而，較佳為離子源層21具有自下部電極10側起依序積層有中間層21A與離子供給層21B之2層結構。中間層21A係一併包含Al、以及Te、S及Se中之至少一種硫族元素。離子供給層21B係包含與上述離子源層21相同之構成，即一併包含Al及硫族元素、以及由Cu、Zn、Ag、Ni、Co、Mn、Fe、Ti、Zr、Hf、V、Nb、Ta、Cr、Mo及W所組成之金屬元素群中之至少一種。藉此，可保持良好之重複耐久性，同時使保持特性提昇，從而可以低電流進行非揮發記憶體動作。再者，離子供給層21B理想的是包含上述金屬元素，且抑制超過需要之元素擴散或層之混合之構成。

尤佳為離子供給層21B包含Al及硫族元素、以及Cu、Ti、Zr及Hf中之至少一種。利用該等元素，容易使非晶質結構穩定化而維持矩陣結構，因此有助於寫入、抹除動作之可靠性的提昇。其中，Cu係藉由與Zr之組合而易於形成非晶質，具有均一地保持離子供給層21B之微細結構之功能者。

又，離子供給層21B亦可視需要包含Ge、Si、Mg等其他添加元素。

中間層21A中之Al含量相對於硫族元素含量之比(Al濃度)，較佳為小於離子供給層21B中之Al含量相對於硫族元素含量之比(Al濃度)。由於推論中間層21A中之Al係由於與離子供給層21B之濃度梯度所引起之擴散而獲得，因此推論其少於例如 Al_2Te_3 之化學計量組成。因此推論中間層21A中之Al之大部分以離子狀態存在，從而藉由使所施加之電位有效地用於離子驅動，可有助於上述保持特性之提昇或低電流下之非揮發記憶體動作。

上部電極30係與下部電極10同樣地包含用於公知之半導體製程之配線材料。

本實施形態之記憶元件1中，當經由上述下部電極10以及上部電極30而自未圖示之電源(脈衝施加機構)施加電壓脈衝或電流脈衝時，會藉由氧化鋁、或者離子源層21(具體為離子供給層21B)中所含之金屬元素之離子之氧化還原，而使記憶層20之電氣特性、例如電阻值產生變化，藉此進行資訊之記憶(寫入、抹除及讀出)。以下具體說明其動作。

首先，使上部電極30成為例如正電位、使下部電極10側成為負電位並對記憶元件1施加正電壓。藉此，在離子源層21中使Al離子向下部電極10側移動，並且在過渡金屬氧化層22A上使以氧化鋁為主成分之第2層22B產生還原反應而低電阻化(寫入狀態)。

又，離子源層21中所含之金屬元素離子化並於電阻變化層22中移動、擴散，且於下部電極10側被還原。其結果，於下部電極10與記憶層20之界面，形成還原為電阻低於第2層22B之狀態或者金屬狀態之導電通道。或者，經離子化之金屬元素滯留於電阻變化層22中而形成雜質能階，從而於電阻變化層22中形成導電通道。藉此，記憶層20之電阻值降低，由初始狀態之高電阻狀態變為低電阻狀態。

其後，即便將正電壓去除而消除對記憶元件1所施加之電壓，亦會保持低電阻狀態。藉此寫入資訊。於用於僅可寫入一次之記憶裝置、即所謂之PROM(Programmable Read Only Memory，可程式唯讀記憶體)之情形時，僅經由上述記錄過程便完成記錄。

另一方面，於用於可抹除之記憶裝置、即RAM(Random Access Memory，隨機存取記憶體)或EEPROM(Electronically Erasable and Programmable Read Only Memory，電子可擦可程式化唯讀記憶體)等時，必需抹除過程。於抹除過程中，以使上部電極30成為例如負電位、下部電極10側成為正電位之方式，對記憶元件1施加負電壓。藉此，使離子源層21中Al離子向上部電極30側移動，並且使第1層22A上Al離子藉由氧化反應而形成以氧化鋁為主之第2層22B，從而成為高電阻狀態(抹除狀態)。

又，記憶層20內形成有導電通道之還原狀態之金屬元素係藉由氧化反應而離子化，並溶解於離子源層21中，或者與Te等結合，變為更高之高電阻狀態。藉此，金屬元素之

導電通道消失或減少，電阻值變高。或者，進而存在於離子源層21中之Ge等添加元素於下部電極10上形成氧化膜，從而變為高電阻狀態。

其後，即便將負電壓去除，去除對記憶元件1所施加之電壓，亦以電阻值變高之狀態得以保持。藉此，可將所寫入之資訊抹除。可藉由重複上述過程，而於記憶元件1中重複進行資訊之寫入與所寫入之資訊之抹除。

例如，若使電阻值較高之狀態對應於「0」資訊，使電阻值較低之狀態對應於「1」資訊，則可於施加正電壓之資訊記錄過程中由「0」變為「1」，而於施加負電壓之資訊抹除過程中由「1」變為「0」。

為將記錄資料解調，初始之電阻值與記錄後之電阻值之比越大越好。然而，於高電阻層之電阻值過大之情形時，難以進行寫入、即難以低電阻化，且寫入臨界電壓變得過大，因此將初始電阻值調整為1 GΩ以下。高電阻層22之電阻值例如可藉由其厚度或所含氧之量等來控制。

上述內容係對於將寫入動作定義為可變為低電阻狀態「1」之動作，且將抹除動作定義為可變為高電阻狀態「0」之動作之情形的記載。相反地，亦可例如將可由高電阻狀態「1」變為低電阻狀態「0」之動作定義為抹除動作，於該情形時，上述記載中將寫入與抹除動作進行替換即可。

此處，電阻變化層22具有自下部電極10側起依序積層有包含過渡金屬氧化物之第1層22A、與以氧化鋁為主成分之

第2層22B之構成，因此即便對元件施加上述正電壓，第1層22A亦難以受到偏壓。因此，即便元件成為寫入狀態(低電阻狀態)，第1層22A亦保持於下部電極10上形成有氧化膜之狀態而不會被還原。藉此，以抑制伴隨重複進行寫入及抹除而使離子源層21中所含之硫族元素與下部電極10產生不必要之氧化反應。

即，於包含W或者Ti等金屬材料之下部電極10上，與下部電極10相接觸地形成有離子源層21或者中間層21A而未設置第1層22A之情形時，直至重複次數達到10~100次為止，明確地顯示出進行高電阻化及低電阻化之良好之動作特性以及良好之資料保持特性。然而，若使重複次數進一步增加，則主要產生抹除錯誤，無法返回至高電阻狀態，導致元件特性劣化。認為其原因大概在於，除了上述氧化、還原反應之外，亦引起下部電極10與中間層21A或離子源層21中所含之硫族元素進行反應之氧化反應。本實施形態中，於下部電極10上設置有包含過渡金屬氧化物之第1層22A，因此下部電極10進行硫化之不必要之氧化反應得以抑制，使重複可靠性改善，記憶體之壽命提昇。

進而，於電阻變化層22具有第1層22A與第2層22B之2層結構，並且離子源層21具有中間層21A與離子供給層21B之2層結構之情形時，於維持良好之重複耐久性之狀態下保持特性提昇。此情形雖並不明確，但可以如下方式考慮。

於以寫入動作進行低電阻化時，於下部電極10界面附近

引起還原反應。具體而言，以氧化鋁為主成分之第2層22B被還原，並且Al離子於離子源層21中移動，在下部電極10界面附近被還原而形成接近金屬之Al。於該狀態下阻止寫入偏壓，而成為資料保持狀態時，Al金屬易於氧化，若與氧結合則成為高電阻。此情形可視為低電阻狀態之資料保持不良。另一方面，中間層21A中較多地含有之硫族元素極易與Al金屬產生反應，從而即便生成Al金屬，亦逐步與硫族元素產生反應因而高電阻化。藉此，變為保持不良之情形變少，資料保持性能提昇。

即，中間層21A中之Al含量相對於硫族元素含量之比(Al濃度)係如上所述，小於離子供給層21B中之Al含量相對於硫族元素含量之比(Al濃度)。因此，藉由寫入動作時之Al離子之還原反應而生成之Al金屬係於去除寫入偏壓時，並非再次成為氧化鋁並使元件電阻上升，而是溶解於具有溶解Al之餘力之中間層21A中。因此，不存在產生電阻上升之情形，而獲得良好之資料保持特性。

進而，於抹除動作中，雖中間層21A含有經離子化之Al，但於較多地含有硫族元素之中間層21A中Al離子易於移動。因此，藉由抹除偏壓易於供給Al離子，抹除性能提昇。其結果，認為低電阻狀態與高電阻狀態之電阻分離寬度擴大。

除此之外，藉由離子源層21具有中間層21A與離子供給層21B之2層結構，而可使低電流、高速下之資料保持特性提昇。

即，於使記憶元件1與電晶體組合，構成非揮發性之記憶體單元之情形時，為了於前端之半導體製程中使記憶體單元大容量化，必需使記憶元件1微細化，並且使電晶體微細化。電晶體係尺寸越微細化則驅動電流越下降，因此為實現高容量且耗電低之非揮發記憶體，必需提昇以低電流覆寫之狀態下之資料保持特性。進而，為實現可以高速進行覆寫動作之大容量之非揮發記憶體，必需將以微細電晶體之低電流且毫微秒級之短脈衝進行高速覆寫之電阻狀態進行資料保持。

然而，先前，利用更小之覆寫能量之低電阻以及高電阻之記錄狀態易於受到熱干擾之影響，因此存在越是更低電流且更高速，則越難以進行資料保持之問題。

於藉由電流驅動力較低之電晶體，以低電流寫入之情形時，低電阻狀態之電阻值升高，因此電阻值之保持特性成為低電流動作之關鍵所在。本實施形態之記憶元件1中，如上所述資料保持性能得以改善，即便更高之電阻值亦可進行資料保持。藉此，低電流下之非揮發記憶體動作成為可能。

進而，本實施形態中，如上所述較佳為離子源層21除了含有Al之外，亦含有Zr、Cu、Ge等。以下，對其原因進行說明。

於離子源層21中含有Zr之情形時，尤其是與Al以及Cu共存之情形時，非晶質結構易於穩定化。於寫入動作時，例如即便Al或Cu之離子自離子源層21進行移動，亦易於保持

非晶質結構，從而維持離子源層21之矩陣結構。例如，認為藉由寫入偏壓，而使Al或Cu之離子移動，使得離子源層21之組成產生變化，該等元素之組成比減少，但由於Zr之存在，即便組成比產生變動，非晶質結構亦保持穩定，因此可抑制超過需要之離子移動或擴散，故而寫入狀態之保持性能提昇。

又，就抹除時之高電阻狀態之保持而言，於Al或者Cu為金屬狀態或者接近金屬之狀態即導電通道被氧化，成為氧化物或者與S、Se以及Te之硫族元素之化合物的狀態下含有Zr時，離子源層21為穩定之非晶質結構，於此情形時超過需要之離子擴散得以抑制，因此於未施加抹除偏壓之保持狀態下，難以由於熱等原因使不必要之離子再次自離子源層21擴散，上述高電阻狀態之氧化物或硫化物再次被還原而成為低電阻，從而即便於較室溫更高溫之狀態或長時間下進行保持之情形時，亦維持高電阻狀態。

進而，由於離子源層21含有Al，故而於抹除動作中，以使上部電極30成為例如負電位、下部電極10側成為正電位之方式對記憶元件1施加負電壓之情形時，在第1層22A上，Al離子由於氧化反應而形成以氧化鋁為主之第2層22B，使高電阻狀態(抹除狀態)穩定化。此外，自第2層22B之自我再生之觀點來看，亦有助於重複次數之增加。再者，除了含有Al之外，亦可含有顯示出相同作用之Ge等。

於如上所述般於離子源層21中含有Zr、Al、Cu、Ge等

之情形時，與先前之記憶元件相比，廣域之電阻值保持性能及寫入、抹除之高速動作性能提昇，並且重複次數增加。進而，若例如調整自低電阻變為高電阻時之抹除電壓，形成高電阻狀態與低電阻狀態之間之中間狀態，則可穩定地保持該狀態。藉此，不僅可實現2值之記憶體，亦可實現多值之記憶體。

然而，施加此種電壓之寫入、抹除動作特性、電阻值之保持特性、及重複動作次數之類的記憶體動作方面之重要之諸特性係根據Zr、Cu及Al、以及Ge之組成比之不同而不同。

例如，若Zr之含量過多，則離子源層21之電阻值過度下降，無法對離子源層21施加有效電壓，因此尤其難以進行抹除，且根據Zr組成比，抹除之臨界電壓上升，於其含量進而過多之情形時，寫入即低電阻化亦變得困難。另一方面，若Zr組成比過少，則使上述廣域之電阻值之保持特性提昇之效果變少。因此，離子源層21中之Zr之組成比較佳為7.5以上，更佳為26原子%以下。

又，於將適量之Cu添加至離子源層21中之情形時，雖可促進非晶質化，但若過多則因金屬狀態之Cu於包含硫族元素之離子源層21中之穩定性不充分，故寫入保持特性惡化，或者於寫入動作之高速性方面出現不良影響。另一方面，Zr與Cu之組合具有易於形成非晶質，且使離子源層21之微細結構保持均一之效果。藉此，可防止重複動作所引起之離子源層21中之材料成分之不均一化，因此重複次數

增加，並且保持特性亦提昇。於上述範圍內充分含有Zr之情形時，非晶質結構穩定，因此未出現對寫入保持特性之影響。

又，若Al之含量過多，則變得易於產生Al離子之移動，由於Al離子之還原而形成寫入狀態。Al係於硫化物之固體電解質中金屬狀態之穩定性較低，因此低電阻之寫入狀態之保持性能下降。另一方面，若Al組成比過少，則抹除動作本身或使高電阻區域之保持特性提昇之效果變低，且重複次數減少。因此，Al之組成比較佳為30原子%以上，更佳為50原子%以下。

亦可不含Ge，於Ge含量過多之情形時寫入保持特性劣化，因此含Ge之情形時之組成比較佳為15原子%以下。

再者，亦可不含Si，若其組成比過少則無法期待記憶層20之膜剝落防止效果，而若過多則無法獲得良好之記憶體動作特性。藉此，理想的是離子源層21中之Si之組成比為10~45原子%左右之範圍內。

以下，對本實施形態之記憶元件1之製造方法進行說明。

首先，於形成有選擇電晶體等CMOS電路之基板上，形成例如包含氮化鈦(TiN)之下部電極10之栓塞。

其次，於下部電極10之上表面，形成包含由Ti、Zr、Hf、V、Nb、Ta、Cr、Mo以及W所組成之過渡金屬群中之至少一種之單體或者氮化物的過渡金屬材料膜，並使該過渡金屬材料膜與下部電極10之表面中之至少過渡金屬材料

膜氧化，藉此形成第1層22A。

具體而言，於例如包含TiN之下部電極10之上表面，藉由例如濺鍍法，而以1.0 nm之厚度形成Ti膜作為過渡金屬材料膜。繼而，藉由利用氧電漿使該Ti膜氧化，而形成包含 TiO_x 之第1層22A。再者，此時，因Ti膜之厚度極薄，故存在繼Ti膜之氧化之後，下部電極10之表面亦進行氧化的可能性。

或者，亦可於例如包含TiN之下部電極10之上表面，形成氮化鋯(ZrN)膜作為過渡金屬材料膜，並使該ZrN膜氧化。此時，因ZrN膜之厚度極薄，故不僅ZrN膜被氧化而生成氧化鋯(ZrO_x)，而且下部電極10之表面亦被氧化而形成 TiO_x 。藉此，例如圖2所示，形成包含 ZrO_x 層22A1與 TiO_x 層22A2之第1層22A。於該情形時，重要的是使ZrN充分氧化，結果便可形成 TiO_x 。

其後，藉由例如濺鍍法，而以4 nm之厚度形成包含Te之中間層21A。繼而，以60 nm之厚度形成包含CuZrTeAlGe (Cu 11 at%-Zr 11%-Te 30%-Al 40%-Ge 8%)之離子供給層21B。藉此，形成具有中間層21A及離子供給層21B之2層結構之離子源層21。此時，於記憶層20中，離子供給層21B中之Al擴散至中間層21A中，且與包含 TiO_x 之第1層22A中之剩餘之氧、或者進入其他膜中之氧結合，而於第1層22A上形成包含 AlO_x 之第2層22B。

包含 AlO_x 之第2層22B亦可於形成第1層22A之後，藉由使作為原料之Al膜成膜並進行氧化而形成。然而，藉由如

上所述般使離子供給層21B中含有作為第2層22B之原料之Al元素，而不導入第2層22B之成膜製程，便可簡便地形成包括第2層22B之記憶層20。第2層22B之厚度可由構成第1層22A之 TiO_x 之電漿氧化條件(O_2 環境壓力、投入電力)之強度來控制。

於形成離子源層21以及電阻變化層22之後，於離子源層21上使包含例如W之上部電極30成膜。以此方式形成下部電極10、記憶層20以及上部電極30之積層膜。

於形成積層膜之後，藉由電漿蝕刻等，而使該積層膜中之電阻變化層22、離子源層21以及上部電極30圖案化。除了電漿蝕刻之外，亦可採用離子研磨、RIE(Reactive Ion Etching；反應性離子蝕刻)等蝕刻方法進行圖案化。又，對上部電極30之表面進行蝕刻，使用以與提供中間電位($V_{dd}/2$)之外部電路連接之上部電極30之接觸部分露出。

於使積層膜圖案化之後，以200 nm之厚度形成包含例如Al之配線層(未圖示)，並將該配線層與上部電極30之接觸部分連接。其後，利用例如真空熱處理爐對積層膜實施 300°C 、2小時之熱處理。藉由以上處理，而完成圖1所示之記憶元件1。

再者，上述製造方法中，針對於形成第1層22A之步驟中，形成Ti膜之後，利用氧電漿使該Ti膜氧化，藉此形成包含 TiO_x 之第1層22A之情形進行了說明。然而，第1層22A例如亦可藉由下述方法形成：藉由逆濺鍍或研磨等，將形成於包含TiN之下部電極10之表面的自然氧化皮膜或

下部電極10形成步驟之清洗造成之皮膜去除之後，使下部電極10之表面直接電漿氧化。

如上所述，本實施形態中，使電阻變化層21成為自下部電極10側起依序積層有包含過渡金屬氧化物之第1層22A與以氧化鋁為主成分之第2層22B之構成，因此可抑制伴隨重複進行寫入以及抹除而產生離子源層21中所含之硫族元素與下部電極10之不必要之氧化反應的情形，提高重複耐久性，並且使記憶體之壽命提昇。藉此，可減少抹除狀態之電阻值之不均一，即便多位元之陣列，亦可獲得電阻分離寬度充分大之良好之特性。

又，由於離子源層21具有中間層21A與離子供給層21B之2層結構，故而可於維持良好之重複耐久性之狀態下使保持特性提昇，且可於更低之電流下進行非揮發記憶體動作。因此，即便於由於微細化而使電晶體之電流驅動力變小之情形時，亦可進行資訊之保持，實現記憶裝置之高密度化以及小型化。

進而，由於離子源層21中含有Zr、Al、Cu、Ge等，故而資料保持特性優異。此外，下部電極10、電阻變化層22、離子源層21以及上部電極30均可由可進行濺鍍之材料構成，從而製造製程亦得以簡化。即，使用包含與各層之材料相適應之組成之靶材，依序進行濺鍍即可。又，亦可藉由於同一濺鍍裝置內更換靶材，而連續進行成膜。

(變形例1)

再者，上述實施形態中，針對電阻變化層22具有自下部

電極10側起依序積層有包含過渡金屬氧化物之第1層22A與以氧化鋁為主成分之第2層22B之構成的情形進行了說明，但電阻變化層22亦可如圖3所示，為以混合之狀態含有氧化鋁及過渡金屬氧化物之單層結構。

於該情形時，若以使上部電極30成為例如正電位、下部電極10成為例如負電位之方式，對記憶元件1施加正電壓，則於離子源層21中，Al離子以及離子源層21中所含之金屬元素之離子向下部電極10側移動，並且於下部電極10上，藉由氧化鋁或者金屬元素之離子之還原反應產生導電通道而低電阻化(寫入狀態)。若對於該低電阻狀態之元件以使上部電極30成為例如負電位、下部電極10成為例如正電位之方式，對記憶元件1施加負電壓，則於離子源層21中，Al離子以及離子源層21中所含之金屬元素之離子向上部電極30側移動，並且於下部電極10上，Al離子藉由氧化反應而形成氧化鋁，或者還原狀態之金屬元素藉由氧化反應而離子化並溶解於離子源層21中，使得導電通道消失，成為高電阻狀態(抹除狀態)。

此處，由於電阻變化層22係以混合之狀態含有氧化鋁以及電阻低於該氧化鋁之過渡金屬氧化物，故而即便對元件施加上述正電壓，過渡金屬氧化物亦難以受到偏壓，即便元件成為寫入狀態(低電阻狀態)，過渡金屬氧化物亦保持於下部電極10上形成有氧化物之狀態而不會被還原。藉此，伴隨重複進行寫入以及抹除而產生離子源層21中所含之硫族元素與下部電極10之不必要之氧化反應的情形得以

抑制。

(變形例2)

又，上述實施形態中，對於離子源層21具有中間層21A與離子供給層21B之2層結構之情形進行了說明，但離子源層21並非必需具有中間層21，亦可如圖4所示，具有僅有離子供給層21B之單層結構。

(變形例3)

進而，如圖5所示，電阻變化層22亦可為以混合之狀態含有氧化鋁及過渡金屬氧化物之單層，並且離子源層21亦可為僅有離子供給層21B之單層。

(第2實施形態)

圖6係表示本發明第2實施形態之記憶元件1之剖面構成。該記憶元件1係電阻變化層22之第1層22A包含過渡金屬氮氧化物，除此之外，具有與上述第1實施形態相同之構成、作用及效果，且可以與第1實施形態相同之方式製造。藉此，對相應之構成要素標註同一符號而進行說明。

較佳為構成第1層22A之過渡金屬氧化物為具有導電性之氮氧化物並且絕緣性不高。具體而言，較佳為由Ti、Zr、Hf、V、Nb、Ta、Cr、Mo以及W所組成之過渡金屬群中之至少一種之氧化物。

包含過渡金屬氮氧化物之第1層22A由於含氮(N)而不含有過剩氧(O)，因此電阻變低。又，如第1實施形態所說明，包含氧化鋁之第2層22B係離子供給層21B中之Al擴散至中間層21A中，並與第1層22A中之剩餘之氧、或者進入

其他記錄膜中之氧結合而形成者。因此，由於第1層22A中不含過剩之氧，而使氧化鋁之生成得以抑制，第2層22B之厚度變薄。因此，對第1層22A及第2層22B所施加之分壓變小，對離子供給層21B以及中間層21A所施加之電壓變大，使離子變得易於移動、擴散。藉此，可使臨界值降低，並且適於低電流動作。可藉由第1層22A中所含之氮量，而進行動作電流之控制。

再者，變形例1至變形例3亦可應用於第2實施形態。即，如圖3所示，電阻變化層22亦可為以混合之狀態含有氧化鋁及過渡金屬氮氧化物之單層結構。又，離子源層21並非必需具有中間層21，如圖4所示，亦可具有僅有離子供給層21B之單層結構。進而，如圖5所示，電阻變化層22亦可為以混合之狀態含有氧化鋁及過渡金屬氮氧化物之單層，並且離子源層21亦可為僅有離子供給層21B之單層。

(變形例4)

上述第1實施形態中，對第1層22A包含過渡金屬氧化物之情形進行了說明，第2實施形態中，對第1層22A包含過渡金屬氮氧化物之情形進行了說明。然而，如圖7所示，第1層22A亦可包括過渡金屬氧化物層22A3與過渡金屬氮氧化物層22A4之兩者。

即，例如第1實施形態所示，於包含例如TiN之下部電極10之上表面，形成Ti膜作為過渡金屬材料膜，並利用氧電漿使該Ti膜氧化，於此情形時，藉由Ti膜及/或下部電極10之表面之氧化，而形成包含 TiO_x 之過渡金屬氧化物層

22A3。於該過渡金屬氧化物層 22A3 下，TiN 之氧化未完全結束，藉此存在形成包含鈦之氮氧化物(TiON)之過渡金屬氮氧化物層 22A4 之可能性。該情形亦與使包含 TiN 之下部電極 10 之表面直接電漿氧化之情形相同。

又，於在包含例如 TiN 之下部電極 10 之上表面，形成 ZrN 膜作為過渡金屬材料膜，並使該 ZrN 膜氧化之情形時，如圖 8 所示般存在下述可能性：依次形成包含藉由 ZrN 膜之氧化而形成之 ZrO_x 之過渡金屬氧化物層 22A3、包含 ZrN 之氧化未完全結束之鋯之氮氧化物(ZrON)之過渡金屬氮氧化物層 22A4、包含藉由下部電極 10 之表面之氧化而形成之 TiO_x 之過渡金屬氧化物層 22A3、藉由 TiN 之氧化未完全結束而包含 TiON 之過渡金屬氮氧化物層 22A4。再者，由於 ZrN 膜之厚度極薄，故而亦存在未形成包含 ZrON 之過渡金屬氮氧化物層 22A4 之可能性。

再者，變形例 1 至變形例 3 亦可應用於本變形例 4。即，如圖 3 所示，電阻變化層 22 亦可為以混合之狀態含有氧化鋁、過渡金屬氧化物及過渡金屬氮氧化物之單層結構。又，離子源層 21 並非必需具有中間層 21，亦可如圖 4 所示，具有僅有離子供給層 21B 之單層結構。進而，如圖 5 所示，電阻變化層 22 亦可為以混合之狀態含有氧化鋁、過渡金屬氧化物及過渡金屬氮氧化物之單層，並且離子源層 21 亦可為僅有離子供給層 21B 之單層。

(第 3 實施形態)

圖 9 係表示本發明之第 3 實施形態之記憶元件 1 之剖面構

成者。該記憶元件1係於離子源層21之中間層21A中添加有Zr等過渡金屬，除此之外，具有與上述第1或第2實施形態相同之構成、作用及效果，且可以與第1或第2實施形態相同之方式製造。藉此，對相應之構成要素標註同一符號而進行說明。

中間層21A含有例如Zr作為添加元素，藉此成為較離子供給層21B更高之電阻。藉此，變得易於對中間層21A施加電壓，且即便於低電流下亦可易於進行動作。又，於對記憶元件1施加電壓時，可更有效地使離子移動，確實地進行寫入、抹除動作。藉此，動作不良減少，電阻不均一得以改善。

圖10係表示對Te單體中摻雜有Zr之膜之薄片電阻進行測定，求出體積電阻率之結果者。由圖10可知，Te-Zr膜之電阻率係隨著Zr含有率自0%(純Te)增大而上升，於約7%左右成為極大值，於其以上時下降。由此可知，可藉由於中間層21A中添加數%之Zr，而使中間層21A之電阻率提高。

再者，除了Zr之外，Cu、Cr、Mn、Ti或者Hf等其他過渡金屬亦與Zr同樣地具有使中間層21A高電阻化之效果。即，較佳為中間層21A含有Al與硫族元素，且進而含有由Zr、Cu、Cr、Mn、Ti及Hf所組成之過渡金屬群中之至少一種。

如上所述，本實施形態中，藉由中間層21A含有由Zr、Cu、Cr、Mn、Ti以及Hf所組成之過渡金屬群中之至少一種，而使中間層21A之電阻高於離子供給層21B，因此可

促進寫入、抹除動作時之離子移動，使記憶體動作穩定化，從而改善寫入、抹除狀態之電阻分佈。

再者，變形例1、第2實施形態以及變形例4亦可應用於本實施形態。即，電阻變化層22可為以混合之狀態含有氧化鋁、過渡金屬氧化物及過渡金屬氮氧化物之單層結構。
(第4實施形態)

圖11係表示本發明之第4實施形態之記憶元件1之剖面構成者。該記憶元件1係於離子源層21之中間層21A以及離子供給層21B中之至少一者中添加有氧(O)，除此之外，具有與上述第1至第3實施形態相同之構成、作用以及效果，且可以與第1至第3實施形態相同之方式製造。藉此，對相應之構成要素標註同一符號而進行說明。

由於離子供給層21B含有氧(O)作為添加元素，而離子供給層21B之電阻率變大。因此，於寫入動作時，對離子供給層21B中之金屬離子所施加之分壓變大，金屬離子變得更易於移動，導電通道之形成更穩定。藉此，寫入保持特性提昇。再者，離子供給層21B之電阻率可藉由成膜時之氧(O₂)流量進行控制，且隨著氧(O₂)導入量增大，離子供給層21B之電阻率亦增大。

另一方面，由於中間層21A含有氧(O)作為添加元素，而中間層21A之電阻率變高。藉此，於抹除動作時對中間層21A所施加之電壓變大，金屬離子變得易於返回至離子供給層21A。與此同時，導電通道之金屬元素離子化，並溶解於離子源層21中，或者與碲(Te)等結合而變為高電阻狀

態之反應易於進行。因此，抹除特性提昇。

根據以上情形，中間層 21A 以及離子供給層 21B 兩者含有氧(O)作為添加元素，藉此上述寫入保持特性以及抹除特性兩者均提昇，相較先前之寫入/抹除之取捨之關係進步，可進而改善較多位元下之電阻分離寬度。

圖 12 係表示於將成膜時之氧(O_2)流量設為 0 cc 以及 5 cc 之情形時，測定 Te 單體中摻雜有 Zr 之膜之薄片電阻，並求出體積電阻率之結果者。再者，圖 12 中使功率、成膜時間等成膜條件固定。由圖 12 可知，就 Te-Zr 膜之電阻率而言，將成膜時之氧(O_2)流量設為 5 cc 之情形高於設為 0 cc 之情形。由此可知，可藉由於中間層 21A 中添加 Zr 與氧(O)之兩者，而提高中間層 21A 之電阻率，取得較佳值。

再者，除了 Zr 之外，與氧(O)一併添加 Cu、Ti 或者 Hf 等其他過渡金屬之情形時，亦可與 Zr 同樣地獲得使中間層 21A 較佳地高電阻化之效果。即，較佳為中間層 21A 含有 Al 與硫族元素，且進而含有氧(O)、及由 Cu、Ti、Zr 以及 Hf 所組成之過渡金屬群中之至少一種作為添加元素。

又，於圖 12 中，即便 Zr 含有率為 0%(純 Te)，將成膜時之氧(O_2)流量設為 5 cc 之情形亦成為較設為 0 cc 之情形更高之電阻。因此可知，即便於中間層 21A 中不添加過渡元素，而僅添加氧(O)，亦可使中間層 21A 高電阻化。於該情形時，較佳為中間層 21A 含有 Al 與硫族元素，且進而含有氧(O)作為添加元素。

於以上任一情形時，均較佳為中間層 21A 成為較離子供

給層 21B 更高之電阻。藉此，易於對中間層 21A 施加電壓，且即便於低電流下亦易於進行動作。又，當對記憶元件 1 施加電壓時，可使離子更有效地移動，確實地進行寫入、抹除動作。由此，動作不良減少，電阻不均一得以改善。

如上所述，本實施形態中，於離子源層 21 之中間層 21A 以及離子供給層 21B 中之至少一者中添加氧(O)，以提高電阻率，因此可藉由於離子供給層 21B 中添加氧而提高寫入保持特性，或者藉由於中間層 21A 中添加氧而提高抹除特性，可改善較多位元下之電阻分離寬度。

再者，變形例 1、第 2 實施形態以及變形例 4 亦可應用於本實施形態。即，電阻變化層 22 亦可為以混合之狀態含有氧化鋁、過渡金屬氧化物及過渡金屬氮氧化物之單層結構。

(記憶裝置)

可藉由將多個上述記憶元件 1 排列為例如行狀或矩陣狀，而構成記憶裝置(記憶體)。此時，於各記憶元件 1 上，視需要連接元件選擇用之 MOS 電晶體、或二極體而構成記憶體單元，進而，經由配線而連接於感測放大器、位址解碼器、及寫入、抹除、讀出電路等即可。

圖 13 以及圖 14 係表示將多個記憶元件 1 配置成矩陣狀之記憶裝置(記憶體單元陣列 2)之一例者，圖 13 係表示剖面構成，圖 14 係表示平面構成。該記憶體單元陣列 2 中，對於各記憶元件 1，以使連接於其下部電極 10 側之配線與連接

於其上部電極30側之配線交叉之方式進行設置，且於例如該等配線之交叉點附近配置有各記憶元件1。

各記憶元件1係共有電阻變化層22、離子源層21以及上部電極30之各層。即，電阻變化層22、離子源層21以及上部電極30各自於各記憶元件1中由共同之層(同一層)所構成。上部電極30係相對於鄰接單元成為共同之電極。

另一方面，下部電極10係個別設置於每一記憶體單元，藉此於鄰接單元間電性分離，於與各下部電極10相對應之位置，規定各記憶體單元之記憶元件1。下部電極10係分別連接於所對應之單元選擇用之MOS電晶體Tr，且各記憶元件1設置於該MOS電晶體Tr之上方。

MOS電晶體Tr係包含於半導體基板41內之由元件分離層42所分離之區域中所形成之源極/汲極區域43與閘極電極44。於閘極電極44之壁面，形成有側壁絕緣層。閘極電極44係兼作為記憶元件1之一位址配線即字元線WL。MOS電晶體Tr之源極/汲極區域43之一者與記憶元件1之下部電極10係經由栓塞層45、金屬配線層46以及栓塞層47而電性連接。MOS電晶體Tr之源極/汲極區域43之另一者係經由栓塞層45而連接於金屬配線層46。金屬配線層46係連接於作為記憶元件1之另一位址配線之位元線BL(參照圖14)。再者，於圖14中，以點劃線表示MOS電晶體Tr之活性區域48，且接觸部51連接於記憶元件1之下部電極10，接觸部52連接於位元線BL。

該記憶體單元陣列2中，若藉由字元線WL，而使MOS電

晶體Tr之閘極成為導通狀態，且對位元線BL施加電壓，則經由MOS電晶體Tr之源極/汲極，對所選擇之記憶體單元之下部電極10施加電壓。此處，於對下部電極10所施加之電壓之極性較上部電極30(共同電極)之電位為負電位之情形時，如上所述，記憶元件1之電阻值向低電阻狀態轉變。藉此，將資訊寫入所選擇之記憶體單元中。繼而，若對下部電極10施加相較上部電極30(共同電極)之電位為正電位之電壓，則記憶元件1之電阻值再次向高電阻狀態轉變。藉此，將寫入所選擇之記憶體單元中之資訊抹除。為進行所寫入之資訊之讀出，藉由例如MOS電晶體Tr而選擇記憶體單元，並對該單元施加特定之電壓或者電流。經由與位元線BL或者上部電極30(共同電極)之前部相連接之感測放大器等，檢測根據此時之記憶元件1之電阻狀態而有所不同之電流或者電壓。再者，對所選擇之記憶體單元所施加之電壓或者電流小於記憶元件1之電阻值之狀態轉變之電壓等之臨界值。

本實施形態之記憶裝置可以上述方式應用於各種記憶體裝置。例如，可應用於可僅寫入一次之PROM(Programmable Read Only Memory，程式唯讀記憶體)、可電子抹除之EEPROM(Erasable Programmable Read Only Memory，電子可擦可程式化唯讀記憶體)、或可高速寫入、抹除、再生之所謂RAM等任一記憶體形態。

[實施例]

以下，對本發明之具體實施例進行說明。

(實施例1)

以與上述第1實施形態相同之方式，製作具備記憶元件1之記憶體單元陣列。首先，於形成包含TiN之下部電極10之栓塞而成之CMOS電路上，藉由濺鍍而以1 nm之厚度形成Ti膜。繼而，利用氧化電漿使該Ti膜氧化，形成包含TiO_x之第1層22A。

其次，以4 nm之厚度形成包含Te之中間層21A，繼而以60 nm之厚度形成包含CuZrTeAlGe(Cu 11 at%-Zr 11%-Te 30%-Al 40%-Ge 8%)之離子供給層21B。其後，以50 nm之厚度形成包含W之上部電極30。若簡略表示本實施例之步驟，則如下所示。

TiN/Ti(1 nm)/電漿氧化/Te(4 nm)/CuZrTeAlGe(60 nm)/W(50 nm)

於形成下部電極10、記憶層20以及上部電極30之積層膜之後，將該積層膜中之電阻變化層22、離子源層21以及上部電極30以殘留於記憶體單元陣列之部分中之方式進行圖案化。又，對上部電極30之表面進行蝕刻，使用以與提供中間電位(V_{dd}/2)之外部電路連接之上部電極30之接觸部分露出。

於將積層膜圖案化之後，以200 nm之厚度形成包含Al之配線層(未圖示)，且將該配線層與上部電極30之接觸部分連接。其後，利用真空熱處理爐對積層膜進行300℃、2小時之熱處理。藉由以上處理，而製成具有圖1所示之記憶元件1之記憶體單元陣列。

對於所得之實施例1之記憶體單元陣列，調查重複覆寫特性。此時，作為寫入脈衝以電壓 V_w 3 V、電流約 100 μ A、脈衝寬度 10 ns，且作為抹除脈衝以電壓 V_e 2 V、電流約 100 μ A、脈衝寬度 10 ns 重複進行 10^5 以上。將其結果示於圖 15(B)。又，以電流約 50 μ A 同樣地調查重複覆寫特性。將其結果示於圖 15(C)。

由圖 15(B)及圖 15(C)可知，表現出低電阻狀態與高電阻狀態之電阻值相差 1 位數以上之良好之記憶體動作。

其次，對 4 kbit 之記憶體單元陣列中重複 1000 次後之累積次數分佈與 130°C 且 2 小時之資料保持加速試驗後之累積次數分佈進行調查。將其結果示於圖 15(A)。

由圖 15(A)可知，寫入狀態(低電阻)與抹除狀態(高電阻)分離且表現出良好之不均一特性，且即便資料保持加速試驗後亦獲得電阻分離。

(實施例 2)

於形成包含 TiN 之下部電極 10 之栓塞而成之 CMOS 電路上，利用逆濺鍍將形成於下部電極 10 上之自然氧化皮膜充分去除。其後，藉由將下部電極 10 直接電漿氧化，而形成包含 TiO_x 之第 1 層 22A，除此之外，以與實施例 1 相同之方式，製成包括記錄元件 1 之記憶體單元陣列。若簡略表示實施例 2 之步驟，則如下所示。

TiN/電漿氧化/Te(4 nm)/CuZrTeAlGe(60 nm)/W(50 nm)

(實施例 3)

於形成包含 W 之下部電極 10 之栓塞而成之 CMOS 電路

上，利用逆濺鍍將形成於下部電極10上之自然氧化皮膜充分去除。其後，藉由將下部電極10直接電漿氧化，而形成包含氧化鎢(WO_x)之第1層22A。除此之外，以與實施例1相同之方式，製成包括記錄元件1之記憶體單元陣列。若簡略表示實施例3之步驟，則如下所示。

W/電漿氧化/Te(4 nm)/CuZrTeAlGe(60 nm)/W(50 nm)

(比較例1)

於形成包含TiN之下部電極之栓塞而成之CMOS電路上，利用濺鍍以1 nm之厚度形成釔(Gd)膜。藉由利用氧化電漿將該Gd膜氧化，而形成氧化釔(GdO_x)膜。其後，以60 nm之厚度形成包含CuZrTeAlGe(Cu 11 at%-Zr 11%-Te 30%-Al 40%-Ge 8%)之離子源層，且以50 nm之厚度形成包含W之上部電極。除此之外，以與實施例1相同之方式，製成包括記錄元件之記憶體單元陣列。若簡略表示比較例1之步驟，則如下所示。

TiN/Gd(1 nm)/電漿氧化/CuZrTeAlGe(60 nm)/W(50 nm)

(比較例2)

於形成包含TiN之下部電極之栓塞而成之CMOS電路上，利用濺鍍以1 nm之厚度形成Gd膜。藉由利用氧化電漿將該Gd膜氧化，而形成 GdO_x 膜。繼而，以4 nm之厚度使包含Te之中間層成膜，且以60 nm之厚度形成包含CuZrTeAlGe(Cu 11 at%-Zr 11%-Te 30%-Al 40%-Ge 8%)之離子供給層。其後，以50 nm之厚度形成包含W之上部電極。除此之外，以與實施例1相同之方式，製成包括記錄

元件之記憶體單元陣列。若簡略表示比較例2之步驟，則如下所示。

TiN/Gd(1 nm)/電漿氧化/Te(4 nm)/CuZrTeAlGe(60 nm)/W
(50 nm)
(比較例3)

於形成包含TiN之下部電極之栓塞而成之CMOS電路上，利用濺鍍以4 nm之厚度形成包含Te之中間層。繼而，以60 nm之厚度形成包含CuZrTeAlGe(Cu 11 at%-Zr 11%-Te 30%-Al 40%-Ge 8%)之離子供給層，且以50 nm之厚度形成包含W之上部電極。除此之外，以與實施例1相同之方式，製成包括記錄元件1之記憶體單元陣列。若簡略表示比較例3之步驟，則如下所示。

TiN/Te(4 nm)/CuZrTeAlGe(60 nm)/W(50 nm)

對於所得之實施例2、3以及比較例1、2、3之記憶體單元陣列，亦以與實施例1相同之方式，對重複1000次後之4 kbit之累積次數分佈、及/或100 μ A與50 μ A之重複特性進行調查。將實施例2之累積次數分佈示於圖16(A)，將實施例2之重複特性示於圖16(B)及圖16(C)。將實施例3之重複特性示於圖17(A)及圖17(B)。將比較例1之累積次數分佈示於圖18(A)，將比較例1之重複特性示於圖18(B)及圖18(C)。將比較例2之重複特性示於圖19(A)及圖19(B)。將比較例3之累積次數分佈示於圖20(A)，將比較例3之重複特性示於圖20(B)及圖20(C)。

(實施例1、2以及比較例3：包含過渡金屬氧化物之第1層

之有無)

由圖 15(A)~(C)、圖 16(A)~(C)及圖 20(A)~(C)可知，下部電極 10 上形成有包含 TiO_x 之第 1 層 22A 之實施例 1、2 均獲得了良好之電阻分離以及重複特性。相對於此，未設置包含過渡金屬氧化物之第 1 層而於下部電極上直接形成中間層以及離子供給層之比較例 3 中，未獲得高電阻狀態以及低電阻狀態之分離，且重複特性較差。

雖其原因並未明確，但作為推測原因之測定例，將對進行寫入動作之低電阻狀態之 60 個元件，沿抹除方向施加 0~3 V 為止之電壓等時之電阻變化示於圖 21(A)及圖 21(B)。如圖 21(B)所示，於未形成包含過渡金屬氧化物之第 1 層之情形時，較多地存在藉由抹除電壓而低電阻化之元件。相對於此，如圖 21(A)所示，形成有包含過渡金屬氧化物之第 1 層之元件係於測定範圍內之抹除電壓下時未低電阻化。認為此情形之原因在於，由於下部電極上存在包含過渡金屬氧化物之第 1 層，而於施加抹除電壓時，抑制了形成 Al 氧化膜等進行高電阻化以外之不必要的變化，且認為其原因大概在於，本實施例中抑制了作為電解質之陰離子之 Te 與下部電極之反應。

進而，對於實施例 2 之記憶元件 1，進行電子顯微鏡 (TEM; Transmission Electron Microscope) 之結構分析以及 EDX (energy dispersive X-ray analysis, 能量色散 X 射線分析) 測定。將 TEM-EDX 像示於圖 22，並且將剖面之 EDX 線分佈結果示於圖 23 以及圖 24。EDX 測定中，一面於剖面樣

品上，利用聚光為約1 nm直徑之電子束以1 nm間隔進行線掃描，一面獲取各點上之EDX光譜。EDX線分佈結果係將Te-L α 1峰值、Cu-K α 1峰值、O-K α 1峰值、Al-K α 1峰值、Zr-K α 1峰值、Ti-K α 1峰值之積分強度繪製所得之結果。各峰值之積分強度係包含背景之雜訊成分之值。

由圖23以及圖24可知，實施例2中，於包含TiO_x之第1層22A與包含Te之中間層21A之界面，觀察到Al以及氧(O)之峰值，從而可確認到形成有包含氧化鋁(Al-O)之第2層22B。第2層22B之存在亦可由圖22之TEM像進行確認。又，此處雖未進行表示，但亦可利用下部電極上未形成包含過渡金屬氧化物之第1層之比較例3之TEM像，知悉於下部電極上形成有Al氧化層。然而，實施例2以及比較例3之重複特性存在較大之不同，實施例2中即便進行100萬次以上之覆寫重複，特性劣化亦較少，且可進而進行覆寫，而未形成包含過渡金屬氧化物之第1層之比較例3中進行10次重複後特性便較大地劣化。

即，可知若電阻變化層22具有自下部電極10側起依序積層有包含過渡金屬氧化物之第1層22A、與以氧化鋁為主成分之第2層22B之構成，則能夠獲得良好之電阻分離以及重複特性。

(實施例3以及比較例2：包含過渡金屬氧化物之第1層之其他材料)

由圖17(A)及圖17(B)可知，設置有包含WO_x之第1層22A之實施例3係與實施例1、2同樣地獲得良好之電阻分離以

及重複特性。

相對於此，由圖 19(A)及圖 19(B)可知，形成有 GdO_x 膜作為電阻變化層之比較例 2 中，因初始電阻值變得過高，難以進行寫入(低電阻化)動作，故變得難以進行重複。

即，可知於除了 TiO_x 之外，第 1 層 22A 包含 WO_x 之情形時，亦可獲得良好之電阻分離以及重複特性。

(實施例 1~3 以及比較例 1：有無中間層所引起之低電流下之重複特性之不同)

由圖 18(B)及圖 18(C)可知，下部電極上形成有包含 GdO_x 之電阻變化層且未設置中間層之比較例 1 中，100 μA 之重複後之電阻分離相對良好，但 50 μA 之重複特性差於設置有中間層 21A 之實施例 1~3。

即，可知若使離子源層 21 為中間層 21A 與離子供給層 21B 之 2 層結構，則低電流下之重複特性提昇。

(實施例 2：中間層以及離子供給層之鋁濃度分佈)

上述實施例 2 中，於形成包含過渡金屬氧化物之第 1 層 22A 之後，依次形成包含 Te 之中間層 21A 以及包含 CuZrTeAlGe 之離子供給層 21B。然而，實際成膜後，根據圖 22 之 TEM 像、以及圖 23 以及圖 24 之 EDX 線分佈結果可知，Al 自離子供給層 21B 擴散至中間層 21A 中，而成為中間層 21A 中亦存在 Al 之狀態。然而，根據 TEM 像可知，中間層 21A 中 Al 含量相對於硫族元素含量之比(Al 濃度)低於離子供給層 21B，可認為此情形係發揮了本實施例之效果。即，必需於中間層 21A 豐富地存在有 Te 作為陰離子，

從而不妨礙寫入、抹除、尤其是抹除動作時之Al離子之移動。又，認為中間層21A中之Al亦由於與離子供給層21B之濃度梯度所引起之擴散而獲得，因此可認為少於例如 Al_2Te_3 之化學計量組成，且認為存在於中間層21A中之Al之大部分以離子狀態存在，從而可認為所施加之電位有效地用於離子移動之驅動之情形有助於上述特性提昇。

即，可知若使中間層21A中之Al濃度變得小於離子供給層21B中之Al濃度，則可使低電流下之重複特性提昇。

(實施例2以及比較例1：有無中間層所引起之資料保持特性之不同)

由圖16(A)及圖18(A)可知，未設置中間層之比較例1中，於重複後之保持加速試驗後，可觀察到低電阻狀態之位元高電阻化，且分佈發生變化之情況。相對於此，具有中間層之實施例2中，低電阻狀態之分佈中並未出現變化，顯示出良好之資料保持特性。雖其原因並未明確，但認為實施例2中，由於存在Al濃度低於離子供給層21B之中間層21A，而藉由寫入動作時之還原反應使Al離子還原而生成Al金屬，且於去除寫入偏壓時不會再次成為Al氧化物而使元件電阻上升，而是金屬Al溶解於具有溶解Al之餘力之中間層21A中，藉此不會產生電阻上升。

即，可知若使離子源層21為中間層21A與離子供給層21B之2層結構，則可使資料保持特性提昇。

(實施例4-1)

藉由將Ta膜電漿氧化而形成第1層22A，除此之外，以與

實施例1相同之方式，製作記憶體單元陣列。對所得之記憶體單元陣列，調查重複覆寫特性以及電阻分離，結果如圖25(A)及圖25(B)所示，獲得與實施例1相同之結果。

(實施例4-2)

藉由將Zr膜電漿氧化而形成第1層22A，除此之外，以與實施例1相同之方式，製作記憶體單元陣列。對所得之記憶體單元陣列，調查重複覆寫特性以及電阻分離，結果如圖26(A)及圖26(B)所示，獲得與實施例1相同之結果。

(實施例5-1)

由GeS構成中間層21A，且由CuZrTeAlGe構成離子供給層21B，除此之外，以與實施例1相同之方式，製作記憶體單元陣列。對所得之記憶體單元陣列，調查重複覆寫特性以及電阻分離，結果如圖27(A)及圖27(B)所示，獲得與實施例1相同之結果。

(實施例5-2)

由Te構成中間層21A，且由CuTiTeAl構成離子供給層21B，除此之外，以與實施例1相同之方式，製作記憶體單元陣列。對所得之記憶體單元陣列，調查重複覆寫特性以及電阻分離，結果獲得與實施例1相同之結果。

(實施例6-1)

由Te(厚度5 nm)構成中間層21A，由Ag₇Zr₁₄Te₃₆Al₄₃(厚度45 nm)構成離子供給層21B，且由Zr(厚度50 nm)構成上部電極30，除此之外，以與實施例2相同之方式，製作記憶體單元陣列。對所得之記憶體單元陣列，調查重複覆

寫特性以及電阻分離，結果如圖 28(A)及圖 28(B)所示，獲得與實施例 2 相同之結果。

(實施例 6-2)

由 Te(厚度 5 nm)構成中間層 21A，由 $\text{Ni}_{13}\text{Zr}_{13}\text{Te}_{33}\text{Al}_{40}$ (厚度 45 nm)構成離子供給層 21B，且由 Zr(厚度 50 nm)構成上部電極 30，除此之外，以與實施例 2 相同之方式，製作記憶體單元陣列。對所得之記憶體單元陣列，調查重複覆寫特性以及電阻分離，結果如圖 29(A)及圖 29(B)所示，獲得與實施例 2 相同之結果。

(實施例 6-3)

由 Te(厚度 5 nm)構成中間層 21A，由 $\text{Co}_7\text{Zr}_{14}\text{Te}_{36}\text{Al}_{43}$ (厚度 45 nm)構成離子供給層 21B，且由 Zr(厚度 50 nm)構成上部電極 30，除此之外，以與實施例 2 相同之方式，製作記憶體單元陣列。對所得之記憶體單元陣列，調查重複覆寫特性以及電阻分離，結果如圖 30(A)及圖 30(B)所示，獲得與實施例 2 相同之結果。

(實施例 6-4)

由 Te(厚度 5 nm)構成中間層 21A，由 $\text{Mn}_{13}\text{Zr}_{13}\text{Te}_{33}\text{Al}_{40}$ (厚度 45 nm)構成離子供給層 21B，且由 Zr(厚度 50 nm)構成上部電極 30，除此之外，以與實施例 2 相同之方式，製作記憶體單元陣列。對所得之記憶體單元陣列，調查重複覆寫特性以及電阻分離，結果如圖 31(A)及圖 31(B)所示，獲得與實施例 2 相同之結果。

(實施例 6-5)

由 Te(厚度 5 nm)構成中間層 21A，由 $\text{Fe}_{10}\text{Zr}_{16}\text{Te}_{39}\text{Al}_{35}$ (厚度 45 nm)構成離子供給層 21B，且由 Zr(厚度 50 nm)構成上部電極 30，除此之外，以與實施例 2 相同之方式，製作記憶體單元陣列。對所得之記憶體單元陣列，調查重複覆寫特性以及電阻分離，結果如圖 32(A)及圖 32(B)所示，獲得與實施例 2 相同之結果。

(實施例 7-1)

由 $\text{Cu}_{10}\text{Hf}_{14}\text{Te}_{37}\text{Al}_{38}$ 構成離子供給層 21B，除此之外，以與實施例 2 相同之方式，製作記憶體單元陣列。對所得之記憶體單元陣列，調查累積次數分佈、重複覆寫特性以及電阻分離，結果如圖 33(A)至圖 33(C)所示，獲得與實施例 2 相同之結果。

(實施例 7-2)

由 $\text{Cu}_{10}\text{Ti}_{14}\text{Te}_{37}\text{Al}_{38}$ 構成離子供給層 21B，除此之外，以與實施例 2 相同之方式，製作記憶體單元陣列。對所得之記憶體單元陣列，調查累積次數分佈、重複覆寫特性以及電阻分離，結果如圖 34(A)圖 34(C)所示，獲得與實施例 2 相同之結果。

(實施例 7-3)

由 $\text{Al}_{11}\text{Te}_9$ (厚度 3.2 nm)構成中間層 21A，由 $\text{Cu}_{12.5}\text{Hf}_{7.5}\text{Te}_{35.4}\text{Al}_{38}\text{Ge}_{6.6}$ (厚度 60 nm)構成離子供給層 21B，且由鎢(W)(厚度 30 nm)構成上部電極 30，除此之外，以與實施例 2 相同之方式，製作記憶體單元陣列。對所得之記憶體單元陣列，調查累積次數分佈、重複覆寫特性以及電阻分

離，結果如圖 35(A)至圖 35(C)所示，獲得與實施例 2 相同之結果。

(實施例 8-1~8-4)

以與實施例 2 相同之方式，製作 4 kbit 之記憶體單元陣列。此時，藉由將包含氮化鈦(TiN)之下部電極 10 之表面直接電漿氧化，而形成包含氧化鈦(TiO_x)之第 1 層 22A。對所得之四個樣品(實施例 8-1~8-4)，利用 X 射線反射率法調查第 1 層 22A 之厚度及密度。將其結果示於表 1。

[表 1]

	厚度 (nm)	密度 (g/cm^3)
實施例 8-1	1.15	3.314
實施例 8-2	1.563	3.871
實施例 8-3	2.954	3.998
實施例 8-4	4.762	3.046

對所得之實施例 8-1~8-4 之記憶體單元陣列，重複進行 1000 次之寫入、抹除動作，繼而進行溫度加速試驗之後，調查累積次數分佈。將其結果示於圖 36(A)、圖 36(B)、圖 37(A)及圖 37(B)。

由表 1 及圖 36(A)至圖 37(B)可知，實施例 8-1~8-4 中，第 1 層 22A 之厚度均為 1 nm 以上，且寫入(低電阻)狀態與抹除(高電阻)狀態分離。即，若將第 1 層 22A 之厚度設為 1 nm 以上，則可確認獲得良好之電阻分離特性。

(實施例 9-1、9-2)

以與實施例 1 相同之方式，製作 4 kbit 之記憶體單元陣

列。此時，於包含TiN之下部電極10之上表面，形成Zr膜作為過渡金屬材料膜，並將該Zr膜氧化，藉此形成ZrO_x層22A1。此時，結果亦形成TiO_x層22A2，而形成圖2中之第1層22A。又，本實施例中，使用Zr形成ZrO_x層22A1，但亦可藉由將ZrN氧化，而形成ZrO_x層22A1。(參照圖2)。

對所得之兩個樣品(實施例9-1、9-2)，調查第1層22A之厚度以及密度，藉此實施例9-1中，TiO_x層22A2之厚度為1.49 nm，密度為3.86 g/cm³，ZrO_x層22A1之厚度為1.48 nm，密度為5.23 g/cm³。實施例9-2中，TiO_x層22A2之厚度為2.39 nm，密度為3.70 g/cm³，ZrO_x層22A1之厚度為1.07 nm，密度為5.17 g/cm³。

進而，對實施例9-1、9-2之記憶體單元陣列，重複進行1000次之寫入、抹除動作，繼而進行溫度加速試驗之後，調查累積次數分佈。將其結果示於圖38(A)及圖38(B)。

由圖38(A)及圖38(B)可知，實施例9-1、9-2中，第1層22A之厚度均為1 nm以上，且寫入(低電阻)狀態與抹除(高電阻)狀態分離。即，若將第1層22A之厚度設為1 nm以上，則可確認獲得良好之電阻分離特性。

(實施例10：由氮氧化物構成第1層22A之例)

以與上述第2實施形態相同之方式，製作具備記憶元件1之記憶體單元陣列。首先，於形成有包含TiN之下部電極10之栓塞之CMOS電路上，藉由反應濺鍍而以0.5 nm之厚度形成ZrN膜。作為成膜條件，將對Zr靶材所施加之電壓設為3.5 kW，將流入腔室內之氬(Ar)、氮(N₂)之流量分別

設為 25 sccm、300 sccm，並將整體之壓力設為 2.1 E^{-3} (Torr)。估計此時之Ar環境之分壓為 2.0 E^{-4} (Torr)，氮環境之分壓為 1.9 E^{-3} (Torr)。其次，利用氧化電漿將該ZrN膜氧化而形成包含ZrON之第1層22A。

繼而，以 5 nm之厚度形成包含Te之中間層21A，繼而，以 60 nm之厚度形成包含CuZrTeAlGe(Cu 11 at%-Zr 11%-Te 30%-Al 40%-Ge 8%)之離子供給層21B。其後，以 50 nm之厚度形成包含W之上部電極30。若簡略表示本實施例之步驟，則如下所示。

TiN/ZrN(0.5 nm)/電漿氧化/Te(5 nm)/CuZrTeAlGe(60 nm)/W(50 nm)

於形成下部電極10、記憶層20以及上部電極30之積層膜之後，以與實施例1相同之方式進行積層膜之圖案化以及熱處理。藉由以上處理，製成具有圖6所示之記憶元件1之記憶體單元陣列。

針對所製得之實施例10之記憶體單元陣列，調查累積次數分佈、重複覆寫特性以及電阻分離，結果如圖39(A)圖至39(C)所示，獲得累積次數分佈、重複特性以及電阻分離均較未使用上述實施形態之過渡金屬氧化物或者過渡金屬氮氧化物之比較例1更良好之特性。

即，可知若使電阻變化層22具有自下部電極10側起依序積層有包含過渡金屬氮氧化物之第1層22A、與以氧化鋁為主成分之第2層22B之構成，則可獲得良好之電阻分離以及重複特性。

(實施例11：於中間層21A中添加有過渡金屬之例)

以與上述第3實施形態相同之方式，製作具備記憶元件1之記憶體單元陣列。首先，於形成有包含TiN之下部電極10之栓塞之CMOS電路上，以與實施例10相同之方式，利用反應濺鍍以0.5 nm之厚度形成ZrN膜。其次，利用氧化電漿將該ZrN膜氧化，而形成包含ZrON之第1層22A。

繼而，以5 nm之厚度形成包含Te₉₅Zr₅之中間層21A，繼而，以60 nm之厚度形成包含CuZrTeAlGe(Cu 11 at%-Zr 11%-Te 30%-Al 40%-Ge 8%)之離子供給層21B。其後，以50 nm之厚度形成包含鎢(W)之上部電極30。若簡略表示本實施例之步驟，則如下所示。

TiN/ZrN(0.5 nm)/電漿氧化/Te₉₅Zr₅(5 nm)/CuZrTeAlGe(60 nm)/W(50 nm)

於形成下部電極10、記憶層20以及上部電極30之積層膜之後，以與實施例1相同之方式進行積層膜之圖案化以及熱處理。藉由以上處理，而製成具有圖9所示之記憶元件1之記憶體單元陣列。

針對所製得之實施例11之記憶體單元陣列，調查累積次數分佈、重複覆寫特性以及電阻分離，結果如圖40(A)至圖40(C)所示，獲得累積次數分佈、重複特性以及電阻分離均較未使用上述實施形態之過渡金屬氧化物或者過渡金屬氮氧化物之比較例1更良好之特性。

又，對於實施例10、11之記憶體單元陣列，調查對進行寫入動作之低電阻狀態之60個元件，沿抹除方向施加0~3

V為止之電壓時之電阻變化。將其結果示於圖41(A)及圖41(B)。由圖41(A)及圖41(B)可知，確認到於測定之範圍內之抹除電壓下未低電阻化，具有與實施例1同等以上之抹除特性。

即，可知若使電阻變化層22具有自下部電極10側起依序積層有包含過渡金屬氮氧化物之第1層22A、與以氧化鋁為主成分之第2層22B之構成，並且使離子源層21為中間層21A與離子供給層21B之2層結構，且於中間層21A中添加Zr作為過渡金屬，則可獲得良好之電阻分離以及重複特性。

(實施例12：中間層21A中添加有過渡金屬之例)

下部電極10使用WN，除此以外，以與實施例11相同之方式，製作記憶體單元陣列。若簡略表示本實施例之步驟，則如下所示。

WN/ZrN(0.5 nm)/電漿氧化/Ta₉₅Zr₅(5 nm)/CuZrTaAlGe(60 nm)/W(50 nm)

對所得之實施例12之記憶體單元陣列，調查累積次數分佈、重複覆寫特性以及電阻分離，結果如圖42(A)至圖42(C)所示，獲得累積次數分佈、重複特性以及電阻分離均較未使用上述實施形態之過渡金屬氧化物或者過渡金屬氮氧化物之比較例1更良好之特性。

即，可知若使電阻變化層22具有自下部電極10側起依序積層有包含過渡金屬氮氧化物之第1層22A、與以氧化鋁為主成分之第2層22B之構成，並且使離子源層21為中間層

21A與離子供給層21B之2層結構，且於中間層21A中添加Zr作為過渡金屬，則即便下部電極10除了TiN之外包含WN之情形時，亦可獲得良好之電阻分離以及重複特性。

(實施例13-1~13-3：第1層之氮氧化物之其他材料)

以與實施例10相同之方式，製作具備記憶元件1之記憶體單元陣列。此時，於形成包含TiN之下部電極10之栓塞而成之CMOS電路上，分別在實施例13-1中形成TiN膜，在實施例13-2中形成氮化鉭(TaN)膜，在實施例13-3中形成氮化鈦(HfN)膜。利用氧化電漿將各個膜氧化，於實施例13-1中形成包含TiON之第1層22A，於實施例13-2中形成包含鉭之氮氧化物(TaON)之第1層22A，於實施例13-3中形成包含鈦之氮氧化物(HfON)之第1層22A。

對所得之實施例13-1~13-3之記憶體單元陣列，調查重複覆寫特性以及電阻分離，結果如圖43至圖45所示，獲得較未使用上述實施形態之過渡金屬氧化物或者過渡金屬氮氧化物之比較例1更良好之特性。

即，可知即便第1層22A包含TiON、TaON或者HfON之情形時，亦可獲得良好之電阻分離以及重複特性。

(實施例14：離子供給層21B中添加有氧之例)

以與上述第4實施形態相同之方式，製作具備記憶元件1之記憶體單元陣列。首先，於形成包含TiN之下部電極10之栓塞而成之CMOS電路上，以與實施例10相同之方式，利用反應濺鍍以0.5 nm之厚度形成ZrN膜。其次，利用氧化電漿將該ZrN膜氧化，而形成包含ZrON之第1層22A。

繼而，以 5 nm 之厚度形成包含 Te95Zr5 之中間層 21A，繼而，以 60 nm 之厚度形成包含 CuZrTeAlGeO 之離子供給層 21B。作為於離子供給層 21B 中摻雜氧之方法，採用反應濺鍍，作為成膜條件，對各靶材施加與實施例 1 中使包含 CuZrTeAlGe 之離子供給層成膜時相同大小之電壓。將流入腔室內之 Ar、氧(O₂)之流量分別設為 25 sccm、5 sccm，將整體之壓力設為 2.4×10^{-4} (Torr)。估計此時之 Ar 環境之分壓為 2.0×10^{-4} (Torr)，氧環境之分壓為 4.0×10^{-5} (Torr)。

其後，以 50 nm 之厚度形成包含 W 之上部電極 30。若簡略表示本實施例之步驟，則如下所示。

TiN/ZrN(0.5 nm)/電漿氧化/Te95Zr5(5 nm)/CuZrTeAlGeO(60 nm)/W(50 nm)

於形成下部電極 10、記憶層 20 以及上部電極 30 之積層膜之後，以與實施例 1 相同之方式實施積層膜之圖案化以及熱處理。藉由以上處理，而製成具有圖 11 所示之記憶元件 1 之記憶體單元陣列。

對所得之實施例 14 之記憶體單元陣列，調查累積次數分佈、重複覆寫特性以及電阻分離，結果如圖 46(A)至圖 46(C)所示，獲得累積次數分佈、重複特性以及電阻分離均較未使用上述實施形態之過渡金屬氧化物或者過渡金屬氮氧化物之比較例 1 更良好之特性。

即，可知若使電阻變化層 22 具有自下部電極 10 側起依序積層有包含過渡金屬氮氧化物之第 1 層 22A、與以氧化鋁為主成分之第 2 層 22B 之構成，並且使離子源層 21 為中間層

21A與離子供給層21B之2層結構，且於離子供給層21B中添加氧，則可獲得良好之電阻分離以及重複特性。

(實施例15：中間層21A中添加有氧及過渡金屬之例)

以與上述第4實施形態相同之方式，製作具備記憶元件1之記憶體單元陣列。首先，於形成包含TiN之下部電極10之栓塞而成之CMOS電路上，以與實施例10相同之方式，利用反應濺鍍以0.5 nm之厚度形成ZrN膜。其次，利用氧化電漿將該ZrN膜氧化，而形成包含ZrON之第1層22A。

繼而，以5 nm之厚度形成包含TeZrO之中間層21A。作為於中間層21A中摻雜氧之方法，採用反應濺鍍，作為成膜條件，與實施例11同樣地將流入腔室內之Ar、氧(O₂)之流量分別設為25 sccm、5 sccm。估計此時之Ar環境之分壓為 2.0×10^{-4} (Torr)，氧環境之分壓為 4.0×10^{-5} (Torr)。

其後，以60 nm之厚度形成包含CuZrTeAlGe(Cu 11 at%-Zr 11%-Te 30%-Al 40%-Ge 8%)之離子供給層21B，最後，以50 nm之厚度形成包含W之上部電極30。若簡略表示本實施例之步驟，則如下所示。

TiN/ZrN(0.5 nm)/電漿氧化/TeZrO(5 nm)/CuZrTeAlGe(60 nm)/W(50 nm)

於形成下部電極10、記憶層20以及上部電極30之積層膜之後，以與實施例1相同之方式實施積層膜之圖案化以及熱處理。藉由以上處理，而製成具有圖11所示之記憶元件1之記憶體單元陣列。

對所得之實施例15之記憶體單元陣列，調查累積次數分

佈、重複覆寫特性以及電阻分離，結果如圖 47(A)至圖 47(C)所示，獲得累積次數分佈、重複特性以及電阻分離均較未使用上述實施形態之過渡金屬氧化物或者過渡金屬氮氧化物之比較例 1 更良好之特性。

即，可知若使電阻變化層 22 具有自下部電極 10 側起依序積層有包含過渡金屬氮氧化物之第 1 層 22A、與以氧化鋁為主成分之第 2 層 22B 之構成，並且使離子源層 21 為中間層 21A 與離子供給層 21B 之 2 層結構，且於中間層 21A 中添加 Zr 及氧作為過渡金屬，則可獲得良好之電阻分離以及重複特性。

又，若將實施例 10 與實施例 15 進行比較，則可知與實施例 10 相比，實施例 15 中抹除側之電阻分佈係於更高電阻側獲取分佈。認為其原因在於，藉由於中間層 21A 中摻雜氧，而使中間層 21A 之電阻率變大，使得抹除時對中間層 21A 所施加之電壓變大，金屬離子變得易於返回至離子供給層 21B，又，導電通道之金屬元素離子化並溶解於離子源層 21 中，或者與 Te 等結合，變為更高電阻狀態之反應易於進行。

(實施例 16：中間層 21A 中未添加過渡金屬而僅添加有氧，且離子供給層 21B 中添加有氧之例)

以與上述第 4 實施形態相同之方式，製作具備記憶元件 1 之記憶體單元陣列。首先，於形成包含 TiN 之下部電極 10 之栓塞而成之 CMOS 電路上，以與實施例 10 相同之方式，利用反應濺鍍以 0.5 nm 之厚度形成 ZrN 膜。其次，利用氧

化電漿將該ZrN膜氧化，而形成包含ZrON之第1層22A。

繼而，以與實施例15相同之方式，以5 nm之厚度形成包含TeO之中間層21A。其後，以與實施例14相同之方式，以60 nm之厚度形成添加有氧(O)之包含CuZrTeAlGe(Cu 11 at%-Zr 11%-Te 30%-Al 40%-Ge 8%)之離子供給層21B。最後，以50 nm之厚度形成包含W之上部電極30。若簡略表示本實施例之步驟，則如下所示。

TiN/ZrN(0.5 nm)/電漿氧化/TeO(5 nm)/CuZrTeAlGeO(60 nm)/W(50 nm)

於形成下部電極10、記憶層20以及上部電極30之積層膜之後，以與實施例1相同之方式實施積層膜之圖案化以及熱處理。藉由以上處理，而製成具有圖11所示之記憶元件1之記憶體單元陣列。

對所得之實施例16之記憶體單元陣列，調查累積次數分佈、重複覆寫特性以及電阻分離，結果如圖48(A)至圖48(C)所示，獲得累積次數分佈、重複特性以及電阻分離均較未使用上述實施形態之過渡金屬氧化物或者過渡金屬氮氧化物之比較例1更良好之特性。

即，可知若使電阻變化層22具有自下部電極10側起依序積層有包含過渡金屬氮氧化物之第1層22A、與以氧化鋁為主成分之第2層22B之構成，並且使離子源層21為中間層21A與離子供給層21B之2層結構，且於中間層21A以及離子供給層21B之兩者中添加氧，則可獲得良好之電阻分離以及重複特性。

(實施例17：中間層21A中添加有過渡金屬以及氧，且離子供給層21B中添加有氧之例)

以與上述第4實施形態相同之方式，製作具備記憶元件1之記憶體單元陣列。首先，於形成包含TiN之下部電極10之栓塞而成之CMOS電路上，以與實施例10相同之方式，利用反應濺鍍以0.5 nm之厚度形成ZrN膜。其次，利用氧化電漿將該ZrN膜氧化，而形成包含ZrON之第1層22A。

繼而，以與實施例15相同之方式，以5 nm之厚度形成包含TeZrO之中間層21A。其後，以與實施例14相同之方式，以60 nm之厚度形成添加有氧(O)之包含CuZrTeAlGe (Cu 11 at%-Zr 11%-Te 30%-Al 40%-Ge 8%)之離子供給層21B。最後，以50 nm之厚度形成包含W之上部電極30。若簡略表示本實施例之步驟，則如下所示。

TiN/ZrN(0.5 nm)/電漿氧化/TeZrO(5 nm)/CuZrTeAlGeO(60 nm)/W(50 nm)

於形成下部電極10、記憶層20以及上部電極30之積層膜之後，以與實施例1相同之方式實施積層膜之圖案化以及熱處理。藉由以上處理，而製成具有圖11所示之記憶元件1之記憶體單元陣列。

對所得之實施例17之記憶體單元陣列，調查累積次數分佈、重複覆寫特性以及電阻分離，結果如圖49(A)至圖49(C)所示，獲得累積次數分佈、重複特性以及電阻分離均較未使用上述實施形態之過渡金屬氧化物或者過渡金屬氮氧化物之比較例1更良好之特性。

即，可知若使電阻變化層22具有自下部電極10側起依序積層有包含過渡金屬氮氧化物之第1層22A、與以氧化鋁為主成分之第2層22B之構成，並且使離子源層21為中間層21A與離子供給層21B之2層結構，且於中間層21A中添加Zr及氧作為過渡金屬，於離子供給層21B中添加氧，則可獲得良好之電阻分離以及重複特性。

(實施例18：中間層21A中添加有過渡金屬以及氧之例)

以與上述第4實施形態相同之方式，製作具備記憶元件1之記憶體單元陣列。首先，藉由利用氧化電漿將露出於CMOS電路上之包含TiN之下部電極10氧化，而以約1 nm之厚度形成包含 TiO_x 之第1層22A。

繼而，以5 nm之厚度形成CuZrTe膜，並使之曝露於10 Torr之壓力之氧中，藉此形成包含 CuZrTeO_x 之中間層21A。

其後，以60 nm之厚度形成包含CuZrTeAlGe(Cu 11 at%-Zr 11%-Te 30%-Al 40%-Ge 8%)之離子供給層21B，最後，以50 nm之厚度形成包含W之上部電極30。若簡略表示本實施例之步驟，則如下所示。

TiN/電漿氧化/CuZrTeO_x(5 nm)/CuZrTeAlGe(60 nm)/W(50 nm)

此處，作為中間層21A之 CuZrTeO_x 係成膜時之組成如記載般為 CuZrTeO_x ，但由於實際上即便常溫下Al亦自作為離子供給層21B之CuZrTeAlGe層擴散，而成為 CuZrTeAlO_x 。

於形成下部電極10、記憶層20以及上部電極30之積層膜

之後，將該積層膜中之電阻變化層22、離子源層21以及上部電極30，以殘留於記憶體單元陣列之部分中之方式進行圖案化。又，對上部電極30之表面進行蝕刻，使用以與提供中間電位($V_{dd}/2$)之外部電路連接之上部電極30之接觸部分露出。

於將積層膜圖案化之後，以200 nm之厚度形成包含Al之配線層(未圖示)，並將該配線層與上部電極30之接觸部分連接。其後，利用真空熱處理爐對積層膜進行300°C、2小時之熱處理。藉由以上處理，而製成具有圖11所示之記憶元件1之記憶體單元陣列。

對所得之實施例18之記憶體單元陣列，調查重複覆寫特性。此時，作為寫入脈衝以電壓 V_w 3 V、電流約100 μ A、脈衝寬度10 ns，且作為抹除脈衝以電壓 V_e 2 V、電流約100 μ A、脈衝寬度10 ns重複進行 10^5 以上。將其結果示於圖50(A)。

由圖50(A)可知，顯示出低電阻狀態與高電阻狀態之電阻值相差1位數以上之良好之記憶體動作。

其次，調查4 kbit之記憶體單元陣列中重複1000次後之累積次數分佈(虛線)、與130°C且2小時之資料保持加速試驗後之累積次數分佈(實線)。將其結果示於圖50(B)。

由圖50(B)可知，寫入狀態(低電阻)與抹除狀態(高電阻)分離且顯示出良好之不均一特性，即便資料保持加速試驗後亦獲得電阻分離。藉此，若於其間設置參照電阻，則成為寫入(低電阻狀態)與抹除(高電阻狀態)之可讀出之狀

態，獲得良好之不均一特性。

即，可知若使電阻變化層22具有自下部電極10側起依序積層有包含過渡金屬氧化物之第1層22A、與以氧化鋁為主成分之第2層22B之構成，並且使離子源層21為中間層21A與離子供給層21B之2層結構，且於中間層21A中添加Cu及Zr與氧作為過渡金屬，則可獲得良好之電阻分離以及重複特性。

(實施例19：中間層21A中添加有過渡金屬之例)

由CrTe構成中間層21A，除此之外，以與實施例18相同之方式，製作具有記錄元件1之記憶體單元陣列。若簡略表示本實施例之步驟，則如下所示。

TiN/電漿氧化/CrTe(5 nm)/CuZrTeAlGe(60 nm)/W(50 nm)

再者，該情形亦與實施例18同樣地，作為中間層21A之CrTe層由於Al自離子供給層21B擴散而成為CrAlTe。

(比較例4)

由Te構成中間層，除此之外，以與實施例18相同之方式，製作具有記錄元件之記憶體單元陣列。若簡略表示比較例4之步驟，則如下所示。

TiN/電漿氧化/Te(5 nm)/CuZrTeAlGe(60 nm)/W(50 nm)

再者，該情形亦與實施例18同樣地，作為中間層之Te層由於Al自離子供給層擴散而成為AlTe。

對比較例4中所得之記憶體單元陣列，調查重複1000次後之電阻分離。此時，將電流設為與實施例18相同條件之110 μA 及更低電流之80 μA 。將其結果示於圖51(A)及圖

51(B)。

由圖 50 以及圖 51 可知，於電流 110 μA 之寫入條件下，實施例 18 以及比較例 4 之任一者均於 4 kbit 之尾部無重疊，從而可實現電阻分離。然而，比較例 4 中，若低電流化為 80 μA ，則寫入之低電阻側、抹除之高電阻側均電阻分佈惡化，無法獲得電阻分離。因此，可知與實施例 18 相比，比較例 4 之構成難以使覆寫電流低電流化。

又，對實施例 19 中所得之記憶體單元陣列，亦調查電流 80 μA 下重複 1000 次後之電阻分離。將其結果示於圖 52(B)。再者，圖 52(A) 係對於實施例 18、圖 52(C) 係對於比較例 4，合併表示調查電流 80 μA 下重複 1000 次後之電阻分離之結果。

由圖 52(A) 至圖 52(C) 可知，於中間層 21A 中添加鉻 (Cr) 之實施例 19 中，低電流下之覆寫動作穩定，電阻分離範圍得以確保。

為研究其原因，分別製作實施例 18 之中間層 21A 之 CuZrTeO_x 、實施例 19 之中間層 21A 之 CrTe 、及比較例 4 之中間層之 Te ，並測定薄片電阻，求出體積電阻率，結果如下所示。

Te	0.27 Ωcm
CuZrTeO_x	0.44 Ωcm
CrTe	0.56 Ωcm

由該結果可知，相較比較例之作為中間層之 Te ，實施例 18、19 之中間層之電阻變高。藉此，相較離子供給層 21B

之電阻，中間層21A之電阻變高，因此可認為施加寫入、抹除偏壓時會更有效地對中間層21A施加電場，且由於以Al為主之離子種而施加更強之電場，藉此離子變得易於移動，使得實施例18、19中寫入、抹除之動作均穩定。

即，可知若使電阻變化層22具有自下部電極10側起依序積層有包含過渡金屬氧化物之第1層22A、與以氧化鋁為主成分之第2層22B之構成，並且使離子源層21為中間層21A與離子供給層21B之2層結構，且於中間層21A中添加Cr，則可獲得良好之電阻分離以及重複特性，尤其使低電流下之電阻分離特性提昇。

可容易地推斷出，即便如上所述般於中間層21A中添加Cr，亦可藉由進而添加氧，而獲得更高電阻之較佳之電阻值，因此可認為能夠獲得與實施例19相同或其以上之效果。

(實施例20：中間層21A中添加有過渡金屬之例)

由MnTe構成中間層21A，除此之外，以與實施例19相同之方式，製作具有記錄元件1之記憶體單元陣列。若簡略表示實施例20之步驟，則如下所示。

TiN/電漿氧化/MnTe(5 nm)/CuZrTeAlGe(60 nm)/W(50 nm)

再者，該情形亦與實施例18同樣地，作為中間層21A之MnTe層由於Al自離子供給層21B擴散而成為MnAlTe。

對所得之實施例20之記憶體單元陣列，調查重複覆寫特性以及電阻分離，結果如圖53(A)及圖53(B)所示，獲得重複特性以及電阻分離均較未使用上述實施形態之過渡金屬

氧化物或者過渡金屬氮氧化物之比較例1更良好之特性。

即，可知若使電阻變化層22具有自下部電極10側起依序積層有包含過渡金屬氧化物之第1層22A、與以氧化鋁為主成分之第2層22B之構成，並且使離子源層21為中間層21A與離子供給層21B之2層結構，且於中間層21A中添加Mn，則可獲得良好之電阻分離以及重複特性，尤其使低電流下之電阻分離特性提昇。

可容易地推斷出，即便如上所述般於中間層21A中添加Mn之情形時，亦可藉由進而添加氧，而獲得更高電阻之較佳之電阻值，因此可認為能夠獲得與實施例20相同或其以上之效果。

以上，列舉實施形態及實施例，對本發明進行了說明，但本發明並非由上述實施形態及實施例所限定，而可進行各種變形。

例如，上述實施形態以及實施例中所說明之各層之材料、或者成膜方法及成膜條件等並不受到限定者，亦可為其他材料、或者其他成膜方法。例如，離子源層21中，亦可於不破壞上述組成比率之範圍內添加其他過渡金屬元素，例如Ti、Hf、V、Nb、Ta、Cr、Mo、及W。

又，例如上述實施形態中，具體地列舉記憶元件1以及記憶體單元陣列2之構成進行了說明，但亦可無需具備所有層，又，亦可進而具備其他層。

進而，例如上述實施形態以及實施例中，就記憶元件1係於形成有CMOS電路之矽基板41上依序具有下部電極

10(第1電極)、記憶層20以及上部電極30(第2電極)之情形進行了說明，但亦可使積層順序相反。於該情形時，記憶元件1係具有於矽基板41上依序積層有上部電極30(第2電極)、記憶層20以及下部電極10(第1電極)之構成。

【圖式簡單說明】

圖1係表示本發明之第1實施形態之記憶元件之構成之剖面圖。

圖2係表示圖1所示之第1層之變形例之剖面圖。

圖3係表示變形例1之記憶元件之構成之剖面圖。

圖4係表示變形例2之記憶元件之構成之剖面圖。

圖5係表示變形例3之記憶元件之構成之剖面圖。

圖6係表示本發明之第2實施形態之記憶元件之構成之剖面圖。

圖7係表示變形例4之記憶元件之構成之剖面圖。

圖8係表示圖7所示之第1層之變形例之剖面圖。

圖9係表示本發明之第3實施形態之記憶元件之構成之剖面圖。

圖10係表示Te-Zr膜之體積電阻率之Zr添加量依存性之圖。

圖11係表示本發明之第4實施形態之記憶元件之構成之剖面圖。

圖12係表示Te-Zr膜之體積電阻率之成膜時氧流量依存性之圖。

圖13係表示使用圖1之記憶元件之記憶體單元陣列之概

略構成之剖面圖。

圖 14 係相同記憶體單元陣列之平面圖。

圖 15(A)~(C) 係表示實施例 1 之結果之圖。

圖 16(A)~(C) 係表示實施例 2 之結果之圖。

圖 17(A)、(B) 係表示實施例 3 之結果之圖。

圖 18(A)~(C) 係表示比較例 1 之結果之圖。

圖 19(A)、(B) 係表示比較例 2 之結果之圖。

圖 20(A)~(C) 係表示比較例 3 之結果之圖。

圖 21(A)、(B) 係表示調查包含過渡金屬氧化物之第 1 層之作用所得之實驗結果之圖。

圖 22(A)~(C) 係實施例 2 之記憶元件之 TEM-EDX 相片。

圖 23 係匯總表示圖 24 所示之各元素之 EDX 分佈結果之圖。

圖 24(A)~(F) 係表示實施例 2 之記憶元件之各元素之 EDX 分佈結果之圖。

圖 25(A)、(B) 係表示實施例 4-1 之結果之圖。

圖 26(A)、(B) 係表示實施例 4-2 之結果之圖。

圖 27(A)、(B) 係表示實施例 5-1 之結果之圖。

圖 28(A)、(B) 係表示實施例 6-1 之結果之圖。

圖 29(A)、(B) 係表示實施例 6-2 之結果之圖。

圖 30(A)、(B) 係表示實施例 6-3 之結果之圖。

圖 31(A)、(B) 係表示實施例 6-4 之結果之圖。

圖 32(A)、(B) 係表示實施例 6-5 之結果之圖。

圖 33(A)~(C) 係表示實施例 7-1 之結果之圖。

圖 34(A)~(C)係表示實施例 7-2 之結果之圖。

圖 35(A)~(C)係表示實施例 7-3 之結果之圖。

圖 36(A)、(B)係表示實施例 8-1 及 8-2 之結果之圖。

圖 37(A)、(B)係表示實施例 8-3 及 8-4 之結果之圖。

圖 38(A)、(B)係表示實施例 9-1 及 9-2 之結果之圖。

圖 39(A)~(C)係表示實施例 10 之結果之圖。

圖 40(A)~(C)係表示實施例 11 之結果之圖。

圖 41(A)、(B)係表示調查實施例 10、11 之抹除特性所得之結果之圖。

圖 42(A)~(C)係表示實施例 12 之結果之圖。

圖 43(A)、(B)係表示實施例 13-1 之結果之圖。

圖 44(A)、(B)係表示實施例 13-2 之結果之圖。

圖 45(A)、(B)係表示實施例 13-3 之結果之圖。

圖 46(A)~(C)係表示實施例 14 之結果之圖。

圖 47(A)~(C)係表示實施例 15 之結果之圖。

圖 48(A)~(C)係表示實施例 16 之結果之圖。

圖 49(A)~(C)係表示實施例 17 之結果之圖。

圖 50(A)、(B)係表示實施例 18 之結果之圖。

圖 51(A)、(B)係表示比較例 4 之結果之圖。

圖 52(A)~(C)係表示實施例 19 之結果之圖。

圖 53(A)、(B)係表示實施例 20 之結果之圖。

【主要元件符號說明】

- | | |
|---|---------|
| 1 | 記憶元件 |
| 2 | 記憶體單元陣列 |

10	下部電極
20	記憶層
21	離子源層
21A	中間層
21B	離子供給層
22	電阻變化層
22A	第1層
22A1	ZrO _x 層
22A2	TiO _x 層
22A3	過渡金屬氧化物層
22A4	過渡金屬氮氧化物層
22B	第2層
30	上部電極
41	半導體基板
42	元件分離層
43	源極/汲極區域
44	閘極電極
45、47	栓塞層
46	金屬配線層
48	活性區域
51、52	接觸部
BL	位元線
Tr	MOS電晶體
WL	字元線

七、申請專利範圍：

1. 一種記憶元件，其依序包含第1電極、記憶層及第2電極，且

上述記憶層包括：

離子源層，其包含碲(Te)、硫(S)及硒(Se)中之至少一種硫族元素以及鋁(Al)；以及

電阻變化層，其設置於上述離子源層與上述第1電極之間，且包含氧化鋁、以及電阻低於上述氧化鋁之過渡金屬氧化物及過渡金屬氮氧化物中之至少一者。

2. 如請求項1之記憶元件，其中

上述電阻變化層具有自上述第1電極側起依序積層有包含上述過渡金屬氧化物及過渡金屬氮氧化物中之至少一者之第1層、及以上述氧化鋁為主成分之第2層之構成。

3. 如請求項2之記憶元件，其中

上述第1層具有1 nm以上且電阻較上述第2層之電阻值為低之厚度。

4. 如請求項1之記憶元件，其中

上述電阻變化層係以混合之狀態含有上述氧化鋁、及上述過渡金屬氧化物及過渡金屬氮氧化物中之至少一者。

5. 如請求項1至4中任一項之記憶元件，其中

上述過渡金屬氧化物或者過渡金屬氮氧化物係由鈦(Ti)、鋯(Zr)、鈦(Hf)、釩(V)、鈮(Nb)、鉭(Ta)、鉻

(Cr)、鉬(Mo)及鎢(W)所組成之過渡金屬群中之至少一種之氧化物或者氮氧化物。

6. 如請求項1至5中任一項之記憶元件，其中

上述離子源層包含：

中間層，其含有鋁(Al)、以及碲(Te)、硫(S)及硒(Se)中之至少一種硫族元素；以及

離子供給層，其含有鋁(Al)及上述硫族元素、以及由銅(Cu)、鋅(Zn)、銀(Ag)、鎳(Ni)、鈷(Co)、錳(Mn)、鐵(Fe)、鈦(Ti)、鋯(Zr)、鈪(Hf)、釩(V)、鈮(Nb)、鉭(Ta)、鉻(Cr)、鉬(Mo)及鎢(W)所組成之金屬元素群中之至少一種。

7. 如請求項6之記憶元件，其中

上述中間層中之鋁含量相對於硫族元素含量之比，小於上述離子供給層中之鋁含量相對於硫族元素含量之比。

8. 如請求項6或7之記憶元件，其中

上述中間層具有高於上述離子供給層之電阻。

9. 如請求項6至8中任一項之記憶元件，其中

上述中間層包含由鋯(Zr)、銅(Cu)、鉻(Cr)、錳(Mn)、鈦(Ti)及鈪(Hf)所組成之過渡金屬群中之至少一種。

10. 如請求項6至8中任一項之記憶元件，其中

上述中間層及上述離子供給層中之至少一者含有氧(O)。

11. 如請求項6至8中任一項之記憶元件，其中

上述中間層包含氧(O)、以及由銅(Cu)、鈦(Ti)、鋯(Zr)、鈦(Hf)、Cr(鉻)及Mn(錳)所組成之過渡金屬群中之至少一種。

12. 如請求項1至11中任一項之記憶元件，其中

藉由上述記憶層之電氣特性之變化而記憶資訊，上述記憶層之電氣特性之變化係藉由對上述第1電極及上述第2電極施加電壓而引起之上述氧化鋁之氧化還原及上述離子源層中所含之金屬元素之離子之移動中之至少一者所引起。

13. 如請求項12之記憶元件，其中

上述離子源層中所含之金屬元素係由銅(Cu)、鋅(Zn)、銀(Ag)、鎳(Ni)、鈷(Co)、錳(Mn)、鐵(Fe)、鈦(Ti)、鋯(Zr)、鈦(Hf)、釩(V)、鈮(Nb)、鉭(Ta)、鉻(Cr)、鉬(M)及鎢(W)所組成之群中之至少一種。

14. 如請求項12或13之記憶元件，其中

上述氧化鋁係藉由上述第1電極側之氧化反應而形成，上述第1電極側之氧化反應係藉由上述離子源層中所含之鋁(Al)離子之移動或擴散、或者對上述第1電極及上述第2電極施加電壓所引起。

15. 如請求項1至14中任一項之記憶元件，其中

上述第1電極包含由鈦(Ti)、鋯(Zr)、鈦(Hf)、釩(V)、鈮(Nb)、鉭(Ta)、鉻(Cr)、鉬(Mo)及鎢(W)所組成之過渡金屬群中之至少一種之單體或者氮化物，且

上述過渡金屬氧化物及過渡金屬氮氧化物中之至少一

者係藉由氧化上述第1電極之表面而形成者。

16. 如請求項1至14中任一項之記憶元件，其中

上述過渡金屬氧化物及過渡金屬氮氧化物中之至少一者係藉由於上述第1電極之上表面，形成包含由鈦(Ti)、鋯(Zr)、鈦(Hf)、釩(V)、鈮(Nb)、鉭(Ta)、鉻(Cr)、鉬(Mo)及鎢(W)所組成之過渡金屬群中之至少一種之單體或者氮化物的過渡金屬材料膜，且將上述過渡金屬材料膜與上述第1電極之表面中之至少上述過渡金屬材料膜氧化而形成者。

17. 一種記憶裝置，其包括依序包含第1電極、記憶層及第2電極之複數個記憶元件，以及對上述複數個記憶元件選擇性施加電壓或者電流之脈衝之脈衝施加機構，且

上述記憶層包含：

離子源層，其包含碲(Te)、硫(S)及硒(Se)中之至少一種硫族元素、以及鋁(Al)；以及

電阻變化層，其設置於上述離子源層與上述第1電極之間，且包含氧化鋁、以及電阻低於上述氧化鋁之過渡金屬氧化物及過渡金屬氮氧化物中之至少一者。

18. 如請求項17之記憶裝置，其中

於鄰接之上述複數個記憶元件中，藉由同一層而共同地設置有構成上述記憶元件之至少一部分之層。

19. 如請求項18之記憶裝置，其中

上述複數個記憶元件中之共同之層係上述電阻變化層、上述離子源層及上述第2電極，且上述第1電極個別

地設置於每一元件上。

20. 一種記憶裝置之動作方法，上述記憶裝置包括依序包含第1電極、記憶層及第2電極之複數個記憶元件、以及對上述複數個記憶元件選擇性施加電壓或者電流之脈衝之脈衝施加機構，且上述記憶層包含：離子源層，其包含碲(Te)、硫(S)及硒(Se)中之至少一種硫族元素、以及鋁(Al)及與鋁(Al)不同之金屬元素；以及電阻變化層，其設置於上述離子源層與上述第1電極之間，且包含氧化鋁、以及電阻低於上述氧化鋁之過渡金屬氧化物及過渡金屬氮氧化物中之至少一者；

上述記憶裝置之動作方法係藉由對上述第1電極及上述第2電極之間施加電壓，而在上述離子源層中，使鋁(Al)離子以及上述離子源層中所含之金屬元素之離子向上述第1電極側移動，並且於上述電阻變化層中，藉由氧化鋁或者上述金屬元素之離子之還原反應產生導電通道而低電阻化，且

藉由對上述第1電極及上述第2電極之間施加反極性之電壓，而在上述離子源層中，使鋁(Al)離子以及上述離子源層中所含之金屬元素之離子向上述第2電極側移動，並且於上述電阻變化層中，藉由鋁(Al)離子氧化反應形成氧化鋁而高電阻化，或者藉由上述經還原之金屬元素離子化並移動至上述離子源層，使上述導電通道消失而高電阻化。

21. 如請求項20之記憶裝置之動作方法，其中

上述離子源層中所含之金屬元素係由銅(Cu)、鋅(Zn)、銀(Ag)、鎳(Ni)、鈷(Co)、錳(Mn)、鐵(Fe)、鈦(Ti)、鋯(Zr)、鈦(Hf)、釩(V)、鈮(Nb)、鉭(Ta)、鉻(Cr)、鉬(Mo)及鎢(W)所組成之群中之至少一種。

八、圖式：

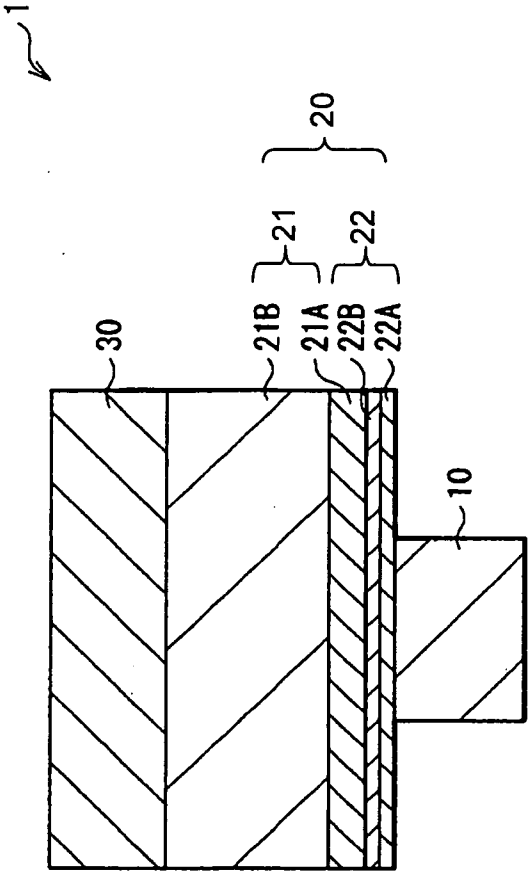


圖1

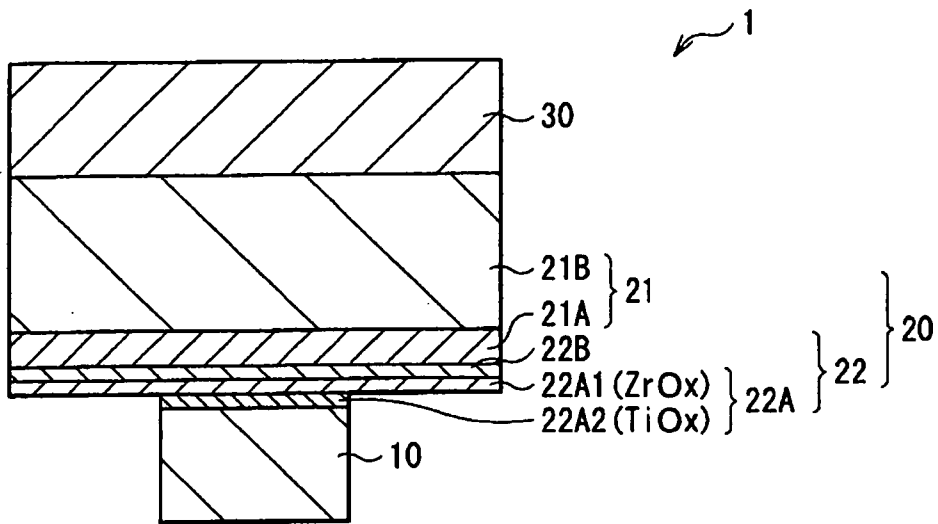


圖2

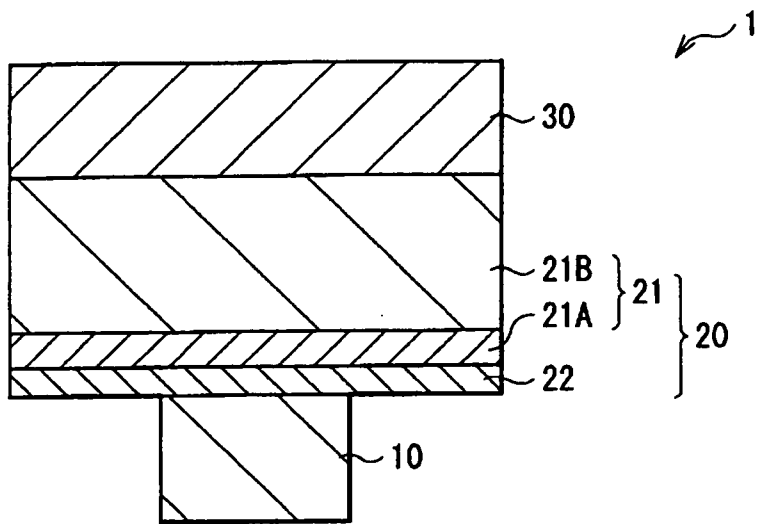


圖3

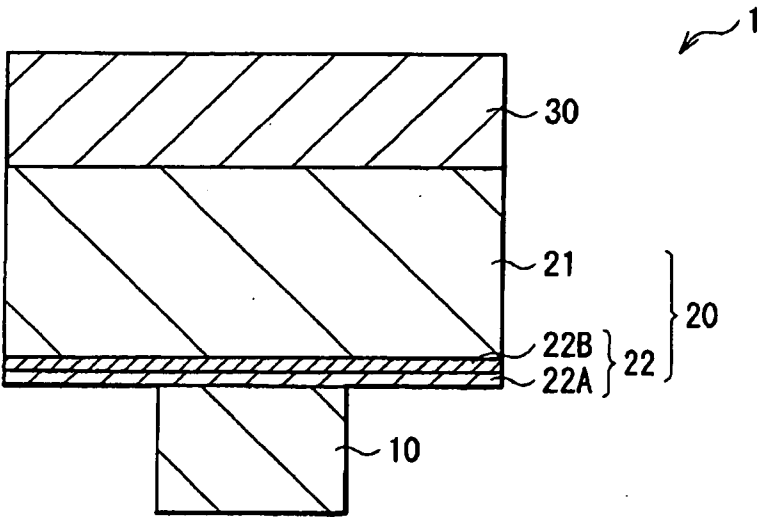


圖 4

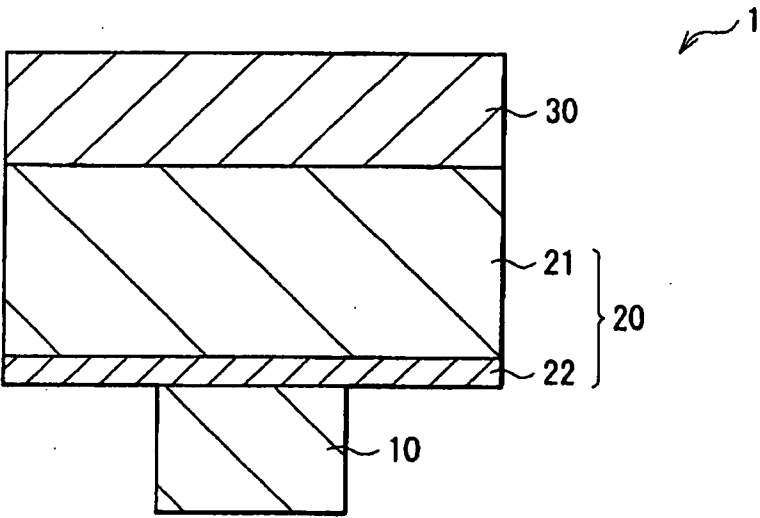


圖 5

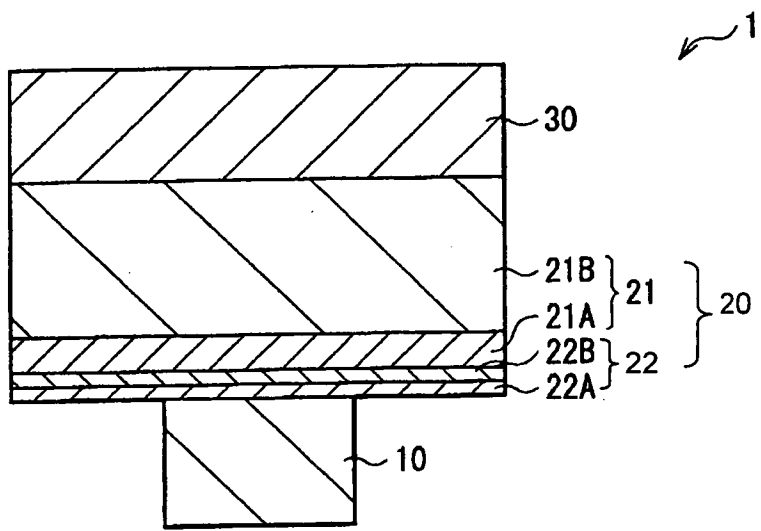


圖 6

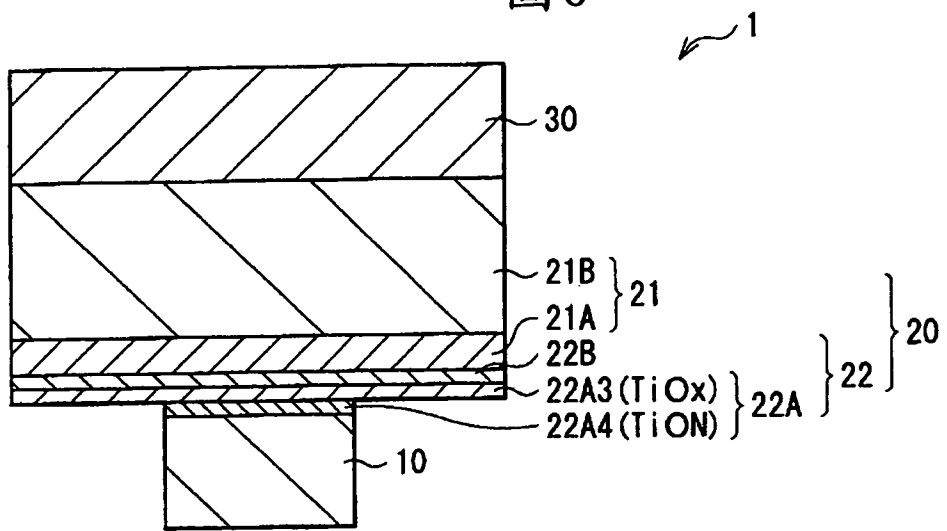


圖 7

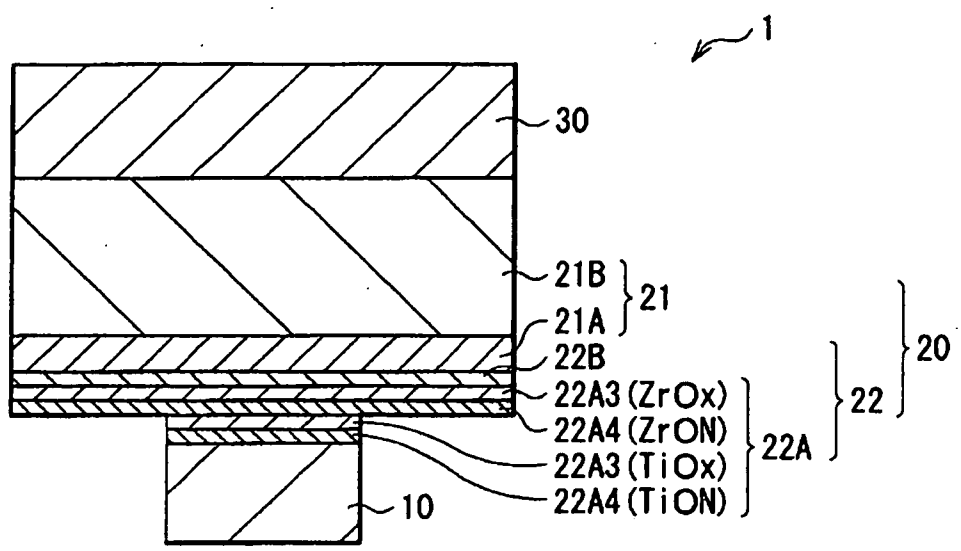


圖 8

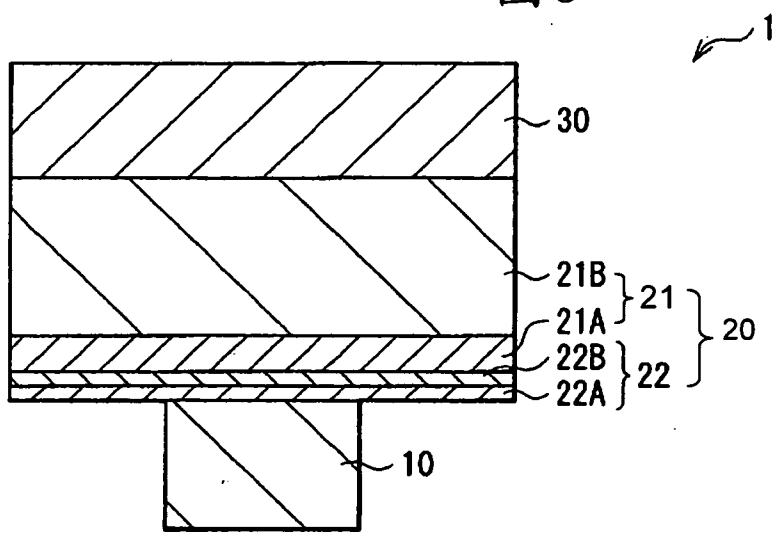


圖 9

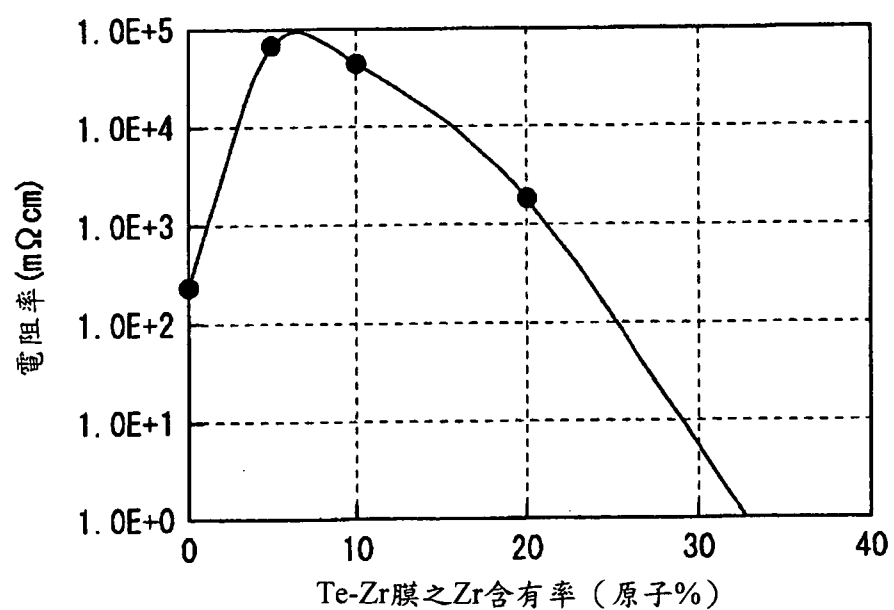


圖10

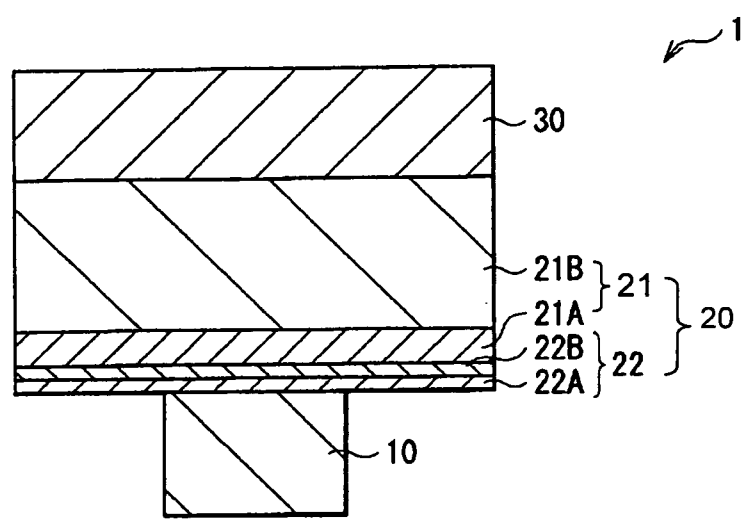


圖11

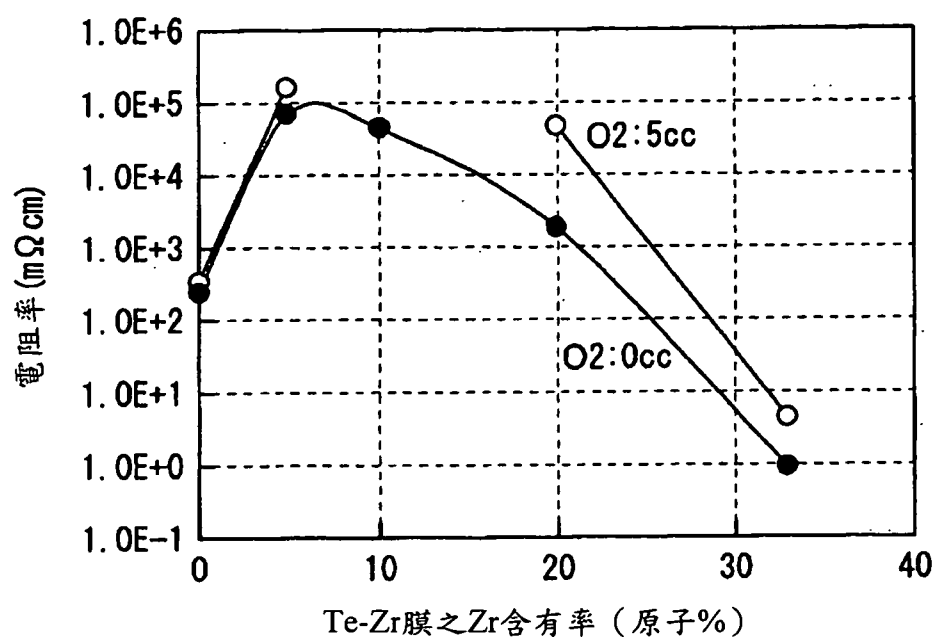


圖12

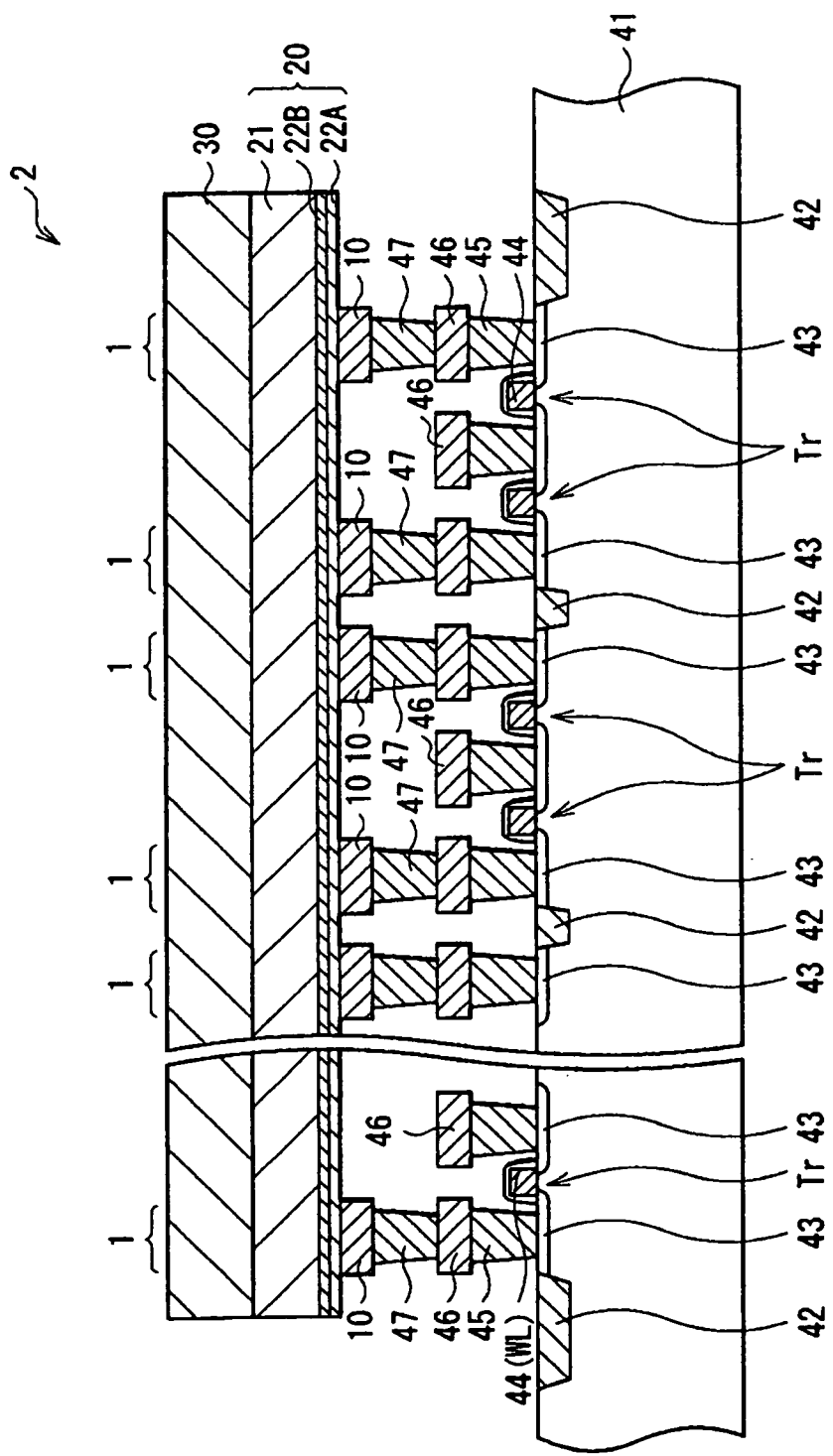


圖13

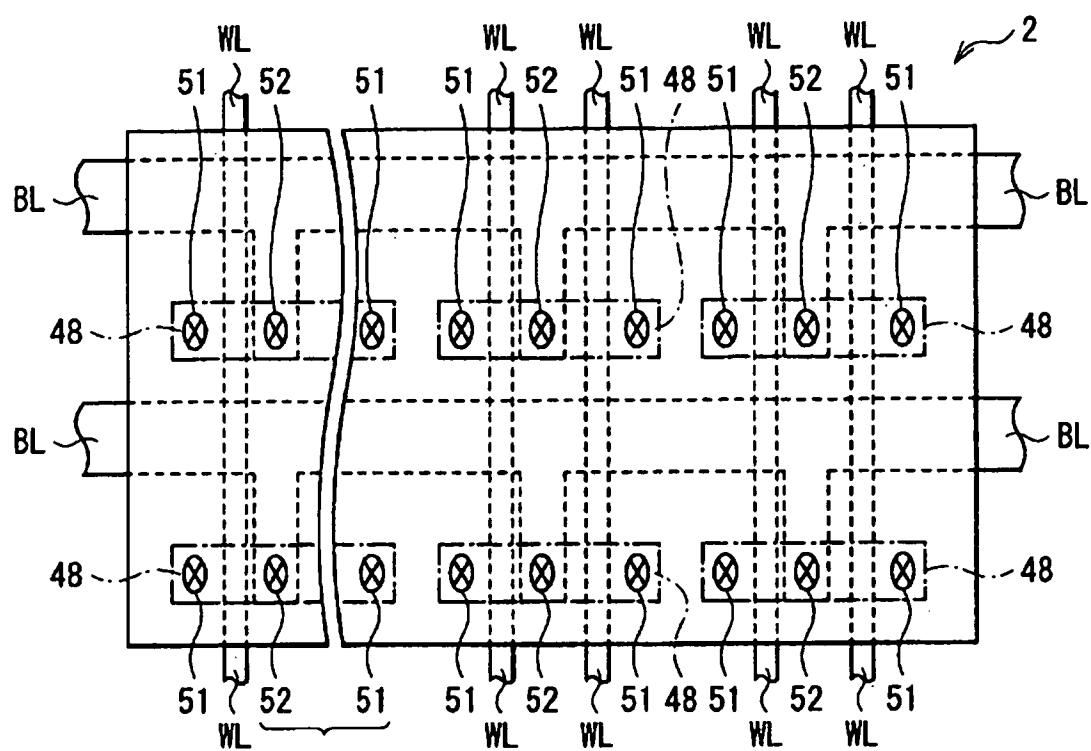


圖14

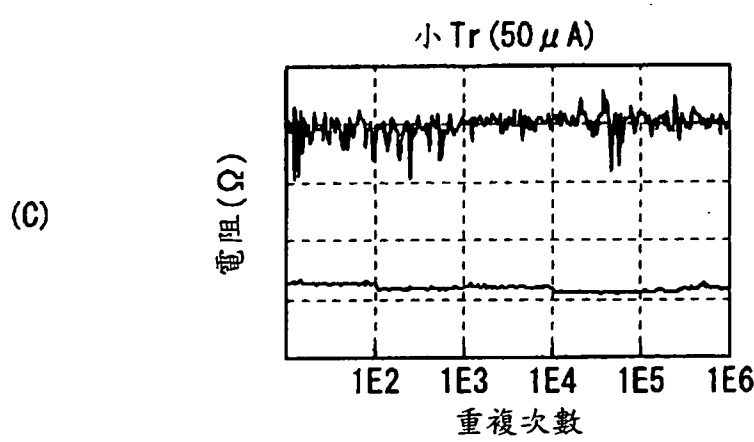
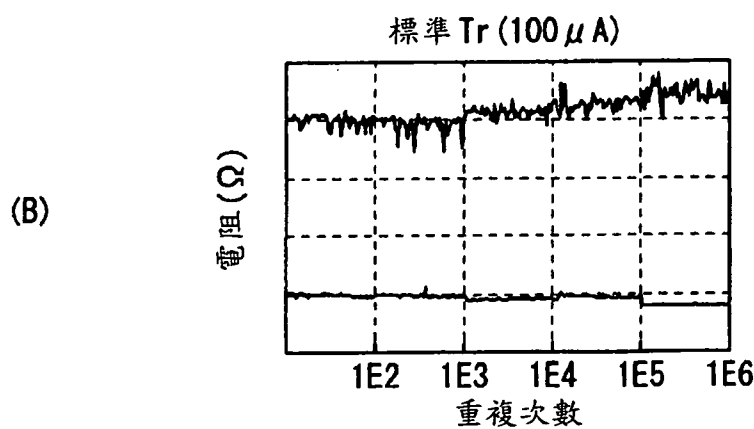
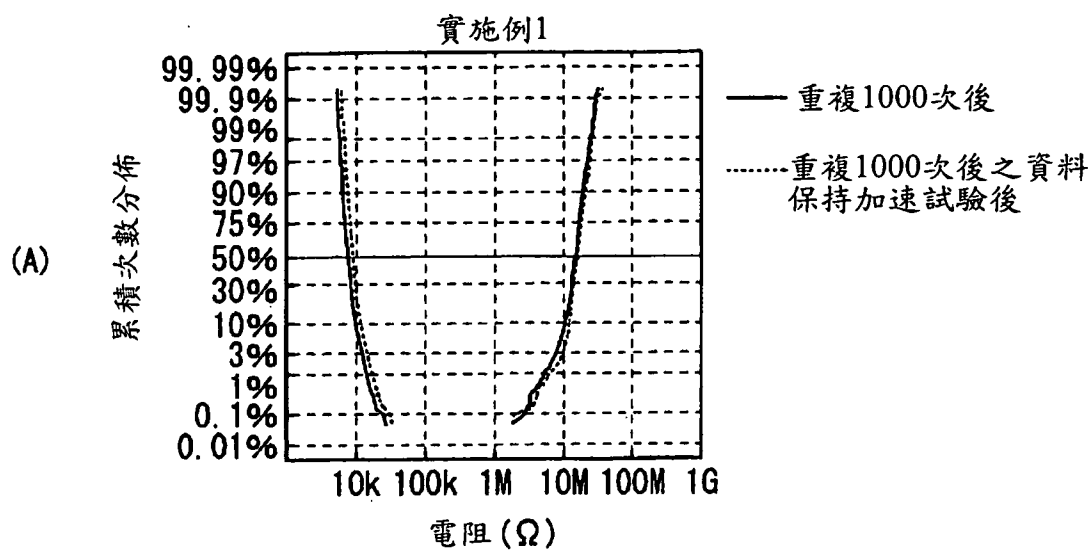


圖 15

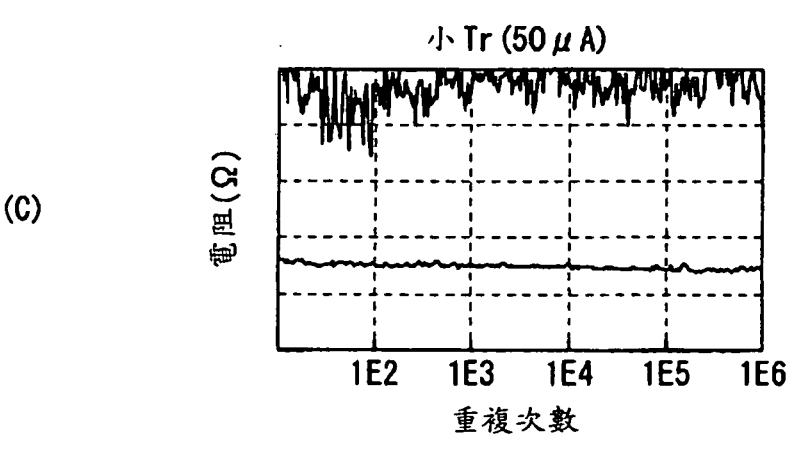
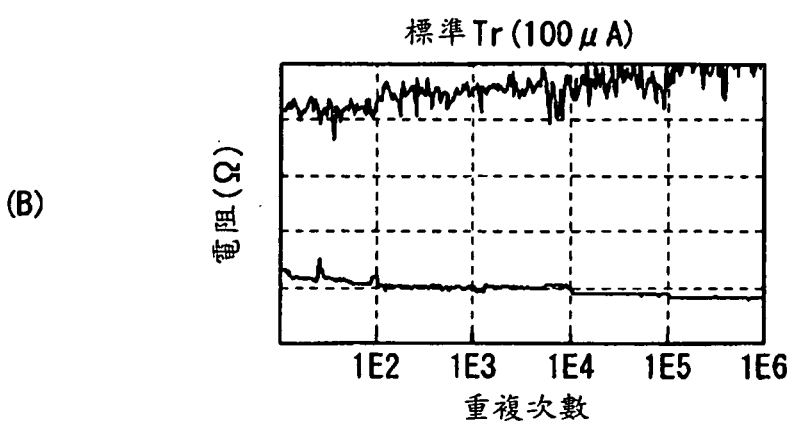
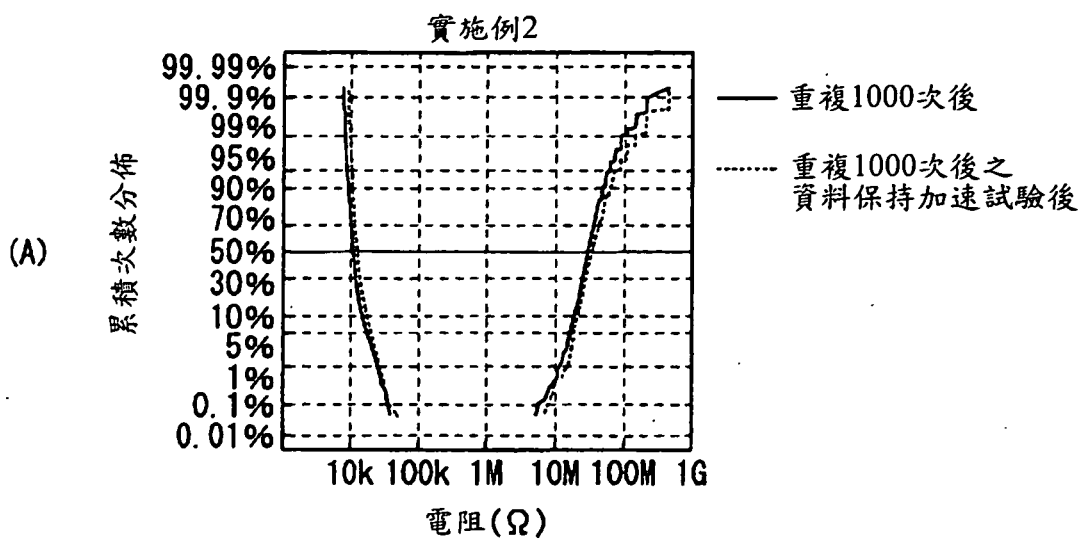


圖16

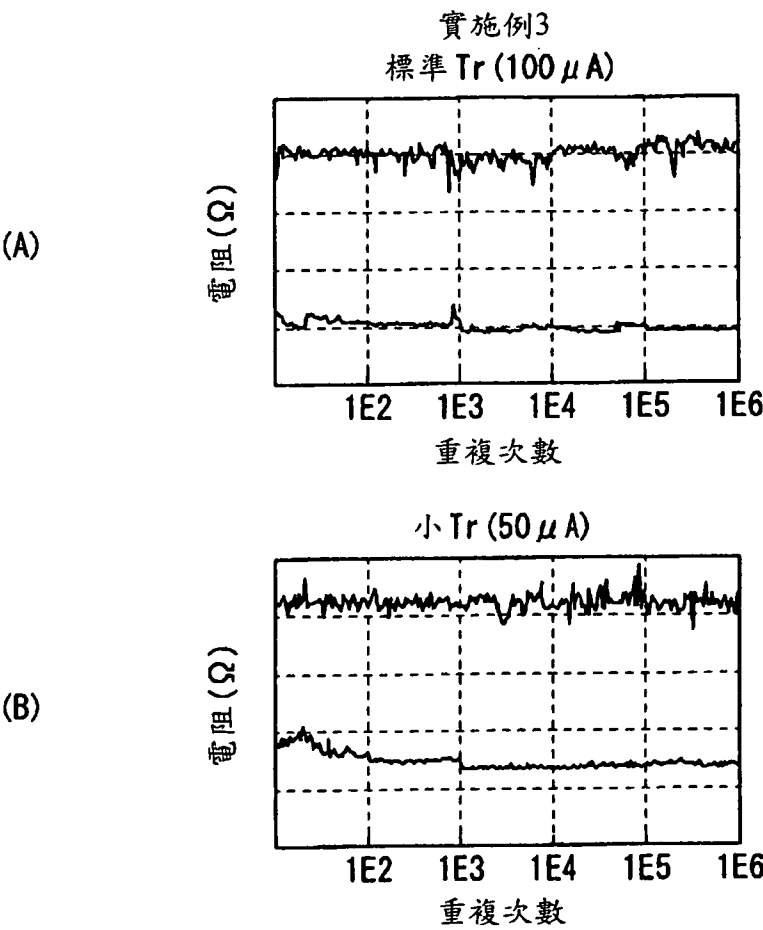


圖17

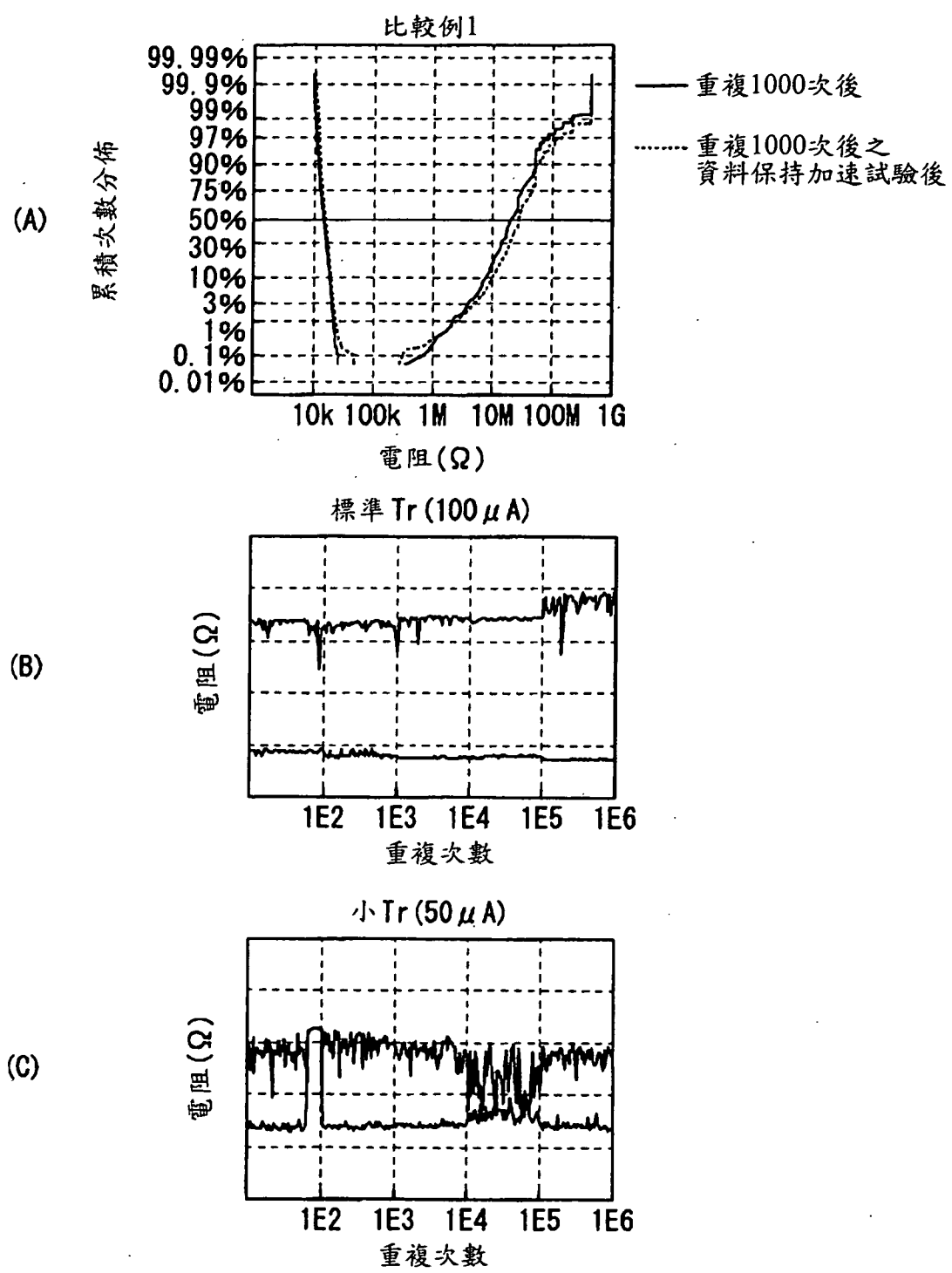


圖 18

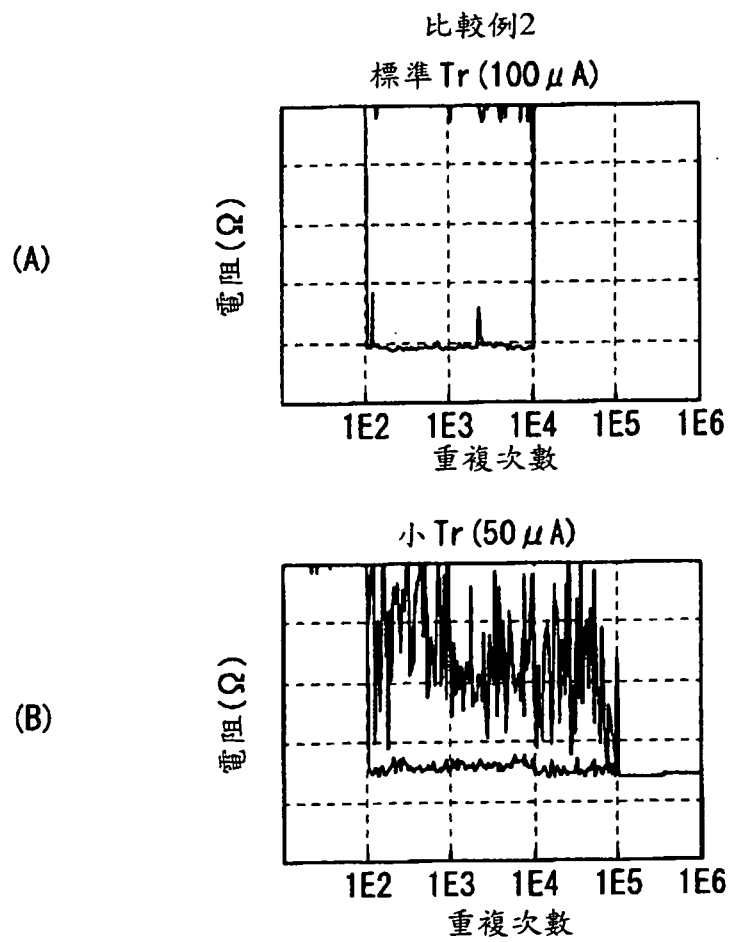


圖 19

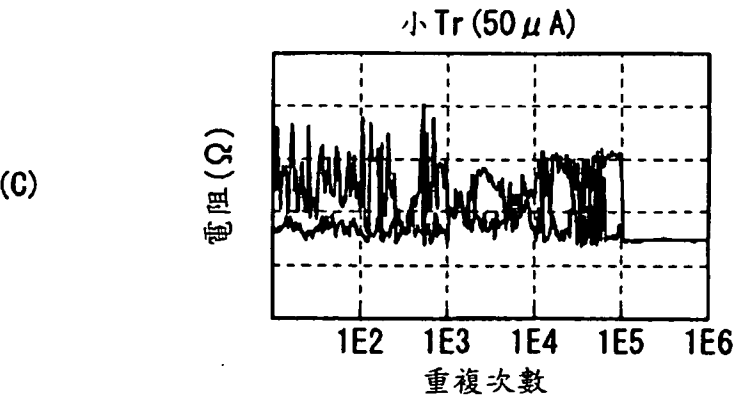
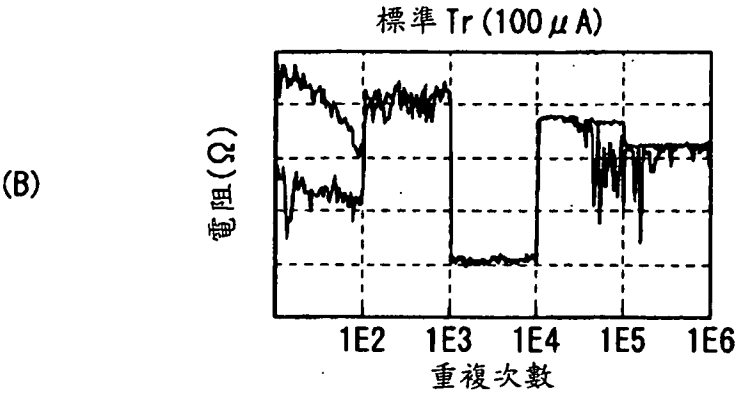
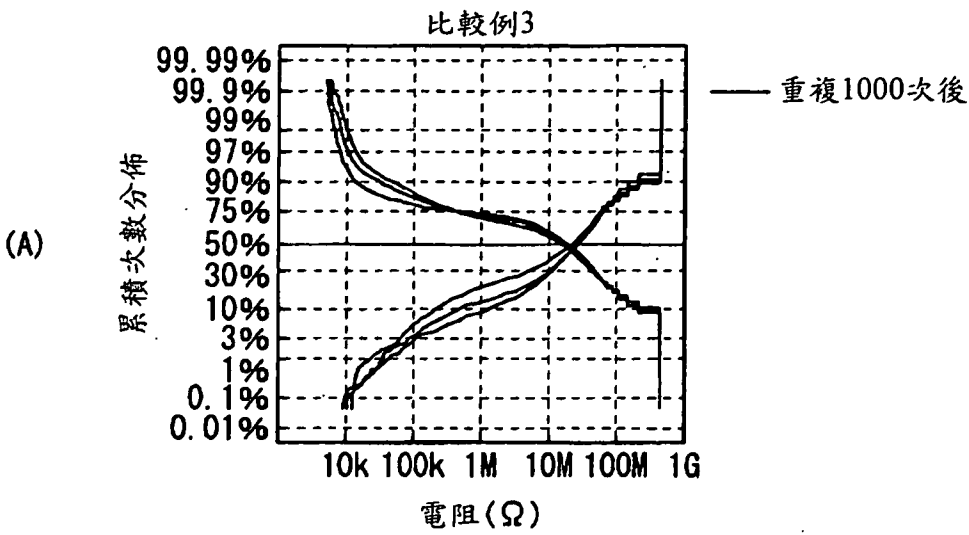


圖 20

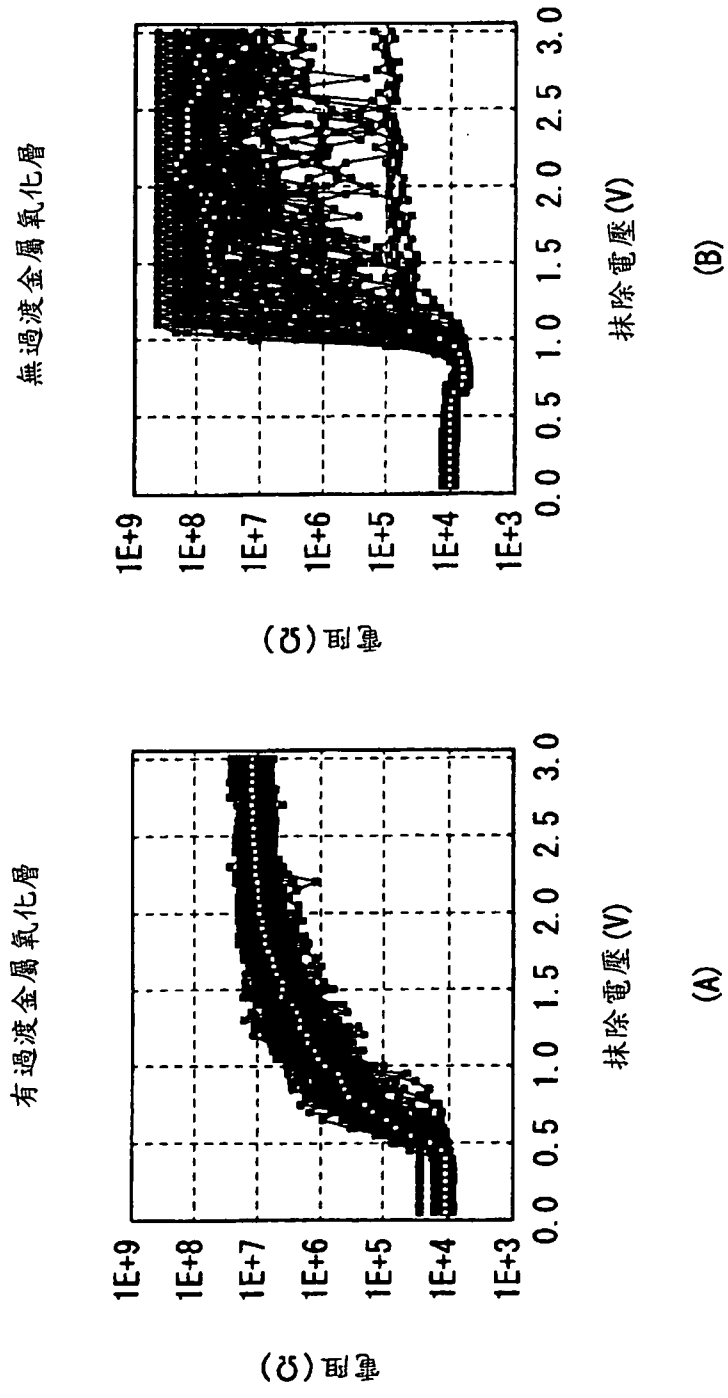


圖21

(A) Ti



(B) O



(C) Al



圖 22

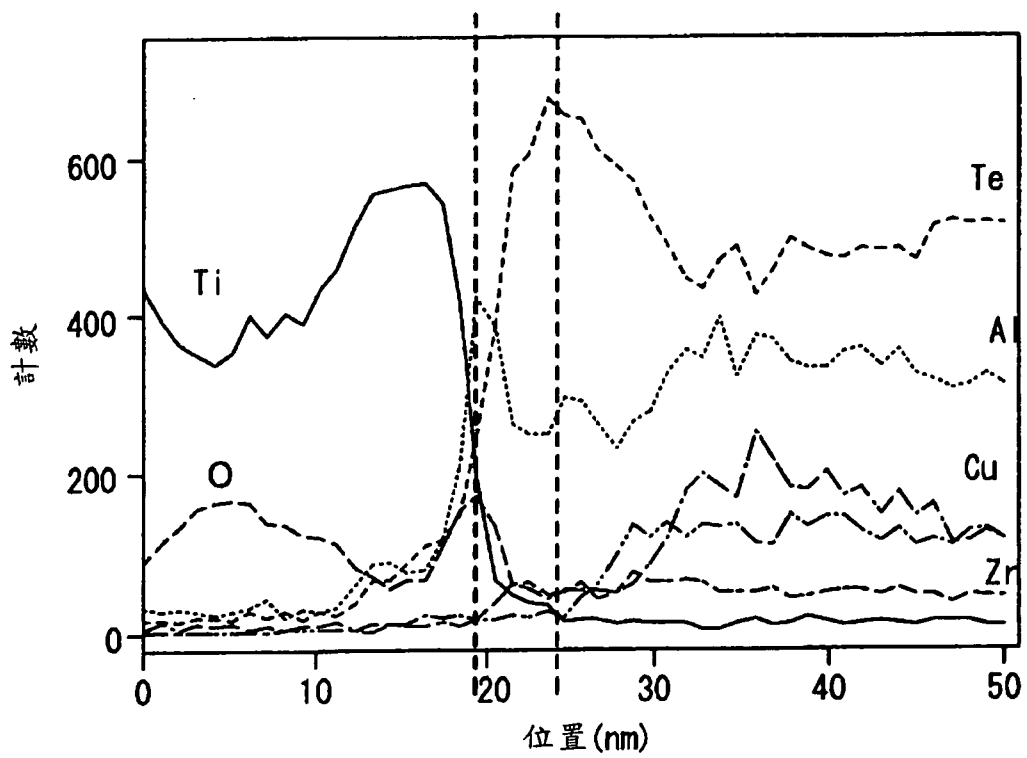


圖23

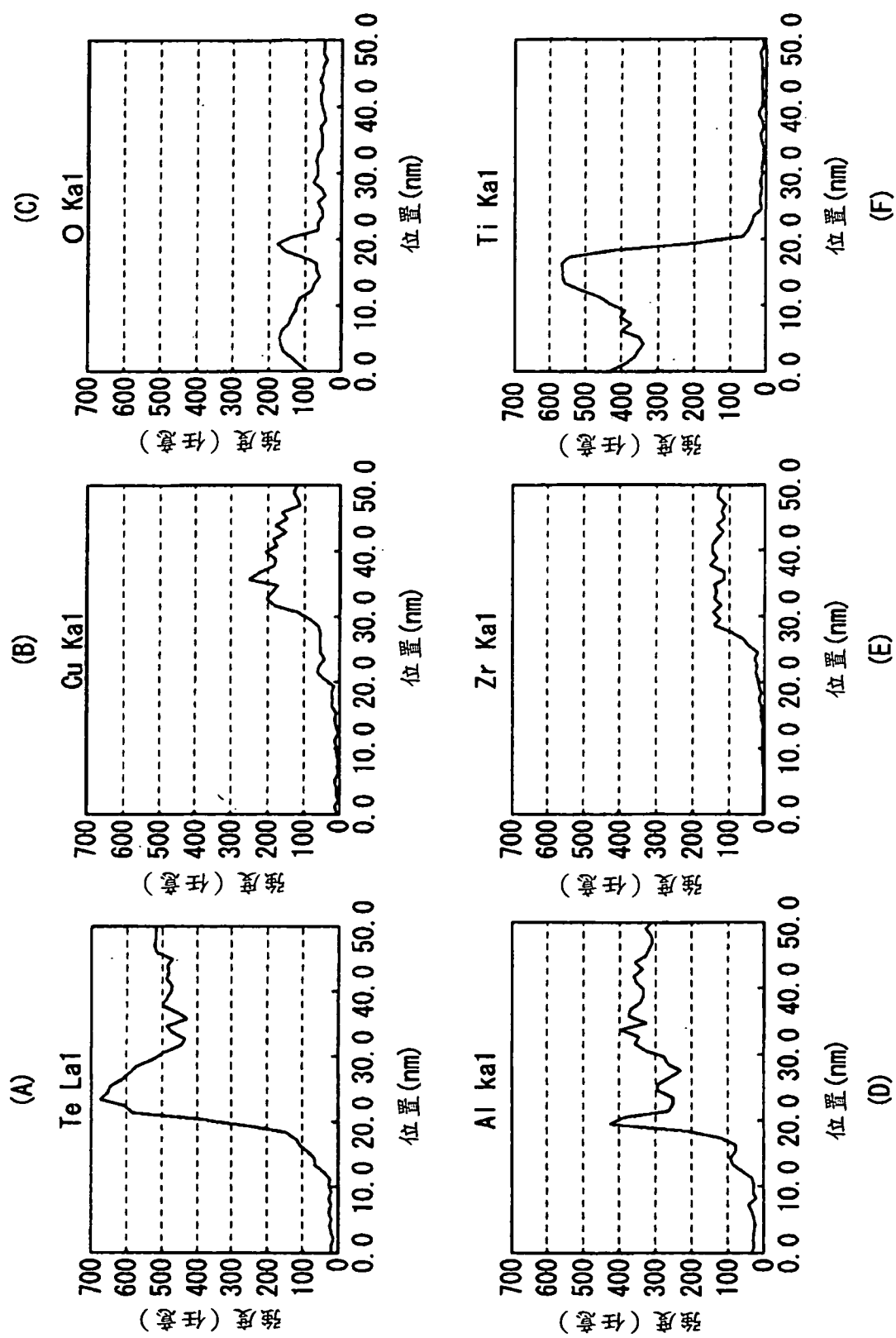


圖24

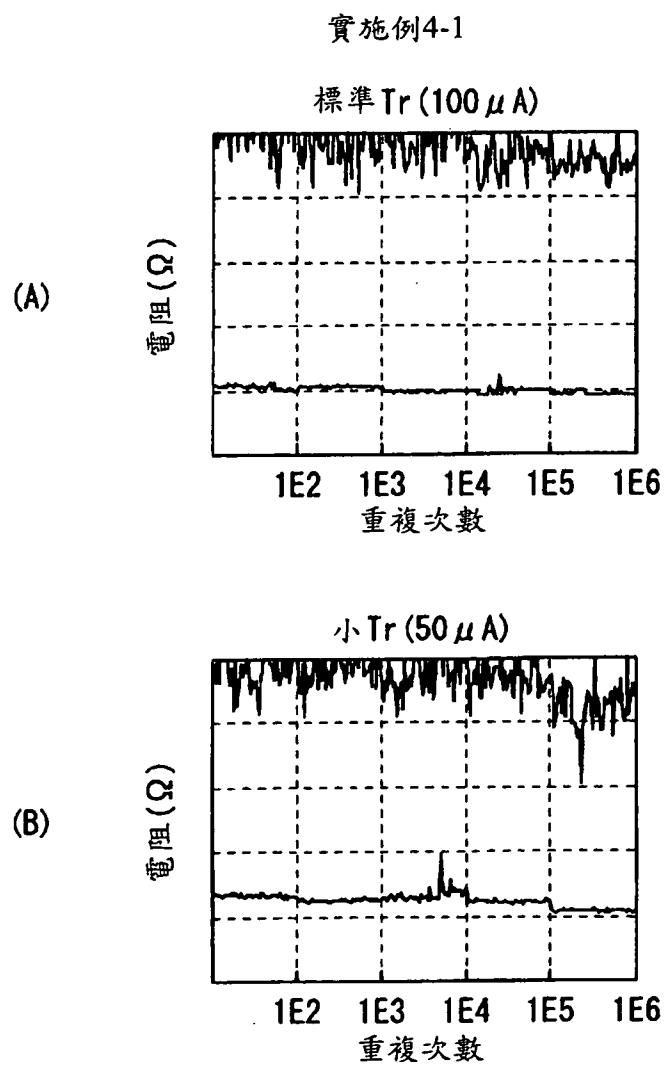
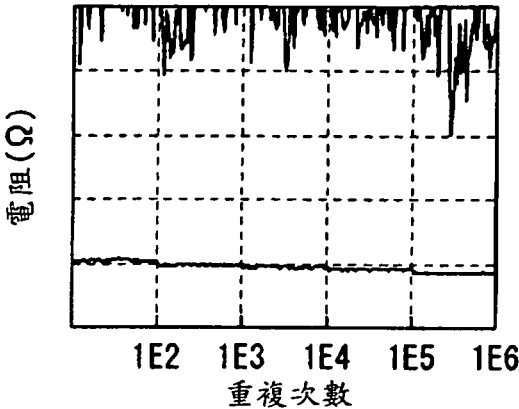


圖25

實施例4-2

標準 Tr (100 μ A)

(A)



小 Tr (50 μ A)

(B)

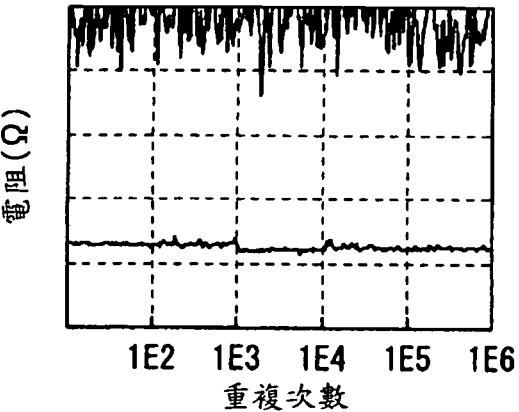
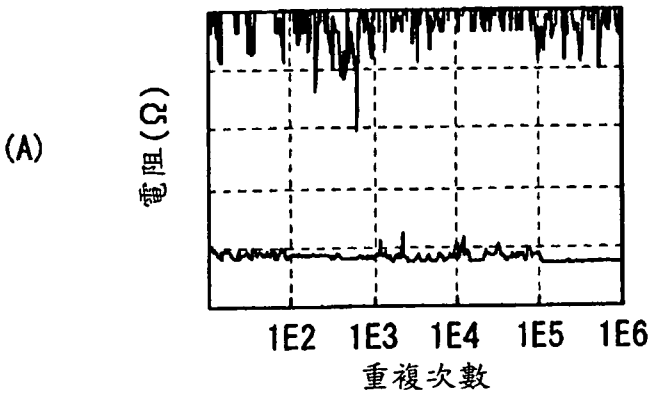


圖 26

實施例5-1

標準 Tr (100 μ A)



小 Tr (50 μ A)

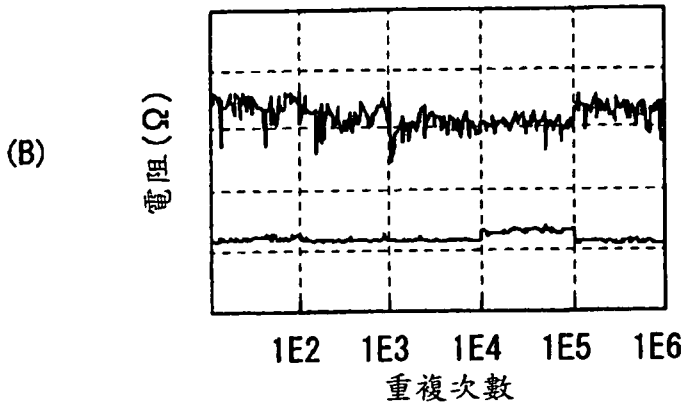
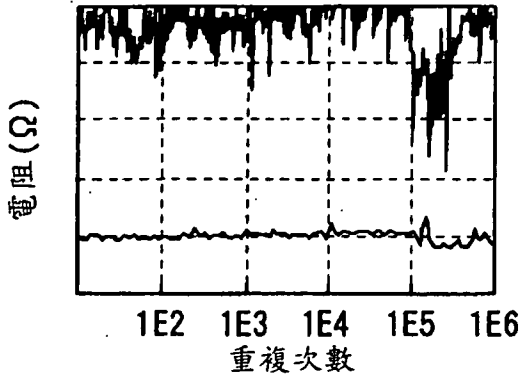


圖27

實施例6-1

標準 Tr (100 μ A)

(A)



小 Tr (50 μ A)

(B)

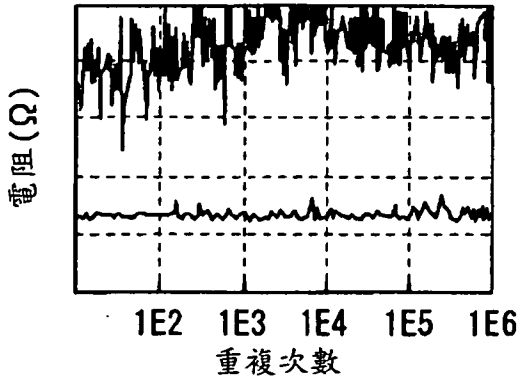
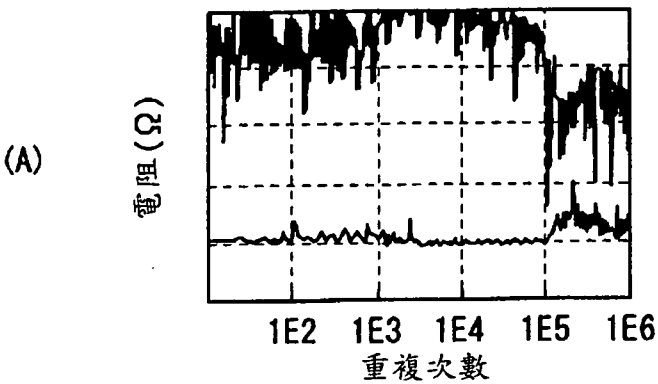


圖 28

實施例6-2

標準 Tr (100 μ A)



小 Tr (50 μ A)

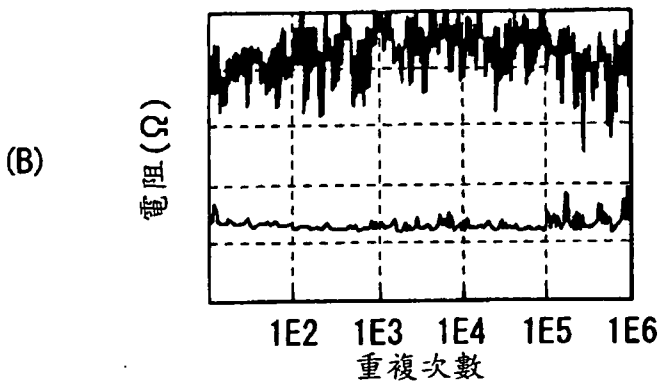


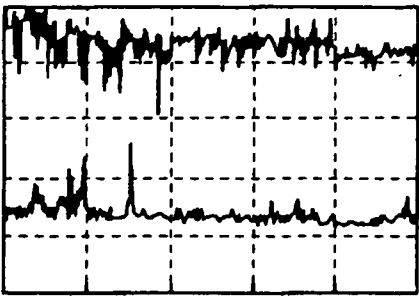
圖 29

實施例6-3

標準Tr (100 μ A)

(A)

電阻 (Ω)

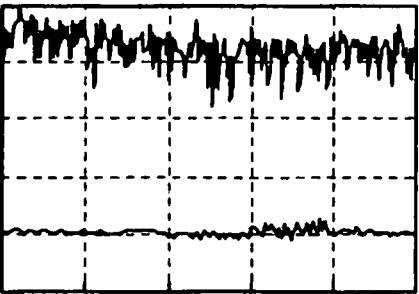


1E2 1E3 1E4 1E5 1E6
重複次數

小Tr (50 μ A)

(B)

電阻 (Ω)



1E2 1E3 1E4 1E5 1E6
重複次數

圖 30

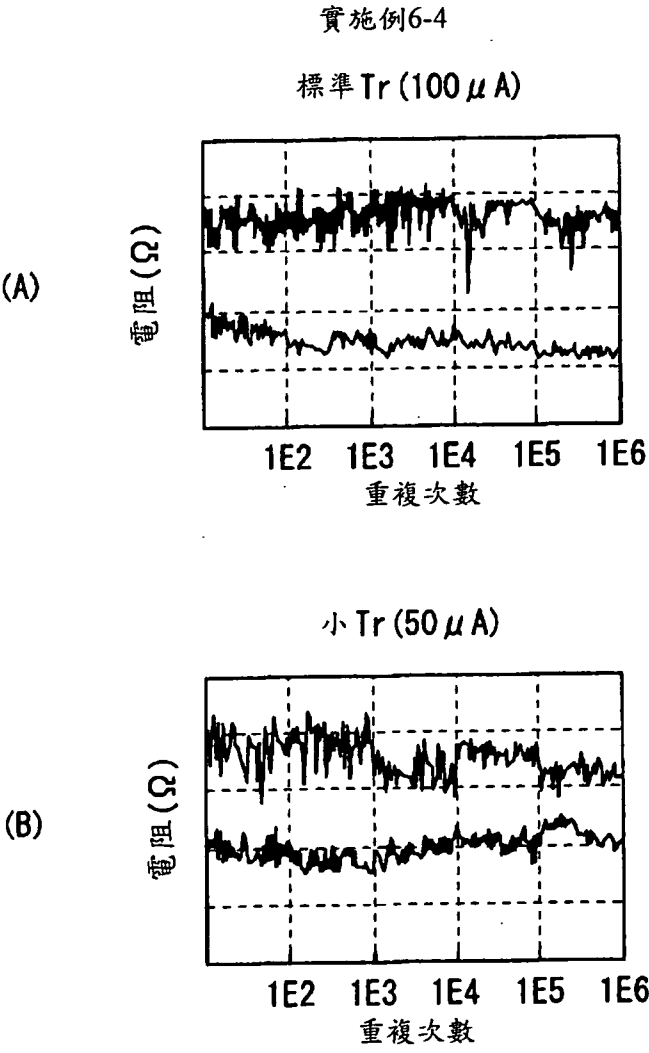


圖 31

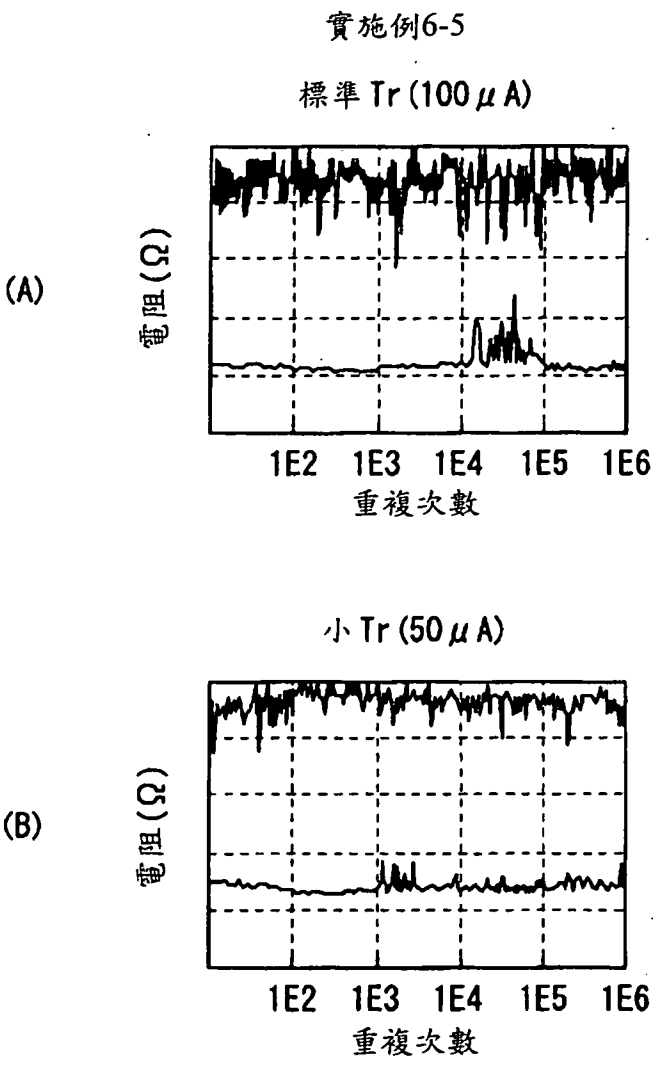


圖32

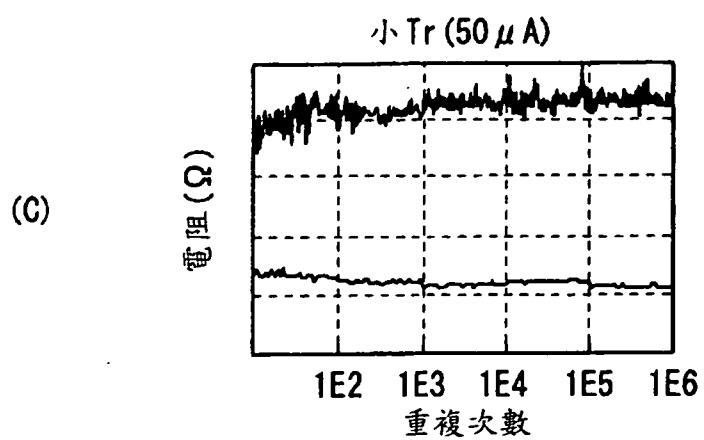
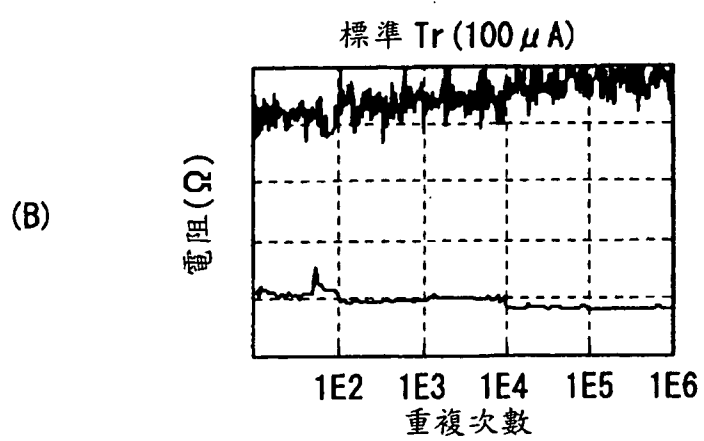
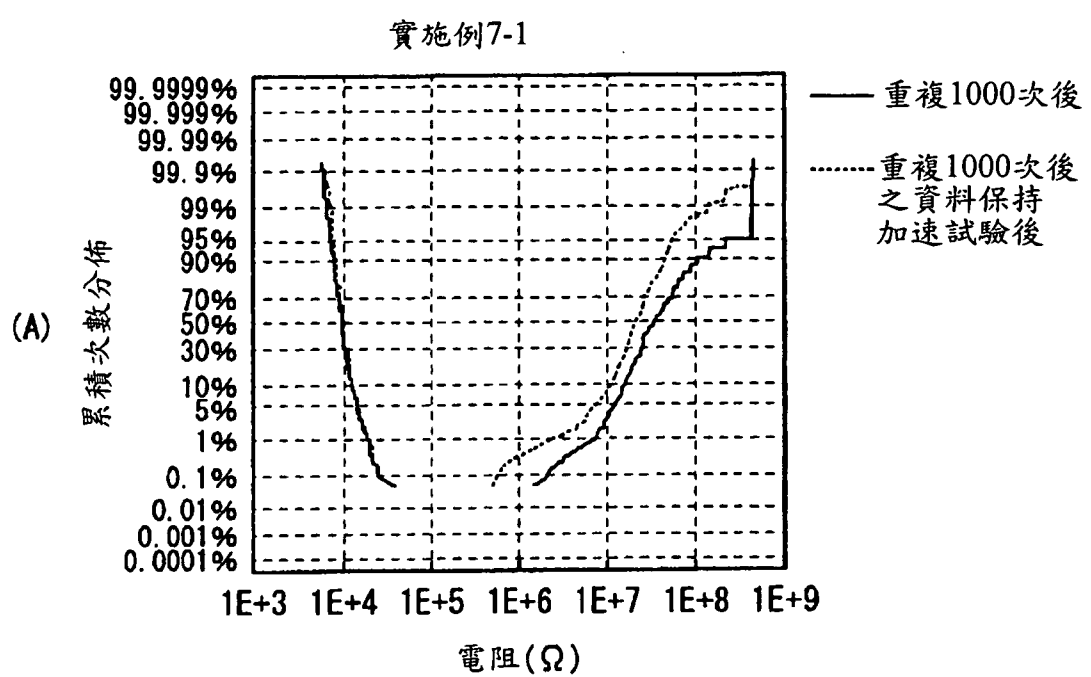


圖33

實施例7-2

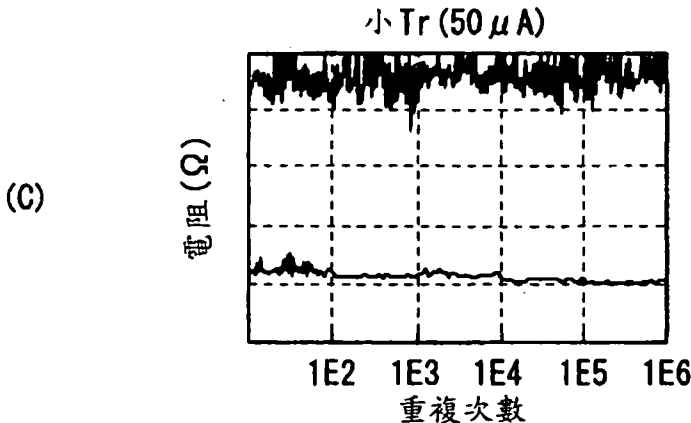
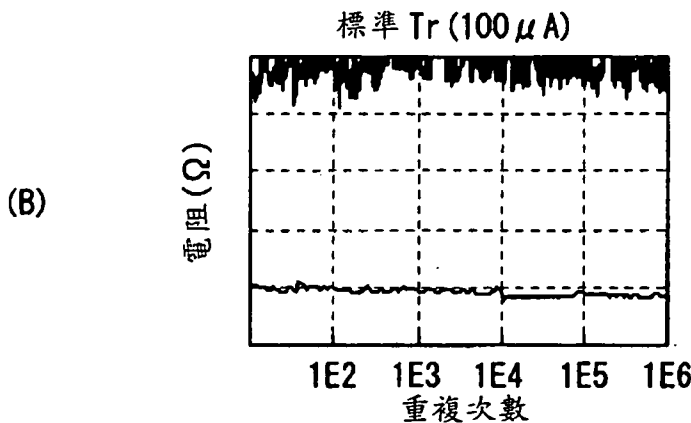
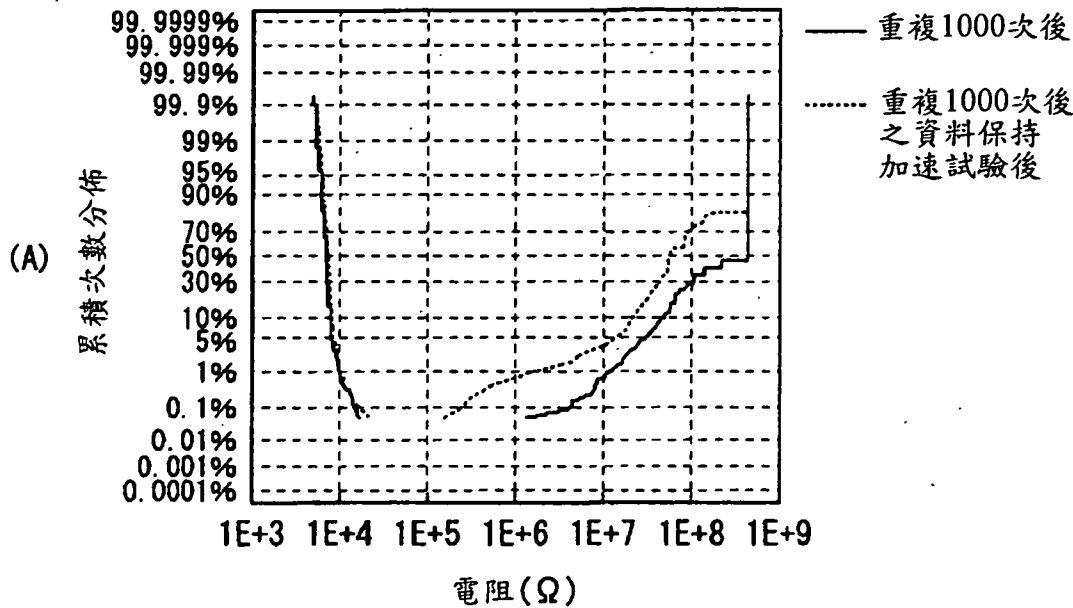


圖34

實施例7-3

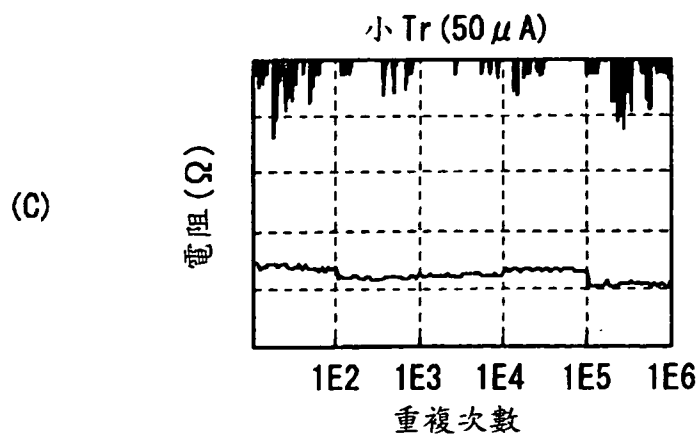
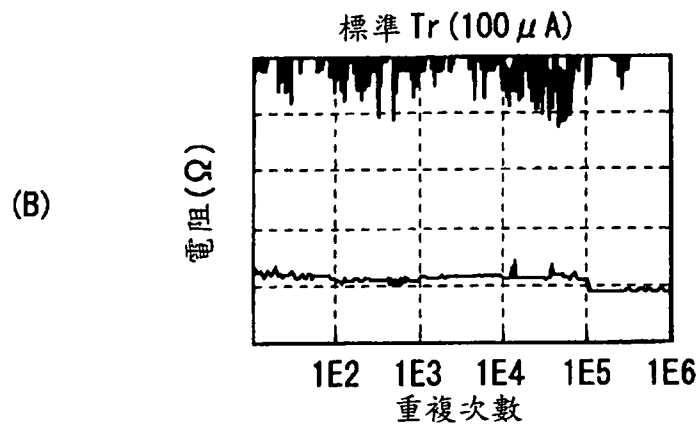
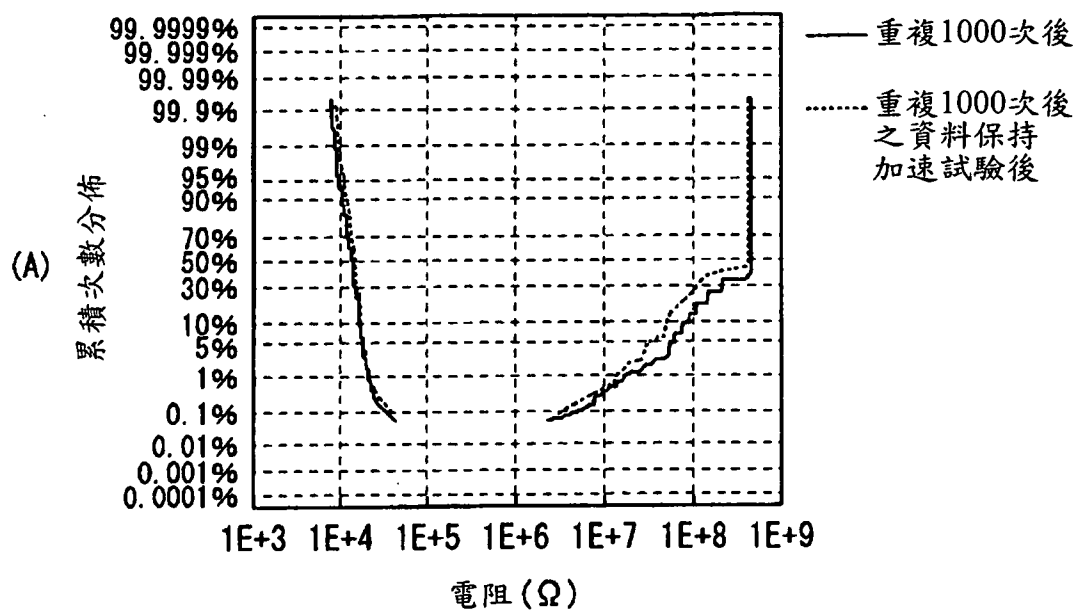


圖35

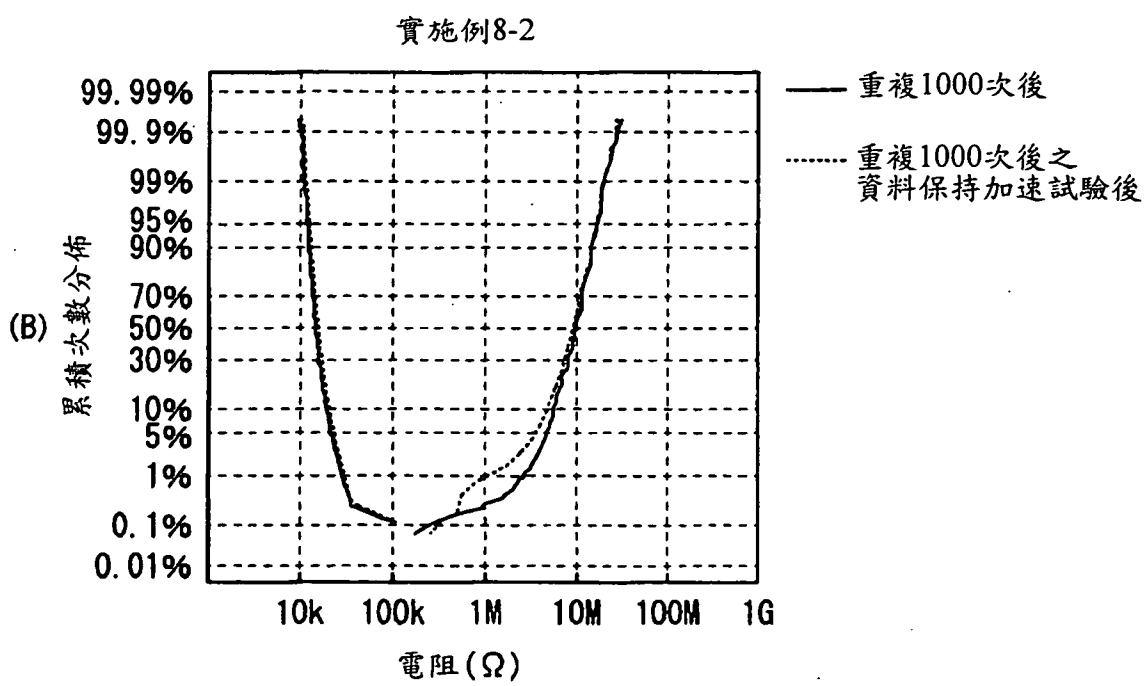
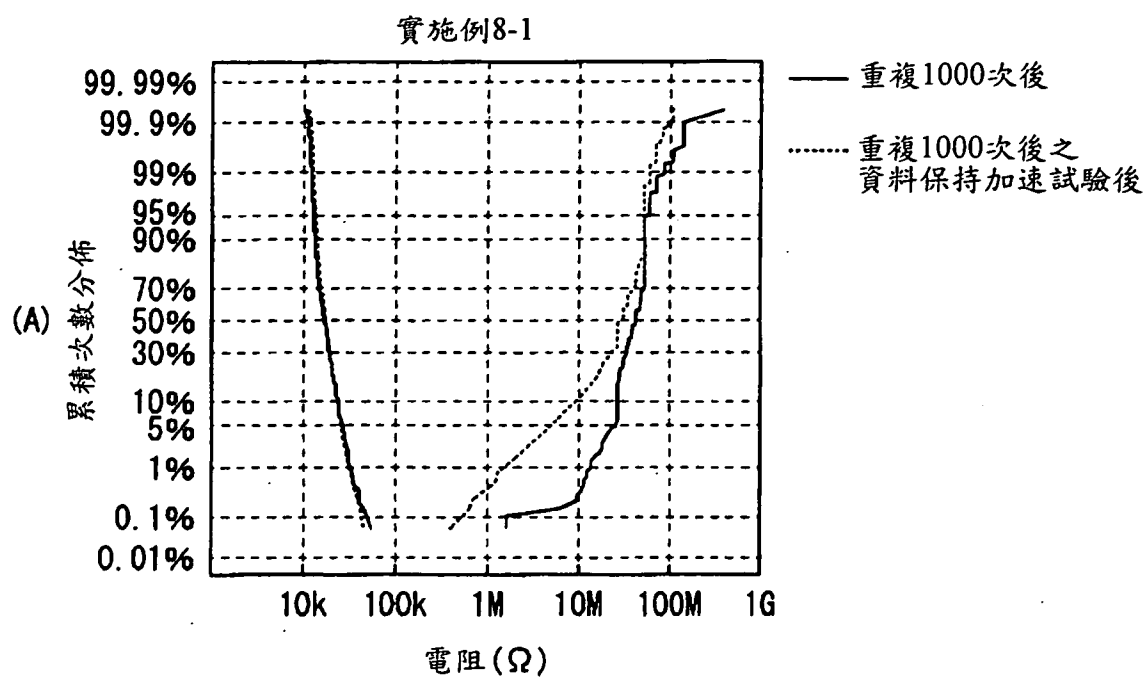


圖36

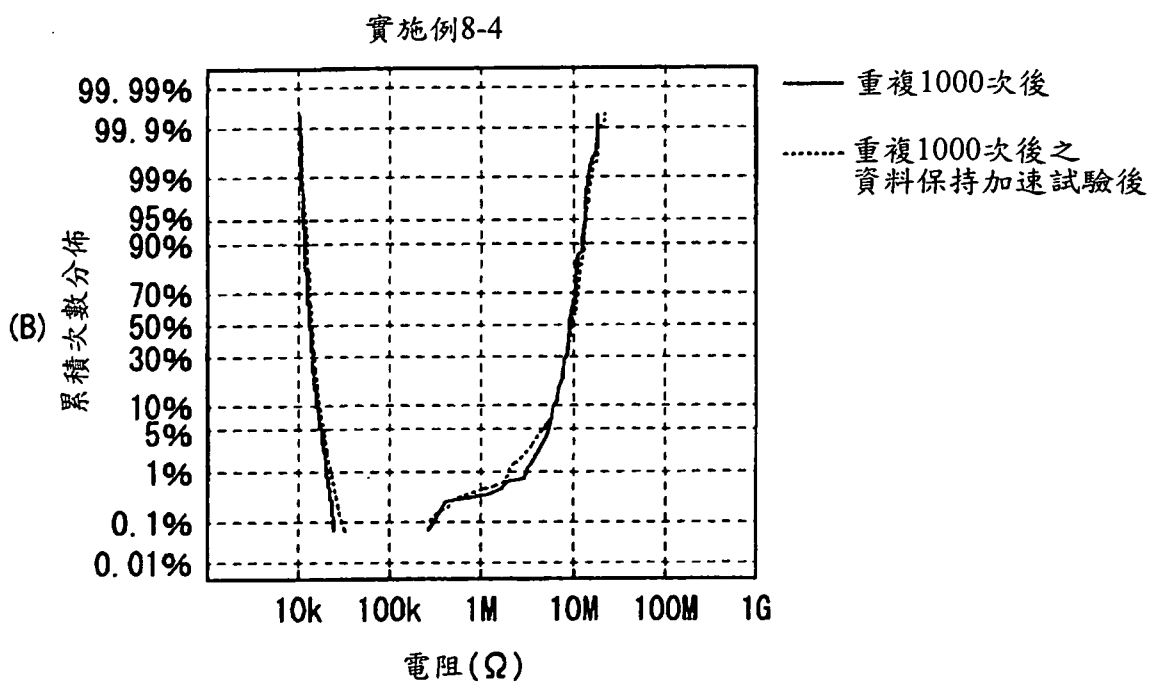
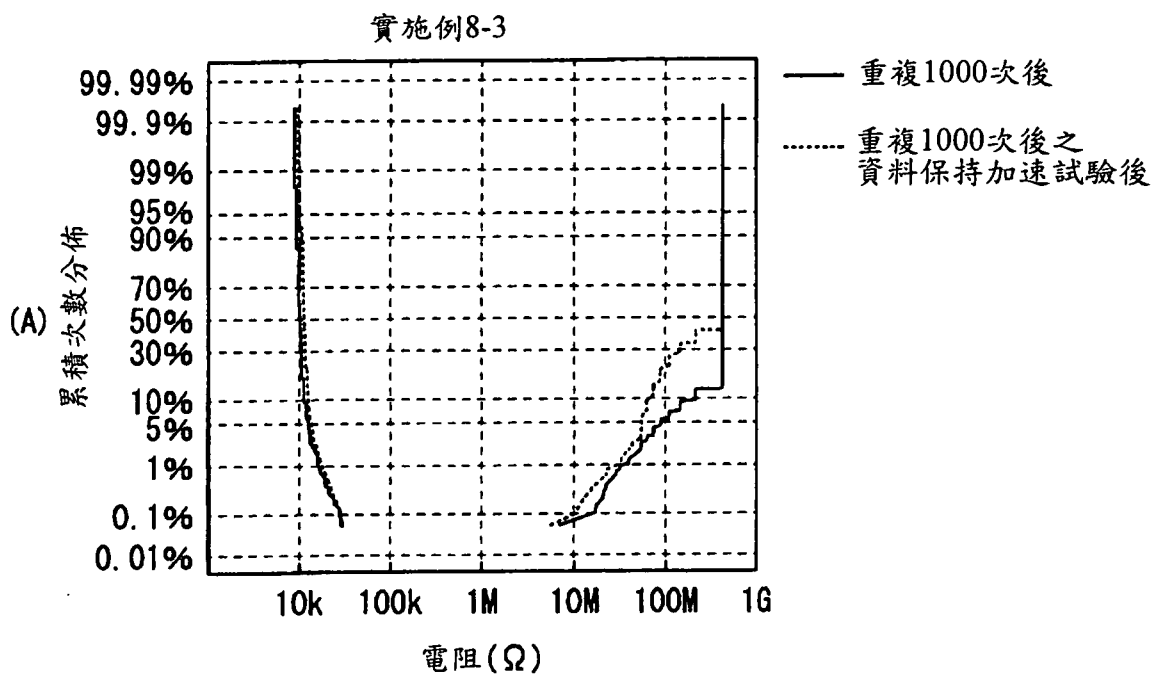


圖37

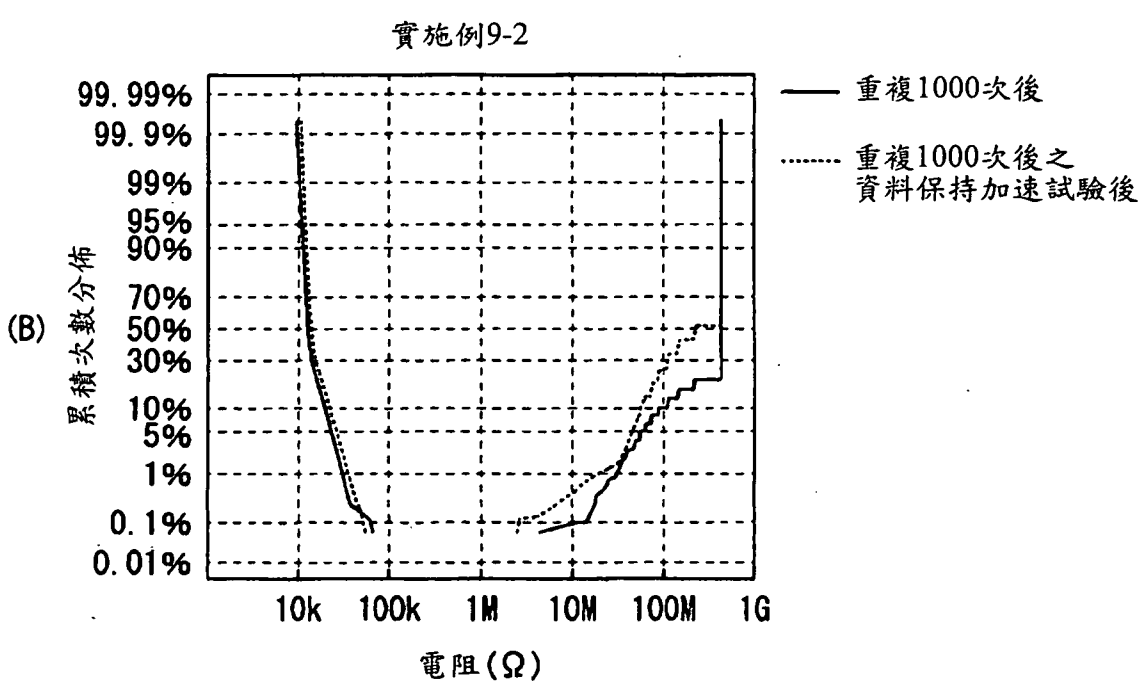
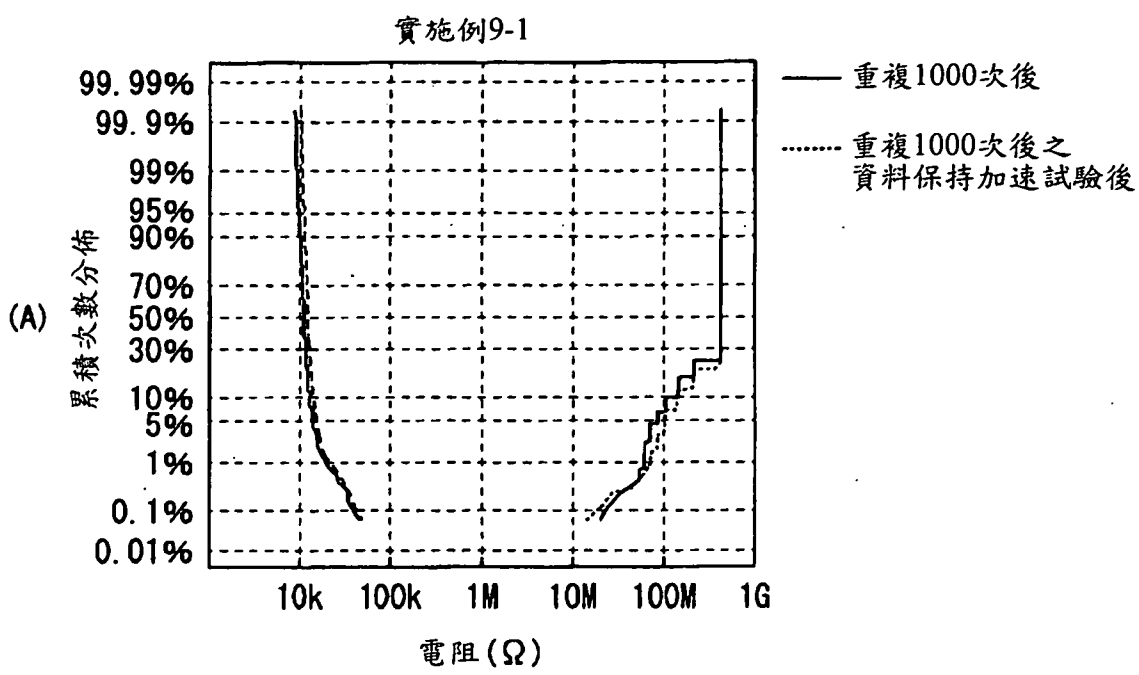


圖 38

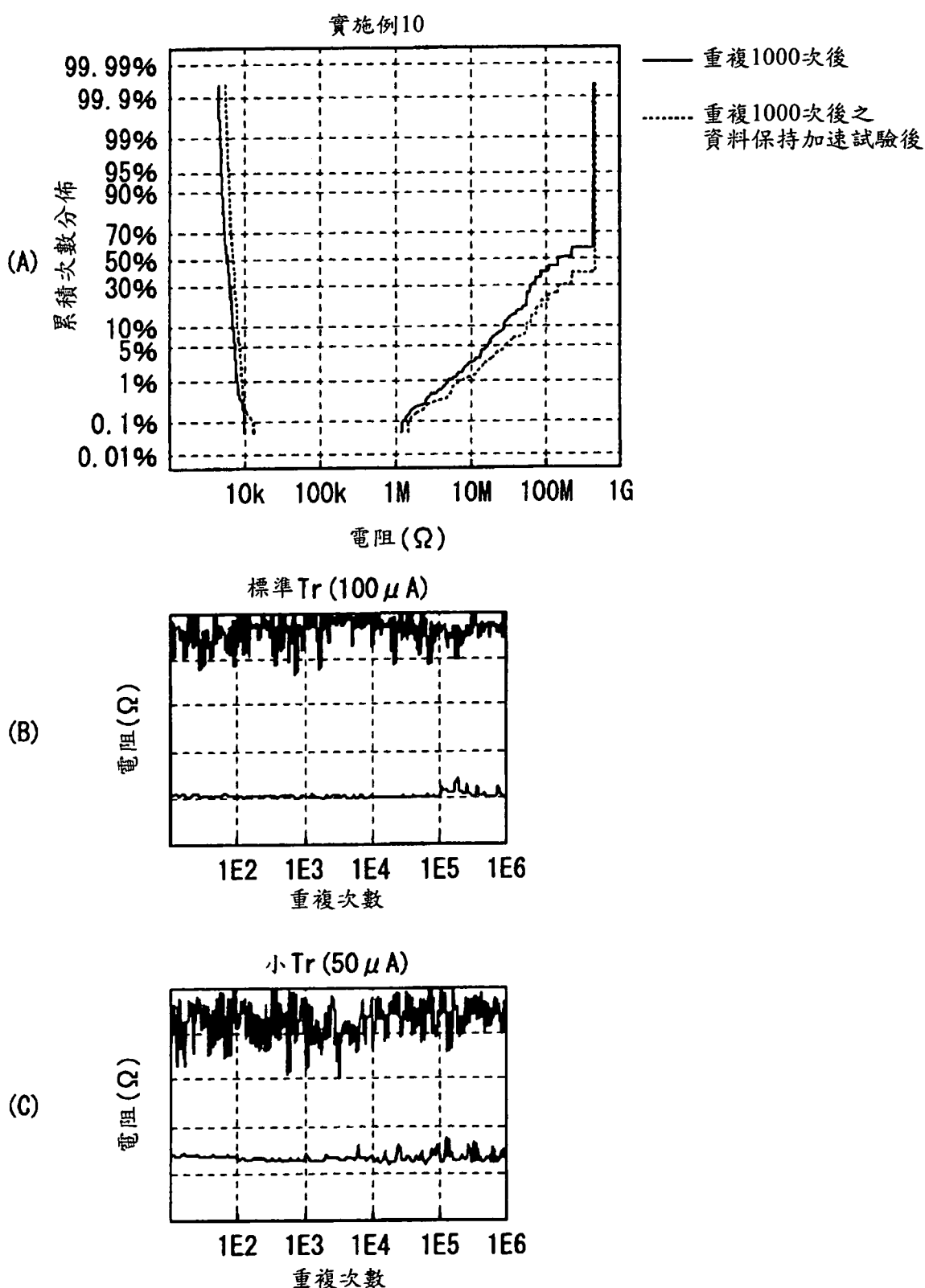


圖39

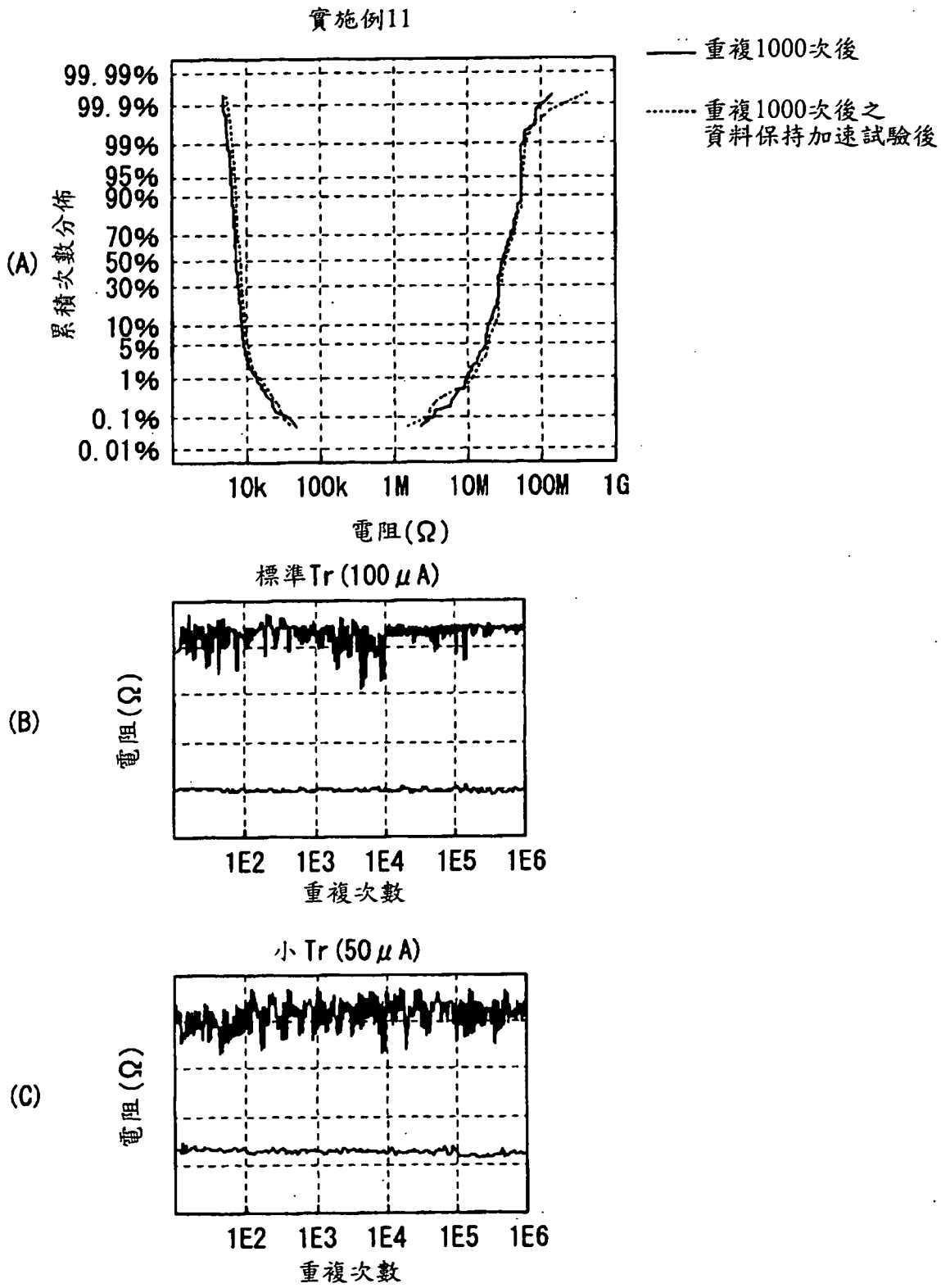


圖40

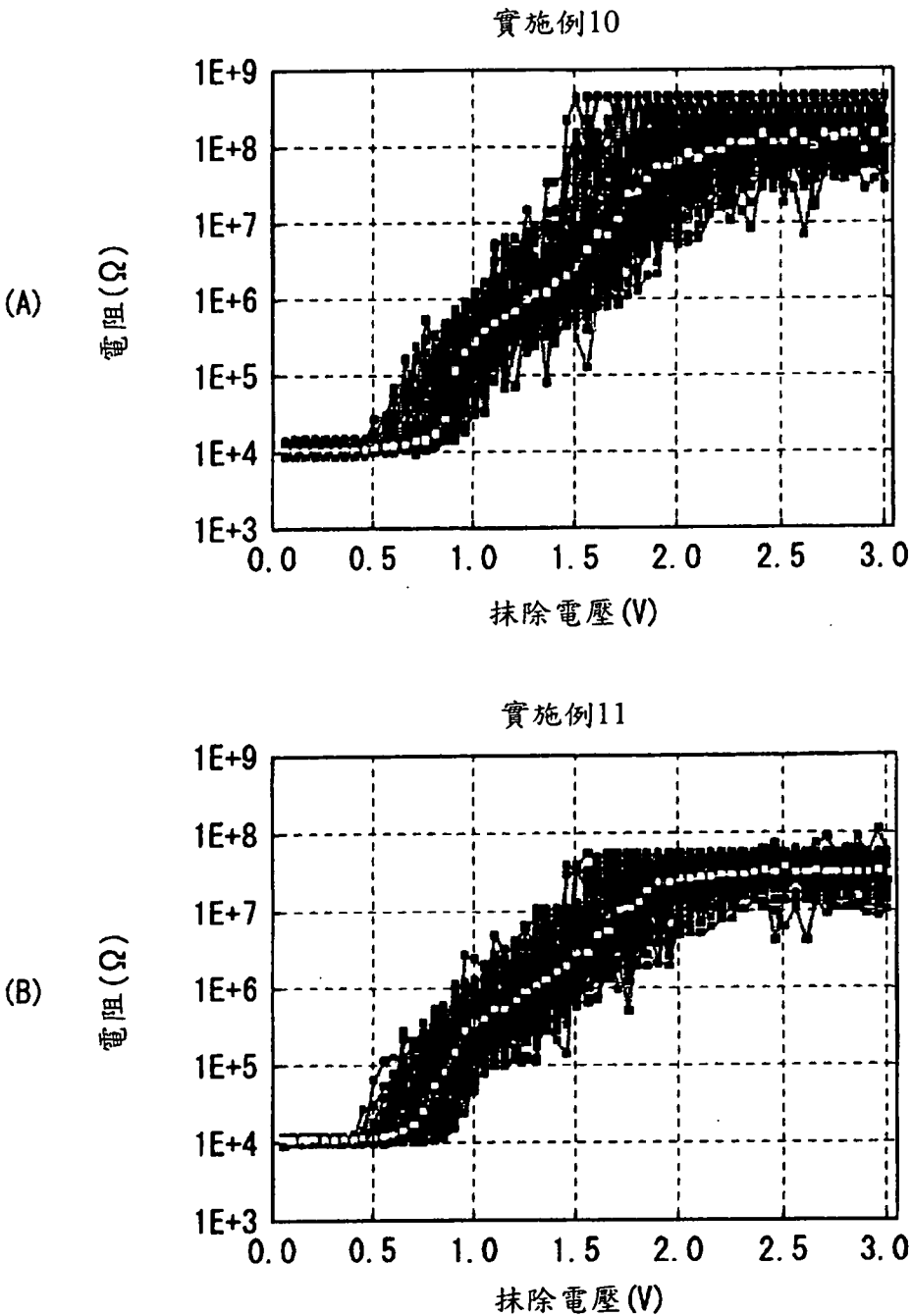


圖41

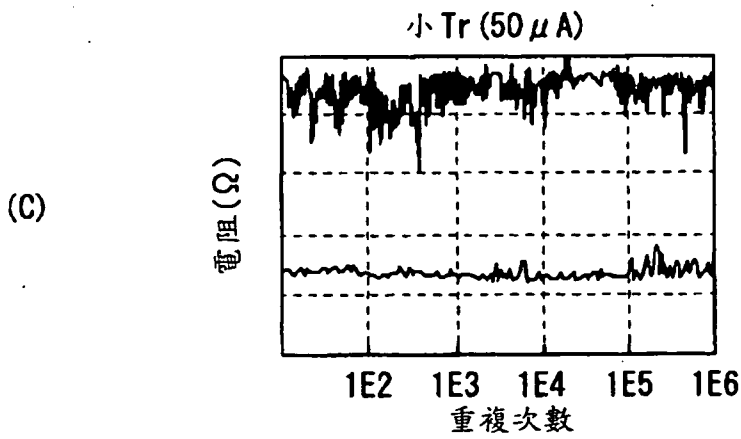
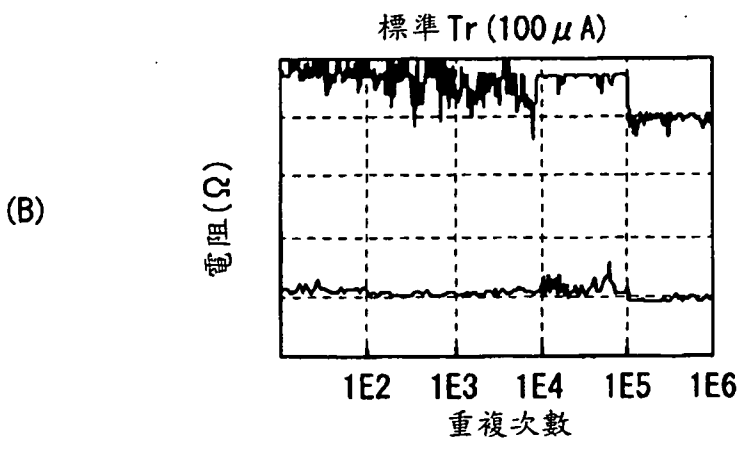
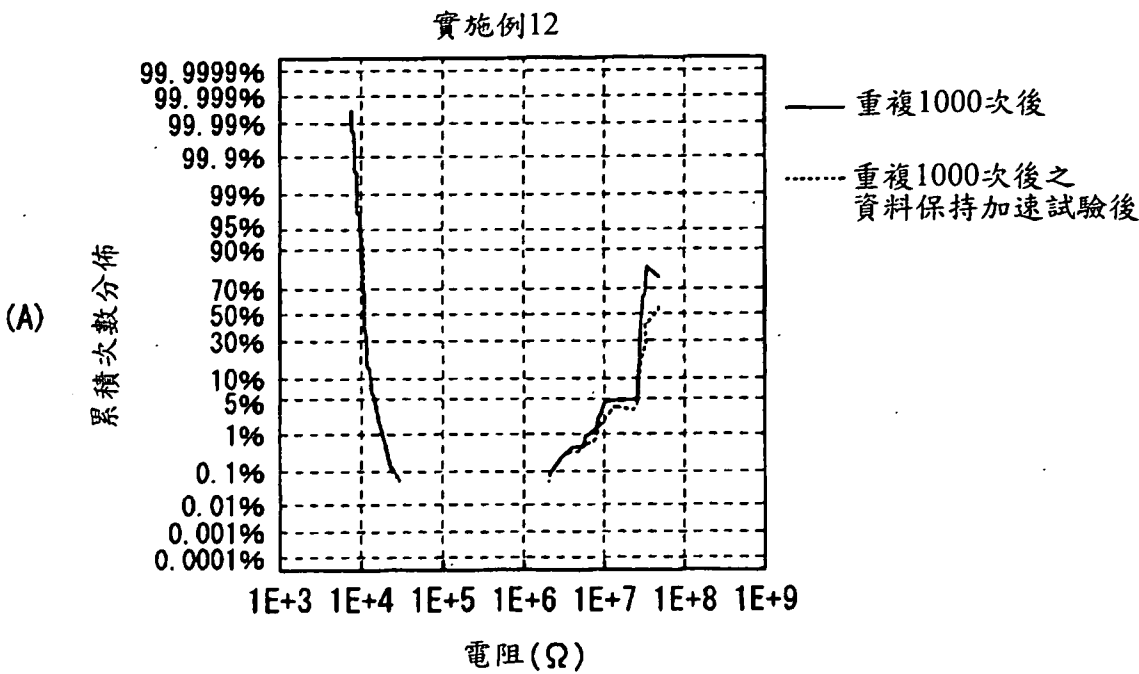


圖42

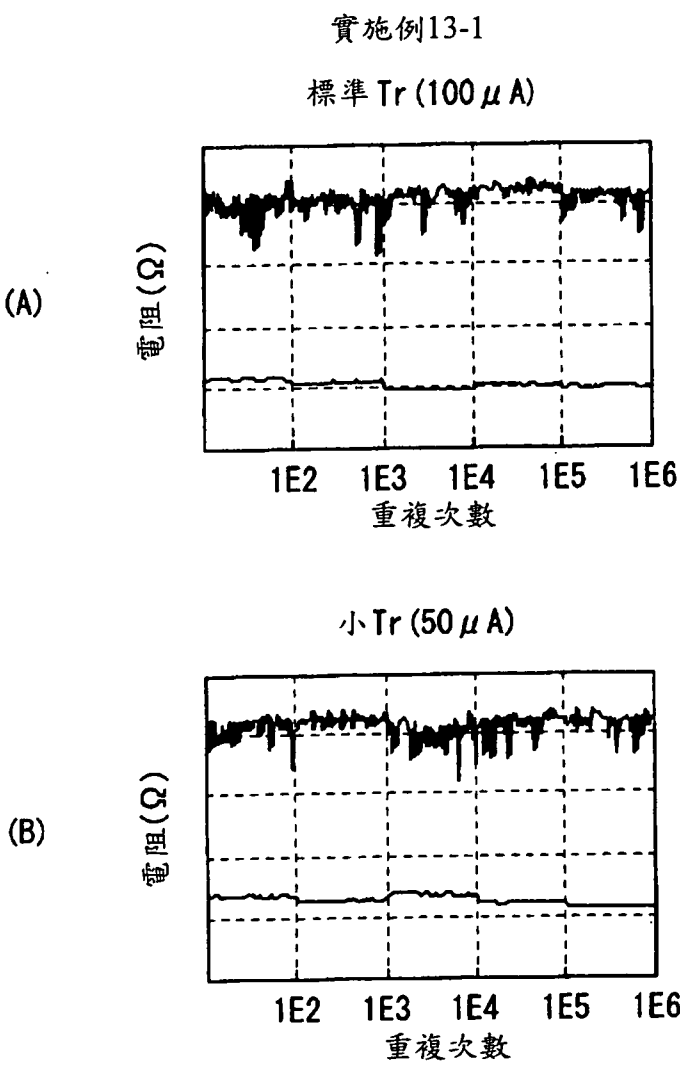


圖 43

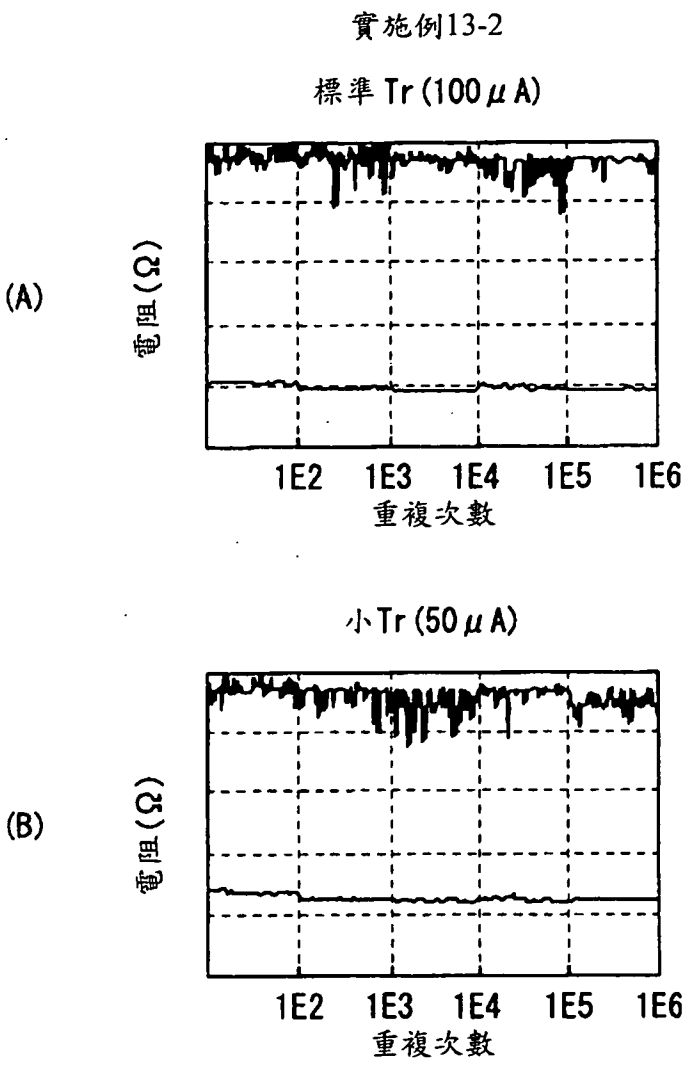


圖 44

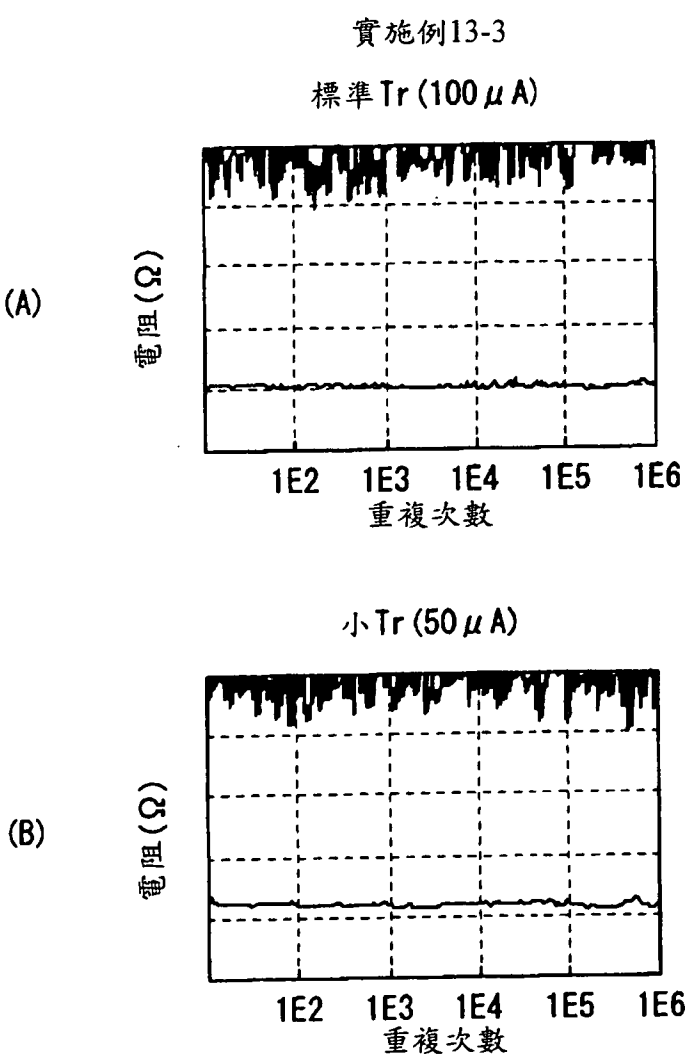


圖 45

實施例14

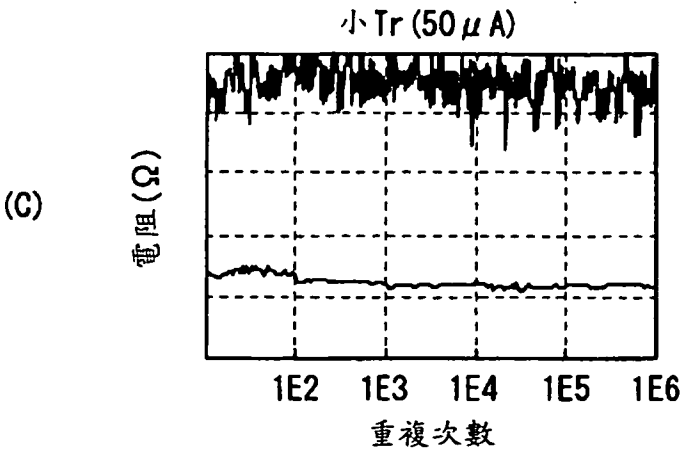
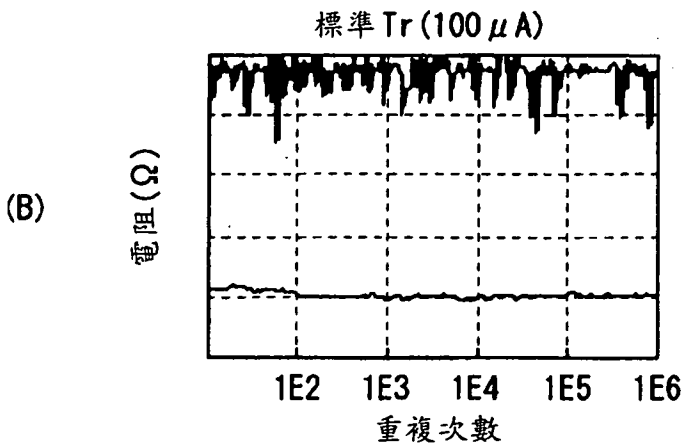
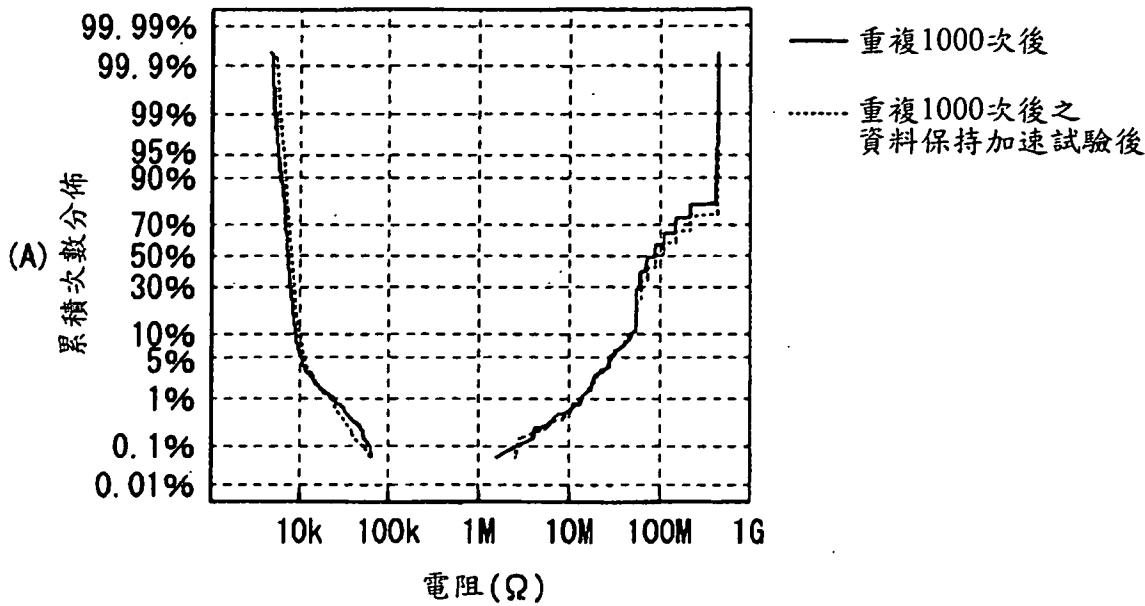


圖46

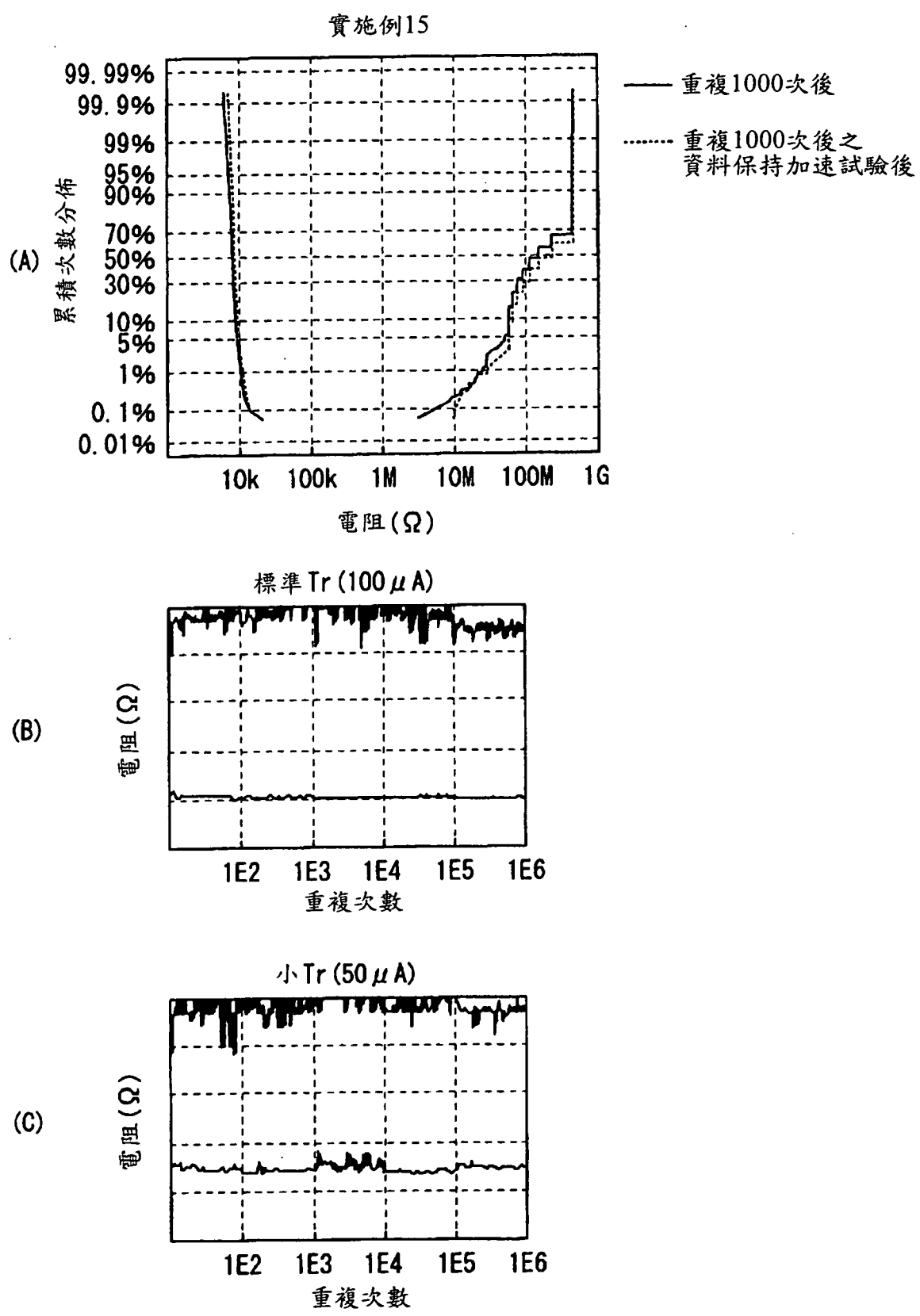


圖47

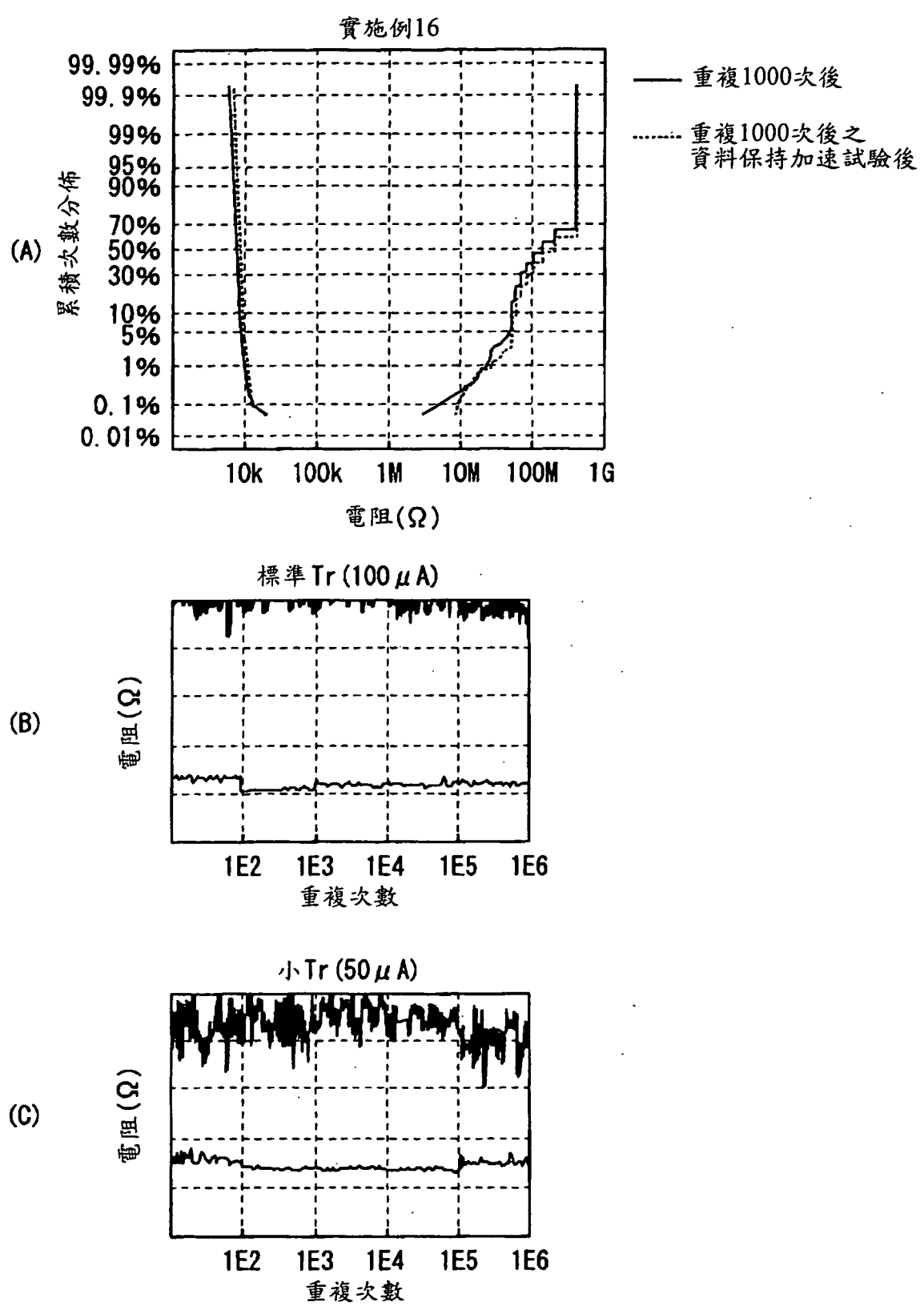


圖48

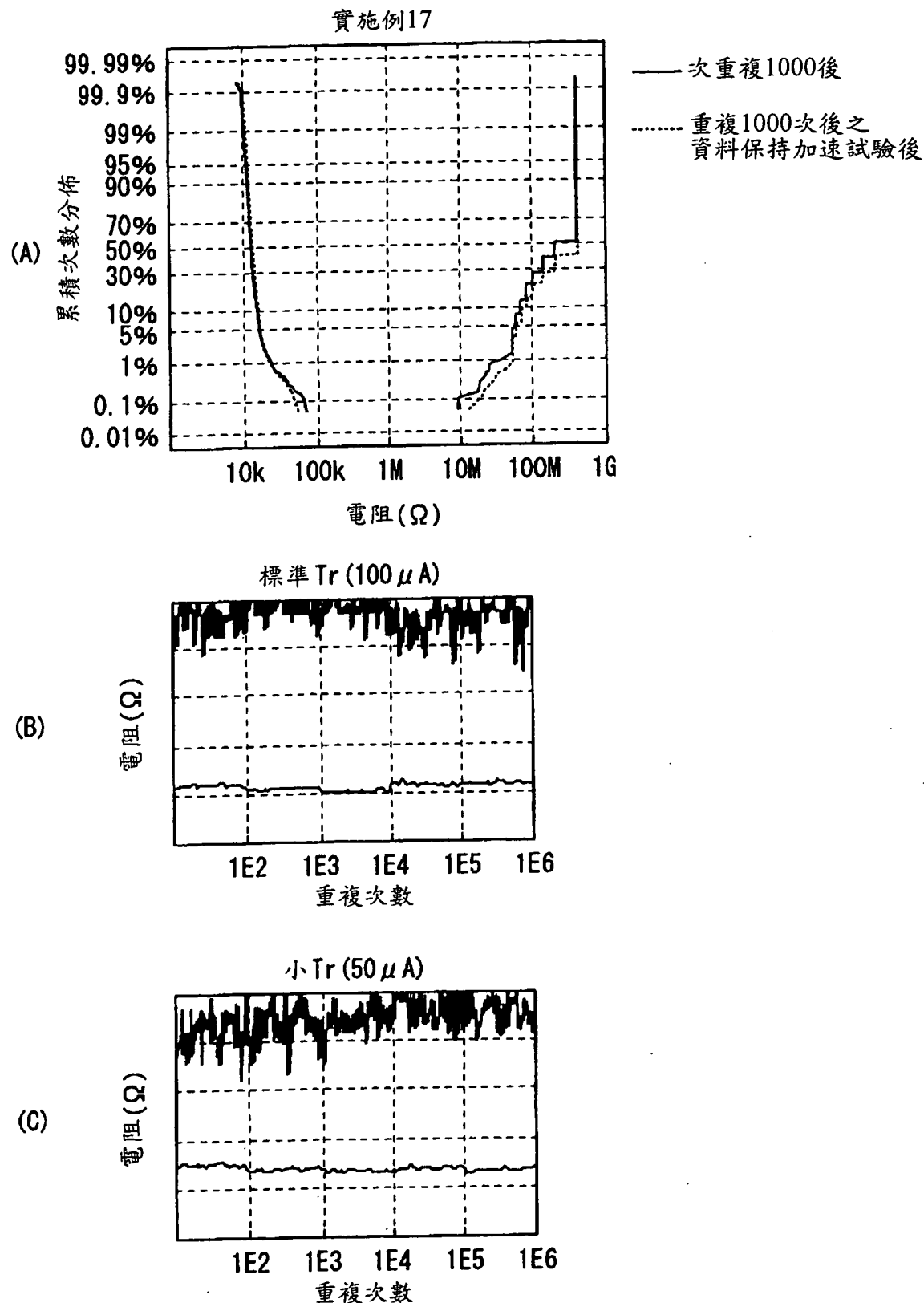


圖49

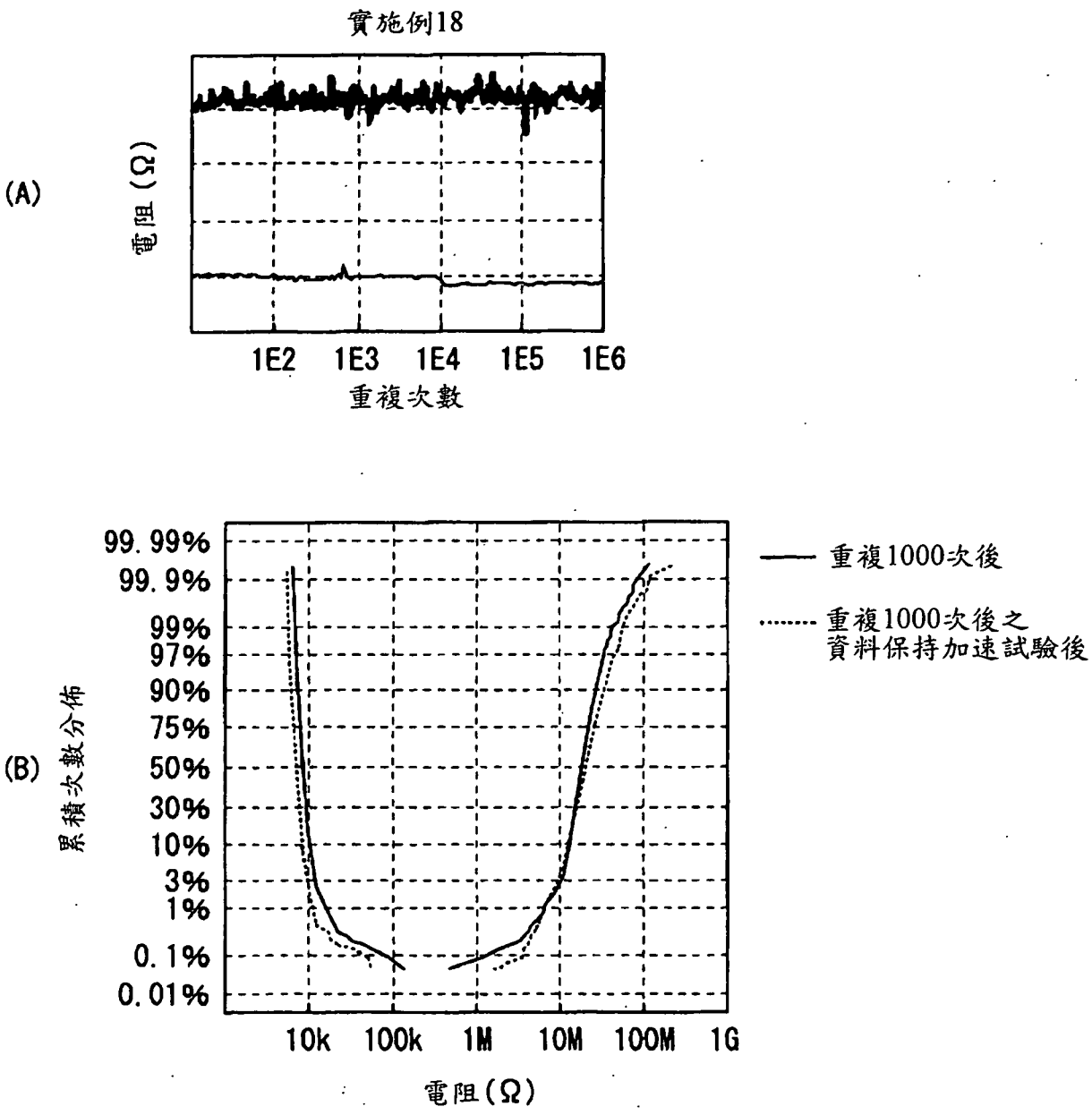


圖50

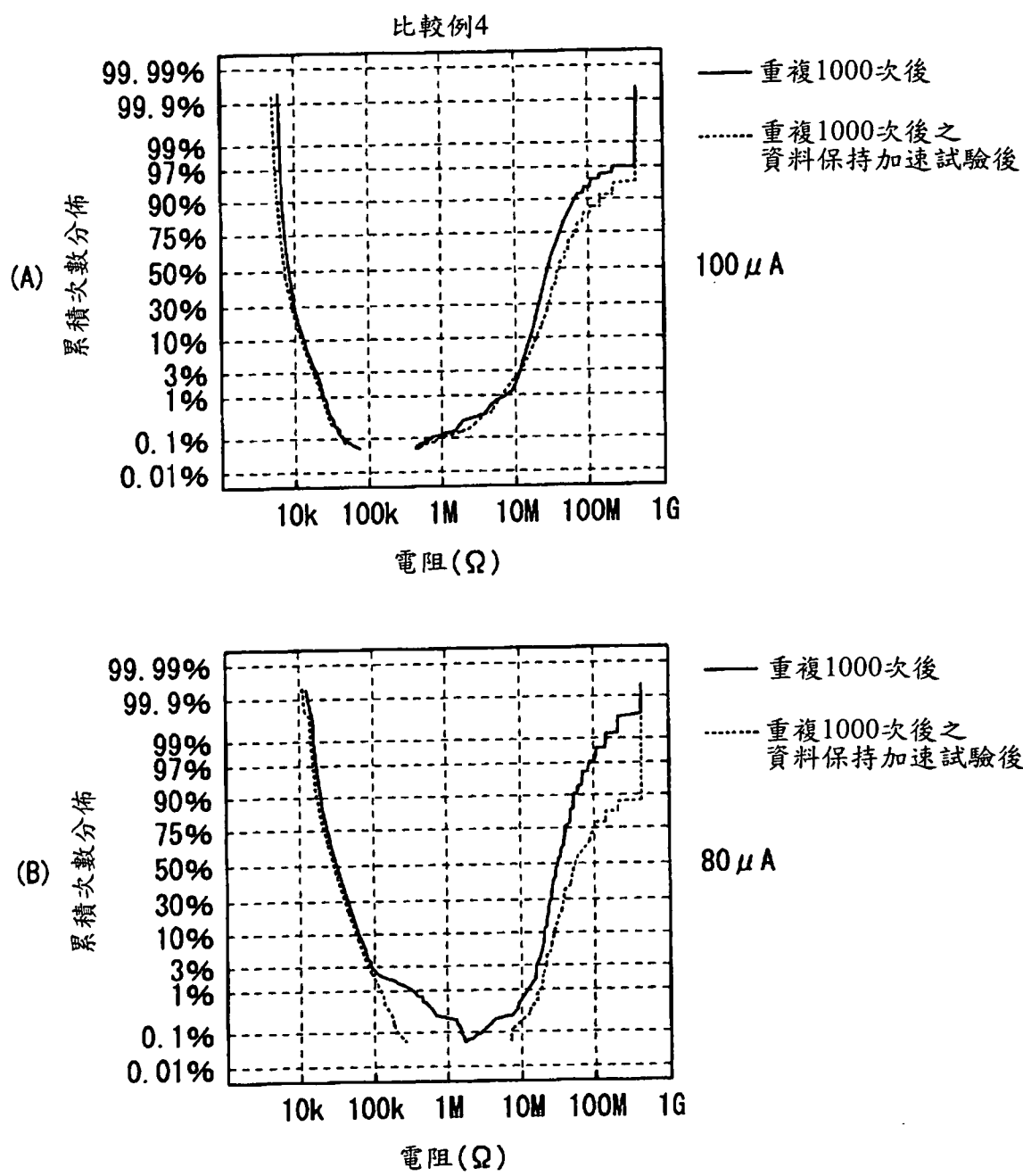
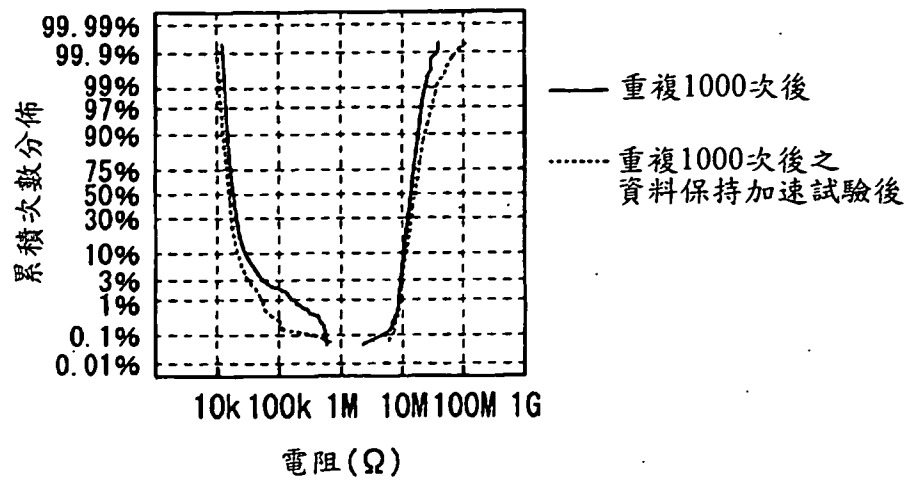
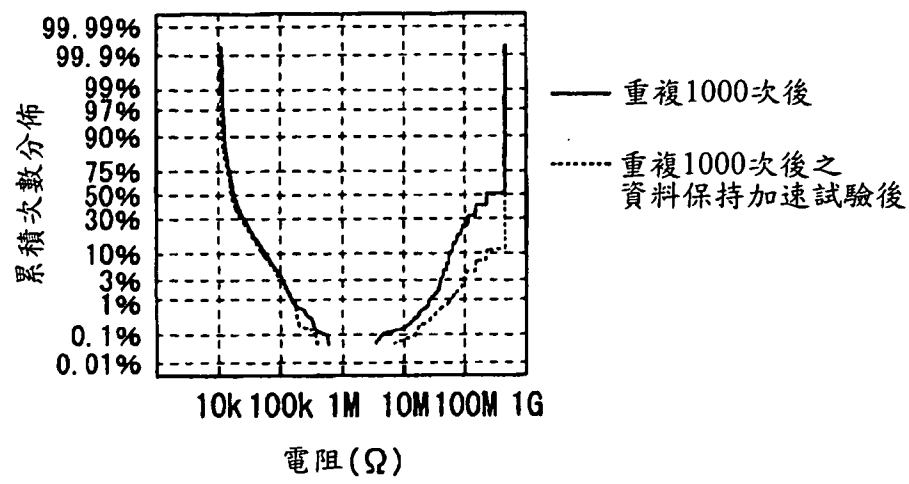


圖51

(A) 實施例18



(B) 實施例19



(C) 比較例4

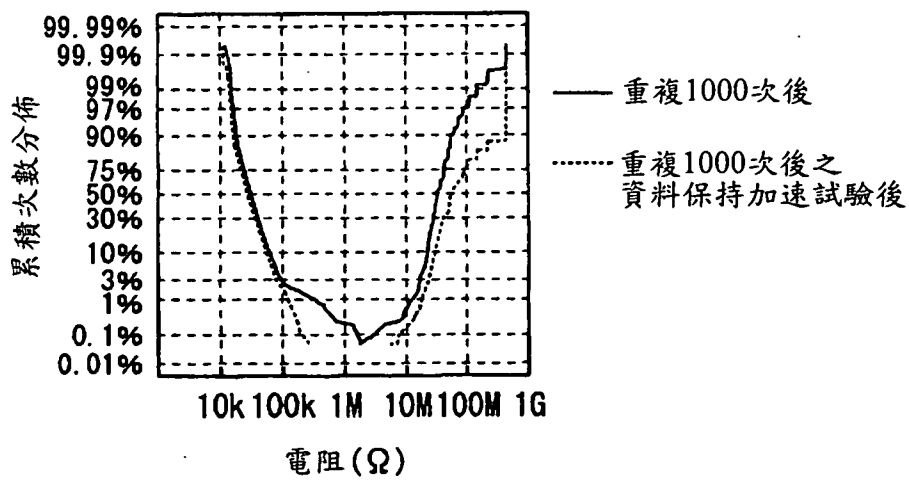


圖52

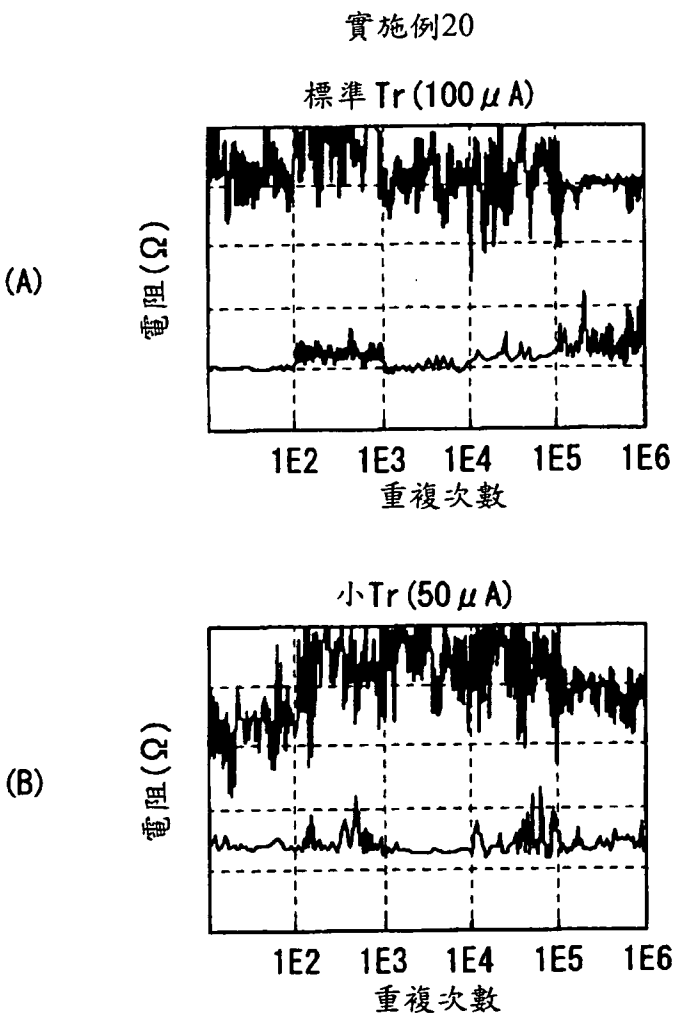


圖53