



(12) 发明专利

(10) 授权公告号 CN 113689894 B

(45) 授权公告日 2024. 12. 31

(21) 申请号 202110188581.6  
 (22) 申请日 2021.02.19  
 (65) 同一申请的已公布的文献号  
 申请公布号 CN 113689894 A  
 (43) 申请公布日 2021.11.23  
 (30) 优先权数据  
 10-2020-0060007 2020.05.19 KR  
 (73) 专利权人 爱思开海力士有限公司  
 地址 韩国京畿道  
 (72) 发明人 李宗勋  
 (74) 专利代理机构 北京三友知识产权代理有限公司 11127  
 专利代理师 刘久亮 黄纶伟

(51) Int. Cl.  
 G11C 5/06 (2006.01)  
 G11C 5/14 (2006.01)  
 G11C 7/10 (2006.01)  
 G11C 7/12 (2006.01)  
 G11C 8/08 (2006.01)  
 G11C 16/10 (2006.01)  
 G11C 16/24 (2006.01)  
 G11C 16/34 (2006.01)

(56) 对比文件  
 CN 104658606 A, 2015.05.27  
 US 6069822 A, 2000.05.30  
 审查员 王曦

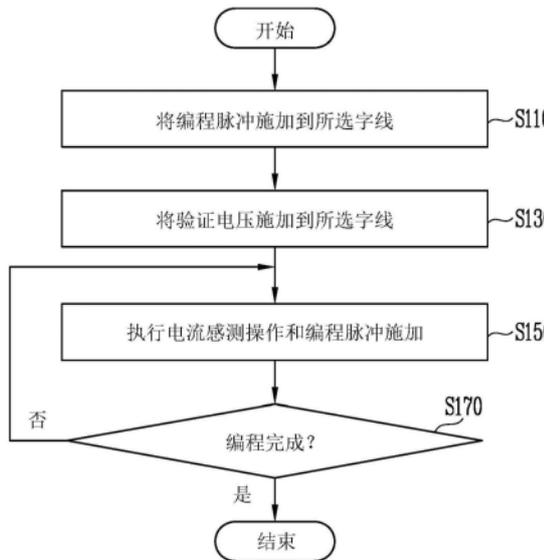
权利要求书3页 说明书18页 附图16页

(54) 发明名称

半导体存储器装置以及操作该半导体存储器装置的方法

(57) 摘要

本申请公开了半导体存储器装置以及操作该半导体存储器装置的方法。一种半导体存储器装置包括存储器单元阵列、外围电路、电流感测电路和控制逻辑。存储器单元阵列包括多个存储器单元。外围电路对所述多个存储器单元当中的连接到所选字线的所选存储器单元执行编程操作。电流感测电路通过对所选存储器单元执行电流感测操作来生成通过信号或失败信号。控制逻辑接收通过信号或失败信号并且控制外围电路和电流感测电路的操作。控制逻辑控制电流感测电路和外围电路基于所选存储器单元的编程进度状态来执行电流感测操作和将编程脉冲施加到所选字线的操作。



1. 一种半导体存储器装置,该半导体存储器装置包括:  
存储器单元阵列,该存储器单元阵列包括多个存储器单元;  
外围电路,该外围电路被配置为对所述多个存储器单元当中的连接到所选字线的所选存储器单元执行编程操作;  
电流感测电路,该电流感测电路被配置为通过对所述所选存储器单元执行电流感测操作来生成通过信号或失败信号;以及  
控制逻辑,该控制逻辑被配置为接收所述通过信号或所述失败信号并且控制所述外围电路和所述电流感测电路的操作,  
其中,所述控制逻辑控制所述电流感测电路和所述外围电路基于所述所选存储器单元的编程进度状态来执行所述电流感测操作和将编程脉冲施加到所述所选字线的操作,  
其中,当所述所选存储器单元的所述编程进度状态对应于作为所述编程操作的开始的第一状态时,所述控制逻辑控制所述电流感测电路和所述外围电路同时执行所述电流感测操作和将所述编程脉冲施加到所述所选字线的操作,并且  
其中,当所述所选存储器单元的所述编程进度状态对应于发生在所述第一状态之后的第二状态时,所述控制逻辑控制所述电流感测电路和所述外围电路依次执行所述电流感测操作和将所述编程脉冲施加到所述所选字线的操作。
2. 根据权利要求1所述的半导体存储器装置,其中,所述所选存储器单元被编程为多个目标编程状态中的任一个,并且  
当要执行的所述电流感测操作对应于所述多个目标编程状态当中的除了最后编程状态之外的剩余目标编程状态中的任一个时,所述控制逻辑控制所述电流感测电路和所述外围电路同时执行所述电流感测操作和将所述编程脉冲施加到所述所选字线的操作。
3. 根据权利要求1所述的半导体存储器装置,其中,当施加到所述所选字线的编程脉冲的数量小于预定阈值数量时,所述控制逻辑控制所述电流感测电路和所述外围电路同时执行所述电流感测操作和将所述编程脉冲施加到所述所选字线的操作。
4. 根据权利要求1所述的半导体存储器装置,其中,所述所选存储器单元被编程为多个目标编程状态中的任一个,并且  
当要执行的所述电流感测操作对应于所述多个目标编程状态当中的最后编程状态时,所述控制逻辑控制所述电流感测电路执行所述电流感测操作,然后控制所述外围电路执行将所述编程脉冲施加到所述所选字线的操作。
5. 根据权利要求1所述的半导体存储器装置,其中,当施加到所述所选字线的编程脉冲的数量等于或大于预定阈值数量时,所述控制逻辑控制所述电流感测电路执行所述电流感测操作,然后控制所述外围电路执行将所述编程脉冲施加到所述所选字线的操作。
6. 根据权利要求1所述的半导体存储器装置,其中,所述外围电路包括:  
地址解码器,该地址解码器被配置为将连接到所述存储器单元阵列的多条字线当中的所述所选字线解码,并且将编程电压和验证电压传送到所述所选字线;以及  
读写电路,该读写电路通过多条位线连接到所述存储器单元阵列并且被配置为将编程允许电压或编程禁止电压传送到所述多条位线中的每一条。
7. 一种操作半导体存储器装置以对所述存储器单元进行编程的方法,该方法包括以下步骤:

将编程脉冲施加到连接到所述所选存储器单元的所选字线；  
将验证电压施加到所述所选字线；以及  
基于所述所选存储器单元的编程进度状态来执行电流感测操作和施加编程脉冲的操作，

其中，当所述所选存储器单元的所述编程进度状态对应于作为编程操作的开始的第一状态时，所述电流感测操作和将所述编程脉冲施加到所述所选字线的操作被同时执行，并且

当所述所选存储器单元的所述编程进度状态对应于发生在所述第一状态之后的第二状态时，所述电流感测操作和将所述编程脉冲施加到所述所选字线的操作被依次执行。

8. 根据权利要求7所述的方法，其中，所述所选存储器单元被编程为多个目标编程状态中的任一个，并且

基于所述所选存储器单元的所述编程进度状态来执行所述电流感测操作和施加所述编程脉冲的操作的步骤包括以下步骤：

检查所述多个目标编程状态当中的验证通过的编程状态；以及

当要执行的所述电流感测操作对应于所述多个目标编程状态当中的除了最后编程状态之外的剩余目标编程状态中的任一个时，同时执行所述电流感测操作和将所述编程脉冲施加到所述所选字线的操作。

9. 根据权利要求7所述的方法，其中，基于所述所选存储器单元的所述编程进度状态来执行所述电流感测操作和施加所述编程脉冲的操作的步骤包括以下步骤：

检查施加到所述所选字线的编程脉冲的数量；以及

当所述编程脉冲的数量小于预定阈值数量时，同时执行所述电流感测操作和将所述编程脉冲施加到所述所选字线的操作。

10. 根据权利要求7所述的方法，其中，当所述所选存储器单元的所述编程进度状态对应于所述第一状态时，执行所述电流感测操作和将所述编程脉冲施加到所述所选字线的操作包括以下步骤：

执行所述电流感测操作；

在与执行所述电流感测操作的时段至少部分地交叠的时段中将所述编程脉冲施加到所述所选字线；以及

作为所述电流感测操作的结果，确定验证失败还是通过。

11. 根据权利要求7所述的方法，其中，所述所选存储器单元被编程为多个目标编程状态中的任一个，并且

基于所述所选存储器单元的所述编程进度状态来执行所述电流感测操作和施加所述编程脉冲的操作的步骤包括以下步骤：

检查所述多个目标编程状态当中的验证通过的编程状态；以及

当要执行的所述电流感测操作对应于所述多个目标编程状态当中的最后编程状态时，依次执行所述电流感测操作和将所述编程脉冲施加到所述所选字线的操作。

12. 根据权利要求7所述的方法，其中，基于所述所选存储器单元的所述编程进度状态来执行所述电流感测操作和施加所述编程脉冲的操作的步骤包括以下步骤：

检查施加到所述所选字线的编程脉冲的数量；以及

当所述编程脉冲的数量等于或大于预定阈值数量时,依次执行所述电流感测操作和将所述编程脉冲施加到所述所选字线的操作。

13.根据权利要求7所述的方法,其中,当所述所选存储器单元的所述编程进度状态对应于发生在所述第一状态之后的第二状态时,执行所述电流感测操作和将所述编程脉冲施加到所述所选字线的操作包括以下步骤:

执行所述电流感测操作;

作为所述电流感测操作的结果,确定验证失败还是通过;以及

当所述验证失败时,将所述编程脉冲施加到所述所选字线。

## 半导体存储器装置以及操作该半导体存储器装置的方法

### 技术领域

[0001] 本公开涉及电子装置,更具体地,涉及一种半导体存储器装置以及操作该半导体存储器装置的方法。

### 背景技术

[0002] 存储器装置可按照串在半导体基板上水平布置的二维结构或者串在半导体基板上垂直层叠的三维结构形成。三维存储器装置是为了解决二维存储器装置的集成限制而设计的存储器装置,并且可包括在半导体基板上垂直层叠的多个存储器单元。

### 发明内容

[0003] 根据本公开的实施方式的半导体存储器装置可包括存储器单元阵列、外围电路、电流感测电路和控制逻辑。存储器单元阵列可包括多个存储器单元。外围电路可对多个存储器单元当中的连接到所选字线的所选存储器单元执行编程操作。电流感测电路可通过对所选存储器单元执行电流感测操作来生成通过信号或失败信号。控制逻辑可接收通过信号或失败信号并且控制外围电路和电流感测电路的操作。控制逻辑可控制电流感测电路和外围电路基于所选存储器单元的编程进度状态来执行电流感测操作和对所选字线施加编程脉冲的操作。

[0004] 依据根据本公开的另一实施方式的操作半导体存储器装置的方法,对所选存储器单元进行编程。该方法可包括以下步骤:将编程脉冲施加到连接到所选存储器单元的所选字线;将验证电压施加到所选字线;以及基于所选存储器单元的编程进度状态来执行电流感测操作和施加编程脉冲的操作。

### 附图说明

[0005] 图1是示出根据本公开的实施方式的半导体存储器装置的框图。

[0006] 图2是示出图1的存储器单元阵列的实施方式的图。

[0007] 图3是示出图2的存储块BLK1至BLKz中的任一个存储块BLKa的电路图。

[0008] 图4是示出图2的存储块BLK1至BLKz中的任一个存储块BLKb的另一实施方式的电路图。

[0009] 图5是示出图1的存储器单元阵列110中所包括的存储块BLK1至BLKz中的任一个存储块BLKc的实施方式的电路图。

[0010] 图6是示意性地示出根据实施方式的示例的页缓冲器的图。

[0011] 图7是示出半导体存储器装置的存储器单元阵列、读写电路和电流感测电路的框图。

[0012] 图8是示出三级单元的目标编程状态的曲线图。

[0013] 图9是用于描述根据本公开的实施方式的编程操作的图。

[0014] 图10是示出根据本公开的另一实施方式的编程方法的流程图。

- [0015] 图11是示出图10的步骤S150的实施方式的示例的流程图。
- [0016] 图12是示出步骤S250的实施方式的流程图。
- [0017] 图13是示出步骤S270的实施方式的流程图。
- [0018] 图14是示出参照图11至图13描述的编程方法的图。
- [0019] 图15是示出图10的步骤S150的另一实施方式的流程图。
- [0020] 图16是示出参照图15描述的编程方法的图。
- [0021] 图17是示出包括图1的半导体存储器装置的存储器系统的实施方式的框图。
- [0022] 图18是示出图17的存储器系统的应用示例的框图。
- [0023] 图19是示出包括参照图18描述的存储器系统的计算系统的框图。

### 具体实施方式

[0024] 仅示出根据本说明书或申请中所公开的构思的实施方式的具体结构或功能描述，以描述根据本公开的构思的实施方式。根据本公开的构思的实施方式可按照各种形式实现，描述不限于本说明书或申请中所描述的实施方式。

[0025] 本公开的实施方式可提供一种具有改进的编程速度和稳定性的半导体存储器装置。

[0026] 本公开的另一实施方式可提供一种具有改进的编程速度和稳定性的半导体存储器装置的操作方法。

[0027] 图1是示出根据本公开的实施方式的半导体存储器装置的框图。

[0028] 参照图1，半导体存储器装置100包括存储器单元阵列110、地址解码器120、读写电路130、控制逻辑140、电压发生器150和电流感测电路160。控制逻辑140可被实现为硬件、软件或硬件和软件的组合。例如，控制逻辑140可以是根据算法操作的控制逻辑电路和/或执行控制逻辑代码的处理器。

[0029] 存储器单元阵列110包括多个存储块BLK1至BLKz。多个存储块BLK1至BLKz通过字线WL连接到地址解码器120。多个存储块BLK1至BLKz通过位线BL1至BLm连接到读写电路130。多个存储块BLK1至BLKz中的每一个包括多个存储器单元。作为实施方式，多个存储器单元是非易失性存储器单元，并且可由具有垂直沟道结构的非易失性存储器单元配置。存储器单元阵列110可被配置为二维结构的存储器单元阵列。根据实施方式，存储器单元阵列110可被配置为三维结构的存储器单元阵列。此外，包括在存储器单元阵列中的多个存储器单元中的每一个可存储至少一比特数据。在实施方式中，包括在存储器单元阵列110中的多个存储器单元中的每一个可以是存储一比特数据的单级单元(SLC)。在另一实施方式中，包括在存储器单元阵列110中的多个存储器单元中的每一个可以是存储两比特数据的多级单元(MLC)。在另一实施方式中，包括在存储器单元阵列110中的多个存储器单元中的每一个可以是存储三比特数据的三级单元。在另一实施方式中，包括在存储器单元阵列110中的多个存储器单元中的每一个可以是存储四比特数据的四级单元。根据实施方式，存储器单元阵列110可包括各自存储五比特或更多比特数据的多个存储器单元。

[0030] 地址解码器120通过字线WL连接到存储器单元阵列110。地址解码器120被配置为响应于控制逻辑140的控制而操作。地址解码器120通过半导体存储器装置100内的输入/输出缓冲器(未示出)接收地址。

[0031] 地址解码器120被配置为将所接收的地址当中的块地址解码。地址解码器120根据解码的块地址来选择至少一个存储块。另外,地址解码器120在读操作期间在读电压施加操作时将电压发生器150中生成的读电压Vread施加到所选存储块的所选字线,并且将通过电压Vpass施加到剩余未选字线。另外,在编程验证操作期间,地址解码器120将电压发生器150中生成的验证电压施加到所选存储块的所选字线,并且将通过电压Vpass施加到剩余未选字线。

[0032] 地址解码器120可被配置为将所接收的地址中的列地址解码。地址解码器120将解码的列地址发送到读写电路130。

[0033] 半导体存储器装置100的读操作和编程操作以页为单位执行。在请求读操作和编程操作时接收的地址包括块地址、行地址和列地址。地址解码器120根据块地址和行地址来选择存储块和一条字线。列地址由地址解码器120解码并提供给读写电路130。在本说明书中,连接到一条字线的存储器单元可被称为“物理页”。

[0034] 读写电路130包括多个页缓冲器PB1至PBm。读写电路130可在存储器单元阵列110的读操作期间作为“读电路”操作,并且可在存储器单元阵列110的写操作期间作为“写电路”操作。多个页缓冲器PB1至PBm通过位线BL1至BLm连接到存储器单元阵列110。在读操作和编程验证操作期间,为了感测存储器单元的阈值电压,多个页缓冲器PB1至PBm在向连接到存储器单元的位线连续地供应感测电流的同时通过感测节点感测根据对应存储器单元的编程状态流过的电流量的改变,并且锁存感测的改变作为感测数据。读写电路130响应于从控制逻辑140输出的页缓冲器控制信号而操作。在本说明书中,写电路的写操作可用作与对所选存储器单元的编程操作相同的含义。

[0035] 在读操作期间,读写电路130感测存储器单元的数据,暂时存储读取的数据,并将数据DATA输出到半导体存储器装置100的输入/输出缓冲器(未示出)。作为实施方式的示例,除了页缓冲器(或页寄存器)之外,读写电路130可包括列选择电路等。

[0036] 控制逻辑140连接到地址解码器120、读写电路130、电压发生器150和电流感测电路160。控制逻辑140通过半导体存储器装置100的输入/输出缓冲器(未示出)接收命令CMD和控制信号CTRL。控制逻辑140被配置为响应于控制信号CTRL而控制半导体存储器装置100的总体操作。另外,控制逻辑140输出用于调节多个页缓冲器PB1至PBm的感测节点预充电电位电平的控制信号。控制逻辑140可控制读写电路130执行存储器单元阵列110的读操作。

[0037] 此外,响应于从电流感测电路160接收的通过信号PASS或失败信号FAIL,控制逻辑140可确定对特定目标编程状态的验证操作通过还是失败。

[0038] 电压发生器150响应于从控制逻辑140输出的控制信号而在读操作期间生成读电压Vread和通过电压Vpass。为了生成具有各种电压电平的多个电压,电压发生器150可包括接收内部电源电压的多个泵浦电容器,并且通过响应于控制逻辑140的控制选择性地启用多个泵浦电容器来生成多个电压。

[0039] 电流感测电路160可在验证操作期间响应于从控制逻辑140接收的允许比特VRY\_BTI<#>而生成基准电流,并且可通过将通过基准电流生成的基准电压与从包括在读写电路130中的页缓冲器PB1至PBm接收的感测电压VPB进行比较来输出通过信号PASS或失败信号FAIL。

[0040] 例如,电流感测电路160可通过将根据包括在页缓冲器PB1至PBm中的每一个中的

位线感测锁存器的值生成的电压与通过基准电流生成的基准电压进行比较来确定与特定目标编程状态对应的验证操作是否完成。包括在页缓冲器PB1至PBm中的每一个中的位线感测锁存器将稍后参照图6描述。

[0041] 地址解码器120、读写电路130和电压发生器150可用作对存储器单元阵列110执行读操作、写操作和擦除操作的“外围电路”。外围电路基于控制逻辑140的控制对存储器单元阵列110执行读操作、写操作和擦除操作。

[0042] 图2是示出图1的存储器单元阵列的实施方式的图。

[0043] 参照图2,存储器单元阵列110包括多个存储块BLK1至BLKz。各个存储块可具有三维结构。各个存储块包括层叠在基板上的多个存储器单元。这样多个存储器单元沿着+X方向、+Y方向和+Z方向布置。参照图3和图4更详细地描述各个存储块的结构。

[0044] 图3是示出图2的存储块BLK1至BLKz中的任一个存储块BLKa的电路图。

[0045] 参照图3,存储块BLKa包括多个单元串CS11至CS1m和CS21至CS2m。作为实施方式,多个单元串CS11至CS1m和CS21至CS2m中的每一个可按照“U”形状形成。在存储块BLKa中,m个单元串布置在行方向(即,+X方向)上。在图3中,两个单元串布置在列方向(即,+Y方向)上。然而,这是为了描述方便,可理解,三个或更多个单元串可布置在列方向上。

[0046] 多个单元串CS11至CS1m和CS21至CS2m中的每一个包括至少一个源极选择晶体管SST、第一存储器单元MC1至第n存储器单元MCn、管式晶体管PT和至少一个漏极选择晶体管DST。

[0047] 选择晶体管SST和DST和存储器单元MC1至MCn中的每一个可具有相似的结构。作为实施方式,选择晶体管SST和DST和存储器单元MC1至MCn中的每一个可包括沟道层、隧穿绝缘膜、电荷存储膜和阻挡绝缘膜。作为实施方式,用于提供沟道层的柱可设置在各个单元串中。作为实施方式,用于提供沟道层、隧穿绝缘膜、电荷存储膜和阻挡绝缘膜中的至少一个的柱可设置在各个单元串中。

[0048] 各个单元串的源极选择晶体管SST连接在公共源极线CSL与存储器单元MC1至MCp之间。

[0049] 作为实施方式,布置在同一行中的单元串的源极选择晶体管连接到在行方向上延伸的源极选择线,并且布置在不同行中的单元串的源极选择晶体管连接到不同的源极选择线。在图3中,第一行的单元串CS11至CS1m的源极选择晶体管连接到第一源极选择线SSL1。第二行的单元串CS21至CS2m的源极选择晶体管连接到第二源极选择线SSL2。

[0050] 作为另一实施方式,单元串CS11至CS1m和CS21至CS2m的源极选择晶体管可共同连接到一条源极选择线。

[0051] 各个单元串的第一存储器单元MC1至第n存储器单元MCn连接在源极选择晶体管SST与漏极选择晶体管DST之间。

[0052] 第一存储器单元MC1至第n存储器单元MCn可被分成第一存储器单元MC1至第p存储器单元MCp以及第(p+1)存储器单元MCp+1至第n存储器单元MCn。第一存储器单元MC1至第p存储器单元MCp在与+Z方向相反的方向上依次布置,并且串联连接在源极选择晶体管SST与管式晶体管PT之间。第(p+1)存储器单元MCp+1至第n存储器单元MCn在+Z方向上依次布置,并且串联连接在管式晶体管PT与漏极选择晶体管DST之间。第一存储器单元MC1至第p存储器单元MCp以及第(p+1)存储器单元MCp+1至第n存储器单元MCn通过管式晶体管PT彼此连

接。各个单元串的第一存储器单元MC1至第n存储器单元MCn的栅极分别连接到第一字线WL1至第n字线WLn。

[0053] 各个单元串的管式晶体管PT的栅极连接到管线PL。

[0054] 各个单元串的漏极选择晶体管DST连接在对应位线与存储器单元MC<sub>p+1</sub>至MCn之间。布置在行方向上的单元串连接到在行方向上延伸的漏极选择线。第一行的单元串CS11至CS1m的漏极选择晶体管连接到第一漏极选择线DSL1。第二行的单元串CS21至CS2m的漏极选择晶体管连接到第二漏极选择线DSL2。

[0055] 布置在列方向上的单元串连接到在列方向上延伸的位线。在图4中,第一列的单元串CS11和CS21连接到第一位线BL1。第m列的单元串CS1m和CS2m连接到第m位线BLm。

[0056] 布置在行方向上的单元串中的连接到同一字线的存储器单元配置一个页。例如,第一行的单元串CS11至CS1m当中的连接到第一字线WL1的存储器单元配置一页。第二行的单元串CS21至CS2m当中的连接到第一字线WL1的存储器单元配置另一页。可通过选择漏极选择线DSL1和DSL2中的任一条来选择布置在一个行方向上的单元串。可通过选择字线WL1至WLn中的任一条来选择所选单元串的一个页。

[0057] 作为另一实施方式,可设置偶数位线和奇数位线,代替第一位线BL1至第m位线BLm。另外,布置在行方向上的单元串CS11至CS1m或CS21至SC2m当中的偶数编号的单元串可分别连接到偶数位线,并且布置在行方向上的单元串CS11至CS1m或CS21至CS2m当中的奇数编号的单元串可分别连接到奇数位线。

[0058] 作为实施方式,第一存储器单元MC1至第n存储器单元MCn中的至少一个可用作虚设存储器单元。例如,提供至少一个虚设存储器单元以减小源极选择晶体管SST与存储器单元MC1至MC<sub>p</sub>之间的电场。另选地,提供至少一个虚设存储器单元以减小漏极选择晶体管DST与存储器单元MC<sub>p+1</sub>至MCn之间的电场。随着提供更多的虚设存储器单元,存储块BLKa的操作的可靠性改进,然而,存储块BLKa的尺寸增加。随着提供更少的存储器单元,存储块BLKa的尺寸可减小,然而,存储块BLKa的操作的可靠性可降低。

[0059] 为了有效地控制至少一个虚设存储器单元,各个虚设存储器单元可具有所需阈值电压。在存储块BLKa的擦除操作之前或之后,可执行针对所有或部分虚设存储器单元的编程操作。当在执行编程操作之后执行擦除操作时,通过控制施加到与各个虚设存储器单元连接的虚设字线的电压,虚设存储器单元可具有所需阈值电压。

[0060] 图4是示出图2的存储块BLK1至BLKz中的任一个存储块BLKb的另一实施方式的电路图。

[0061] 参照图4,存储块BLKb包括多个单元串CS11'至CS1m'和CS21'至CS2m'。多个单元串CS11'至CS1m'和CS21'至CS2m'中的每一个沿着+Z方向延伸。多个单元串CS11'至CS1m'和CS21'至CS2m'中的每一个包括层叠在存储块BLK1'下方的基板(未示出)上的至少一个源极选择晶体管SST、第一存储器单元MC1至第n存储器单元MCn以及至少一个漏极选择晶体管DST。

[0062] 各个单元串的源极选择晶体管SST连接在公共源极线CSL与存储器单元MC1至MCn之间。布置在同一行中的单元串的源极选择晶体管连接到同一源极选择线。布置在第一行中的单元串CS11'至CS1m'的源极选择晶体管连接到第一源极选择线SSL1。布置在第二行中的单元串CS21'至CS2m'的源极选择晶体管连接到第二源极选择线SSL2。作为另一实施方

式,单元串CS11'至CS1m'和CS21'至CS2m'的源极选择晶体管可共同连接到一条源极选择线。

[0063] 各个单元串的第一存储器单元MC1至第n存储器单元MCn串联连接在源极选择晶体管SST与漏极选择晶体管DST之间。第一存储器单元MC1至第n存储器单元MCn的栅极分别连接到第一字线WL1至第n字线WLn。

[0064] 各个单元串的漏极选择晶体管DST连接在对应位线与存储器单元MC1至MCn之间。布置在行方向上的单元串的漏极选择晶体管连接到在行方向上延伸的漏极选择线。第一行的单元串CS11'至CS1m'的漏极选择晶体管连接到第一漏极选择线DSL1。第二行的单元串CS21'至CS2m'的漏极选择晶体管连接到第二漏极选择线DSL2。

[0065] 结果,除了从各个单元串排除管式晶体管PT之外,图4的存储块BLKb具有与图3的存储块BLKa相似的等效电路。

[0066] 作为另一实施方式,可提供偶数位线和奇数位线,代替第一位线BL1至第m位线BLm。另外,布置在行方向上的单元串CS11'至CS1m'或CS21'至CS2m'当中的偶数编号的单元串可分别连接到偶数位线,并且布置在行方向上的单元串CS11'至CS1m'或CS21'至CS2m'当中的奇数编号的单元串可分别连接到奇数位线。

[0067] 作为实施方式,第一存储器单元MC1至第n存储器单元MCn中的至少一个可用作虚设存储器单元。例如,提供至少一个虚设存储器单元以减小源极选择晶体管SST与存储器单元MC1至MCn之间的电场。另选地,提供至少一个虚设存储器单元以减小漏极选择晶体管DST与存储器单元MC1至MCn之间的电场。随着提供更多的虚设存储器单元,存储块BLKb的操作的可靠性改进,然而,存储块BLKb的尺寸增加。随着提供更少的存储器单元,存储块BLKb的尺寸可减小,然而,存储块BLKb的操作的可靠性可降低。

[0068] 为了有效地控制至少一个虚设存储器单元,各个虚设存储器单元可具有所需阈值电压。在针对存储块BLKb的擦除操作之前或之后,可执行针对所有或部分虚设存储器单元的编程操作。当在执行编程操作之后执行擦除操作时,通过控制施加到与各个虚设存储器单元连接的虚设字线的电压,虚设存储器单元可具有所需阈值电压。

[0069] 图5是示出包括在图1的存储器单元阵列110中的存储块BLK1至BLKz中的任一个存储块BLKc的实施方式的电路图。

[0070] 参照图5,存储块BLKc包括多个单元串CS1至CSm。多个单元串CS1至CSm可分别连接到多条位线BL1至BLm。单元串CS1至CSm中的每一个包括至少一个源极选择晶体管SST、第一存储器单元MC1至第n存储器单元MCn以及至少一个漏极选择晶体管DST。

[0071] 选择晶体管SST和DST和存储器单元MC1至MCn中的每一个可具有相似的结构。作为实施方式,选择晶体管SST和DST和存储器单元MC1至MCn中的每一个可包括沟道层、隧穿绝缘膜、电荷存储膜和阻挡绝缘膜。作为实施方式,用于提供沟道层的柱可设置在各个单元串中。作为实施方式,用于提供沟道层、隧穿绝缘膜、电荷存储膜和阻挡绝缘膜中的至少一个的柱可设置在各个单元串中。

[0072] 各个单元串的源极选择晶体管SST连接在公共源极线CSL与存储器单元MC1至MCn之间。

[0073] 各个单元串的第一存储器单元MC1至第n存储器单元MCn连接在源极选择晶体管SST与漏极选择晶体管DST之间。

[0074] 各个单元串的漏极选择晶体管DST连接在对应位线与存储器单元MC1至MCn之间。

[0075] 连接到同一字线的存储器单元配置一个页。可通过选择漏极选择线DSL来选择单元串CS1至CSm。可通过选择字线WL1至WLn中的任一条来选择所选单元串中的一个页。

[0076] 作为另一实施方式,可提供偶数位线和奇数位线,代替第一位线BL1至第m位线BLm。单元串CS1至CSm当中的偶数编号的单元串可分别连接到偶数位线,奇数编号的单元串可分别连接到奇数位线。

[0077] 如上所述,连接到一条字线的存储器单元可配置一个物理页。在图5的示例中,在属于存储块BLKc的存储器单元当中,连接到多条字线WL1至WLn中的任一条的m个存储器单元配置一个物理页。

[0078] 如图2至图4所示,半导体存储器装置100的存储器单元阵列110可按照三维结构配置,但是也可如图5所示按照二维结构配置。

[0079] 图6是示意性地示出根据实施方式的示例的页缓冲器131的图。

[0080] 在读操作或编程验证操作期间,通过位线BL感测存储在存储器单元中的数据或存储器单元的阈值电压。页缓冲器131可包括位线感测锁存器BSLAT;1314以用于存储感测结果。另外,位线感测锁存器1314可用于确定在编程执行操作期间施加到位线BL的编程允许电压或编程禁止电压。

[0081] 页缓冲器131可包括用于在编程操作期间存储外部输入的编程数据的多个数据锁存器1311、1312和1313。例如,在图6所示的实施方式中,页缓冲器131可存储3比特数据。在这种情况下,数据锁存器LAT1或1311可存储最高有效比特(MSB),数据锁存器LAT2或1312可存储中央有效比特(CSB),数据锁存器LAT3或1313可存储最低有效比特(LSB)。数据锁存器1311、1312和1313可维持所存储的编程数据,直至存储器单元的编程完成为止。

[0082] 另外,高速缓存锁存器CSLAT;1315可从位线感测锁存器1314接收在读操作期间从存储器单元读取的数据,并且通过数据输出线Data\_out将数据输出到页缓冲器131的外部。

[0083] 此外,页缓冲器131可包括控制位线BL与位线感测锁存器1314之间以及数据锁存器1311、1312和1313与高速缓存锁存器1315之间的连接的位线连接晶体管1316。位线连接晶体管1316由位线连接信号PB\_SENSE控制。例如,当从存储器单元读取数据时,位线连接晶体管1316导通以将位线BL和位线感测锁存器1314电连接。另外,当将存储在位线感测锁存器1314中的数据发送到高速缓存锁存器1315时,位线连接晶体管1316可截止。

[0084] 在存储器单元的编程操作期间的验证处理中,指示连接到对应位线BL的存储器单元的阈值电压是否大于与目标状态对应的验证电压的值可被存储在位线感测锁存器1314中。例如,当连接到位线BL的存储器单元的阈值电压小于与目标状态对应的验证电压时,值“0”可被存储在位线感测锁存器1314中。在值“0”被存储在位线感测锁存器1314中的同时,当施加编程脉冲时,将编程允许电压施加到位线BL。此外,随着编程处理进行,当连接到位线BL的存储器单元的阈值电压大于与目标状态对应的验证电压时,值“1”可被存储在位线感测锁存器1314中。当值“1”被存储在位线感测锁存器1314中时,在后续编程循环中位线感测锁存器1314的值被维持为“1”,并且当施加编程脉冲时,将编程禁止电压施加到位线BL。此外,由于与擦除状态E对应的存储器单元的阈值电压不需要增加,所以连接到与擦除状态E对应的存储器单元的页缓冲器131的位线感测锁存器1314可从编程开始具有值“1”。

[0085] 因此,可通过位线感测锁存器1314的值来确定连接到页缓冲器131的位线BL的存

存储器单元是否被编程为目标编程状态。电流感测电路160基于存储在页缓冲器131的位线感测锁存器1314中的值来执行电流感测操作。因此,电流感测电路160可确定与特定目标编程状态对应的验证操作是否完成。

[0086] 图7是示出半导体存储器装置的存储器单元阵列、读写电路和电流感测电路的框图。

[0087] 参照图7,根据实施方式,半导体存储器装置100的存储器单元阵列110可包括多个存储块。尽管图7中未示出,根据本公开的另一实施方式,半导体存储器装置的存储器单元阵列可包括多个平面,并且各个平面可包括多个存储块。

[0088] 包括在存储器单元阵列110中的多个存储块可通过位线BLs连接到读写电路130。此外,读写电路130可连接到电流感测电路160。

[0089] 当选择第*i*存储块BLK<sub>*i*</sub>作为编程目标时,半导体存储器装置100可对所选第*i*存储块BLK<sub>*i*</sub>执行编程操作。

[0090] 在执行对第*i*存储块BLK<sub>*i*</sub>的编程操作的同时,电流感测电路160可针对包括在第*i*存储块BLK<sub>*i*</sub>中的存储器单元的验证操作通过将通过基准电流生成的基准电压与从包括在写电路130中的页缓冲器接收的感测电压VPB进行比较来输出通过信号PASS或失败信号FAIL。如上所述,由电流感测电路160基于感测电压VPB针对存储器单元的特定编程状态输出通过信号PASS或失败信号FAIL的操作可被称为“电流感测操作”。稍后将参照图8描述针对特定编程状态的电流感测操作。

[0091] 根据本公开,可由读写电路130将编程脉冲施加到所选第*i*存储块BLK<sub>*i*</sub>的所选字线。此外,在编程脉冲被施加到所选字线时,电流感测电路160可执行电流感测操作。在实施方式中,为了减少编程时间,电流感测操作以及将编程脉冲施加到所选字线的操作可同时执行。在另一实施方式中,电流感测操作和施加编程脉冲的操作可在不同的时间执行。本文中针对发生使用的词语“同时”和“同时地”意指发生在交叠的时间间隔上进行。例如,如果第一次发生在第一时间间隔内进行并且第二次发生在第二时间间隔内同时进行,则第一间隔和第二间隔彼此至少部分地交叠,使得存在第一次发生和第二次发生二者均进行的时间。

[0092] 图8是示出三级单元的目标编程状态的曲线图。

[0093] 参照图8,三级单元(TLC)具有总共八个阈值电压状态。TLC的阈值电压状态包括擦除状态E和第一目标编程状态P1至第七目标编程状态P7。擦除状态E和第一目标编程状态P1至第七目标编程状态P7具有对应比特代码。各种比特代码可根据需要被提供给擦除状态E和第一目标编程状态P1至第七目标编程状态P7。

[0094] 各个阈值电压状态可基于第一读电压R1至第七读电压R7来区分。另外,第一验证电压VR1至第七验证电压VR7可用于确定与编程操作的各个目标编程状态对应的存储器单元的编程是否完成。

[0095] 例如,第二验证电压VR2被施加到字线以验证包括在所选物理页中的存储器单元当中的与第二目标编程状态P2对应的存储器单元。此时,与第二编程状态P2对应的存储器单元可通过图6所示的数据锁存器1311、1312和1313来区分。例如,当与第二目标编程状态对应的比特代码为“101”时,连接到值“1”、“0”和“1”分别存储在数据锁存器1311、1312和1313中的页缓冲器的存储器单元是要编程为第二目标编程状态P2的存储器单元。在要编程

为第二目标编程状态P2的存储器单元当中,位线感测锁存器1314的值为“0”的存储器单元是还未编程为第二目标编程状态P2的存储器单元,并且位线感测锁存器1314的值为“1”的存储器单元是编程完成至第二目标编程状态P2的存储器单元。

[0096] 第二验证电压VR2被施加到字线并且位线BL被感测,并且当存储器单元的阈值电压小于第二验证电压VR2时,位线感测锁存器1314的值维持“0”。另一方面,当存储器单元的阈值电压大于第二验证电压VR2时,位线感测锁存器1314的值变为“1”。当位线感测锁存器1314的值变为“1”时,在后续编程循环中编程禁止电压被施加到连接到对应存储器单元的位线BL。因此,即使编程脉冲被施加到字线,对应存储器单元的阈值电压也不再增加。

[0097] 如上所述,对要编程为第二目标编程状态P2的存储器单元单独地执行改变与第二验证电压VR2对应的位线感测锁存器1314的值的操作。是否对要编程为第二目标编程状态P2的存储器单元完成编程(即,验证通过/失败的确定)由图1和图7的电流感测电路160执行。

[0098] 在图1的示例中,电流感测电路160通过将基于与要编程为第二目标编程状态P2的存储器单元的数量对应的基准电流的基准电压与基于与要编程为第二目标编程状态P2的存储器单元当中的阈值电压大于验证电压VR2的存储器单元的数量对应的感测电流的感测电压VPB进行比较来确定验证通过还是失败。即,电流感测电路160通过将根据要编程为第二目标编程状态P2的存储器单元当中的存储在位线感测锁存器BSLAT中的值为“1”的存储器单元的数量确定的感测电压VPB与基准电压进行比较来确定对第二目标编程状态P2的验证通过还是失败。

[0099] 如上所述,电流感测电路可针对特定目标编程状态(例如,P2)确定验证通过/失败。如上所述,在多个目标编程状态当中,针对特定目标编程状态确定验证通过/失败的操作可被称为“电流感测操作”。

[0100] 尽管图8中示出三级单元的目标编程状态,但这是示例,包括在根据本公开的实施方案的半导体存储器装置中的多个存储器单元可以是多级单元(MLC)。在另一实施方式中,包括在根据本公开的实施方案的半导体存储器装置中的多个存储器单元可以是四级单元。以下,将以三级单元的编程操作为中心描述本公开。然而,本公开不限于此,本公开也可应用于四级单元或存储五比特或更多数据的存储器单元的编程。

[0101] 图9是用于描述根据本公开的实施方案的编程操作的图。

[0102] 参照图9,示出在编程操作进行的同时施加到所选字线的电压以及由电流感测电路执行的电流感测操作。图9所示的编程操作包括总共N个编程循环。

[0103] 第一编程脉冲VP1被施加到在第一编程循环中选择的字线。此后,第一验证电压VR1被施加到为验证操作选择的字线。在第一编程循环中仅施加第一验证电压VR1的原因在于,作为执行第一编程循环的结果,存在编程为第二目标编程状态P2或高于第二目标编程状态P2的存储器单元的可能性非常低。在施加第一验证电压VR1之后,连接到要编程为第一目标编程状态P1的存储器单元当中的阈值电压高于第一验证电压VR1的存储器单元的页缓冲器的位线感测锁存器1314的值可改变为“1”。另一方面,连接到要编程为第一目标编程状态P1的存储器单元当中的阈值电压低于第一验证电压VR1的存储器单元的页缓冲器的位线感测锁存器1314的值可维持“0”。

[0104] 在施加第一验证电压VR1之后,执行对第一目标编程状态P1的电流感测操作CSC1。

由于要编程为第一目标编程状态P1的存储器单元中的仅一些被编程,所以针对第一目标编程状态P1的验证失败(CSC1-Fail)。

[0105] 此外,在执行对第一目标编程状态P1的电流感测操作CSC1的同时,第二编程脉冲VP2可被施加到所选字线。即,第二编程循环可与对第一目标编程状态P1的电流感测操作CSC1一起开始。如上所述,同时执行第一编程循环的电流感测操作和施加第二编程循环的编程脉冲的操作是为了减少整个编程时间。可通过同时执行第一编程循环的电流感测操作和施加第二编程循环的编程脉冲的操作来改进编程速度。

[0106] 在施加第二编程脉冲VP2之后,第一验证电压VR1和第二验证电压VR2被施加到所选字线。随着施加第一验证电压VR1和第二验证电压VR2,连接到要编程为第一目标编程状态P1和第二目标编程状态P2的存储器单元当中的完成编程的存储器单元的页缓冲器的位线感测锁存器1314的值可改变为“1”。另一方面,连接到要编程为第一目标编程状态P1和第二目标编程状态P2的存储器单元当中的编程未完成的存储器单元的页缓冲器的位线感测锁存器1314的值可维持“0”。

[0107] 可适当地选择在各个编程循环中施加的验证电压。例如,在图9的实施方式中,从第二编程循环施加第二验证电压VR2,但是根据实施方式,可从第一编程循环施加第二验证电压VR2,或者可从第三编程循环施加第二验证电压VR2。

[0108] 在施加验证电压VR1和VR2之后,再次执行对第一目标编程状态P1的电流感测操作CSC1。在图9的示例中,尽管施加第二编程脉冲VP2,但是对第一目标编程状态P1的编程操作未完成。因此,在第二编程循环中针对第一目标编程状态P1的验证失败(CSC1-Fail)。

[0109] 在执行对第一目标编程状态P1的电流感测操作CSC1的同时,第三编程脉冲VP3可被施加到所选字线。即,第三编程循环可与对第一目标编程状态P1的电流感测操作CSC1一起开始。在施加第三编程脉冲VP3之后,第一验证电压VR1至第三验证电压VR3被施加到所选字线。随着施加第一验证电压VR1至第三验证电压VR3,连接到要编程为第一目标编程状态P1至第三目标编程状态P3的存储器单元当中的完成编程的存储器单元的页缓冲器的位线感测锁存器1314的值可改变为“1”。另一方面,连接到要编程为第一目标编程状态P1至第三目标编程状态P3的存储器单元当中的编程未完成的存储器单元的页缓冲器的位线感测锁存器1314的值可维持“0”。

[0110] 在施加验证电压VR1、VR2和VR3之后,再次执行对第一目标编程状态P1的电流感测操作CSC1。在图9的示例中,对第一目标编程状态P1的编程操作在第三编程循环中完成。因此,针对第一目标编程状态P1的验证在第三编程循环中通过(CSC1-Pass)。

[0111] 在执行对第一目标编程状态P1的电流感测操作CSC1的同时,第四编程脉冲VP4可被施加到所选字线。即,第四编程循环可与对第一目标编程状态P1的电流感测操作CSC1一起开始。在施加第四编程脉冲VP4之后,施加验证电压VR2、VR3和VR4。由于针对第一目标编程状态P1的验证在第三编程循环中通过,所以在第四编程循环中可不施加第一验证电压VR1。

[0112] 随着施加第二验证电压VR2至第四验证电压VR4,连接到要编程为第二目标编程状态P2至第四目标编程状态P4的存储器单元当中的完成编程的存储器单元的页缓冲器的位线感测锁存器1314的值可改变为“1”。另一方面,连接到要编程为第二目标编程状态P2至第四目标编程状态P4的存储器单元当中的编程未完成的存储器单元的页缓冲器的位线感测

锁存器1314的值可维持“0”。

[0113] 由于在第三编程循环中作为对第一目标编程状态P1的电流感测操作CSC1的结果,验证通过,所以在第四编程循环中执行对第二目标编程状态P2的电流感测操作CSC2。在图9的示例中,对第二目标编程状态P2的编程操作在第四编程循环中未完成。因此,针对第二目标编程状态P2的验证在第四编程循环中失败(CSC1-Fail)。

[0114] 此后,在第五编程循环中作为对第二目标编程状态的电流感测操作CSC2的结果,验证通过。这种编程循环重复地执行。省略第六至第(N-3)编程的描述。

[0115] 在第(N-2)编程循环中,对第七目标编程状态P7的电流感测操作CSC7失败。在执行对第七目标编程状态P7的电流感测操作CSC7的同时,第(N-1)编程脉冲VP(N-1)可被施加到所选字线。即,第(N-1)编程循环可与对第七目标编程状态P7的电流感测操作CSC7一起开始。

[0116] 在施加第(N-1)编程脉冲VP(N-1)之后,第七验证电压VR7被施加到所选字线。随着施加第七验证电压VR7,连接到要编程为第七目标编程状态P7的存储器单元当中的完成编程的存储器单元的页缓冲器的位线感测锁存器1314的值可改变为“1”。另一方面,连接到要编程为第七目标编程状态P7的存储器单元当中的编程未完成的存储器单元的页缓冲器的位线感测锁存器1314的值可维持“0”。

[0117] 在施加第七验证电压VR7之后,再次执行对第七目标编程状态P7的电流感测操作CSC7。此外,与对第七目标编程状态P7的电流感测操作CSC7一起将第N编程脉冲VPN施加到所选字线。

[0118] 在图9的示例中,对第七目标编程状态P7的编程操作在第(N-1)编程循环中完成。因此,针对第七目标编程状态P7的验证在第(N-1)编程循环中通过(CSC7-Pass)。因此,编程操作结束。

[0119] 如上所述,由于第(N-1)编程循环的电流感测操作和第N编程脉冲的施加同时执行,所以第N编程脉冲VPN变为不必要地施加的编程脉冲。由于施加编程脉冲所需的时间相对长于执行电流感测操作所需的时间,所以编程时间可能由于施加不需要施加的第N编程脉冲VPN而不必要地增加。此外,由于再次施加不必要的第N编程脉冲VPN,可能发生要编程为第七目标编程状态P7的存储器单元中的一些的阈值电压过高的过编程现象。这可能是阻碍半导体存储器装置的编程操作的稳定性的因素。

[0120] 依据根据本公开的另一实施方式的编程方法,基于编程进度状态来执行电流感测操作和编程脉冲施加操作。即,电流感测操作和编程脉冲施加操作根据编程进度状态同时执行或依次执行。因此,如图9所示,在最后目标编程状态P7的验证通过的时间点,可防止施加不必要的第N编程脉冲VPN。因此,半导体存储器装置的编程速度可改进,并且编程操作的稳定性也可改进。

[0121] 图10是示出根据本公开的另一实施方式的编程方法的流程图。参照图10,根据本公开的另一实施方式的编程方法包括:将编程脉冲施加到所选字线(S110);将验证电压施加到所选字线(S130);基于所选存储器单元的编程进度状态来执行电流感测操作和编程脉冲的施加(S150);以及确定编程是否完成(S170)。

[0122] 在步骤S110中,编程脉冲被施加到所选字线。在步骤S110中,可施加第一编程循环的第一编程脉冲。

[0123] 在步骤S130中,验证电压被施加到所选字线。在步骤S130中,可将至少包括第一验证电压的验证电压施加到所选字线。

[0124] 在步骤S150中,可基于连接到所选字线的存储器单元的编程进度状态来执行电流感测操作和施加编程脉冲的操作。例如,在编程进度开始时,电流感测操作和施加编程脉冲的操作可同时执行,以缩短整个编程时间。然而,随着编程进度进行或者在编程进度的后半段,电流感测操作和施加编程脉冲的操作可依次执行,以防止不必要的编程脉冲施加到所选字线。

[0125] 例如,当所选存储器单元的编程进度状态(编程进度)对应于“第一状态(第一阶段)”时,电流感测操作和施加编程脉冲的操作可同时执行。第一状态可对应于编程操作的早期阶段,包括多个编程循环当中的第一编程循环。另一方面,当所选存储器单元的编程进度状态对应于发生在第一状态之后的“第二状态(第二阶段)”时,电流感测操作和施加编程脉冲的操作可依次执行。第二状态可对应于编程操作的最终阶段,包括多个编程循环当中的紧接在完成编程之前的最后循环。

[0126] 将参照图11和图15描述步骤S150的实施方式的示例。

[0127] 在步骤S170中,确定编程是否完成。作为执行步骤S150的结果,当针对所有目标编程状态,验证通过时(S170:是),由于编程成功完成,所以编程操作可结束。作为执行步骤S150的结果,当针对至少一些目标编程状态,验证失败时,该方法可再次进行到步骤S150,并且可重复地执行编程循环。

[0128] 图11是示出图10的步骤S150的实施方式的示例的流程图。

[0129] 参照图11,首先,检查验证通过的编程的状态(S210)。在步骤S210中,可通过检查迄今为止验证通过的编程状态来确定执行当前电流感测操作的目标的编程的状态。例如,当第一目标编程状态P1至第七目标编程状态P7当中的第一目标编程状态P1至第三目标编程状态P3的验证通过时,可能需要执行对第四目标编程状态P4的电流感测操作CSC4。作为另一示例,当第一目标编程状态P1至第七目标编程状态P7当中的第一目标编程状态P1至第六目标编程状态P6的验证通过时,可能需要执行对作为最后编程状态的第七目标编程状态P7的电流感测操作CSC7。在本说明书中,“最后编程状态”是指多个目标编程状态P1至P7当中的与最高阈值电压对应的目标编程状态,即,第七目标编程状态P7。

[0130] 在步骤S230中,确定电流感测操作是否对应于最后编程状态。如上所述,当第一目标编程状态P1至第七目标编程状态P7当中的第一目标编程状态P1至第三目标编程状态P3的验证通过时,由于电流感测操作对应于第四目标编程状态P4,所以电流感测操作不对应于最后编程状态(S230:否)。作为另一示例,当第一目标编程状态P1至第七目标编程状态P7当中的第一目标编程状态P1至第六目标编程状态P6的验证通过时,需要执行对作为最后编程状态的第七目标编程状态P7的电流感测操作CSC7,电流感测操作对应于最后编程状态(S230:是)。即,在图11的实施方式中,当电流感测操作不对应于最后编程状态时,编程进度状态(编程进度)可对应于上述“第一状态(第一阶段)”。另一方面,当电流感测操作与最后编程状态对应时,编程进度状态可对应于上述“第二状态(第二阶段)”。

[0131] 当电流感测操作对应于最后编程状态时(S230:是),这意味着编程操作进入最终阶段。因此,在这种情况下,依次执行电流感测操作和施加编程脉冲的操作(S250)。因此,当与最后编程状态(例如,P7)对应的电流感测操作CSC7的验证通过时,可防止不必要的编程

脉冲施加到所选字线。步骤S250的详细实施方式将稍后参照图12描述。

[0132] 当电流感测操作不对应于最后编程状态时 (S230:否),这意味着编程操作还未进入最终阶段。因此,在这种情况下,同时执行电流感测操作和施加编程脉冲的操作 (S270)。因此,整个编程时间可缩短。步骤S270的详细实施方式将稍后参照图13描述。

[0133] 在执行步骤S250或步骤S270之后,该方法进行到图10的步骤S170。因此,当根据步骤S250或步骤S270的执行完成编程时 (S170:是),整个编程操作结束。当根据步骤S250或步骤S270的执行未完成编程时 (S170:否),该方法进行到步骤S150并执行后续编程循环。

[0134] 如图11所示,依据根据本公开的另一实施方式的半导体存储器装置的编程方法,通过检查验证通过的编程的状态,根据电流感测操作是否对应于最后编程状态来依次或同时执行电流感测操作和施加编程脉冲的操作。因此,当编程操作进入最终阶段时,电流感测操作和施加编程脉冲的操作依次执行,以防止施加不必要的编程脉冲。当编程操作还未进入最终阶段时,电流感测操作和施加编程脉冲的操作同时执行,以减少编程时间。因此,整个编程速度可改进,并且编程操作的稳定性也可改进。

[0135] 图12是示出步骤S250的实施方式的流程图。即,图12示出例示了当作为步骤S230的确定的结果,电流感测操作对应于最后编程状态时,依次执行电流感测操作和施加编程脉冲的操作的实施方式的流程图。

[0136] 参照图12,首先,执行电流感测操作 (S251)。由于当作为步骤S230的确定的结果,电流感测操作对应于最后编程状态时执行图12的步骤,所以可在步骤S251中执行对第七目标编程状态P7的电流感测操作CSC7。

[0137] 此后,在步骤S253中,确定第七目标编程状态P7的验证是否失败。当针对第七目标编程状态P7,验证通过时 (S253:否),该方法进行到步骤S170,以确定编程是否完成。由于对第七目标编程状态P7的验证通过,所以这意味着编程完成 (S170:是),因此编程操作可结束。

[0138] 当针对第七目标编程状态P7,验证失败时 (S253:是),可能需要执行后续编程循环。因此,编程脉冲被施加到所选字线 (S255),并且验证电压被施加到所选字线 (S257)。在步骤S257中,第七验证电压VR7可被施加到所选字线。

[0139] 此后,该方法再次进行到步骤S251以执行电流感测操作并执行步骤S253。这种处理重复,直至第七目标编程状态P7的验证通过 (S253:否)。

[0140] 参照图12,在首先执行电流感测操作之后 (S251),可确定验证是否失败 (S253),并且当验证失败时 (S253:是),后续编程脉冲可被施加到所选字线 (S255)。即,电流感测操作和施加编程脉冲的操作依次执行。因此,当第七目标编程状态P7的验证通过时,该方法直接进行到步骤S170以结束编程操作,并且不施加不必要的编程脉冲。

[0141] 图13是示出步骤S270的实施方式的流程图。即,图13示出例示了当作为步骤S230的确定的结果,电流感测操作不对应于最后编程状态时,电流感测操作和施加编程脉冲的操作同时执行的实施方式的流程图。

[0142] 参照图13,执行电流感测操作 (S271),同时,编程脉冲被施加到所选字线 (S273)。由于当作为步骤S230的确定的结果,电流感测操作不对应于最后编程状态时执行图13的步骤,所以在步骤S271中,可执行对第一目标编程状态P1至第六目标编程状态P6中的任一个的电流感测操作。例如,可执行对第三目标编程状态P3的电流感测操作CSC3。

[0143] 此后,在步骤S275中,例如,确定对第三目标编程状态P3的验证是否失败。当针对第三目标编程状态P3,验证通过时(S275:否),该方法进行到步骤S170以确定编程是否完成。即使对第三目标编程状态P3的验证通过,由于对第四目标编程状态P4至第七目标编程状态P7的验证未通过,所以该方法可再次进行到步骤S150以执行后续编程循环。在这种情况下,可执行对第四目标编程状态P4的电流感测操作CSC4。

[0144] 当针对第三目标编程状态P3,验证失败时(S275:是),可能需要执行后续编程循环。因此,验证电压被施加到所选字线(S277)。在步骤S277中,例如,至少包括第三验证电压VR3的验证电压可被施加到所选字线。

[0145] 此后,该方法再次进行到步骤S271和步骤S273以分别执行电流感测操作和编程脉冲施加操作,并且执行步骤S275。这种处理重复,例如,直至第三目标编程状态P3的验证通过(S275:否)。

[0146] 参照图13,同时执行电流感测操作(S271)和将编程脉冲施加到所选字线的操作(S273)。此后,可确定验证是否失败(S275),并且当验证失败时(S275:是),验证电压可被施加到所选字线(S277)。即,电流感测操作和施加编程脉冲的操作同时执行。即,当执行对第一目标编程状态P1至第六目标编程状态P6的电流感测操作时,施加属于后续编程循环的编程脉冲的操作可同时执行,从而减少整个编程时间。

[0147] 图14是示出参照图11至图13描述的编程方法的图。参照图14,按照与图9所示相同的方式执行编程操作,直至作为对第六目标编程状态P6的电流感测操作CSC6的结果,验证通过。即,由于从第一至第(N-4)编程循环按照与图9所示相同的方式执行编程操作,所以将省略重复的描述。

[0148] 在图14中,在第一编程循环中施加第一编程脉冲VP1对应于图10的步骤S110,施加第一验证电压VR1对应于图10的步骤S130。此后,从对第一目标编程状态P1执行电流感测操作CSC1的步骤属于图10的步骤S150。

[0149] 在重复地执行第一至第(N-4)编程循环的同时,由于作为图11的步骤S230的确定的结果,电流感测操作不对应于最后编程状态(S230:否),所以该方法进行到步骤S270。在步骤S270中,同时执行电流感测操作和施加编程脉冲的操作。即,在执行第一至第(N-4)编程循环的同时,同时执行电流感测操作(S271)和施加编程脉冲的操作(S273),然后确定验证是否失败(S275)。

[0150] 在图14中,在第(N-4)编程循环中执行对第六目标编程状态P6的电流感测操作CSC6。同时,第(N-3)编程脉冲VP(N-3)被施加到所选字线。根据图14,由于在第(N-4)编程循环中作为对第六目标编程状态P6执行电流感测操作CSC6的结果,验证通过,所以电流感测操作的目标现在是作为最后编程状态的第七目标编程状态P7。因此,作为图11的步骤S230的确定的结果,电流感测操作对应于最后编程状态(S230:是),并且该方法进行到步骤S250。在步骤S250中,依次执行电流感测操作和施加编程脉冲的操作。即,从第(N-3)编程循环,依次执行电流感测操作(CSC7)和施加编程脉冲的后续操作。当作为对第七目标编程状态P7的电流感测操作CSC7的结果,验证通过时,编程操作结束,而没有施加编程脉冲的后续操作。

[0151] 即,在第(N-1)编程循环中施加验证电压VR7之后执行对第七目标编程状态P7的电流感测操作CSC7(S251),由于验证通过(S253:否),所以该方法进行到步骤S170以确定编程

完成,并且整个编程操作结束。因此,除了图9所示的实施方式之外,根据图14所示的编程方法,不施加不必要的第N编程脉冲VPN。

[0152] 图15是示出图10的步骤S150的另一实施方式的流程图。

[0153] 参照图15,检查施加到所选字线的编程脉冲的数量 $CNT_{PGM}$  (S310)。施加到所选字线的编程脉冲的数量 $CNT_{PGM}$ 是在对连接到所选字线的存储器单元的编程操作开始之后编程脉冲施加到所选字线的次数,并且对应于编程循环的数量。例如,当作为步骤S310的执行的结果,施加编程脉冲直至第五编程脉冲时,所检查的施加编程脉冲的数量 $CNT_{PGM}$ 可为五。

[0154] 此后,在步骤S330中,将施加编程脉冲的数量 $CNT_{PGM}$ 与预定阈值数量 $N_{TH}$ 进行比较。阈值数量 $N_{TH}$ 可通过实验确定。例如,当作为重复实验的结果,施加编程脉冲平均20次时整个编程操作完成时,阈值数量 $N_{TH}$ 可被确定为略小的值。例如,阈值数量 $N_{TH}$ 可被确定为18或19。然而,这是示例,根据需要,另一值可被确定为阈值数量 $N_{TH}$ 。本文中针对参数使用的词语“预定”(例如,预定阈值数量)意指在处理或算法中使用参数之前确定参数的值。对于一些实施方式,在处理或算法开始之前确定参数的值。在其它实施方式中,在处理或算法期间但在处理或算法中使用参数之前确定参数的值。

[0155] 在图15的实施方式中,当施加编程脉冲的数量 $CNT_{PGM}$ 小于阈值数量 $N_{TH}$ 时,编程进度状态(编程进度)可对应于上述“第一状态(第一阶段)”。另一方面,当施加编程脉冲的数量 $CNT_{PGM}$ 等于或大于阈值数量 $N_{TH}$ 时,编程进度状态可对应于上述“第二状态(第一阶段)”。

[0156] 当施加编程脉冲的数量 $CNT_{PGM}$ 等于或大于阈值数量 $N_{TH}$ 时(S330:是),这意味着编程操作进入最终阶段。因此,在这种情况下,依次执行电流感测操作和施加编程脉冲的操作(S350)。因此,可防止在编程操作的最终阶段不必要的编程脉冲施加到所选字线。可作为图12所示的实施方式配置步骤S350。

[0157] 当施加编程脉冲的数量 $CNT_{PGM}$ 小于阈值数量 $N_{TH}$ 时(S330:否),这意味着编程操作还未进入最终阶段。因此,在这种情况下,同时执行电流感测操作和施加编程脉冲的操作(S370)。因此,整个编程时间可缩短。可作为图13所示的实施方式配置步骤S370。

[0158] 在执行步骤S350或步骤S370之后,该方法进行到图10的步骤S170。因此,当根据步骤S350或步骤S370的执行编程完成时(S170:是),整个编程操作结束。当根据步骤S350或步骤S370的执行编程未完成时(S170:否),该方法进行到步骤S150以执行后续编程循环。

[0159] 如图15所示,依据根据本公开的另一实施方式的半导体存储器装置的编程方法,检查施加到当前选择的字线的编程脉冲的数量 $CNT_{PGM}$ ,并且根据所施加的编程脉冲的数量 $CNT_{PGM}$ 是否小于阈值数量 $N_{TH}$ ,依次或同时执行电流感测操作和施加编程脉冲的操作。因此,当编程操作进入最终阶段时,依次执行电流感测操作和施加编程脉冲的操作,以防止施加不必要的编程脉冲。当编程操作还未进入最终阶段时,同时执行电流感测操作和施加编程脉冲的操作,以减少编程时间。因此,整个编程速度可改进,并且编程操作的稳定性也可改进。

[0160] 图16是示出参照图15描述的编程方法的图。

[0161] 参照图16,当编程脉冲的施加次数小于阈值 $N_{TH}$ 时,按照与图9所示相同的方式执行编程操作。即,由于按照与图9所示相同的方式执行编程操作,直至第一至第 $(N_{TH}-1)$ 编程循环,所以将省略重复的描述。

[0162] 在图16中,在第一编程循环中施加第一编程脉冲VP1对应于图10的步骤S110,施加

第一验证电压VR1对应于图10的步骤S130。此后,从对第一目标编程状态P1执行电流感测操作CSC1的步骤属于图10的步骤S150。

[0163] 在重复地执行第一至第( $N_{TH}-1$ )编程循环的同时,由于作为图15的步骤S330的确定的结果,施加到所选字线的编程脉冲的数量 $CNT_{PGM}$ 小于阈值数量 $N_{TH}$ (S330:否),所以该方法进行到步骤S370。在步骤S370中,同时执行电流感测操作和施加编程脉冲的操作。即,在执行第一至第( $N_{TH}-1$ )编程循环的同时,同时执行电流感测操作(S271)和施加编程脉冲的操作(S273),然后确定验证是否失败(S275)。

[0164] 在图16中,在第( $N_{TH}-1$ )编程循环中执行对第六目标编程状态P6的电流感测操作CSC6。同时,第( $N$ )编程脉冲 $VP_{N_{TH}}$ 被施加到所选字线。因此,由于作为步骤S330的确定的结果,施加到所选字线的编程脉冲的数量 $CNT_{PGM}$ 等于阈值数量 $N_{TH}$ (S330:是),所以该方法进行到步骤S350。因此,在步骤S350中,依次执行电流感测操作和施加编程脉冲的操作。即,从第 $N$ 编程循环,依次执行电流感测操作CSC7和施加编程脉冲的后续操作。当作为对第七目标编程状态P7的电流感测操作CSC7的结果,验证通过时,编程操作结束,而没有施加编程脉冲的后续操作。

[0165] 即,在第( $N_{TH}+3$ )编程循环中施加验证电压VR7之后执行对第七目标编程状态P7的电流感测操作CSC7(S251),由于验证通过(S253:否),所以该方法进行到步骤S170以确定编程完成,并且整个编程操作结束。因此,不同于图9所示的实施方式,根据图16所示的编程方法,不施加不必要的第( $N_{TH}+4$ )编程脉冲。

[0166] 图17是示出包括图1的半导体存储器装置的存储器系统1000的实施方式的框图。

[0167] 参照图17,存储器系统1000包括半导体存储器装置100和控制器1100。半导体存储器装置100可以是参照图1描述的半导体存储器装置。以下,省略重复的描述。

[0168] 控制器1100连接到主机Host和半导体存储器装置100。控制器1100被配置为响应于来自主机Host的请求而访问半导体存储器装置100。例如,控制器1100被配置为控制半导体存储器装置100的读操作、写操作、擦除操作和后台操作。控制器1100被配置为提供半导体存储器装置100与主机Host之间的接口。控制器1100被配置为驱动用于控制半导体存储器装置100的固件。

[0169] 控制器1100包括随机存取存储器(RAM)1110、处理单元1120、主机接口1130、存储器接口1140和纠错块1150。RAM 1110用作处理单元1120的操作存储器、半导体存储器装置100与主机Host之间的高速缓存存储器以及半导体存储器装置100与主机Host之间的缓冲存储器中的任一个。处理单元1120控制控制器1100的总体操作。另外,控制器1100可在写操作期间暂时存储从主机Host提供的编程数据。

[0170] 主机接口1130包括用于在主机Host与控制器1100之间执行数据交换的协议。作为实施方式的示例,控制器1100被配置为通过诸如通用串行总线(USB)协议、多媒体卡(MMC)协议、外围组件互连(PCI)协议、高速PCI(PCI-E)协议、高级技术附件(ATA)协议、串行ATA协议、并行ATA协议、小型计算机系统接口(SCSI)协议、增强小型磁盘接口(ESDI)协议、集成驱动电子器件(IDE)协议和私有协议的各种接口协议中的至少一种来与主机Host通信。

[0171] 存储器接口1140与半导体存储器装置100接口。例如,存储器接口包括NAND接口或NOR接口。

[0172] 纠错块1150被配置为利用纠错码(ECC)来检测并纠正从半导体存储器装置100接

收的数据的错误。处理单元1120可根据纠错块1150的错误检测结果来控制读电压,并且控制半导体存储器装置100执行重新读取。作为实施方式的示例,纠错块可作为控制器1100的组件来被提供。

[0173] 控制器1100和半导体存储器装置100可被集成到一个半导体装置中。作为实施方式的示例,控制器1100和半导体存储器装置100可被集成到一个半导体装置中以配置存储卡。例如,控制器1100和半导体存储器装置100可被集成到一个半导体装置中以形成诸如PC卡(个人计算机存储卡国际协会(PCMCIA))、紧凑闪存卡(CF)、智能媒体卡(SM或SMC)、记忆棒、多媒体卡(MMC、RS-MMC或MMCmicro)、SD卡(SD、miniSD、microSD或SDHC)和通用闪存(UFS)的存储卡。

[0174] 控制器1100和半导体存储器装置100可被集成到一个半导体装置中以形成半导体驱动器(固态驱动器(SSD))。半导体驱动器(SSD)包括被配置为将数据存储在半导体的存储器系统中的存储装置。当存储器系统1000用作半导体驱动器(SSD)时,连接到存储器系统1000的主机Host的操作速度大大改进。

[0175] 作为另一示例,存储器系统1000被提供作为诸如计算机、超移动PC(UMPC)、工作站、上网本、个人数字助理(PDA)、便携式计算机、网络平板计算机、无线电话、移动电话、智能电话、电子书、便携式多媒体播放器(PMP)、便携式游戏机、导航装置、黑匣子、数码相机、3D电视、数字音频记录仪、数字音频播放器、数字图像记录仪、数字图像播放器、数字视频记录仪和数字视频播放器、能够在无线环境中发送和接收信息的装置、配置家庭网络的各种电子装置之一、配置计算机网络的各种电子装置之一、配置远程信息网络的各电子装置之一、RFID装置的电子装置的各种组件之一或者配置计算系统的各种组件之一。

[0176] 作为实施方式的示例,半导体存储器装置100或存储器系统1000可作为各种类型的封装安装。例如,半导体存储器装置100或存储器系统1000可按照诸如堆叠式封装(PoP)、球格阵列(BGA)、芯片级封装(CSP)、带引线的塑料芯片载体(PLCC)、塑料双列直插封装(PDIP)、华夫晶片封装、晶圆形式晶片、板载芯片(COB)、陶瓷双列直插封装(CERDIP)、塑料公制四方扁平封装(MQFP)、薄四方扁平封装(TQFP)、小外形(SOIC)、收缩型小外形封装(SSOP)、薄小外形(TSOP)、系统封装(SIP)、多芯片封装(MCP)、晶圆级制造封装(WFP)或晶圆级处理层叠封装(WSP)的方法来封装和安装。

[0177] 图18是示出图17的存储器系统的应用示例的框图。

[0178] 参照图18,存储器系统2000包括半导体存储器装置2100和控制器2200。半导体存储器装置2100包括多个半导体存储器芯片。这多个半导体存储器芯片被分成多个组。

[0179] 在图18中,多个组分别通过第一通道CH1至第k通道CHk与控制器2200通信。各个半导体存储器芯片与参照图1描述的半导体存储器装置100之一相似地配置和操作。

[0180] 各个组被配置为通过一个公共通道来与控制器2200通信。控制器2200与参照图17描述的控制单元1100相似地配置,并且被配置为通过多个通道CH1至CHk来控制半导体存储器装置2100的多个存储器芯片。

[0181] 图19是示出包括参照图18描述的存储器系统的计算系统的框图。

[0182] 计算系统3000包括中央处理装置3100、随机存取存储器(RAM) 3200、用户接口3300、电源3400、系统总线3500和存储器系统2000。

[0183] 存储器系统2000通过系统总线3500电连接到中央处理装置3100、RAM 3200、用户

接口3300和电源3400。通过用户接口3300提供或由中央处理装置3100处理的数据被存储在存储器系统2000中。

[0184] 在图19中,半导体存储器装置2100通过控制器2200连接到系统总线3500。然而,半导体存储器装置2100可被配置为直接连接到系统总线3500。此时,控制器2200的功能由中央处理装置3100和RAM 3200执行。

[0185] 在图19中,提供了参照图18描述的存储器系统2000。然而,存储器系统2000可由参照图17描述的存储器系统1000代替。作为实施方式的示例,计算系统3000可被配置为包括参照图17和图18描述的存储器系统1000和2000二者。

[0186] 本说明书和附图中公开的本公开的实施方式仅是用于描述本公开的技术内容并方便理解本公开的示例,而非限制本公开的范围。对于本公开所属领域的技术人员而言显而易见的是,除了本文所公开的实施方式之外,可进行基于本公开的技术精神的其它修改。

[0187] 相关申请的交叉引用

[0188] 本申请要求2020年5月19日提交于韩国知识产权局的韩国专利申请号10-2020-0060007的优先权,其完整公开通过引用并入本文。

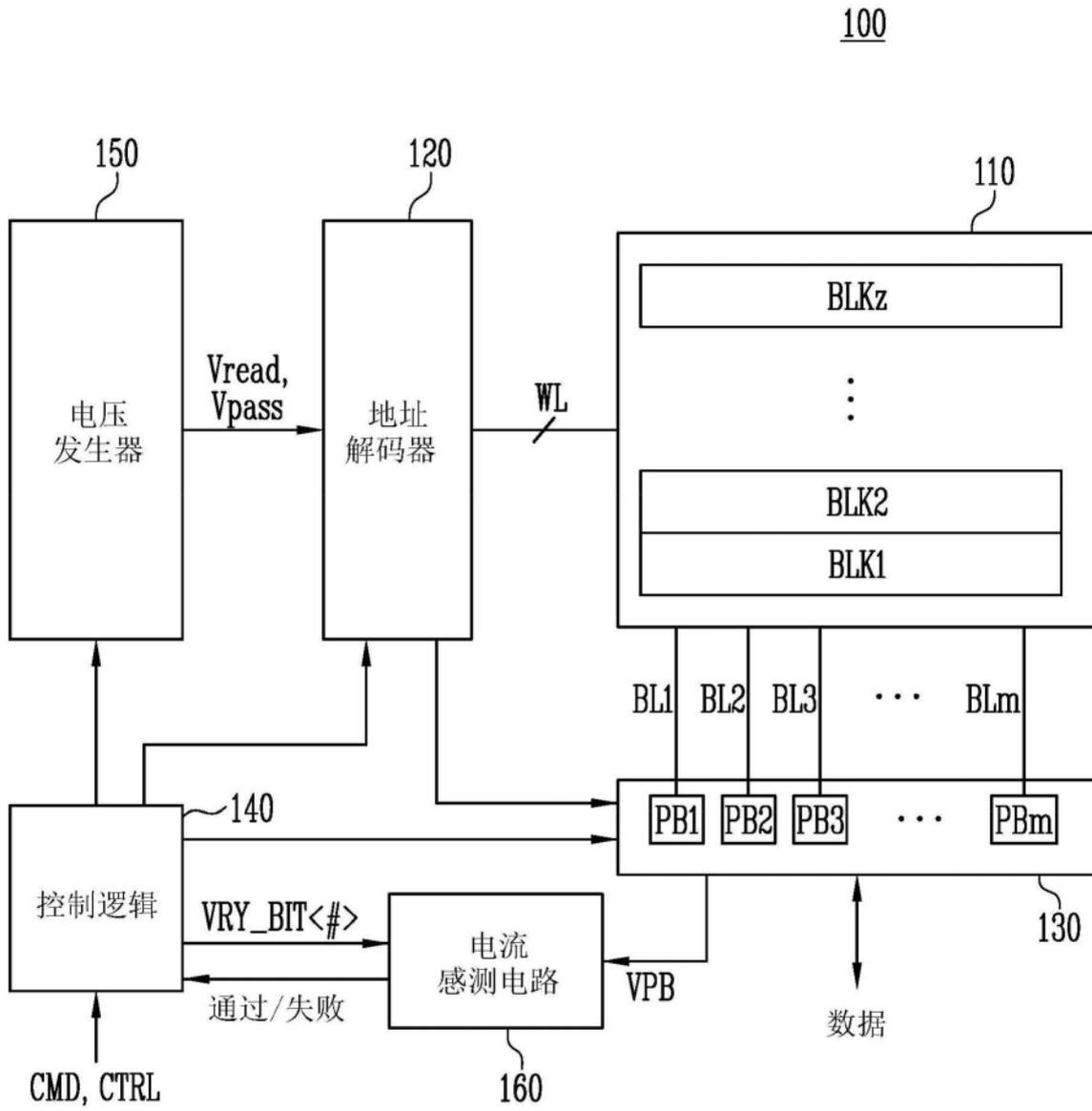


图1

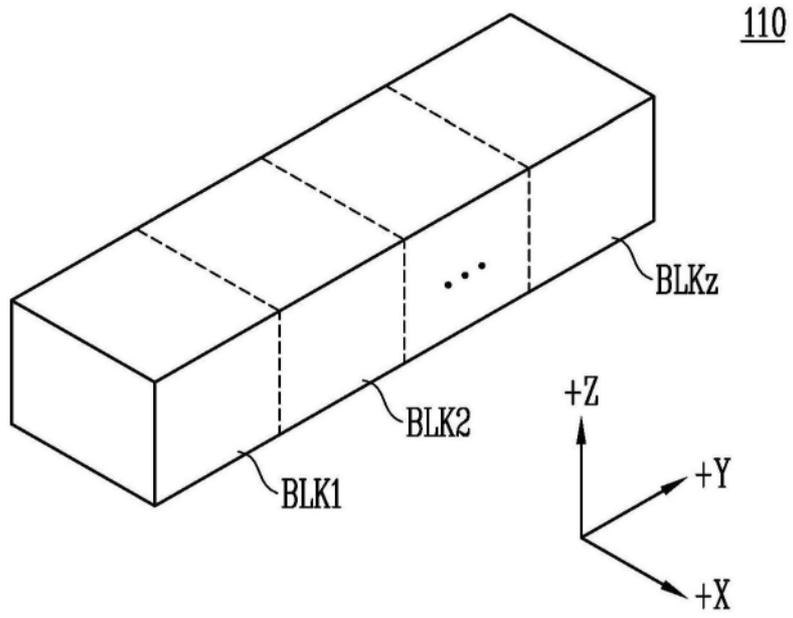


图2

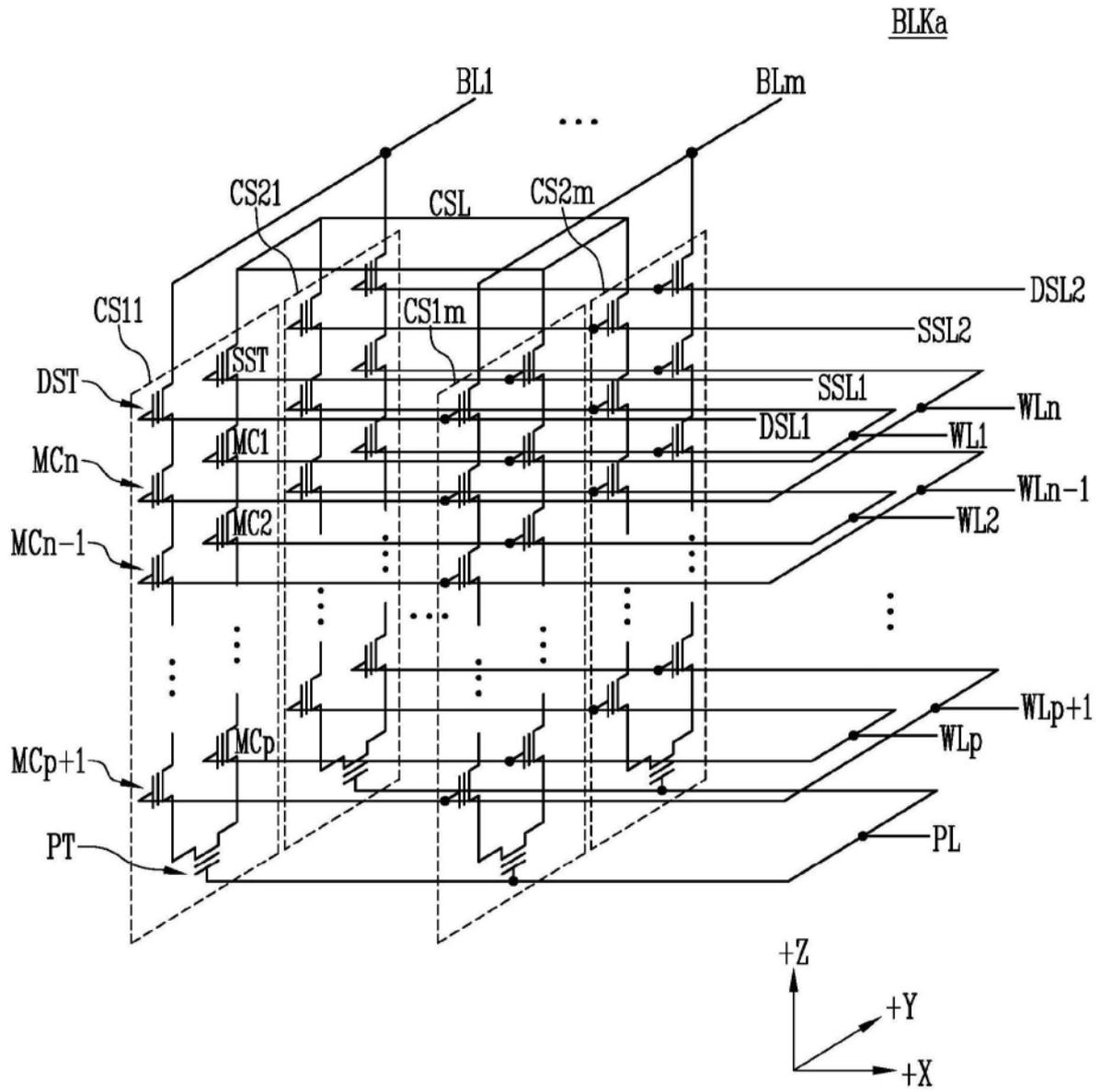


图3

BLKb

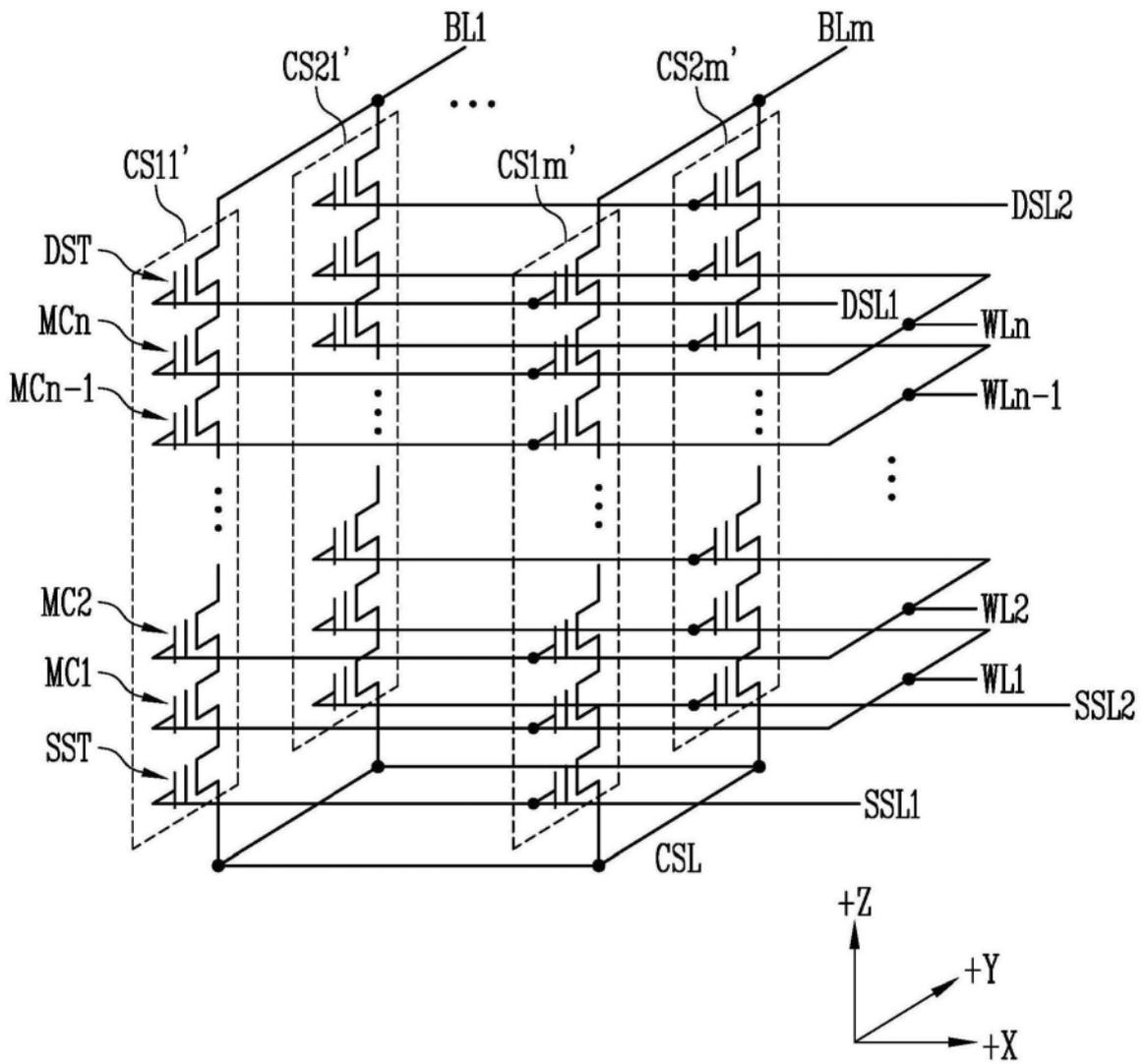


图4

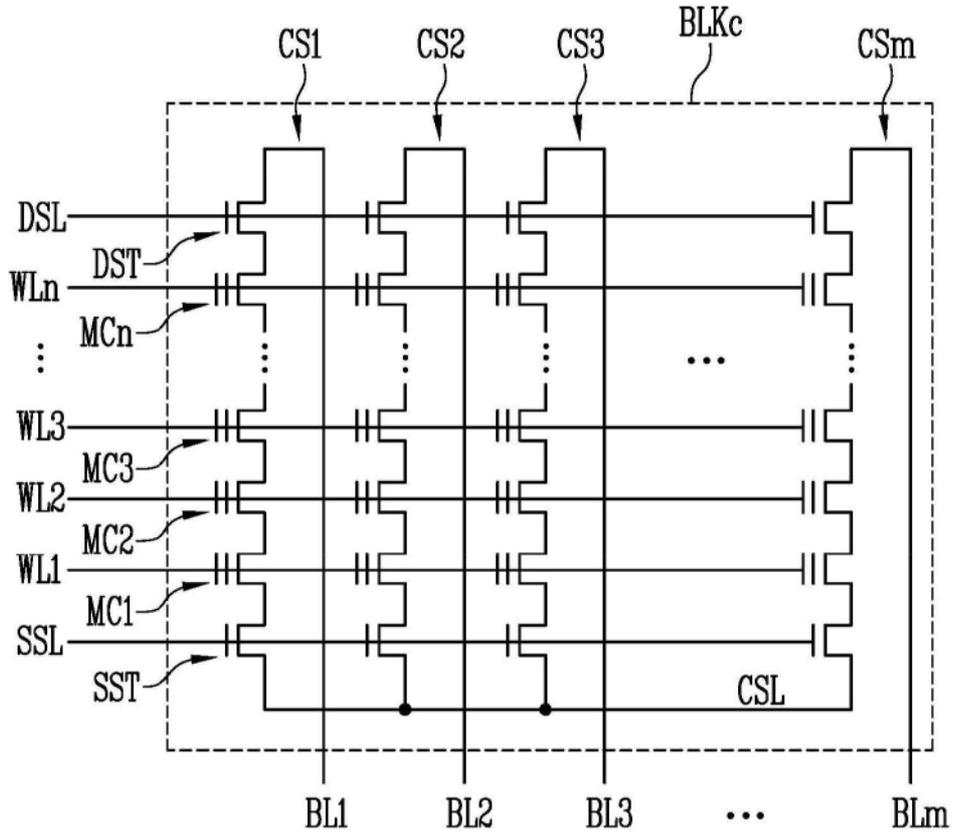


图5

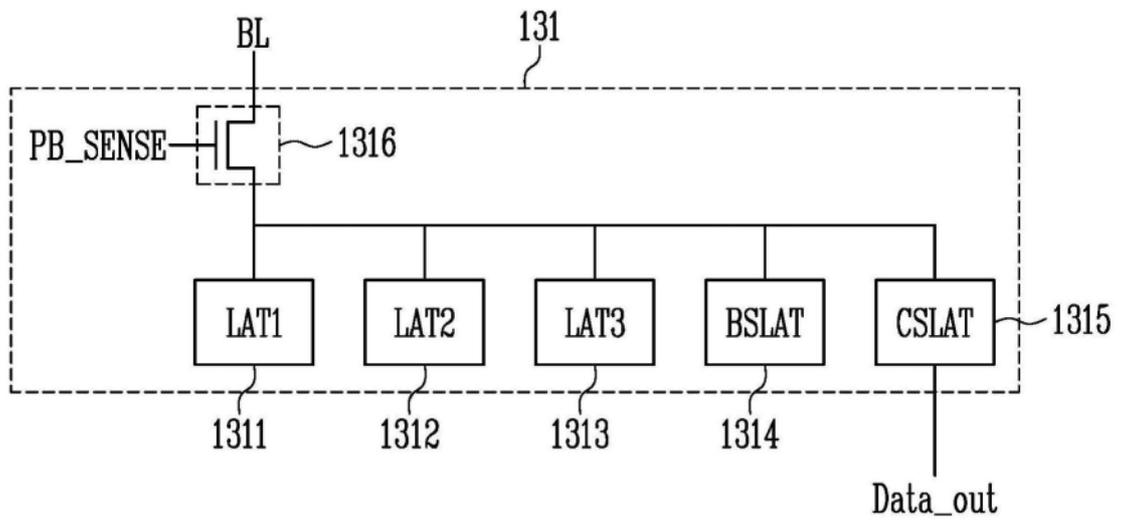


图6

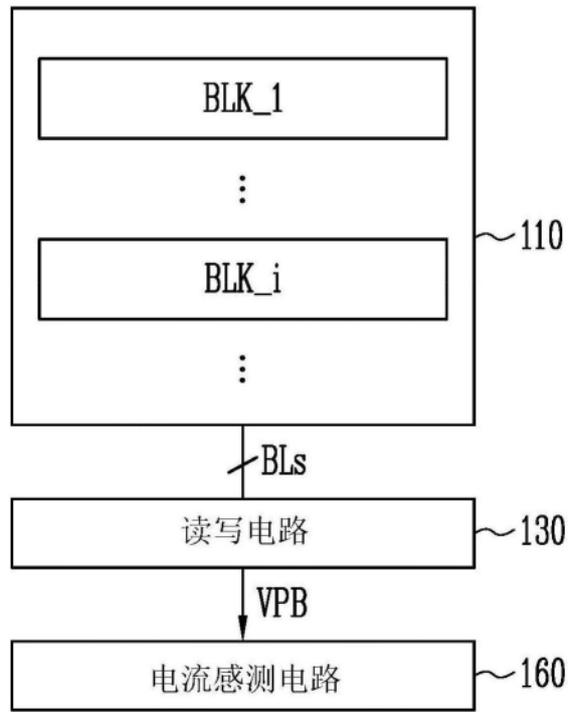


图7

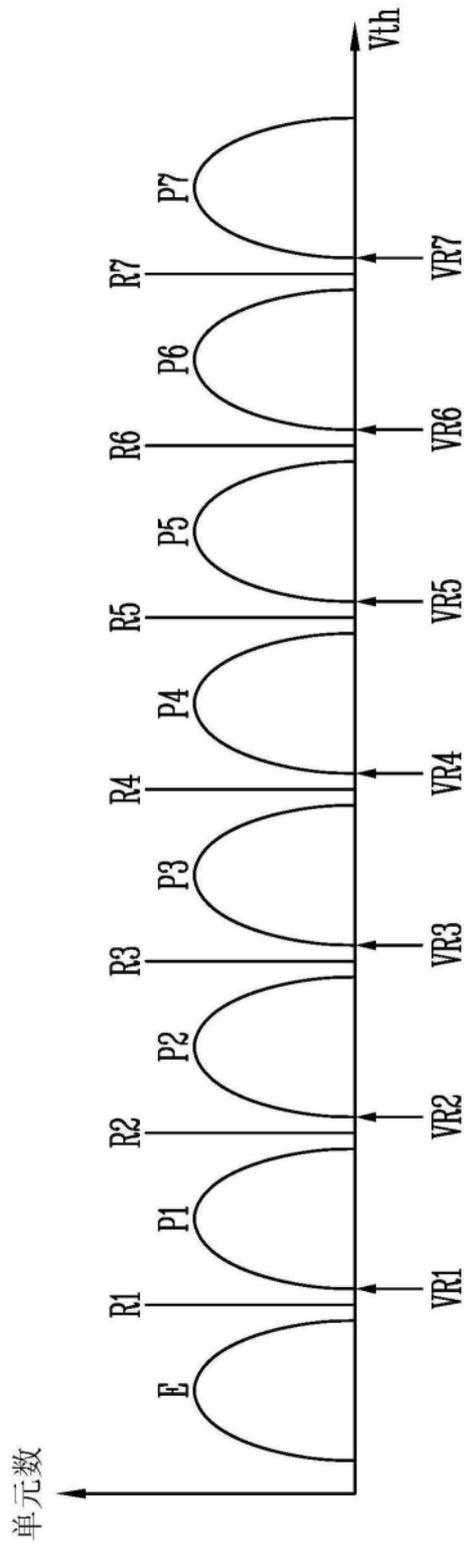


图8

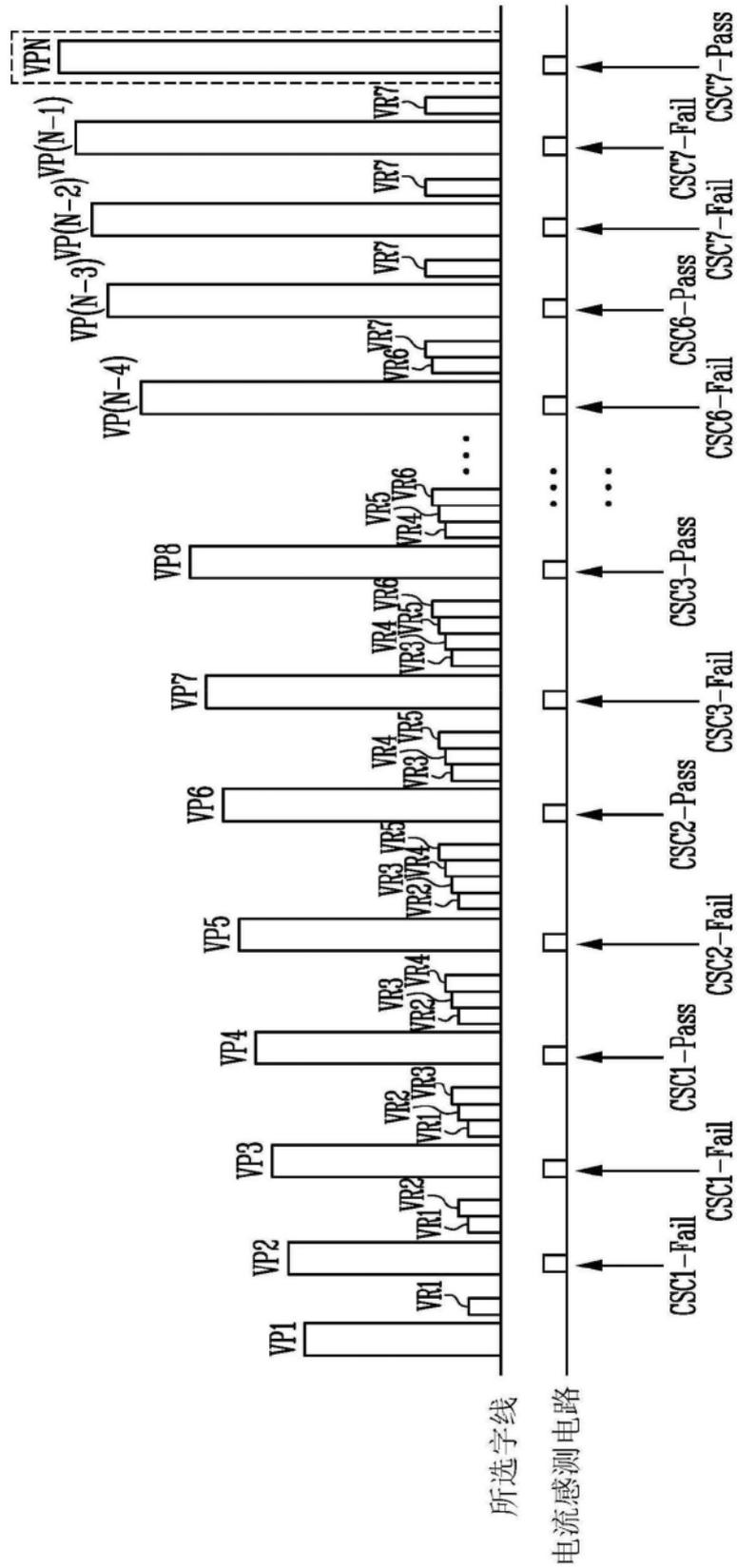


图9

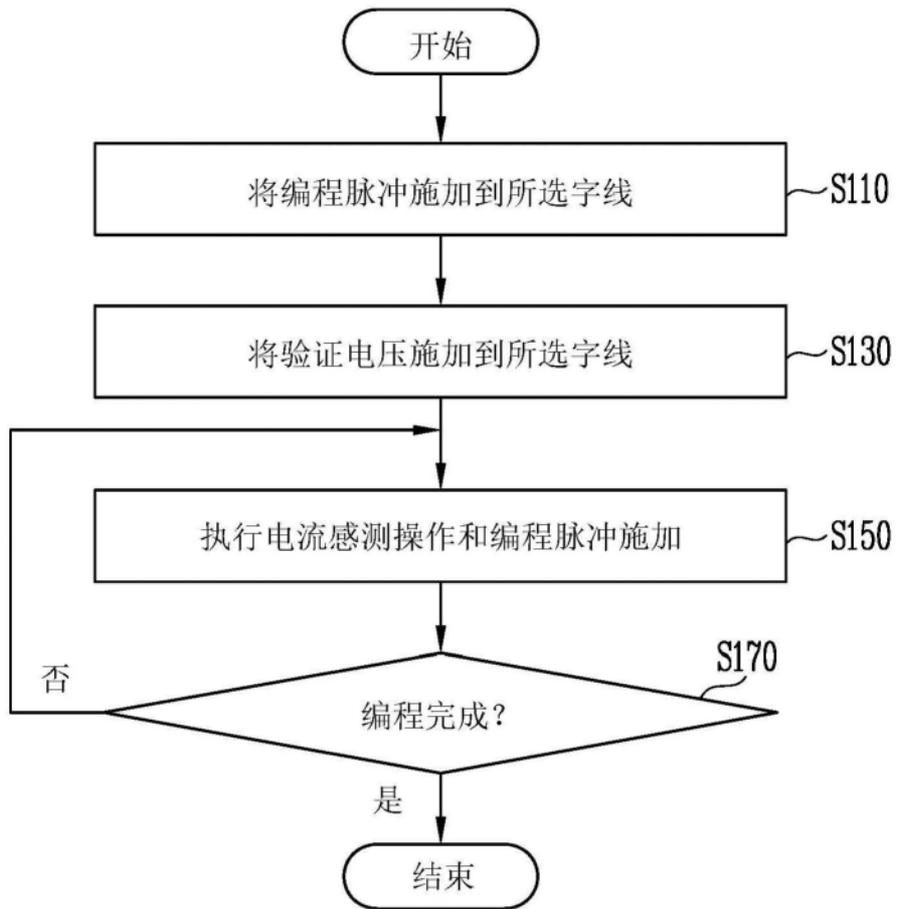


图10

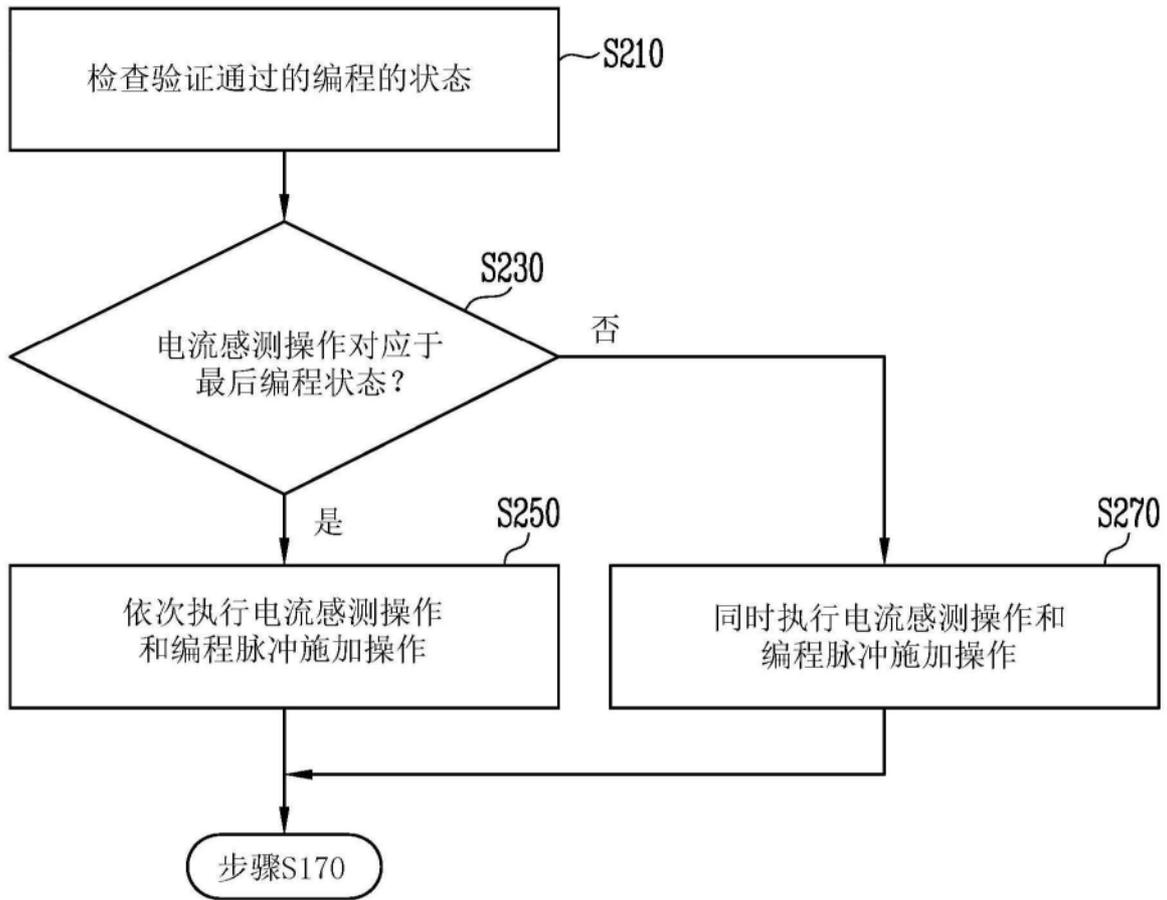


图11

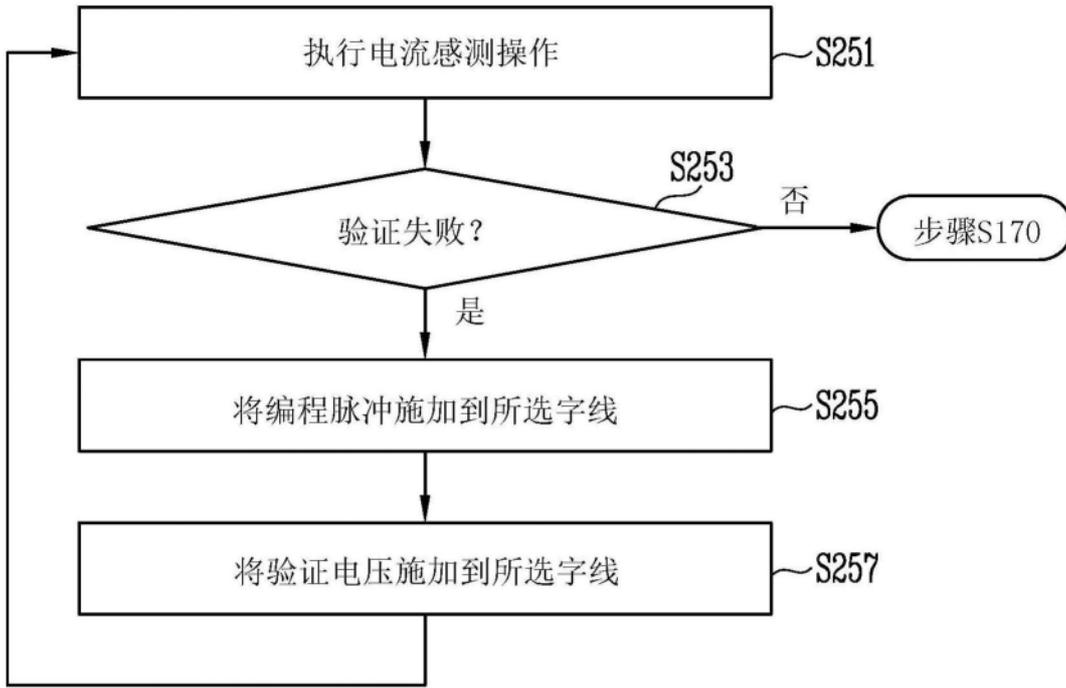


图12

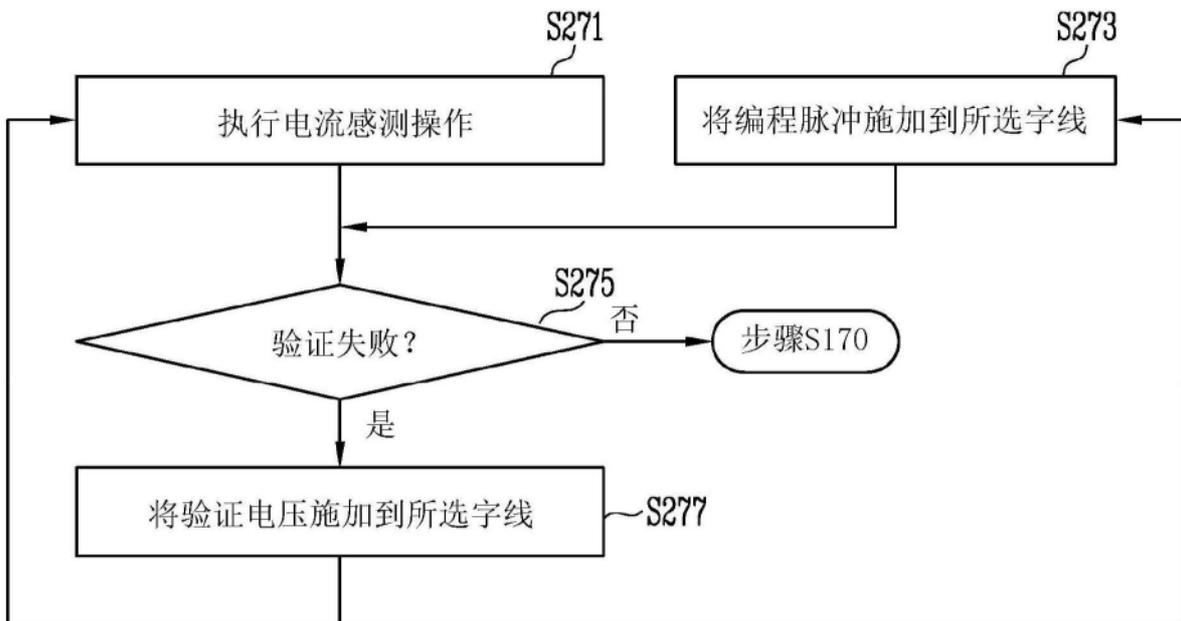


图13



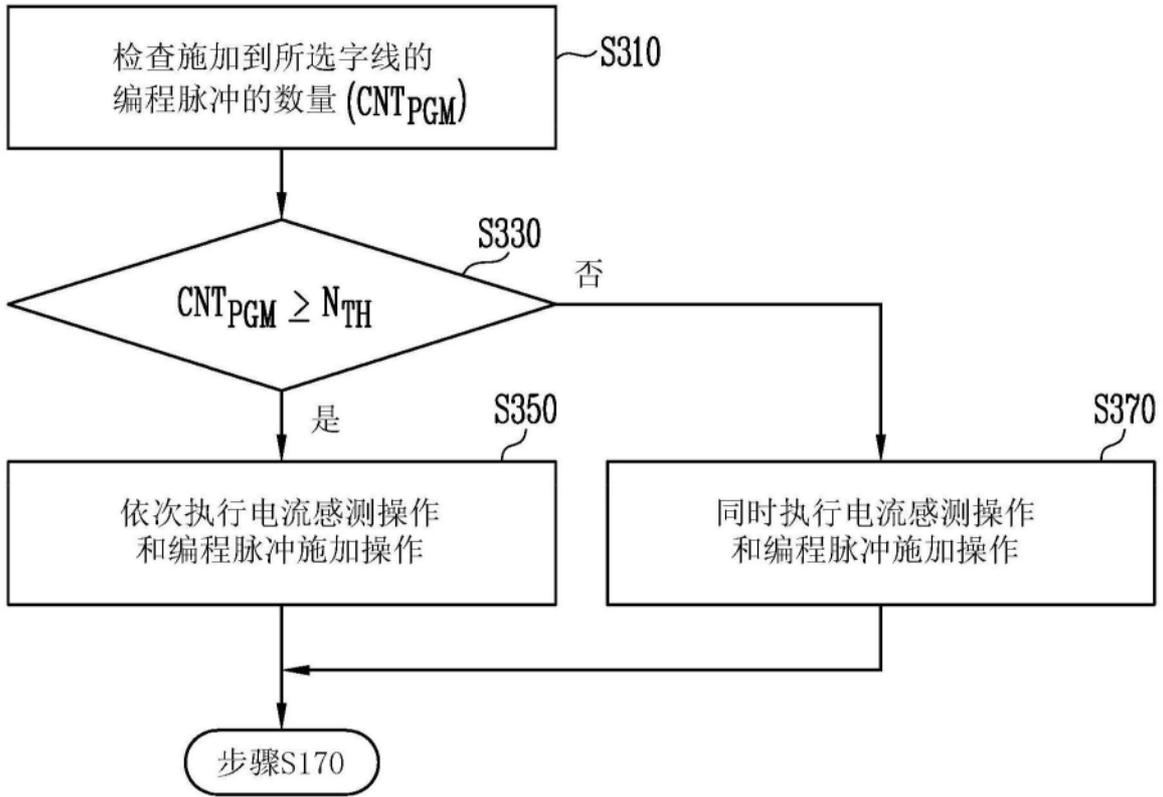


图15



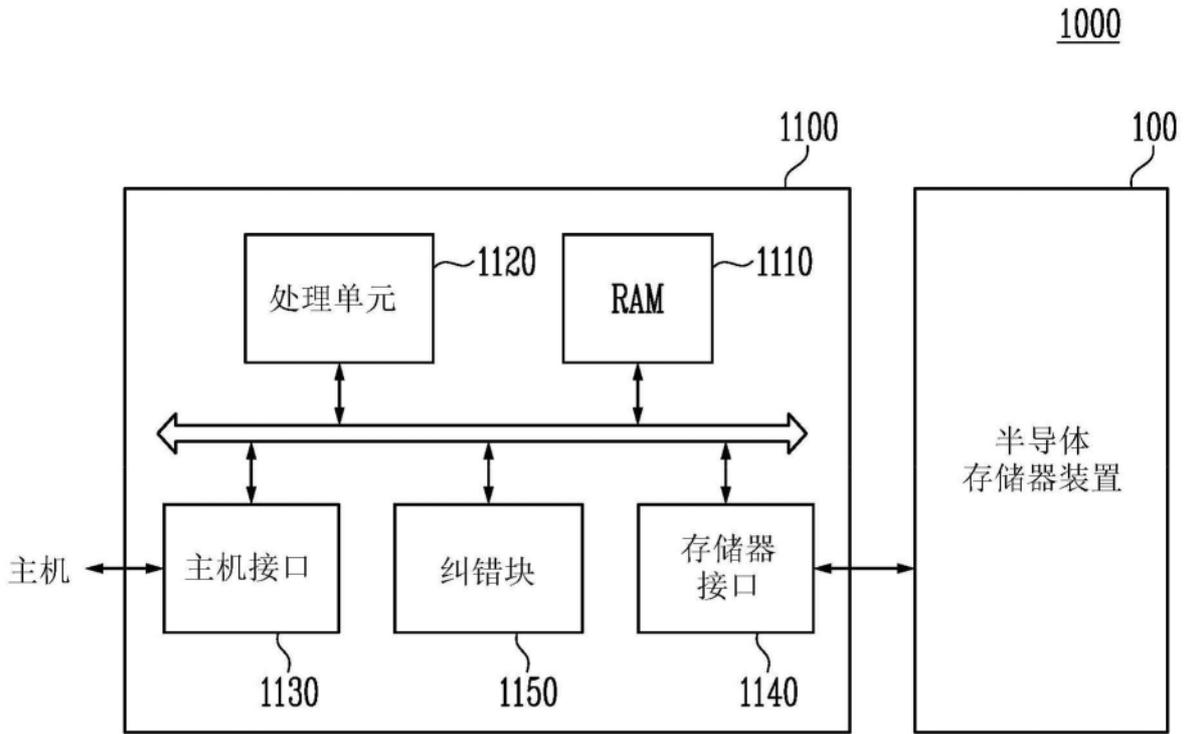


图17

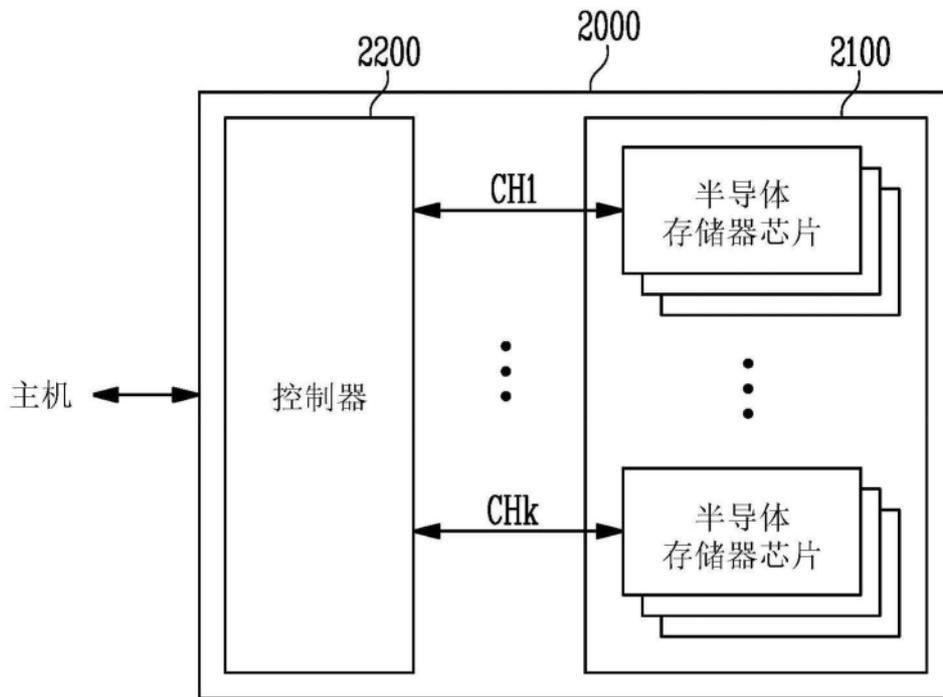


图18

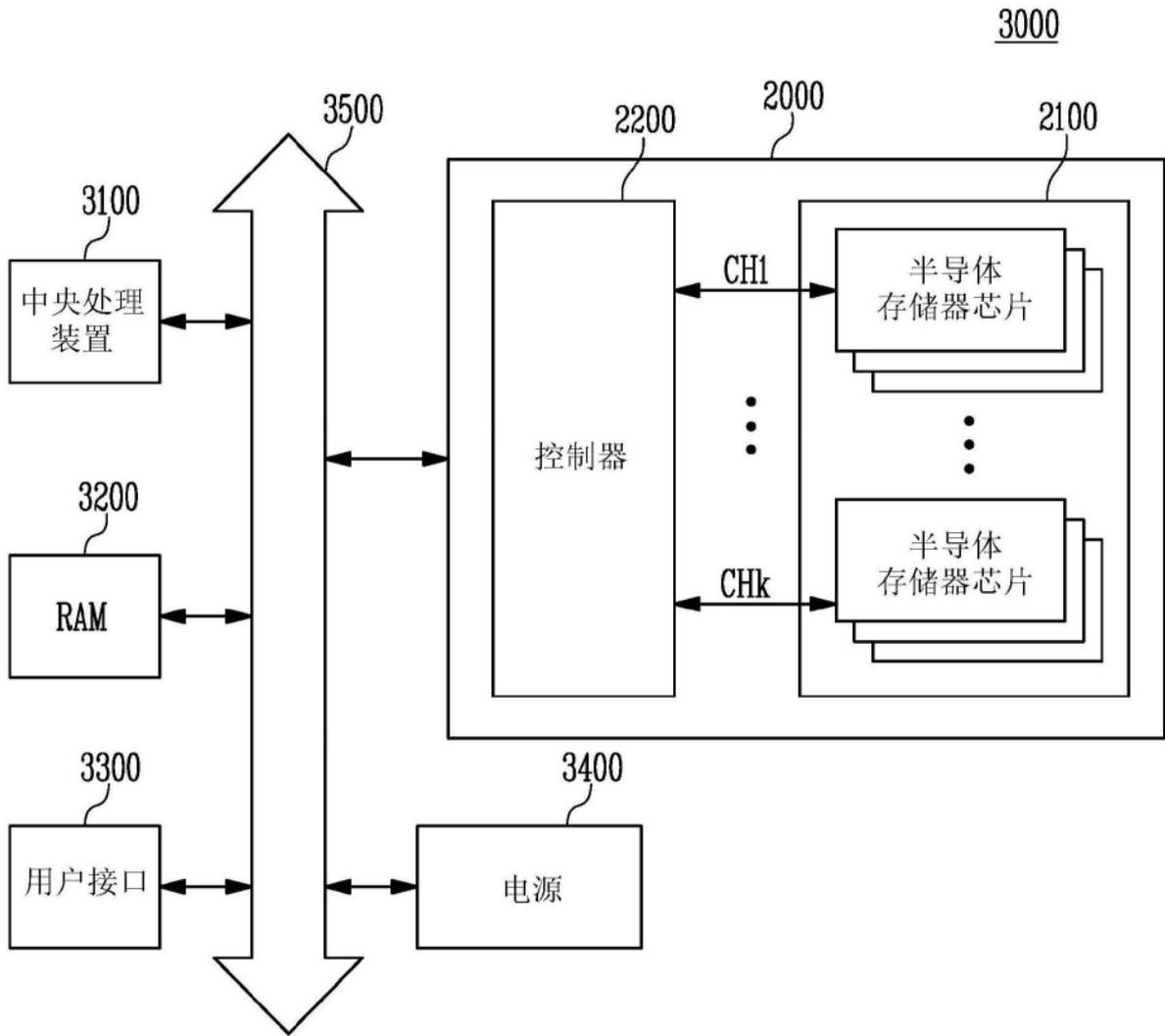


图19