

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200710103453.7

[51] Int. Cl.

H01L 27/24 (2006.01)

H01L 45/00 (2006.01)

H01L 21/82 (2006.01)

G11C 11/56 (2006.01)

[43] 公开日 2007 年 11 月 21 日

[11] 公开号 CN 101075632A

[22] 申请日 2007.5.18

[21] 申请号 200710103453.7

[30] 优先权

[32] 2006.5.19 [33] KR [31] 10-2006-0045298

[71] 申请人 三星电子株式会社

地址 韩国京畿道水原市灵通区梅滩洞416 番地

[72] 发明人 具奉珍 河龙湖 朴斗焕 朴正熙
高汉凤

[74] 专利代理机构 中原信达知识产权代理有限责任公司

代理人 林宇清 谢丽娜

权利要求书 8 页 说明书 26 页 附图 10 页

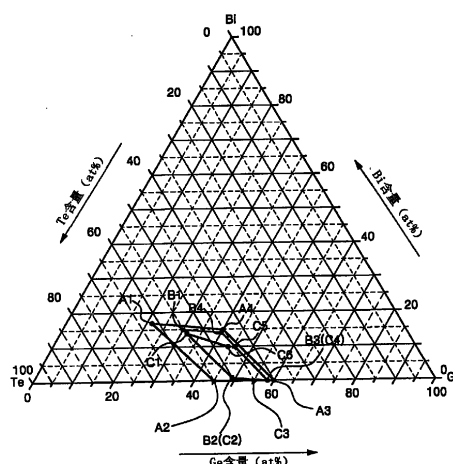
[54] 发明名称

相变存储单元、相变存储器件、电子系统及其制造方法

[57] 摘要

提供一种相变存储单元。该相变存储单元包括在半导体衬底上形成的层间绝缘层，和在该层间绝缘层中布置的第一和第二电极。在第一和第二电极之间布置相变材料图形。该相变材料图形是未掺杂的 GeBiTe 层、包含杂质的掺杂的 GeBiTe 层或包含杂质的掺杂的 GeTe 层。该未掺杂的 GeBiTe 层具有在被四个点 (A1 (Ge_{21.43}, Bi_{16.67}, Te_{61.9}), A2 (Ge_{44.51}, Bi_{0.35}, Te_{55.14}), A3 (Ge_{59.33}, Bi_{0.5}, Te_{40.17}) 和 A4 (Ge_{38.71}, Bi_{16.13}, Te_{45.16})) 围绕的范围内的成分比率，该四个点由具有锗(Ge)、铋(Bi)和碲(Te)的顶点的三角形成分图上顶点的坐标表示，并且该掺杂的 GeBiTe 层包含杂质并具有被四个点 (D1 (Ge₁₀, Bi₂₀, Te₇₀), D2 (Ge₃₀, Bi₀, Te₇₀), D3 (Ge₇₀, Bi₀, Te₃₀) 和 D4 (Ge₅₀, Bi₂₀, Te₃₀)) 围绕的

范围内的成分比率，该四个点由三角形成分图上的坐标表示。此外，该掺杂的 GeTe 层包含杂质并具有对应于点 D2 和 D3 之间的直线上的坐标的成分比率。



1. 一种相变存储单元，包括：

形成在半导体衬底上的层间绝缘层；

布置在层间绝缘层中的第一电极和第二电极；

在第一和第二电极之间布置的相变材料图形，该相变材料图形是未掺杂的GeBiTe层、掺杂的GeBiTe层和掺杂的GeTe层之一，该未掺杂的GeBiTe层具有在被四个点（A1（Ge_{21.43}，Bi_{16.67}，Te_{61.9}）、A2（Ge_{44.51}，Bi_{0.35}，Te_{55.14}）、A3（Ge_{59.33}、Bi_{0.5}、Te_{40.17}）和A4（Ge_{38.71}，Bi_{16.13}，Te_{45.16}））围绕的范围内的成分比率，该四个点由具有锗（Ge）、铋（Bi）和碲（Te）的顶点的三角形成分图上的坐标表示，该掺杂的GeBiTe层包含杂质并具有被四个点（D1（Ge₁₀，Bi₂₀，Te₇₀）、D2（Ge₃₀，Bi₀，Te₇₀）、D3（Ge₇₀，Bi₀，Te₃₀）和D4（Ge₅₀，Bi₂₀，Te₃₀））围绕的范围内的成分比率，该四个点由三角形成分图上的坐标表示，以及该掺杂的GeTe层包含杂质并具有对应于点D2和D3之间的直线上的坐标的成分比率；以及

布置在层间绝缘层上并被电连接到第二电极的位线。

2. 根据权利要求1的相变存储单元，还包括：

形成在半导体衬底上并被电连接到第一电极的单元开关器件。

3. 根据权利要求2的相变存储单元，其中该单元开关器件是存取金属氧化物半导体（MOS）晶体管，包括在半导体衬底中形成的源区和漏区以及在该源区和漏区之间的沟道区上方布置的字线，以及第一电极被电连接到源区和漏区之一。

4. 根据权利要求2的相变存储单元，其中该单元开关器件是单元二极管。

5. 根据权利要求4的相变存储单元，其中该单元二极管是具有n-

型半导体和p-型半导体的垂直单元二极管，该n-型半导体和p-型半导体被顺序地层叠在层间绝缘层中，以及该p-型半导体被电连接到第一电极。

6. 根据权利要求5的相变存储单元，还包括：
被电连接到单元二极管的n-型半导体的字线。

7. 根据权利要求1的相变存储单元，其中该第一电极是氮化钛层（TiN）或氮化铝钛层（TiAlN）。

8. 根据权利要求1的相变存储单元，其中该第二电极是氮化钛层（TiN）。

9. 根据权利要求1的相变存储单元，其中该未掺杂的GeBiTe层或掺杂的GeBiTe层具有在被四个点（B1（Ge_{30.77}，Bi_{15.38}，Te_{53.85}）、B2（Ge_{48.7}，Bi_{1.0}，Te_{50.3}）、B3（Ge_{59.3}，Bi_{0.5}，Te_{40.2}）和B4（Ge_{38.7}，Bi_{16.1}，Te_{45.2}））围绕的范围内的成分比率，该四个点由具有Ge、Bi和Te的顶点的三角形成分图上的坐标表示。

10. 根据权利要求1的相变存储单元，其中该未掺杂的GeBiTe层或掺杂的GeBiTe层具有在被六个点（C1（Ge_{33.33}，Bi_{13.34}，Te_{53.33}）、C2（Ge_{48.7}，Bi_{1.0}，Te_{50.3}）、C3（Ge_{54.43}，Bi_{0.47}，Te_{45.1}）、C4（Ge_{59.3}，Bi_{0.5}，Te_{40.2}）、C5（Ge_{47.1}，Bi_{9.8}，Te_{43.1}）和C6（Ge₄₄，Bi₉，Te₄₇））围绕的范围内的成分比率，该六个点由具有Ge、Bi和Te的顶点的三角形成分图上的坐标表示。

11. 根据权利要求1的相变存储单元，其中该杂质包括选自由氮（N）、碳（C）、硒（Se）、铟（In）、氧（O）、镓（Ga）、硅（Si）、锡（Sn）、铅（Pb）、磷（P）、砷（As）、锑（Sb）和硫（S）构成的组的至少一种元素。

12. 根据权利要求11的相变存储单元，其中该杂质的含量在0.01原子%至20原子%的范围内。

13. 一种相变存储器件，包括：

具有单元阵列区和外围电路区的半导体衬底；

形成在半导体衬底上的层间绝缘层；

布置在单元阵列区中的层间绝缘层中的第一电极和第二电极；

在第一和第二电极之间布置的相变材料图形，该相变材料图形是未掺杂的GeBiTe层、掺杂的GeBiTe层和掺杂的GeTe层之一，该未掺杂的GeBiTe层具有在被四个点（A1（Ge_{21.43}，Bi_{16.67}，Te_{61.9}）、A2（Ge_{44.51}，Bi_{0.35}，Te_{55.14}）、A3（Ge_{59.33}，Bi_{0.5}，Te_{40.17}）和A4（Ge_{38.71}，Bi_{16.13}，Te_{45.16}））围绕的范围内的成分比率，该四个点由具有锗（Ge）、铋（Bi）和碲（Te）的顶点的三角形成分图上的坐标表示，该掺杂的GeBiTe层包含杂质并具有被四个点（D1（Ge₁₀，Bi₂₀，Te₇₀）、D2（Ge₃₀，Bi₀，Te₇₀）、D3（Ge₇₀，Bi₀，Te₃₀）和D4（Ge₅₀，Bi₂₀，Te₃₀））围绕的范围内的成分比率，该四个点由三角形成分图上的坐标表示，以及该掺杂的GeTe层包含杂质并具有对应于点D2和D3之间的直线上的坐标的成分比率；以及

布置在层间绝缘层上并被电连接到第二电极的位线。

14. 根据权利要求13的相变存储器件，还包括：

形成在单元阵列区中的半导体衬底上并被电连接到第一电极的单元开关器件。

15. 根据权利要求14的相变存储器件，其中该单元开关器件是存取金属氧化物半导体（MOS）晶体管，具有在半导体衬底中形成的源区和漏区以及在该源区和漏区之间的沟道区上方布置的字线，并且第一电极被电连接到源区和漏区之一。

16. 根据权利要求14的相变存储器件，其中该单元开关器件是单元二极管。

17. 根据权利要求16的相变存储器件，其中该单元二极管是具有n-型半导体和p-型半导体的垂直单元二极管，该n-型半导体和p-型半导体被顺序地层叠在层间绝缘层中，以及该p-型半导体被电连接到第一电极。

18. 根据权利要求17的相变存储器件，还包括：
电连接到单元二极管的n-型半导体的字线。

19. 根据权利要求13的相变存储器件，其中该第一电极是氮化钛层（TiN）或氮化铝钛层（TiAlN）。

20. 根据权利要求13的相变存储器件，其中该第二电极是氮化钛层（TiN）。

21. 根据权利要求13的相变存储器件，其中该未掺杂的GeBiTe层或掺杂的GeBiTe层具有在被四个点（B1（Ge_{30.77}，Bi_{15.38}，Te_{53.85}）、B2（Ge_{48.7}，Bi_{1.0}，Te_{50.3}）、B3（Ge_{59.3}，Bi_{0.5}，Te_{40.2}）和B4（Ge_{38.7}，Bi_{16.1}，Te_{45.2}））围绕的范围内的成分比率，该四个点由具有Ge、Bi和Te的顶点的三角形成分图上的坐标表示。

22. 根据权利要求13的相变存储器件，其中该未掺杂的GeBiTe层或掺杂的GeBiTe层具有在被六个点（C1（Ge_{33.33}，Bi_{13.34}，Te_{53.33}）、C2（Ge_{48.7}，Bi_{1.0}，Te_{50.3}）、C3（Ge_{54.43}，Bi_{0.47}，Te_{45.1}）、C4（Ge_{59.3}，Bi_{0.5}，Te_{40.2}）、C5（Ge_{47.1}，Bi_{9.8}，Te_{43.1}）和C6（Ge₄₄，Bi₉，Te₄₇））围绕的范围内的成分比率，该六个点由具有Ge、Bi和Te的顶点的三角形成分图上的坐标表示。

23. 根据权利要求13的相变存储器件, 其中该杂质包括选自由氮(N)、碳(C)、硒(Se)、铟(In)、氧(O)、镓(Ga)、硅(Si)、锡(Sn)、铅(Pb)、磷(P)、砷(As)、锑(Sb)和硫(S)构成的组的至少一种元素。

24. 根据权利要求23的相变存储器件, 其中杂质的含量在0.01原子%至20原子%的范围内。

25. 一种具有处理器、执行与该处理器的数据通信的输入和输出单元以及执行与该处理器的数据通信的相变存储器件的电子系统, 该相变存储器件包括:

具有单元阵列区和外围电路区的半导体衬底;

形成在半导体衬底上的层间绝缘层;

布置在单元阵列区中的层间绝缘层中的第一电极和第二电极;

在第一和第二电极之间布置的相变材料图形, 该相变材料图形是未掺杂的GeBiTe层、掺杂的GeBiTe层和掺杂的GeTe层之一, 该未掺杂的GeBiTe层具有在被四个点(A1(Ge_{21.43}, Bi_{16.67}, Te_{61.9}), A2(Ge_{44.51}, Bi_{0.35}, Te_{55.14}), A3(Ge_{59.33}, Bi_{0.5}, Te_{40.17})和A4(Ge_{38.71}, Bi_{16.13}, Te_{45.16}))围绕的范围内的成分比率, 该四个点由具有锗(Ge)、铋(Bi)和碲(Te)的顶点的三角形成分图上的坐标表示, 该掺杂的GeBiTe层包含杂质并具有被四个点(D1(Ge₁₀, Bi₂₀, Te₇₀), D2(Ge₃₀, Bi₀, Te₇₀), D3(Ge₇₀, Bi₀, Te₃₀)和D4(Ge₅₀, Bi₂₀, Te₃₀))围绕的范围内的成分比率, 该四个点由三角形成分图上的坐标表示, 以及该掺杂的GeTe层包含杂质并具有对应于点D2和D3之间的直线上的坐标的成分比率; 以及

布置在层间绝缘层上并被电连接到第二电极的位线。

26. 根据权利要求25的电子系统, 还包括:

形成在单元阵列区中的半导体衬底上并被电连接到第一电极的单元开关器件。

27. 根据权利要求26的电子系统，其中该单元开关器件是存取金属氧化物半导体（MOS）晶体管，具有在半导体衬底中形成的源区和漏区以及在该源区和漏区之间的沟道区上方布置的字线，并且第一电极被电连接到源区和漏区之一。

28. 根据权利要求26的电子系统，其中该单元开关器件是单元二极管。

29. 根据权利要求28的电子系统，其中该单元二极管是具有n-型半导体和p-型半导体的垂直单元二极管，该n-型半导体和p-型半导体被顺序地层叠在层间绝缘层中，以及该p-型半导体被电连接到第一电极。

30. 根据权利要求29的电子系统，还包括：
电连接到单元二极管的n-型半导体的字线。

31. 根据权利要求25的电子系统，其中该第一电极是氮化钛层（TiN）或氮化铝钛层（TiAlN）。

32. 根据权利要求25的电子系统，其中该第二电极是氮化钛层（TiN）。

33. 根据权利要求25的电子系统，其中该未掺杂的GeBiTe层或掺杂的GeBiTe层具有在被四个点（B1（Ge_{30.77}, Bi_{15.38}, Te_{53.85}）、B2（Ge_{48.7}, Bi_{1.0}, Te_{50.3}）、B3（Ge_{59.3}, Bi_{0.5}, Te_{40.2}）和B4（Ge_{38.7}, Bi_{16.1}, Te_{45.2}））围绕的范围内的成分比率，该四个点由具有Ge、Bi和Te的顶点的三角形成分图上的坐标表示。

34. 根据权利要求25的电子系统，其中该未掺杂的GeBiTe层或掺杂的GeBiTe层具有在被六个点（C1（Ge_{33.33}, Bi_{13.34}, Te_{53.33}）、C2（Ge_{48.7},

Bi_{1.0}, Te_{50.3})、C3 (Ge_{54.43}, Bi_{0.47}, Te_{45.1})、C4 (Ge_{59.3}, Bi_{0.5}, Te_{40.2})、C5 (Ge_{47.1}, Bi_{9.8}, Te_{43.1})和C6 (Ge₄₄, Bi₉, Te₄₇)) 围绕的范围内的成分比率, 该六个点由具有Ge、Bi和Te的顶点的三角形成分图上的坐标表示。

35. 根据权利要求25的电子系统, 其中该杂质包括选自由氮(N)、碳(C)、硒(Se)、铟(In)、氧(O)、镓(Ga)、硅(Si)、锡(Sn)、铅(Pb)、磷(P)、砷(As)、锑(Sb)和硫(S)构成的组的至少一种元素。

36. 根据权利要求35的电子系统, 其中该杂质的含量在0.01原子%至20原子%的范围内。

37. 一种制造相变存储单元的方法, 包括:

在半导体衬底上形成下层间绝缘层;

在下层间绝缘层中形成第一电极;

形成与下层间绝缘层上的第一电极和在相变材料图形上层叠的第二电极接触的相变材料图形, 该相变材料图形由未掺杂的GeBiTe层、掺杂的GeBiTe层和掺杂的GeTe层之一形成, 该未掺杂的GeBiTe层具有在被四个点(A1 (Ge_{21.43}, Bi_{16.67}, Te_{61.9})、A2 (Ge_{44.51}, Bi_{0.35}, Te_{55.14})、A3 (Ge_{59.33}, Bi_{0.5}, Te_{40.17})和A4 (Ge_{38.71}, Bi_{16.13}, Te_{45.16})) 围绕的范围内的成分比率, 该四个点由具有锗(Ge)、铋(Bi)和碲(Te)的顶点的三角形成分图上的坐标表示, 该掺杂的GeBiTe层包含杂质并具有被四个点(D1 (Ge₁₀, Bi₂₀, Te₇₀)、D2 (Ge₃₀, Bi₀, Te₇₀)、D3 (Ge₇₀, Bi₀, Te₃₀)和D4 (Ge₅₀, Bi₂₀, Te₃₀)) 围绕的范围内的成分比率, 该四个点由三角形成分图上的坐标表示, 以及该掺杂的GeTe层包含杂质并具有对应于点D2和D3之间的直线上的坐标的成分比率;

在具有相变材料图形和第二电极的衬底上形成上层间绝缘层;

构图该上层间绝缘层, 以形成露出第二电极的位线接触孔; 以及在该上层间绝缘层上形成通过位线接触孔电连接到第二电极的位

线。

38. 根据权利要求37的方法，还包括：

在形成下层间绝缘层之前，在半导体衬底上形成存取金属氧化物半导体（MOS）晶体管，

其中该第一电极被电连接到存取MOS晶体管的源区和漏区之一。

39. 根据权利要求37的方法，还包括：

在形成下层间绝缘层之前，在半导体衬底中或在半导体衬底上形成字线；以及

在形成第一电极之前，形成具有在下层间绝缘层中顺序地层叠的n-型半导体和p-型半导体的单元二极管，

其中该单元二极管的n-型半导体被电连接到字线，以及在该单元二极管的p-型半导体上形成第一电极。

40. 根据权利要求37的方法，其中该第一电极由氮化钛层（TiN）或氮化铝钛层（TiAlN）形成。

41. 根据权利要求37的方法，其中使用物理汽相淀积（PVD）技术、化学气相淀积（CVD）技术或原子层淀积（ALD）技术来形成该相变材料图形。

42. 根据权利要求37的方法，其中该杂质包括选自由氮（N）、碳（C）、硒（Se）、铟（In）、氧（O）、镓（Ga）、硅（Si）、锡（Sn）、铅（Pb）、磷（P）、砷（As）、锑（Sb）和硫（S）构成的组的至少一种元素，以及该杂质的含量在0.01原子%至20原子%的范围内。

43. 根据权利要求37的方法，其中该第二电极由氮化钛层（TiN）形成。

相变存储单元、相变存储器件、电子系统及其制造方法

与相关申请的交叉引用

本申请要求2006年5月19日申请的韩国专利申请号2006-45298的优先权，在此将其公开内容全部引入作为参考。

技术领域

本发明涉及非易失性存储器，更具体，涉及采用GeBiTe层作为相变材料层的相变存储单元、包括该相变存储单元的相变存储器、包括该相变存储器的电子系统及其制造方法。

背景技术

非易失性存储器即使当它们的电源供给被切断时也保持它们的存储数据。因此，非易失性存储器被广泛地用于计算机、移动通信系统、存储卡等。

快闪（flash）存储器被广泛地用作非易失性存储器。许多快闪存储器采用具有叠栅结构的存储单元。快闪存储器的叠栅结构典型地包括在沟道区上连续地层叠的隧穿氧化层、浮栅、栅间介质层和控制栅电极。

最近，使用其他类型的非易失性存储器，例如，相变存储器来代替快闪存储器。相变存储器的单位单元包括开关器件和串联连接到开关器件的数据存储元件。数据存储元件具有顶和底电极以及在其间插入的相变材料层，底电极被电连接到开关器件。

通常，底电极起加热器的作用。当写电流流过开关器件和底电极

时，在相变材料层和底电极之间的界面产生焦耳热。这种焦耳热将相变材料层转变为非晶态（重置状态）或结晶态（设置状态）。具有非晶态的相变材料层与具有结晶态的相变材料层相比显示出较高的电阻。由此，该相变材料层被广泛地用作相变存储器的数据存储元件。

开关器件应该设计成具有足以提供写电流的电流驱动性能。但是，为了提高电流驱动性能，被开关器件占据的面积应该增加。当开关器件的面积增加时，提高相变存储器的集成度是困难的。

锗（Ge）、锑（Sb）和碲（Te）的合金层（下面，称为“GeSbTe”层）被广泛地用作相变材料层。为了晶化GeSbTe层，需要具有数百纳秒的长时间的设置脉冲信号。由此，在提高采用GeSbTe层的相变存储器的写速度（编程速度）中可能存在限制。此外，为了将GeSbTe层转变为非晶态（重置状态）需要具有约0.8mA至约1mA的高写电流（重置电流）的重置脉冲信号。由此，当GeSbTe层被用作相变存储器件的相变材料层时，在相变存储器件的写（编程）模式中减小功耗中可能有限制。

GeSbTe层可以用诸如硅原子或氮原子的杂质掺杂。在此情况下，由于该杂质，GeSbTe层可能具有小的和均匀的颗粒。由此，就GeSbTe层转变为非晶态需要的能量可以被减小，以进一步减小GeSbTe层的重置电流。但是，GeSbTe层内的杂质妨碍GeSbTe层被晶化。因此，当用杂质掺杂GeSbTe层时，掺杂GeSbTe层的重置电流被减小，而GeSbTe层的设置脉冲宽度被增加。

最近，锗（Ge）、铋（Bi）和碲（Te）的合金层（下面，称为GeBiTe层）被广泛地用作诸如数字视频磁盘（DVD）的光学信息记录介质的相变材料层。

在Fuchioka等人的名称为"Information Recording Medium"的美国

专利公开号2005/0227035A1中，公开了一种采用GeBiTe层作为相变材料层的光学信息记录介质。根据Fuchioka等人，信息记录介质包括第一和第二界面层以及在其间插入的记录层，该记录层由诸如GeBiTe层的相变材料层构成。为了将希望的数据写入信息记录介质中，在记录层（即，GeBiTe层）的预定区域上照射诸如激光束的光。结果，取决于激光束的强度，用激光束照射的预定区的GeBiTe层被转变为结晶态或非晶态。亦即，Fuchioka等人提供了用于光学地记录希望数据的信息记录介质。根据Fuchioka等人的信息记录介质的GeBiTe层，具有在被四个点H1、H2、H3和H4围绕的范围内的成分比率，四个点H1、H2、H3和H4具有Bi、Ge和Te的顶点（vertices）的三角形成分图上。

H1 (Bi₃, Ge_{46.2}, Te_{50.8})

H2 (Bi₅, Ge₄₆, Te₄₉)

H3 (Bi₁₃, Ge₃₈, Te₄₉)

H4 (Bi₁₀, Ge₃₈, Te₅₂)

在Yamada等人的名称为 "Information Recording Medium and Method for Manufacturing the Same" 的美国专利号6,858,277B1中，公开了采用GeBiTe层作为相变材料层的另一信息记录介质。根据Yamada等人，提供一种适合于电或光学编程希望数据的信息记录介质。该信息记录介质包括在衬底上形成的第一电极、在第一电极上形成的绝缘层、形成在绝缘层中将与第一电极接触的记录层以及形成在绝缘层上将记录层接触的第二电极。构成该记录层的具体材料包括许多晶格缺陷，以及在可以由GeTe-M₂Te₃（这里，“M”是Sb、Bi或Al）表示的材料内，包括该晶格缺陷的晶相可以被认为是亚稳相。

发明内容

在一个方面，本发明涉及一种采用GeBiTe层或掺杂的GeTe层作为相变材料层的相变存储单元。该相变存储单元包括在半导体衬底上形成的层间绝缘层和在该层间绝缘层中布置的第一和第二电极。在第一和第二电极之间布置相变材料图形。该相变材料图形包括未掺杂的

GeBiTe层、包含杂质的掺杂的GeBiTe层和包含杂质的掺杂的GeTe层之一。未掺杂的GeBiTe层具有在被四个点(A1(Ge_{21.43}, Bi_{16.67}, Te_{61.9})、A2(Ge_{44.51}, Bi_{0.35}, Te_{55.14})、A3(Ge_{59.33}, Bi_{0.5}, Te_{40.17})和A4(Ge_{38.71}, Bi_{16.13}, Te_{45.16}))围绕的范围内的成分比率,该四个点由具有锗(Ge)、铋(Bi)和碲(Te)的顶点的三角形成分图上的坐标表示,掺杂的GeBiTe层包含杂质并具有在被四个点(D1(Ge₁₀, Bi₂₀, Te₇₀)、D2(Ge₃₀, Bi₀, Te₇₀)、D3(Ge₇₀, Bi₀, Te₃₀)和D4(Ge₅₀, Bi₂₀, Te₃₀))围绕的范围内的成分比率,该四个点由三角形成分图上的坐标表示。此外,掺杂的GeTe层包含杂质并具有对应于点D2和D3之间的直线上的坐标的成分比率。在层间绝缘层上布置位线。该位线被电连接到第二电极。

在本发明的某些实施例中,相变存储单元还可以包括在半导体衬底上形成的单元开关器件。该单元开关器件被电连接到第一电极。该单元开关器件可以是具有在半导体衬底中形成的源和漏区的存取金属氧化物半导体(MOS)晶体管以及在源和漏区之间的沟道区上方布置的字线。第一电极被电连接到源区和漏区之一。

另外,该单元开关器件可以是单元二极管。该单元二极管可以是具有n-型半导体和p-型半导体的垂直单元二极管,该n-型半导体和p-型半导体被顺序地层叠在层间绝缘层中,以及p-型半导体可以被电连接到第一电极。在此情况下,该相变存储单元还可以包括电连接到单元二极管的n-型半导体的字线。

在另一实施例中,该第一电极可以是氮化钛(TiN)或氮化铝钛(TiAlN)层。

在再一实施例中,该第二电极可以是氮化钛层(TiN)。

在又一实施例中,未掺杂的GeBiTe层或掺杂的GeBiTe层可以具有在被四个点(B1(Ge_{30.77}, Bi_{15.38}, Te_{53.85})、B2(Ge_{48.7}, Bi_{1.0}, Te_{50.3}))、

B3 ($\text{Ge}_{59.3}$, $\text{Bi}_{0.5}$, $\text{Te}_{40.2}$) 和 B4 ($\text{Ge}_{38.7}$, $\text{Bi}_{16.1}$, $\text{Te}_{45.2}$) 围绕的范围内的成分比率, 该四个点由具有 Ge、Bi 和 Te 的顶点的三角形成分图上的坐标表示。

在又一实施例中, 未掺杂的 GeBiTe 层或掺杂的 GeBiTe 层可以具有在被六个点 (C1 ($\text{Ge}_{33.33}$, $\text{Bi}_{13.34}$, $\text{Te}_{53.33}$)、C2 ($\text{Ge}_{48.7}$, $\text{Bi}_{1.0}$, $\text{Te}_{50.3}$)、C3 ($\text{Ge}_{54.43}$, $\text{Bi}_{0.47}$, $\text{Te}_{45.1}$)、C4 ($\text{Ge}_{59.3}$, $\text{Bi}_{0.5}$, $\text{Te}_{40.2}$)、C5 ($\text{Ge}_{47.1}$, $\text{Bi}_{9.8}$, $\text{Te}_{43.1}$) 和 C6 (Ge_{44} , Bi_9 , Te_{47}) 围绕的范围内的成分比率, 该六个点由具有 Ge、Bi 和 Te 的顶点的三角形成分图上的坐标表示。

在再一实施例中, 该杂质可以包括选自由氮 (N)、碳 (C)、硒 (Se)、铟 (In)、氧 (O)、镓 (Ga)、硅 (Si)、锡 (Sn)、铅 (Pb)、磷 (P)、砷 (As)、锑 (Sb) 和硫 (S) 构成的组的至少一种元素。杂质的含量可以在 0.01 原子至 20 原子% 的范围内。

在另一方面, 本发明涉及一种采用 GeBiTe 层或掺杂的 GeTe 层作为相变材料层的相变存储器件。该相变存储器件包括具有单元阵列区和外围电路区的半导体衬底和在该半导体衬底上形成的层间绝缘层。在单元阵列区中的层间绝缘层中布置第一电极和第二电极。在第一和第二电极之间布置相变材料图形。相变材料图形包括未掺杂的 GeBiTe 层、包含杂质的掺杂的 GeBiTe 层和包含杂质的掺杂的 GeTe 层之一。未掺杂的 GeBiTe 层具有在被四个点 (A1 ($\text{Ge}_{21.43}$, $\text{Bi}_{16.67}$, $\text{Te}_{61.9}$)、A2 ($\text{Ge}_{44.51}$, $\text{Bi}_{0.35}$, $\text{Te}_{55.14}$)、A3 ($\text{Ge}_{59.33}$, $\text{Bi}_{0.5}$, $\text{Te}_{40.17}$) 和 A4 ($\text{Ge}_{38.71}$, $\text{Bi}_{16.13}$, $\text{Te}_{45.16}$) 围绕的范围内的成分比率, 该四个点由具有锗 (Ge)、铋 (Bi) 和碲 (Te) 的顶点的三角形成分图上的坐标表示, 该掺杂的 GeBiTe 层包含杂质并具有被四个点 (D1 (Ge_{10} , Bi_{20} , Te_{70})、D2 (Ge_{30} , Bi_0 , Te_{70})、D3 (Ge_{70} , Bi_0 , Te_{30}) 和 D4 (Ge_{50} , Bi_{20} , Te_{30}) 围绕的范围内的成分比率, 该四个点由三角形成分图上的坐标表示。此外, 该掺杂的 GeTe 层包含杂质并具有对应于点 D2 和 D3 之间的直线上的坐标的成分比率。在层间绝缘层上布置位线。该位线被电连接到第二电极。

在另一方面, 本发明涉及一种采用具有未掺杂的GeBiTe层、掺杂的GeBiTe层或掺杂的GeTe层的相变存储单元的电子系统。该电子系统包括处理器、执行与该处理器数据通信的输入和输出单元以及执行与该处理器数据通信的相变存储器件。该相变存储器件包括具有单元阵列区和外围电路区的半导体衬底和在该半导体衬底上形成的层间绝缘层。在单元阵列区中的层间绝缘层中布置第一电极和第二电极。在第一和第二电极之间布置相变材料图形。该相变材料图形具有未掺杂的GeBiTe层、包含杂质的掺杂的GeBiTe层或包含杂质的掺杂的GeTe层。该未掺杂的GeBiTe层具有在被四个点(A1(Ge_{21.43}, Bi_{16.67}, Te_{61.9})、A2(Ge_{44.51}, Bi_{0.35}, Te_{55.14})、A3(Ge_{59.33}, Bi_{0.5}, Te_{40.17})和A4(Ge_{38.71}, Bi_{16.13}, Te_{45.16}))围绕的范围内的成分比率, 该四个点由具有锗(Ge)、铋(Bi)和碲(Te)的顶点的三角形成分图上的坐标表示, 该掺杂的GeBiTe层包含杂质并具有被四个点(D1(Ge₁₀, Bi₂₀, Te₇₀)、D2(Ge₃₀, Bi₀, Te₇₀)、D3(Ge₇₀, Bi₀, Te₃₀)和D4(Ge₅₀, Bi₂₀, Te₃₀))围绕的范围内的成分比率, 该四个点由三角形成分图上的坐标表示。此外, 掺杂的GeTe层包含杂质并具有对应于点D2和D3之间的直线上的坐标的成分比率。在层间绝缘层上布置位线。该位线被电连接到第二电极。

在另一方面, 本发明涉及一种制造相变存储单元的方法, 该相变存储单元能够减小电编程速度和重置电流。该方法包括在半导体衬底上形成下层间绝缘层和在下层间绝缘层中形成第一电极。在下层间绝缘层上形成接触第一电极的相变材料图形和在相变材料图形上层叠的第二电极。该相变材料图形由未掺杂的GeBiTe层、掺杂的GeBiTe层和掺杂的GeTe层之一形成, 未掺杂的GeBiTe层具有在被四个点(A1(Ge_{21.43}, Bi_{16.67}, Te_{61.9})、A2(Ge_{44.51}, Bi_{0.35}, Te_{55.14})、A3(Ge_{59.33}, Bi_{0.5}, Te_{40.17})和A4(Ge_{38.71}, Bi_{16.13}, Te_{45.16}))围绕的范围内的成分比率, 该四个点由具有锗(Ge)、铋(Bi)和碲(Te)的顶点的三角形成分图上的坐标表示, 该掺杂的GeBiTe层包含杂质并具有在被四个点(D1(Ge₁₀, Bi₂₀, Te₇₀)、D2(Ge₃₀, Bi₀, Te₇₀)、D3(Ge₇₀, Bi₀,

Te₃₀)和D4(Ge₅₀, Bi₂₀, Te₃₀))围绕的范围内的成分比率,该四个点由三角形成分图上的坐标表示,以及该掺杂的GeTe层包含杂质并具有对应于点D2和D3之间的直线上的坐标的成分比率。在具有相变材料图形和第二电极的衬底上形成上层间绝缘层。上层间绝缘层被构图,以形成露出第二电极的位线接触孔。在上层间绝缘层上形成通过位线接触孔电连接到第二电极的位线。

附图说明

从本发明的优选实施例的更多具体描述将明白本发明的上述及其他目的、特点和优点,如附图所示。该图不一定按比例绘制,重点放在说明本发明的原理。

图1是根据本发明的示例性实施例采用相变存储单元的相变存储器件的示意性框图。

图2是图1所示的部分单元阵列区的平面图。

图3是沿图2的线I-I'的剖面图。

图4A图示了根据本发明的示例性实施例的相变存储单元中采用的相变材料层的成分范围的三角形成分图。

图4B图示了根据本发明的另一示例性实施例的相变存储单元中采用的相变材料层的成分范围的三角形成分图。

图5图示了图1所示的单元阵列区的另一示例性实施例的等效电路图。

图6图示了图5所示单元阵列区的单位单元的平面图。

图7是沿图6的线II-II'的剖面图。

图8是根据本发明的示例性实施例具有相变存储器件的电子系统的示意性框图。

图9是根据常规技术和本发明制造的相变存储单元的重置电流性能的曲线图。

图10图示了根据常规技术和本发明制造的相变存储单元的重置电流和重置脉冲宽度之间的关系曲线。

图11图示了根据本发明制造的相变存储单元的耐久测试结果的曲

线图。

具体实施方式

现在将参考附图更完全地描述本发明，在附图中示出本发明的优选实施例。但是，本发明可以以不同的方式体现，以及不应该被认为是局限于在此阐述的实施例。相反，提供这些实施例是为了本公开是彻底的和完全的，并将本发明的范围完全传递给所属领域的技术人员。在图中，为了清楚放大了层和区域的厚度。在整个说明书中，相同的标记指相同的元件。

图1是根据本发明的示例性实施例采用相变存储单元的相变存储器件的示意性框图。

参考图1，该相变存储器件包括单元阵列区CA和外围电路区PCA。单元阵列区CA，即，存储单元区，包括多个字线WL、多个位线BL和多个相变存储单元100。位线BL可以被布置为交叉字线WL，在字线WL和位线BL之间的交叉点分别布置相变存储单元100。此外，外围电路区PCA包括用于驱动相变存储单元100的第一和第二集成电路PCA1和PCA2。第一集成电路PCA1可以包括用于选择一个字线WL的行解码器，以及第二集成电路PCA2可以包括用于选择一个位线BL的列解码器。

每个相变存储单元100包括电连接到一个位线BL的相变电阻器RP和电连接到相变电阻器RP的开关器件。相变电阻器RP可以包括第一和第二端和在第一和第二端之间插入的相变材料层，以及开关器件可以是具有栅电极、源区和漏区的存取金属氧化物半导体（MOS）晶体管TA。在此情况下，相变电阻器RP的第一端被电连接到存取MOS晶体管TA的漏区，以及相变电阻器RP的第二端被电连接到位线BL。此外，存取MOS晶体管TA的栅电极被电连接到一个字线WL，以及存取MOS晶体管TA的源区被电连接到公共源线CSL。

为了在相变存储单元100的一个单元CL中有选择地存储数据，被选择单元CL的存取MOS晶体管TA被导通，以及通过连接到被选择单元CL的位线BL施加写电流 I_w 。在此情况下，相变电阻器RP的电阻可以取决于写电流 I_w 量而变化。例如，当相变材料被写电流 I_w 加热到其结晶温度和熔点之间的温度和该加热的相变材料被向下冷却时，相变材料转变为结晶态。相反，当相变材料被写电流 I_w 加热到高于熔点的较高温度和该熔化的相变材料被突然淬火时，相变材料转变为非晶态。具有结晶态的相变材料的电阻率低于具有非晶态的相变材料的电阻率。由此，通过探测读模式中的流过相变材料的电流，可以决定相变电阻器RP中存储的数据是否是逻辑“1”或逻辑“0”。

图2是图1所示的单元阵列区（CA）的平面图，以及图3是沿图2的线I-I'的剖面图。

参考图2和3，在半导体衬底11的预定区中布置隔离层13，以限定单元有源区13a。在单元有源区13a中布置一对开关器件。该开关器件对可以是一对存取MOS晶体管或一对双极晶体管。存取MOS晶体管对包括分别在单元有源区13a两端形成的第一和第二漏区19d'和19d"、在单元有源区13a的中心部分形成的公共源区19s以及跨越单元有源区13a的一对字线17（图1的WL）。在第一漏区19d'和公共源区19s之间的沟道区上方布置字线对17的一个，在第二漏区19d"和公共源区19s之间的沟道区上方布置字线对17的另一个。字线17通过栅介质层15与沟道区电绝缘。

在具有存取MOS晶体管对的衬底上布置第一下层间绝缘层21。在第一下层间绝缘层21上布置公共源线25s（图1的CSL）、第一漏极焊盘25d'和第二漏极焊盘25d"。公共源线25s可以平行于字线17布置。公共源线25s通过贯穿第一下层间绝缘层21的公共源线接触孔21s可以被电连接到公共源区19s，以及分别通过贯穿第一下层间绝缘层21的第一和第二漏接触孔21d'和21d"，第一和第二漏极焊盘25d'和25d"可以被电连

接到第一和第二漏区19d'和19d"。

在另一示例性实施例中，可以分别用公共源线接触栓塞23s、第一漏接触栓塞23d'和第二漏接触栓塞23d"填充公共源线接触孔21s、第一漏接触孔21d'和第二漏接触孔21d"。在此情况下，公共源线25s、第一漏极焊盘25d'和第二漏极焊盘25d"可以分别通过公共源线接触栓塞23s、第一漏接触栓塞23d'和第二漏接触栓塞23d"电连接到公共源区19s、第一漏区19d'和第二漏区19d"。

在具有公共源线25s、第一焊盘25d'和第二漏极焊盘25d"的衬底上布置第二下层间绝缘层27。第一漏极焊盘25d'和第二漏极焊盘25d"分别可以被贯穿第二下层间绝缘层27的第一和第二相变电阻器接触孔27d'和27d"露出。在第一和第二相变电阻器接触孔27d'和27d"中可以分别布置第一和第二底电极29d'和29d"。第一和第二底电极29d'和29d"可以是氮化钛层（TiN）或氮化铝钛层（TiAlN）。第一下层间绝缘层21和第二下层间绝缘层27构成下层间绝缘层28。

在第二下层间绝缘层27上布置第一和第二相变材料图形31'和31"。第一和第二相变材料图形31'和31"被布置为分别与第一和第二底电极29d'和29d"接触。此外，在第一和第二相变材料图形31'和31"上分别可以布置第一和第二顶部电极33'和33"。第一和第二顶电极33'和33"可以是TiN层。第一底电极29d'、第一相变材料图形31'和第一顶电极33'构成相变电阻器RP，并且第二底电极29d"、第二相变材料图形31"和第二顶电极33"构成另一相变电阻器RP。第一和第二底电极29d'和29d"对应于相变电阻器RP的第一电极，以及第一和第二顶电极33'和33"对应于相变电阻器RP的第二电极。

第一电极29d'和29d"的顶表面可以具有与第二下层间绝缘层27的顶表面基本上相同的水平面。在此情况下，相变电阻器RP可以对应于如图3所示的T形相变电阻器。另外，第一电极29d'和29d"的顶表面可以

低于第二下层间绝缘层27的顶表面。在此情况下，相变电阻器RP可以对应于限制的相变电阻器。

相变材料图形31'和31"可以是Ge、Bi和Te的合金层（即，GeBiTe层）。更详细地，相变材料图形31'和31"可以是具有在特定范围内的成分比率的GeBiTe层，该特定范围在三角形成分图上，该三角形成分图具有Ge、Bi和Te的顶点，如图4A所示。

参考图4A，根据本发明的示例性实施例的相变材料图形31'和31"可以是GeBiTe层，该GeBiTe层具有在被四个点A1、A2、A3和A4围绕的范围内的成分比率，该四个点由三角形成分图上的坐标表示，该三角形成分图具有Ge、Bi和Te的顶点：

A1 (Ge_{21.43}, Bi_{16.67}, Te_{61.9})

A2 (Ge_{44.51}, Bi_{0.35}, Te_{55.14})

A3 (Ge_{59.33}, Bi_{0.5}, Te_{40.17})

A4 (Ge_{35.71}, Bi_{16.13}, Te_{45.16})

由具有上述成分比率的GeBiTe层形成的相变材料图形31'或31"在转变相变材料图形31'或31"的晶体结构需要的电信号性能方面显示出优于常规GeSbTe层的某些优点。例如，转变由具有上述成分比率的GeBiTe层形成的相变材料图形31'或31"为结晶态需要的设置脉冲宽度小于转变常规GeSbTe层为结晶态需要的设置脉冲宽度。通常，转变诸如GeSbTe层或GeBiTe层的相变材料层为结晶态需要的时间（即，设置脉冲宽度）大于转变相变材料为非晶态需要的时间（即，重置脉冲宽度）。因此，本发明可以提供一种改进的相变存储单元，与采用常规GeSbTe层作为相变材料层的相变存储单元相比，显示出更快的编程时间。

此外，转变由具有上述成分比率的GeBiTe层形成的相变材料图形为非晶态需要的重置脉冲量，亦即，重置电流，小于转变常规GeSbTe

层为非晶态需要的重置电流。通常，转变诸如GeSbTe层或GeBiTe层的相变材料层为非晶态需要的电流（即，重置电流）大于转变该相变材料为结晶态需要的电流（即，设置电流）。因此，本发明可以提供一种改进的相变存储单元，在写模式（即，编程模式）中，与采用常规GeSbTe层作为相变材料层的相变存储单元相比显示出较小的功耗。

优选，相变材料图形31'和31"可以是GeBiTe层，该GeBiTe层具有在被以下四个点B1、B2、B3和B4围绕的范围内的成分比率，如图4A所示：

B1 (Ge_{30.77}, Bi_{15.38}, Te_{53.85})

B2 (Ge_{48.7}, Bi_{1.0}, Te_{50.3})

B3 (Ge_{59.3}, Bi_{0.5}, Te_{40.2})

B4 (Ge_{38.7}, Bi_{16.1}, Te_{45.2})

更优选，相变材料图形31'和31"可以是GeBiTe层，该GeBiTe层具有在被以下六个点C1、C2、C3、C4、C5和C6围绕的范围内的成分比率，如图4A所示。

C1 (Ge_{33.33}, Bi_{13.34}, Te_{53.33})

C2 (Ge_{48.7}, Bi_{1.0}, Te_{50.3})

C3 (Ge_{54.43}, Bi_{0.47}, Te_{45.1})

C4 (Ge_{59.3}, Bi_{0.5}, Te_{40.2})

C5 (Ge_{47.1}, Bi_{9.8}, Te_{43.1})

C6 (Ge₄₄, Bi₉, Te₄₇)

在本发明的另一示例性实施例中，相变材料图形31'或31"可以是包含杂质的掺杂的GeBiTe层或掺杂的GeTe层。该杂质可以是选自由氮（N）、碳（C）、硒（Se）、铟（In）、氧（O）、镓（Ga）、硅（Si）、锡（Sn）、铅（Pb）、磷（P）、砷（As）、锑（Sb）和硫（S）构成的组的至少一种元素。在此情况下，该杂质的含量可以在0.01原子%至20原子%的范围内。如图4B所示，掺杂的GeBiTe层或掺杂的GeTe层可

以具有比图4A所示的未掺杂的GeBiTe层更宽范围内的成分比率。

参考图4B, 掺杂的GeBiTe层或掺杂的GeTe层可以具有在被以下四个点D1, D2, D3和D4围绕的范围内的成分比率, 该四个点D1, D2, D3和D4由具有Ge、Bi和Te的顶点的三角形成分图上的坐标表示:

D1 (Ge₁₀, Bi₂₀, Te₇₀)

D2 (Ge₃₀, Bi₀, Te₇₀)

D3 (Ge₇₀, Bi₀, Te₃₀)

D4 (Ge₅₀, Bi₂₀, Te₃₀)

这里, 具有由点D2和D3之间的直线上的坐标表示的成分比率的相变材料层意味着掺杂的GeTe层。亦即, 该掺杂的GeTe层不包含Bi。

与未掺杂的GeBiTe层相比较, 掺杂的GeBiTe层具有小的和均匀的颗粒。结果, 在重置电流和设置脉冲宽度方面, 与未掺杂的GeBiTe层相比较, 该掺杂的GeBiTe层可以具有改进的性能。相反, 当用诸如氮或硅的杂质掺杂常规GeSbTe层时, 掺杂GeSbTe层的设置脉冲宽度趋于增加, 尽管掺杂GeSbTe层的重置电流减小。

再次参考图2和3, 在具有相变电阻器RP的衬底上布置上层间绝缘层35。在上层间绝缘层35上布置位线37 (图1的BL), 并且位线37通过贯穿上层间绝缘层35的位线接触孔电连接到第一和第二顶电极33'和33"。位线37可以被布置为跨越字线17。

现在将描述形成图2和3所示的相变存储单元的方法。

再次参考图2和3, 在半导体衬底11的预定区中形成隔离层13, 以限定单元有源区13a。在单元有源区13a上形成栅介质层15, 以及在具有栅介质层15的衬底上形成栅导电层。栅导电层被构图, 以形成交叉单元有源区13a的一对栅电极 (即, 一对字线17)。使用字线17作为离子

注入掩模，杂质离子被注入单元有源区13a中，以形成公共源区19s以及第一和第二漏区19d'和19d"。在字线WL之间的单元有源区13a中形成公共源区19s，以及在单元有源区13a的两端分别形成第一和第二漏区19d'和19d"。因此，在单元有源区13a中形成一对存取MOS晶体管（图1的TA）。

在具有存取MOS晶体管的衬底上形成第一下层间绝缘层21。第一下层间绝缘层21被构图，以形成分别露出第一漏区19d'、第二漏区19d"和公共源区19s的第一漏接触孔21d'、第二漏接触孔21d"以及公共源线接触孔21s。在第一漏接触孔21d'、第二漏接触孔21d"和公共源线接触孔21s中可以分别形成第一漏接触栓塞23d'、第二漏接触栓塞23d"以及公共源线接触栓塞23s。接触栓塞23d'、23d"和23s可以由诸如钨层的导电层或掺杂多晶硅层形成。

在具有接触栓塞23d'、23d"和23s的衬底上形成导电层，该导电层被构图，以形成公共源线25s、第一漏极焊盘25d'和第二漏极焊盘25d"。在具有公共源线25s、第一焊盘25d'和第二漏极焊盘25d"的衬底上形成第二下层间绝缘层27。第一和第二下层间绝缘层21和27构成下层间绝缘层28。

第二下层间绝缘层27被构图，以形成分别露出第一和第二漏极焊盘25d'和25d"的第一和第二相变电阻器接触孔27d'和27d"。在第一和第二相变电阻器接触孔27d'和27d"中分别可以形成第一和第二底电极29d'和29d"。第一和第二底电极29d'和29d"可以由氮化钛层（TiN）或氮化铝钛层（TiAlN）形成。第一和第二底电极29d'和29d"可以形成具有位于与第二下层间绝缘层27的顶表面相同水平面的顶表面。另外，第一和第二底电极29d'和29d"的顶表面可以低于第二下层间绝缘层27的顶表面。

在第二下层间绝缘层27和第一和第二底电极29d'和29d"上连续地

形成相变材料层和顶电极层。顶电极层可以由氮化钛层（TiN）形成，以及相变材料层可以由具有图4A所示成分比率的未掺杂的GeBiTe层或具有图4B所示成分比率的掺杂的GeBiTe层形成。未掺杂的GeBiTe层或掺杂的GeBiTe层可以使用物理汽相淀积（PVD）技术、化学气相淀积（CVD）技术或原子层淀积（ALD）技术来形成。

当掺杂的GeBiTe层的杂质是氮时，掺杂的GeBiTe层可以通过氮反应溅射技术来形成。类似地，当掺杂的GeBiTe层的杂质是氧时，掺杂的GeBiTe层可以使用氧反应溅射技术来形成。

顶电极层和相变材料层被构图，以形成覆盖各个第一和第二底电极29d'和29d"的第一和第二相变材料图形31和31"上，以及层叠在第一和第二相变材料图形31和31"上的第一和第二顶电极33'和33"。

在具有第一和第二顶电极33'和33"的衬底上形成上层间绝缘层35，以及上层间绝缘层35被构图，以形成露出第一和第二顶电极33'和33"的位线接触孔35h。然后在具有位线接触孔35h的衬底上形成诸如金属层的导电层，该导电层被构图，以形成覆盖位线接触孔35h的位线37。

参考图4A和4B描述的未掺杂的GeBiTe层或掺杂的GeBiTe层可以被应用于具有各种结构的相变存储单元。例如，在具有图5所示的单元二极管的相变存储单元中可以采用未掺杂的GeBiTe层或掺杂的GeBiTe层。

图5图示了由相变存储单元构成的单元阵列区CA'的等效电路图，该相变存储单元具有代替图1的存取MOS晶体管TA的单元二极管D。

参考图5，单元阵列区CA'包括多个位线BL和交叉该多个位线BL的多个字线WL。在位线BL和字线WL之间的交叉点分别布置多个相变存储单元100'。

每个相变存储单元100'包括电连接到一个位线BL的相变电阻器RP'和电连接到相变电阻器RP'的单元二极管D。相变电阻器RP'具有第一和第二端以及在第一和第二端之间的相变材料层，并且单元二极管D具有p-型半导体和n-型半导体。在此情况下，相变电阻器RP'的第一端被电连接到单元二极管D的p-型半导体，以及相变电阻器RP'的第二端被电连接到位线BL。此外，单元二极管D的n-型半导体被电连接到一个字线WL。

图6是图5的单位单元的平面图，以及图7是沿图6的线II-II'的剖面图。

参考图6和7，在第一导电性类型的半导体衬底51的预定区中布置隔离层17，以限定线形有源区。用不同于第一导电类型的第二导电类型的杂质掺杂有源区，由此作为字线WL。另外，字线WL可以是在半导体衬底51上层叠的导电互连。导电互连可以是金属互连或外延半导体图形。

在字线WL和隔离层53上布置下层间绝缘层55。字线WL的预定区可以被贯穿下层间绝缘层55的单元二极管孔55h露出。在单元二极管孔55h中布置单元二极管D。单元二极管D具有被连续地层叠的n-型半导体57n和p-型半导体57p。亦即，单元二极管D对应于垂直单元二极管。单元二极管D的顶表面可以低于下层间绝缘层55的顶表面。在此情况下，在单元二极管D上的单元二极管孔55h中布置底电极63。底电极63可以是氮化钛层（TiN）或氮化铝钛层（TiAlN）。在底电极63和p-型半导体57p之间可以布置单元二极管电极59。单元二极管电极59可以是诸如硅化钴层的金属硅化物层。底电极63的侧壁可以被单元二极管孔55h的侧壁上形成的绝缘隔片61围绕。

在底电极63上连续地层叠相变材料图形65和顶电极67。相变材料

图形65可以由参考图3、4A和4B描述的可变材料图形31'和31"相同材料层形成，顶电极67也可以由与参考图3描述的顶电极33'和33"相同的材料层形成。底电极63、可变材料图形65和顶电极67构成可变电阻器RP'。底电极63的顶表面可以低于下层绝缘层55的顶表面，如图7所示。在此情况下，可变电阻器RP'可以对应于限制的可变电阻器。另外，底电极63的顶表面可以具有与下层绝缘层55的顶表面相同的水平面。在此情况下，可变电阻器RP'可以对应于T形可变电阻器。

在具有可变电阻器RP'的衬底上布置上层绝缘层69。在上层绝缘层69上布置位线71，以及位线71通过贯穿上层绝缘层69的位线接触孔69h电连接到顶电极67。位线71可以被布置跨越字线WL。

现在将描述形成图6和7所示的可变存储单元的方法。

再次参考图6和7，在第一导电类型的半导体衬底51的预定区中形成隔离层17，以限定线形有源区。半导体衬底51可以是硅衬底。不同于第一导电类型的第二导电类型的杂质离子被注入有源区中，以形成第二导电类型的字线WL。第一和第二导电类型可以分别是p型和n型。在本发明的另一示例性实施例中，字线WL可以由半导体衬底51上层叠的外延层或导电层形成。

在具有字线WL的衬底上形成下层绝缘层55。下层绝缘层55被构图，以形成露出字线WL的预定区的单元二极管孔55h。在单元二极管孔55h中形成连续地层叠的n-型半导体57n和p-型半导体57p。n-型半导体57n和p-型半导体57p可以使用采用字线WL作为籽晶层的选择性外延生长（SEG）技术来形成。n-型半导体57n和p-型半导体57p构成单元二极管D，即，垂直单元二极管。在p-型半导体57p的表面上可以有选择地形成单元二极管电极59。单元二极管电极59可以由诸如硅化钴层的金属硅化物层形成，使用自对准硅化物（salicide）技术，该自对准硅化物技术是公知技术。单元二极管电极59的顶表面可以低于下层

间绝缘层55的顶表面。

在单元二极管电极59上的单元二极管孔55h的侧壁上可以形成绝缘隔片61。然后在被绝缘隔片61围绕的单元二极管孔55h中形成底电极63。底电极63可以由氮化钛(TiN)层或氮化铝钛(TiAlN)层形成。此外,底电极63可以被凹陷,以具有低于下层间绝缘层55的顶表面的表面,如图7所示。另外,底电极63可以形成为具有位于与第二下层间绝缘层55的顶表面相同水平面的表面。

在具有底电极63的衬底上连续地形成相变材料层和顶电极层。顶电极层可以由氮化钛(TiN)层形成,以及相变材料层可以使用与参考图3、4A和4B描述的相同方法形成。顶电极层和相变材料层被构图,以形成在底电极63上连续地层叠的相变材料图形65和顶电极67。底电极63、相变材料图形65和顶电极67构成相变电阻器RP'。

使用与参考图2和3描述的相同方法,在具有相变电阻器RP'的衬底上形成上层间绝缘层69、位线接触孔69h和位线71。

图8是根据本发明的示例性实施例600采用相变存储单元的电子系统的示意性框图。

参考图8,电子系统600包括作为数据存储介质的至少一个相变存储器件602和连接到相变存储器件602的处理器604。这里,相变存储器件602可以包括参考图1至7描述的相变存储单元。电子系统600可以对应于便携式笔记本式电脑、数字视频照相机或蜂窝电话。在此情况下,在板上安装处理器604和相变存储器件602,以及相变存储器件602被用于存储代码和执行处理器604的数据的程序存储器。

电子系统600可以通过输入和输出单元606与诸如个人电脑或计算机网络的其它电子系统通信数据。输入和输出单元606可以提供计算机

的外围总线、高速数据传输线或具有数据的无线传输和接收天线。处理器604和输入输出单元606之间的数据通信以及处理器604和相变存储器件602之间的数据通信可以使用典型的计算机总线结构来获得。

<例子>

图9是根据常规技术和本发明制造的相变存储单元的重置电流性能的曲线图。在图9中，水平轴表示分离组NGST和NGBT，以及垂直轴表示重置电流Ireset。这里，分离组NGST表示采用N₂-掺杂的GeSbTe层作为相变材料层的常规相变存储单元，以及分离组NGBT表示根据本发明的示例性实施例采用N₂-掺杂的GeBiTe层作为相变材料层的相变存储单元。

制造显示出图9的测量结果的所有相变存储单元，以具有T形相变电阻器的结构。此外，施加到常规相变存储单元的重置脉冲和设置脉冲的宽度是500纳秒（ns），以及施加到根据本发明的相变存储单元的重置脉冲和设置脉冲的宽度是10纳秒（ns）。

使用下面的表1中描述的工艺条件制造示出图9的测量结果的相变存储单元。

表1

工艺参数		常规技术（NGST）	本发明（NGBT）
底电极		TiAlN层（直径：50nm）	
相变材料	厚度	1000Å	
图形	成分比率（at%）	N ₁ Ge ₂₂ Sb ₂₂ Te ₅₅	N _{1.1} Ge _{48.2} Bi _{5.7} Te _{45.0}
	直径	230nm	
顶电极		TiN层	

参考图9，重置常规相变存储单元需要约1.1mA至约1.2mA的高重置电流Ireset，以及重置根据本发明的相变存储单元需要约0.38mA的低

重置电流 I_{reset} 。因此，可以理解编程根据本发明的相变存储单元需要的功耗显著地低于编程常规相变存储单元需要的功耗。

图10图示了根据常规技术和本发明制造的相变存储单元的重置电流 I_{reset} 和设置电流脉冲宽度 W 之间的关系曲线。在图10中，水平轴表示重置电流脉冲的宽度 W ，以及垂直轴表示重置电流 I_{reset} 。使用与表1中所述相同的工艺条件制造示出图10的测量结果的相变存储单元。此外，连续地施加具有相同宽度的设置脉冲和复位脉冲，以测量图10所示的重置电流的一个重置电流。

参考图10，当复位脉冲的宽度 W 从500ns减小到10ns时，常规相变存储单元的重置电流 I_{reset} 从约1.1mA增加至约1.75mA。相反，根据本发明的相变存储单元，即使当重置脉冲的宽度 W 从100ns减小到1ns时，也显示出约0.3mA至约0.4mA的均匀重置电流 I_{reset} 。因此，根据本发明的相变存储单元的写速度（编程速度）以及功耗可以被显著地提高。

图11图示了根据本发明制造的相变存储单元的耐久测试结果的曲线图。在图11中，水平轴表示相变存储单元的编程周期 N 的数目，即，写周期的数目，以及垂直轴表示每个单位单元的相变电阻器的电阻 R 。这里，使用对应于表1的本发明工艺条件制造该相变存储单元。

通过连续地施加一个重置脉冲和一个设置脉冲到相变存储单元的相变电阻器，执行各个编程周期。每个重置脉冲和设置脉冲被施加10ns。此外，产生具有约0.38mA的重置电流的重置脉冲，以便将相变电阻器的相变材料图形（即，N-掺杂的GeBiTe层）转变为非晶态，以及产生具有约0.2mA的设置电流的设置脉冲，以便将相变电阻器的相变材料图形转变为结晶态。

如从图11可以看到，根据本发明的相变存储单元即使当执行 10^9 周期的写操作（编程操作）时，也示出约 $3 \times 10^3 \Omega$ 至约 $8 \times 10^3 \Omega$ 的均匀设置

电阻 R_{SET} ，以及约 $3 \times 10^5 \Omega$ 至约 $8 \times 10^5 \Omega$ 的均匀重置电阻 R_{RESET} 。具体，如图11所示没有观察到设置电阻 R_{SET} 的任何增加和重置电阻 R_{RESET} 的任何减小，尽管编程周期N的数目被增加。亦即，即使当编程周期N的数目增加时，根据本发明的相变存储单元的耐久性也没有被降低。

此外，从第一编程周期，根据本发明的相变存储单元显示出稳定的设置电阻 R_{SET} 和稳定的重置电阻 R_{RESET} ，如图11所示。亦即，采用GeSbTe层的大多数常规相变存储单元在执行电主编程操作之前，需要烧结测试，而根据本发明的相变存储单元即使没有任何烧结测试也显示出成功的编程操作。可以理解，这是因为常规相变存储单元中采用的GeSbTe层具有亚稳相，而根据本发明的相变存储单元中采用的GeBiTe层没有亚稳相。

下面，将描述考虑具有在图4A所示的四个点A1、A2、A3和A4上的各种成分比率并在被四个点A1、A2、A3和A4围绕的范围内的未掺杂的GeBiTe层的相变性能的评估结果。这里，使用溅射技术在衬底上形成未掺杂的GeBiTe层。通过在其结晶温度和其熔点之间的温度或高于熔点的温度下加热该未掺杂的GeBiTe层，完成该未掺杂的GeBiTe层的相变，而不使用电信号。在此情况下，未掺杂的GeBiTe层被完全转变成结晶态或非晶态。

具有点A1、A2、A3和A4的成分比率的未掺杂的GeBiTe层示出表2中描述的相变性能。

表2

样品号（点）	GeBiTe层的成分	电阻比(Rratio)	与相变存储单元的可应用性
1（A1）	$\text{Ge}_{21.43}\text{Bi}_{16.67}\text{Te}_{61.9}$	$>10^4$	O
2（A2）	$\text{Ge}_{44.51}\text{Bi}_{0.35}\text{Te}_{55.14}$	$>10^4$	O
3（A3）	$\text{Ge}_{59.33}\text{Bi}_{0.5}\text{Te}_{40.17}$	$>10^4$	O
4（A4）	$\text{Ge}_{38.71}\text{Bi}_{16.13}\text{Te}_{45.16}$	$>10^4$	O

在表2中，电阻比 R_{ratio} 表示具有非晶态的未掺杂的GeBiTe层的电阻与具有结晶态的未掺杂的GeBiTe层的电阻比率。此外，表2的与相变单元的可应用性意味着该结果是否使用未掺杂的GeBiTe层作为相变材料层来制造实际相变存储单元，该未掺杂的GeBiTe层示出低于0.5mA的重置电流 I_{reset} 和不大于10ns的重置脉冲宽度W（或设置脉冲宽度），如参考图10和11描述。

如由表2可以看到，所有未掺杂的GeBiTe层具有对应于图4A的点A1、A2、A3和A4的成分比率，展示出高于 10^4 的电阻比，并展示出与相变存储单元的相变材料层的可应用性。

此外，具有被四个点A1、A2、A3和A4围绕的区域内的各种成分的未掺杂的GeBiTe层的相变性能被评估。

具有由图4A的点B1和B2之间的直线上的坐标表示的成分比率的相变材料层示出下列表3中描述的相性能。

表3

样品号 (点)	GeBiTe层的成分	电阻比(Rratio)	与相变存储单元的可应用性
1 (B2)	$\text{Ge}_{48.7}\text{Bi}_{1.0}\text{Te}_{50.3}$	$>10^7$	O
2	$\text{Ge}_{48.48}\text{Bi}_{1.22}\text{Te}_{50.3}$	$>10^7$	O
3	$\text{Ge}_{48.28}\text{Bi}_{1.38}\text{Te}_{50.34}$	$>10^7$	O
4	$\text{Ge}_{48.0}\text{Bi}_{1.6}\text{Te}_{50.4}$	$>10^7$	O
5	$\text{Ge}_{47.62}\text{Bi}_{1.9}\text{Te}_{50.48}$	$>10^7$	O
6	$\text{Ge}_{47.06}\text{Bi}_{2.35}\text{Te}_{50.59}$	$>10^7$	O
7	$\text{Ge}_{46.15}\text{Bi}_{3.08}\text{Te}_{50.77}$	$>10^7$	O
8	$\text{Ge}_{44.44}\text{Bi}_{4.45}\text{Te}_{51.11}$	$>10^7$	O
9	$\text{Ge}_{42.86}\text{Bi}_{5.71}\text{Te}_{51.43}$	$>10^7$	O
10	$\text{Ge}_{41.94}\text{Bi}_{6.45}\text{Te}_{51.61}$	$>10^6$	O
11	$\text{Ge}_{41.38}\text{Bi}_{6.9}\text{Te}_{51.72}$	$>10^6$	O
12	$\text{Ge}_{40.74}\text{Bi}_{7.41}\text{Te}_{51.85}$	$>10^6$	O
13	$\text{Ge}_{40.0}\text{Bi}_{8.0}\text{Te}_{52.0}$	$>10^6$	O
14	$\text{Ge}_{39.13}\text{Bi}_{8.7}\text{Te}_{52.17}$	$>10^6$	O
15	$\text{Ge}_{38.1}\text{Bi}_{9.52}\text{Te}_{52.38}$	$>10^6$	O
16	$\text{Ge}_{36.84}\text{Bi}_{10.53}\text{Te}_{52.63}$	$>10^5$	O
17	$\text{Ge}_{35.29}\text{Bi}_{11.77}\text{Te}_{52.94}$	$>10^5$	O
18	$\text{Ge}_{33.33}\text{Bi}_{13.34}\text{Te}_{53.33}$	$>10^5$	O
19 (B1)	$\text{Ge}_{30.77}\text{Bi}_{15.38}\text{Te}_{53.85}$	$>10^5$	O
20	$\text{Ge}_{27.27}\text{Bi}_{18.18}\text{Te}_{54.55}$	1	×

如由表3可以看到, 所有未掺杂的GeBiTe层具有对应于图4A的点B1和B2之间的直线上的坐标的成分比率, 展示出高于 10^5 的电阻比, 以及展示出与相变存储单元的相变材料层的可应用性。相反, 对应于表3的样品号20的未掺杂的GeBiTe层示出不宜于相变存储单元的相变材料层的相变性能, 如具有超出被图4A的点A1、A2、A3和A4围绕的范围外的成分比率。

此外，具有由图4A的点B3和B4之间的直线上的坐标表示的成分比率
的相变材料层示出下列表4中描述的相变性能。

表4

样品号（点）	GeBiTe层的成分	电阻比（Rratio）	与相变存储单元的可应用性
1（B4）	Ge _{38.7} Bi _{16.1} Te _{45.2}	>10 ⁵	O
2	Ge _{49.2} Bi _{8.2} Te _{42.6}	>10 ⁵	O
3	Ge _{50.7} Bi _{7.0} Te _{42.3}	>10 ⁵	O
4	Ge _{51.8} Bi _{6.2} Te _{42.0}	>10 ⁵	O
5	Ge _{52.7} Bi _{5.5} Te _{41.8}	>10 ⁵	O
6（B3）	Ge _{59.3} Bi _{0.5} Te _{40.2}	>10 ⁵	O

如由表4可以看到，所有未掺杂的GeBiTe层具有对应于图4A的点
B3和B4之间的直线上的坐标的成分比率，展示出高于10⁵的电阻比
Rratio，可以被应用于相变存储单元的相变材料层。

此外，具有对应于图4A的点C3和C6之间的直线上的坐标的成分比
率的相变材料层示出下列表5中描述的相变性能。

表5

样品号 (点)	GeBiTe层的成分	电阻比 (Rratio)	与相变存储单元的可应用性
1	Ge _{41.3} Bi _{11.3} Te _{47.4}	大约10 ¹	Δ
2 (C6)	Ge _{44.0} Bi _{9.0} Te _{47.0}	>10 ⁴	O
3	Ge _{45.83} Bi _{7.5} Te _{46.67}	>10 ⁴	O
4	Ge _{47.14} Bi _{6.43} Te _{46.43}	>10 ⁵	O
5	Ge _{48.13} Bi _{5.63} Te _{46.24}	>10 ⁵	O
6	Ge _{48.89} Bi _{5.0} Te _{46.11}	>10 ⁵	O
7	Ge _{49.5} Bi _{4.5} Te _{46.0}	>10 ⁵	O
8	Ge _{50.0} Bi _{4.09} Te _{45.91}	>10 ⁵	O
9	Ge _{52.38} Bi _{2.14} Te _{45.48}	>10 ⁵	O
10	Ge _{53.23} Bi _{1.45} Te _{45.32}	>10 ⁵	O
11	Ge _{53.66} Bi _{1.1} Te _{45.24}	>10 ⁵	O
12	Ge _{53.92} Bi _{0.88} Te _{45.2}	>10 ⁵	O
13	Ge _{54.1} Bi _{0.74} Te _{45.16}	>10 ⁵	O
14	Ge _{54.23} Bi _{0.63} Te _{45.14}	>10 ⁵	O
15	Ge _{54.32} Bi _{0.56} Te _{45.12}	>10 ⁵	O
16	Ge _{54.4} Bi _{0.49} Te _{45.11}	>10 ⁵	O
17 (C3)	Ge _{54.43} Bi _{0.47} Te _{45.1}	>10 ⁵	O

如由表5可以看到，所有未掺杂的GeBiTe层具有对应于图4A的点C3和C6之间的直线上的坐标的成分比率，展示出高于10⁴的电阻比Rratio，可被应用于相变存储单元的相变材料层。相反，对应于表5的样品号1的未掺杂的GeBiTe层示出10（Rratio）的电阻比，被将用作相变存储单元的相变材料层，该电阻比较低。表5中的样品号1的未掺杂的GeBiTe层是具有超出被图4A的点C1、C2、C3、C4、C5和C6围绕范围的成分比率的材料层。

根据如上所述的本发明，通过采用未掺杂的GeBiTe层、掺杂的GeBiTe层或掺杂的GeTe层作为相变存储单元的相变材料层，可以显著

地减小相变存储单元的重置电流和编程速度。因此，可以实现高性能的相变存储器件。此外，重置电流的减小可以导致用作相变存储单元的开关器件的存取MOS晶体管的沟道宽度减小。结果，相变存储器件的集成度可以被显著地提高。

在此已经公开了本发明的示例性实施例，尽管使用了具体的术语，但是它们被一般使用和解释并仅仅被描述，而不是为了限制。由此，所属领域的普通技术人员应当明白，在不脱离下面的权利要求所阐述的本发明的精神和范围的条件下，可以在形式上和细节上进行各种改变。

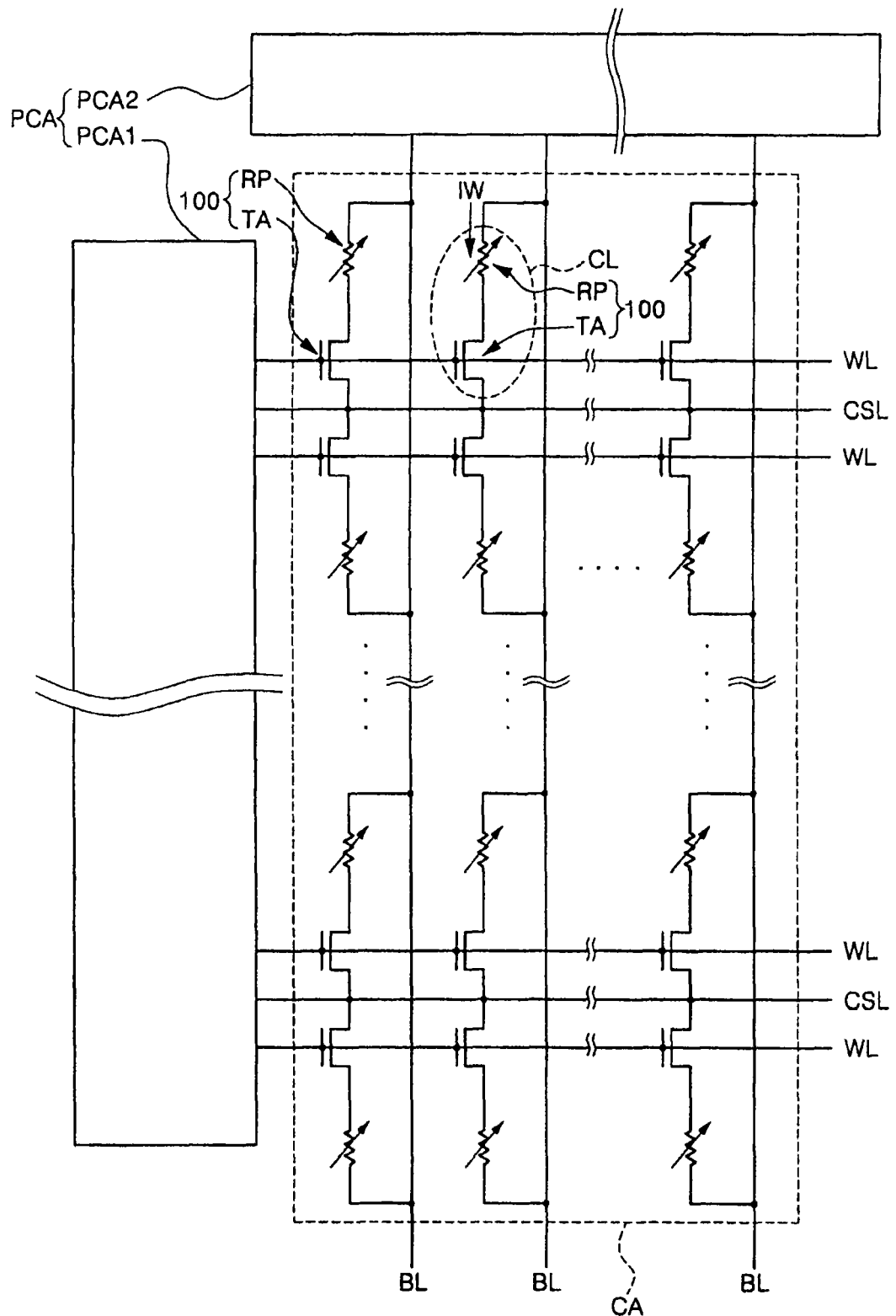


图1

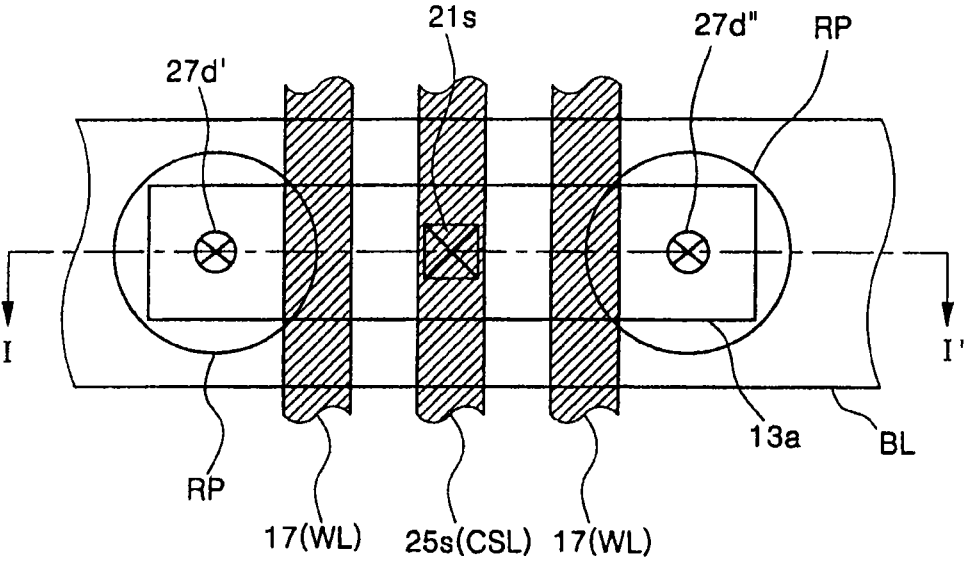
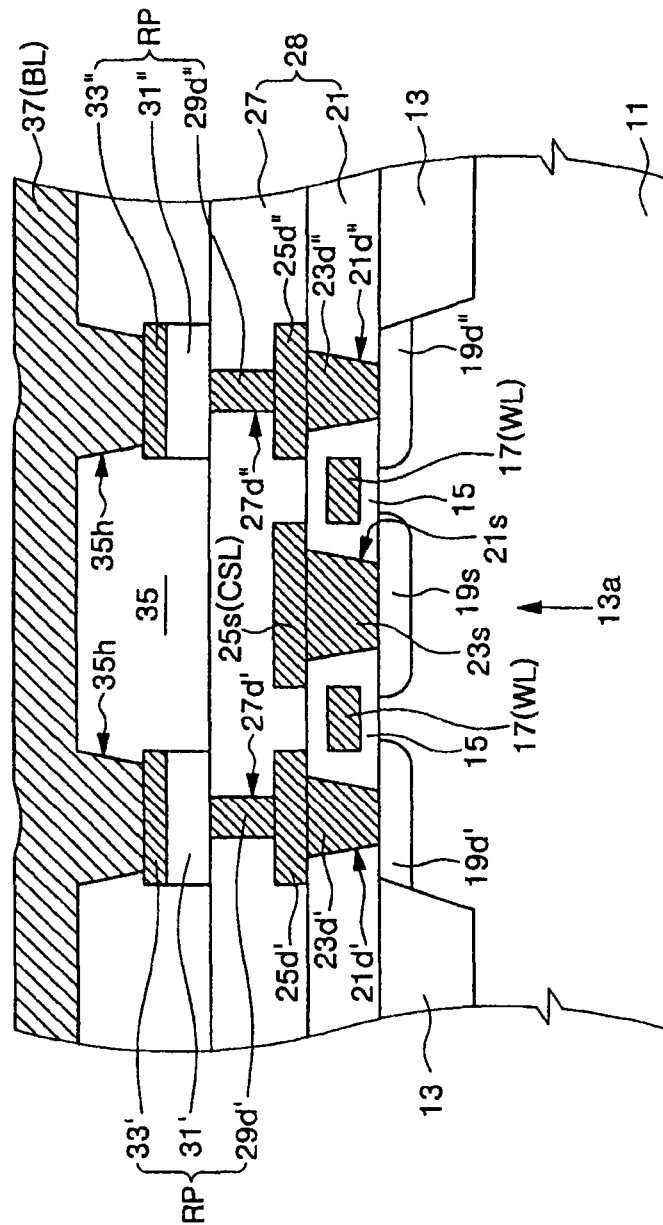


图2

3

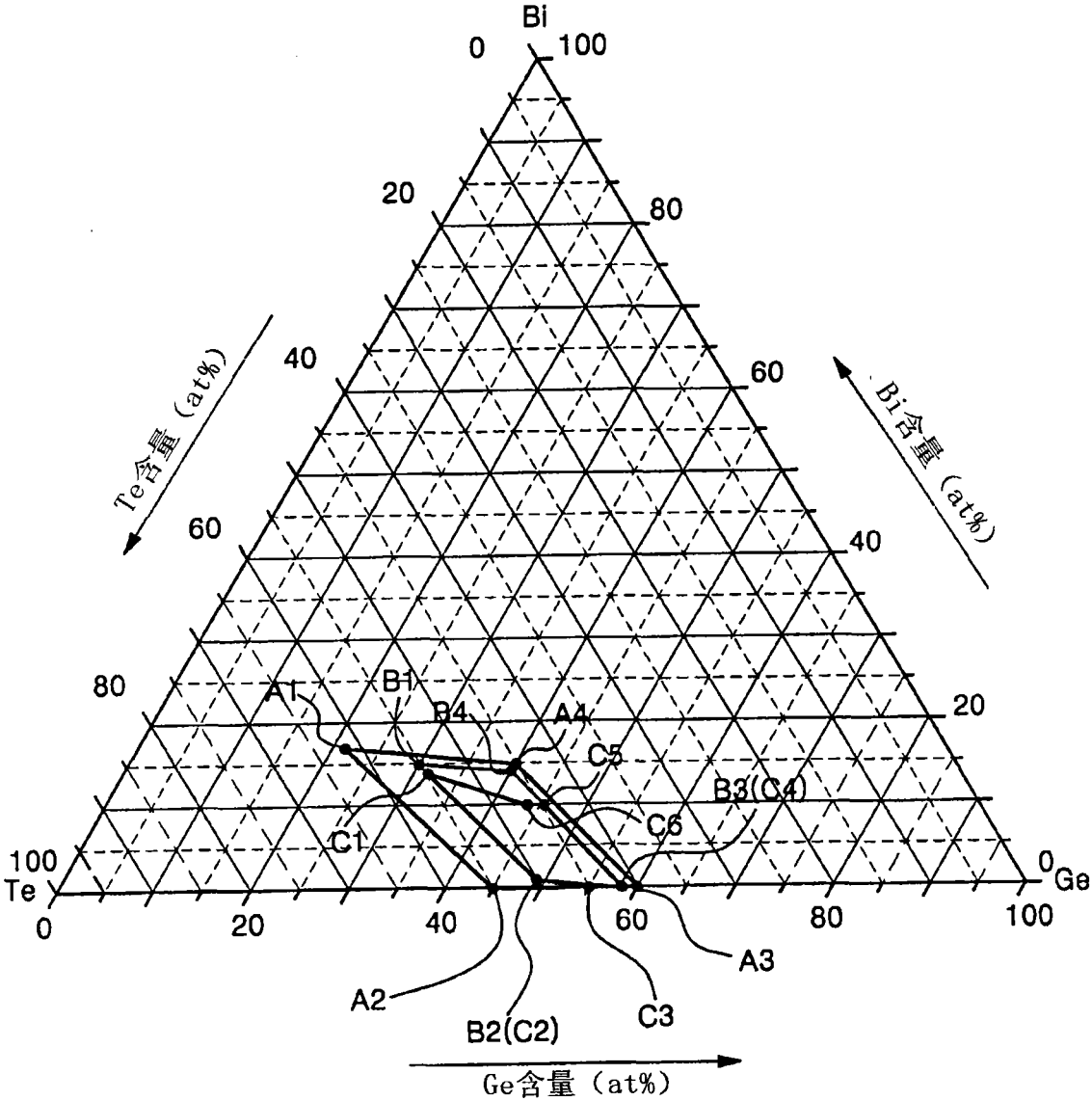



图4A

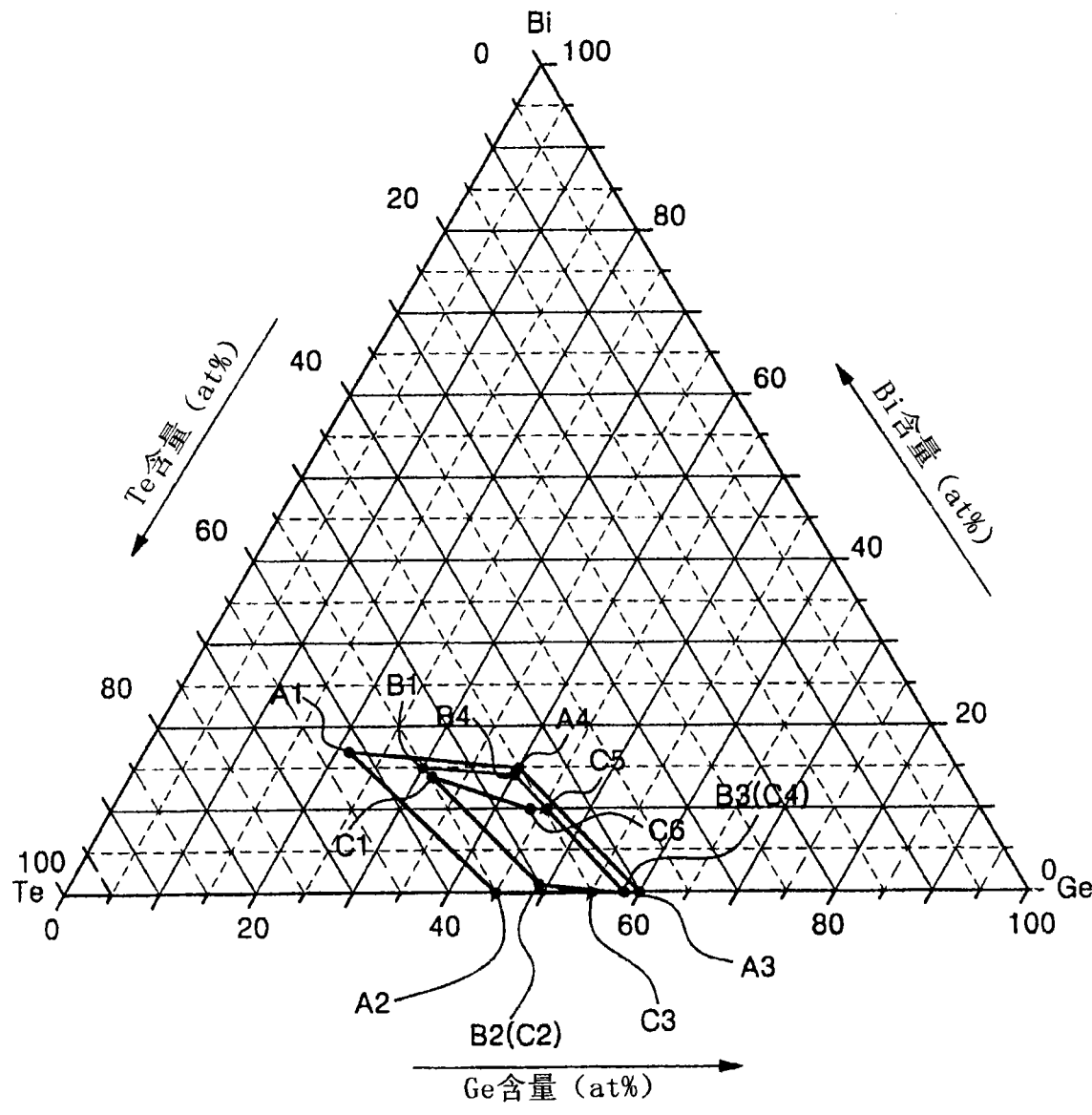


图4B

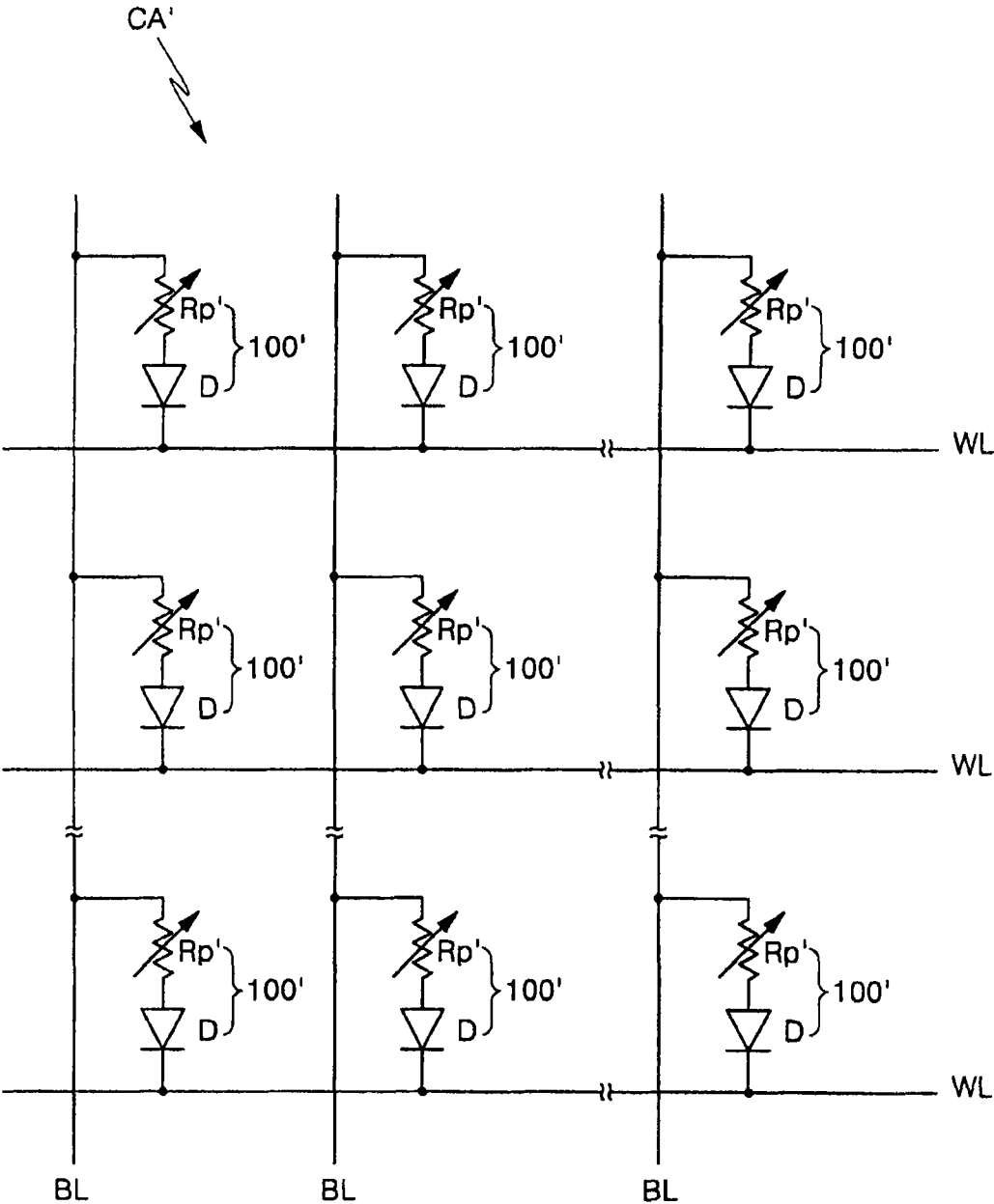


图5

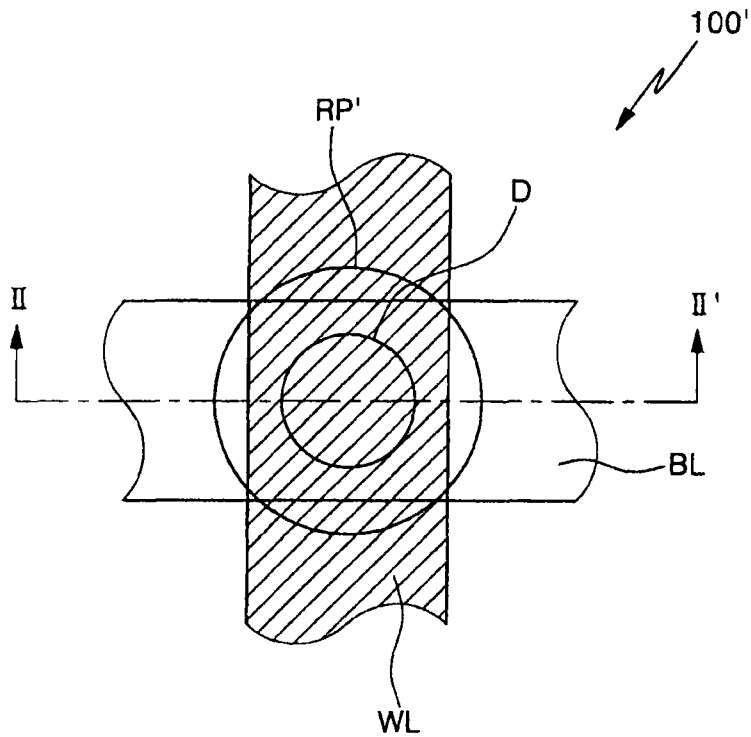


图6

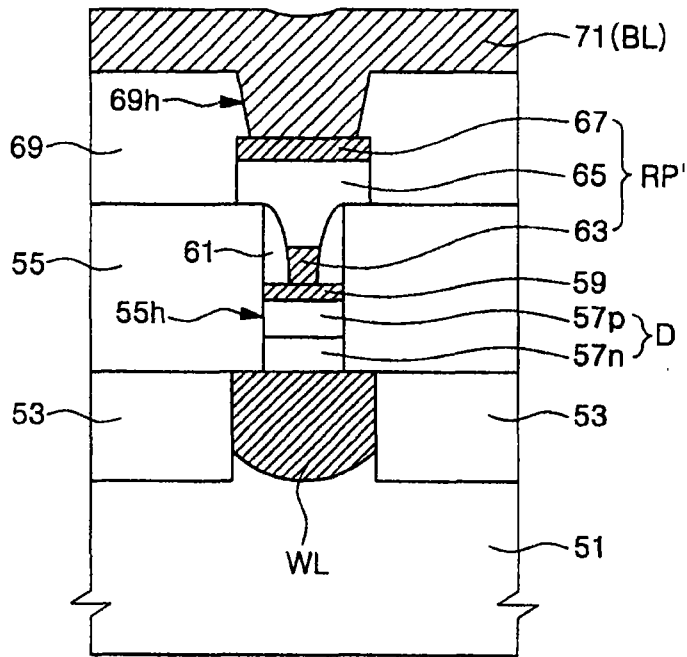


图7

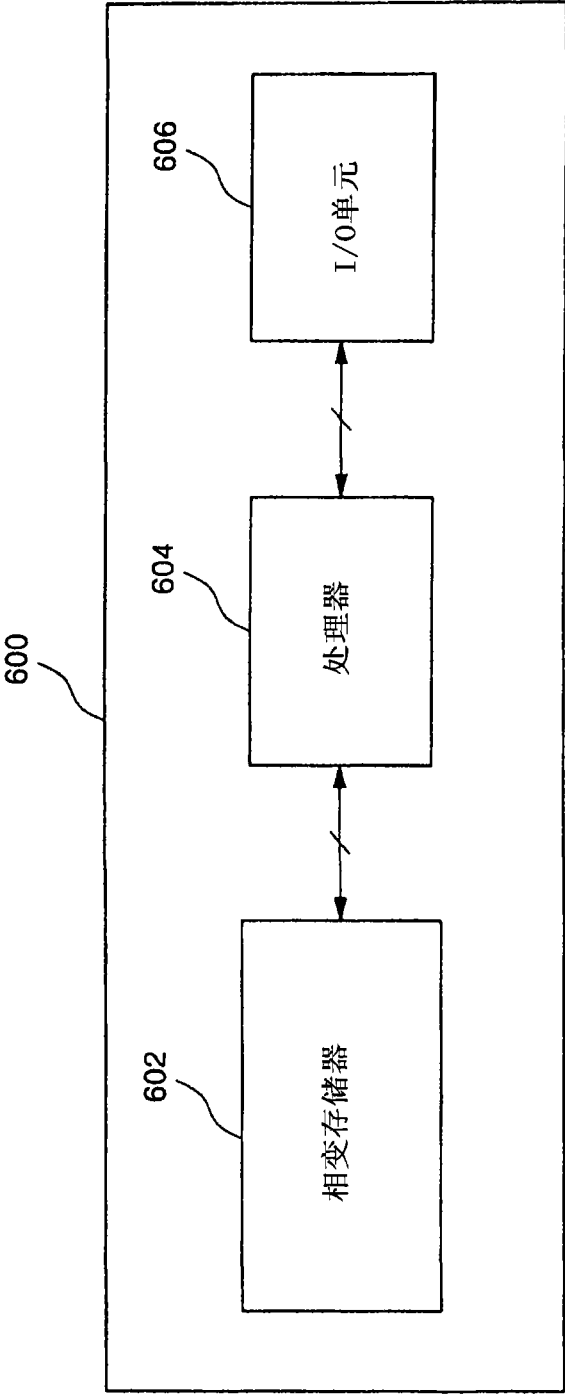


图8

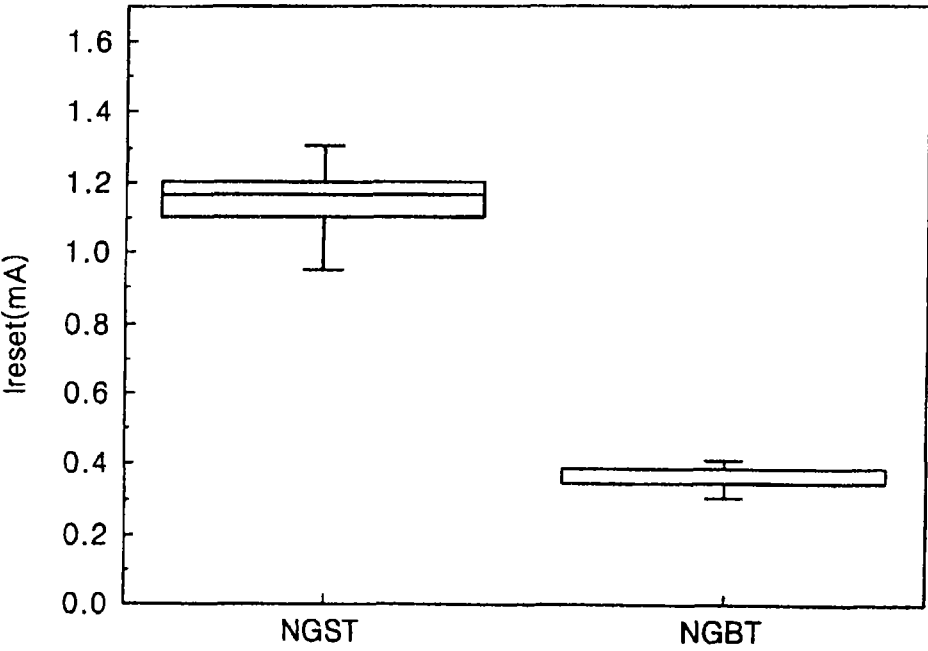


图9

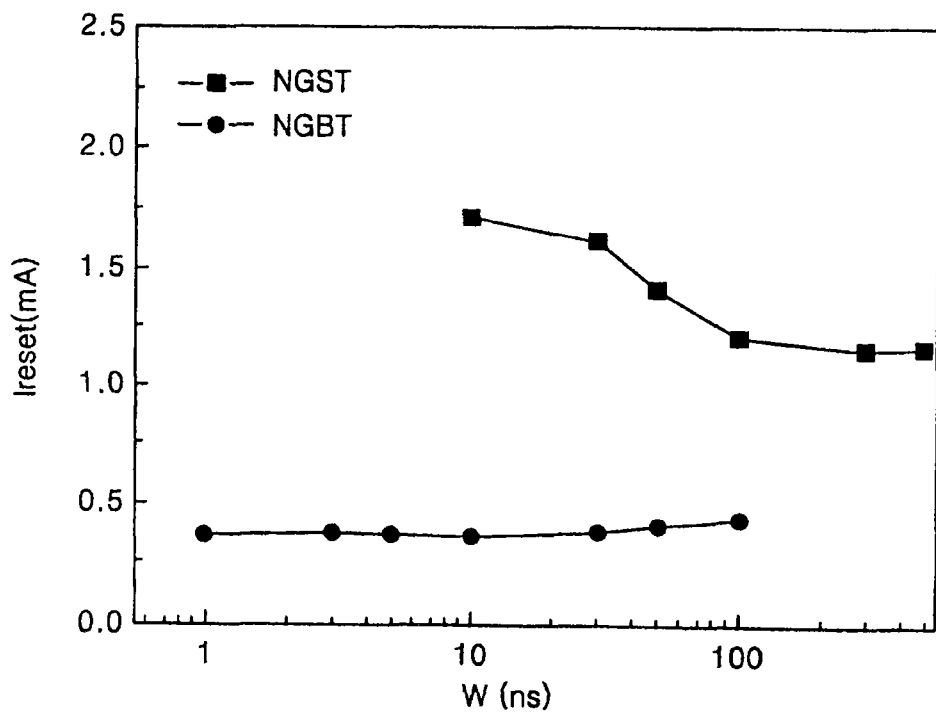


图10

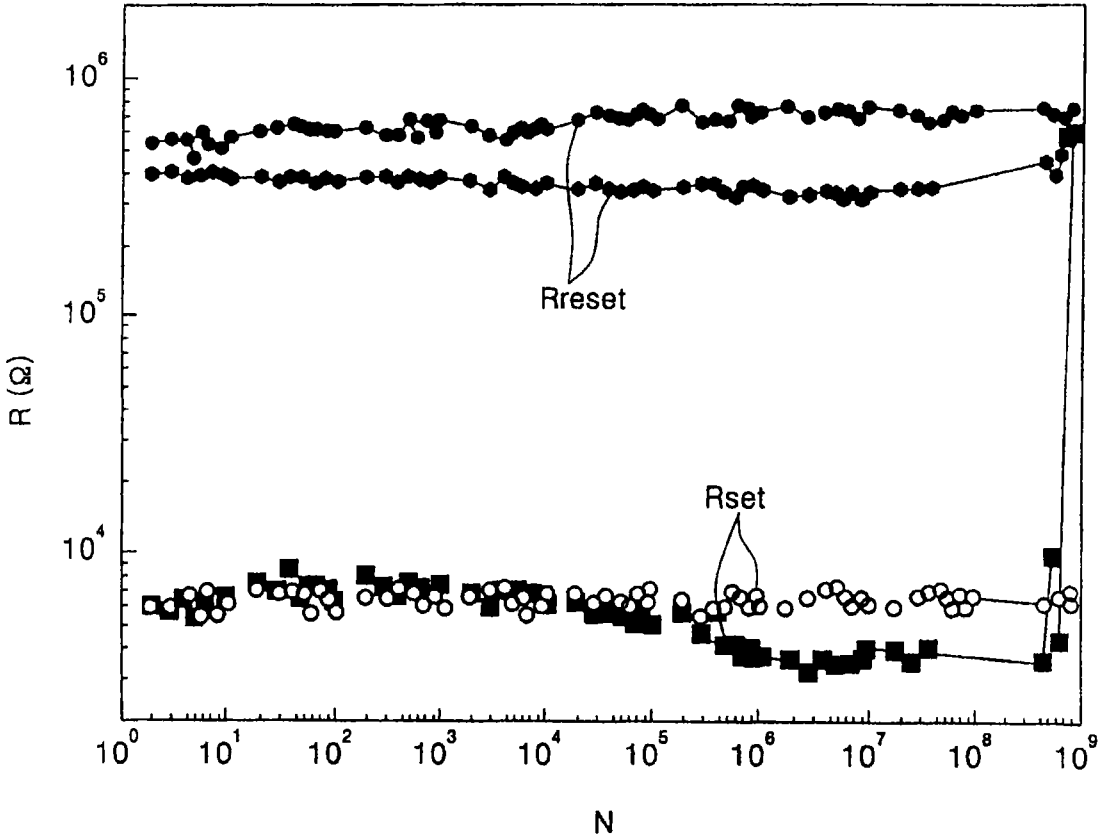


图11