



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년06월13일
(11) 등록번호 10-2820035
(24) 등록일자 2025년06월09일

(51) 국제특허분류(Int. Cl.)
H05K 3/10 (2006.01) H05K 1/03 (2006.01)
H05K 3/28 (2006.01)
(52) CPC특허분류
H05K 3/107 (2013.01)
H05K 1/0306 (2013.01)
(21) 출원번호 10-2019-0112233
(22) 출원일자 2019년09월10일
심사청구일자 2022년06월21일
(65) 공개번호 10-2021-0030725
(43) 공개일자 2021년03월18일
(56) 선행기술조사문헌
KR1020170122500 A*
JP2016051803 A*
KR1020140090961 A*
KR1020060045206 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지이노텍 주식회사
서울특별시 강서구 마곡중앙10로 30(마곡동)
(72) 발명자
양의열
서울특별시 중구 후암로 98 (남대문로5가, LG서울
역빌딩) 17층
라세웅
서울특별시 중구 후암로 98 (남대문로5가, LG서울
역빌딩) 17층
유도혁
서울특별시 중구 후암로 98 (남대문로5가, LG서울
역빌딩) 17층
(74) 대리인
허용록

전체 청구항 수 : 총 17 항

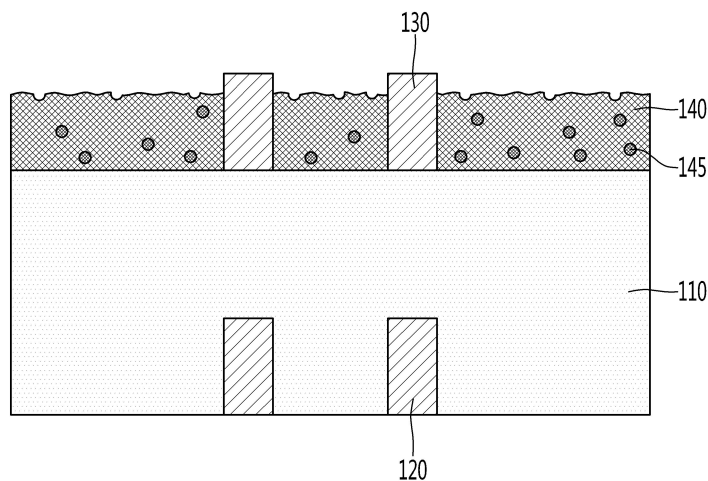
심사관 : 임종형

(54) 발명의 명칭 인쇄회로기판 및 이의 제조 방법

(57) 요약

실시 예에 따른 인쇄회로기판은 제1 절연층; 상기 제1 절연층의 하면 또는 내부에 배치된 제1 회로 패턴; 상기 제1 절연층의 상면에 배치된 제2 회로 패턴; 상기 제1 절연층의 상기 상면에 배치되고, 상기 제2 회로 패턴의 주위를 둘러싸는 제2 절연층; 및 상기 제2 절연층의 상면에 배치되는 보호층을 포함하고, 상기 제2 절연층은, 상면에 적어도 하나의 리세스가 형성되고, 상기 보호층은, 상기 제2 절연층의 상면에 형성된 상기 리세스 내에 배치된다.

대표도 - 도8b



(52) CPC특허분류
H05K 3/28 (2013.01)

명세서

청구범위

청구항 1

제1 절연층;

상기 제1 절연층 상에 배치된 제2 절연층;

상기 제2 절연층 상에 배치된 회로 패턴; 및

상기 회로 패턴 상에 배치된 보호층을 포함하고,

상기 회로 패턴은 상기 제1 절연층의 상면에 배치되고 수직 방향을 따라 상기 제2 절연층을 관통하며,

상기 수직 방향으로의 상기 회로 패턴의 두께는 상기 수직 방향으로의 상기 제2 절연층의 두께보다 크고,

상기 보호층은 상기 회로 패턴의 측면의 적어도 일부를 덮으며 구비된, 회로 기판.

청구항 2

제1항에 있어서,

상기 제2 절연층의 상면은 상기 제1 절연층을 향하여 오목한 적어도 하나의 리세스를 구비하고,

상기 보호층은 상기 제2 절연층의 상기 리세스 내에 배치된, 회로 기판.

청구항 3

제2항에 있어서,

상기 제2 절연층은 무기 필러를 포함하고,

상기 리세스의 사이즈는 상기 무기 필러의 사이즈에 대응하는, 회로 기판.

청구항 4

제3항에 있어서,

상기 리세스는 상기 제2 절연층의 상면에 구비된 무기 필러가 제거된 부분인, 회로 기판.

청구항 5

제3항에 있어서,

상기 리세스의 폭은 상기 무기 필러의 직경에 대응하는, 회로 기판.

청구항 6

제1항에 있어서,

상기 회로 패턴은 상기 회로 기판의 최상층에 배치된 회로 패턴이고,

상기 회로 패턴과 상기 제2 절연층은 상기 제1 절연층의 상면 위로 돌출된, 회로 기판.

청구항 7

제6항에 있어서,

상기 회로 패턴의 상면은 상기 수직 방향을 따라 상기 제2 절연층과 중첩되지 않는, 회로 기판.

청구항 8

제7항에 있어서,

상기 제2 절연층의 두께는 상기 회로 패턴의 두께의 20% 내지 99%의 범위를 갖는, 회로 기판.

청구항 9

제6항에 있어서,

상기 회로 패턴은 수평 방향을 따라 상기 제2 절연층과 중첩되는 제1부, 및 상기 수평 방향을 따라 상기 보호층과 중첩되는 제2부를 포함하고,

상기 제2부는 상기 제2 절연층의 상면을 향하여 수평 방향으로의 폭이 변화하는 제1 경사를 갖는, 회로 기판.

청구항 10

제9항에 있어서,

상기 회로 패턴의 상기 제1부는 상기 회로 패턴의 상기 제2부의 제1 경사와 다른 제2 경사를 갖는, 회로 기판.

청구항 11

제10항에 있어서,

상기 제1 절연층 내에 배치된 내부 회로 패턴을 더 포함하고,

상기 내부 회로 패턴은 상기 회로 패턴의 상기 제1부에 대응하는 상기 제2 경사를 갖는, 회로 기판.

청구항 12

제9항에 있어서,

상기 회로 패턴의 상기 제2부는 상기 제1 절연층의 상면을 향할수록 수평 방향으로의 폭이 증가하는, 회로 기판.

청구항 13

제9항에 있어서,

상기 제1부의 상면의 폭은 상기 제1부의 하면의 폭에 대응하는, 회로 기판.

청구항 14

제1항에 있어서,

상기 보호층의 하면은 상기 회로 패턴의 상면과 상기 회로 패턴의 하면 사이에 위치한다, 회로 기판.

청구항 15

제1항에 있어서,

상기 회로 패턴의 폭은 6 μ m to 15 μ m의 범위를 갖고,

서로 인접한 복수의 회로 패턴들 사이의 간격은 8 μ m to 15 μ m의 범위를 갖는, 회로 기판.

청구항 16

제1항에 있어서,

상기 보호층과 상기 제2 절연층은 서로 다른 절연 물질을 포함하고,

상기 보호층은 솔더 레지스트를 포함하는, 회로 기판.

청구항 17

절연층;

상기 절연층의 상면 상에 배치된 최외측 회로 패턴;
 상기 절연층의 상면 상에 배치된 지지층; 및
 상기 지지층의 상면 상에 배치된 보호층을 포함하고,
 상기 최외측 회로 패턴은 수직 방향을 따라 상기 지지층을 관통하면서 상기 절연층의 상기 상면 상에 배치되고,
 상기 최외측 회로 패턴의 두께는 상기 지지층의 두께보다 크고,
 상기 보호층은 상기 최외측 회로 패턴의 측면의 적어도 일부를 덮으며 구비되고,
 상기 회로 패턴은 수평 방향을 따라 상기 지지층과 중첩되는 제1부, 및 상기 수평 방향을 따라 상기 보호층과 중첩되는 제2부를 포함하고,
 상기 제2부는 상기 절연층의 상면을 향하여 수평 방향으로의 폭이 감소하는 제1 경사를 갖고,
 상기 제1부는 상기 제1 경사와 다른 제2 경사를 갖는, 회로 기판.

발명의 설명

기술 분야

[0001] 실시 예는 인쇄회로기판에 관한 것으로, 특히 최외층에 배치되는 회로 패턴을 지지하는 지지 절연층이 배치된 인쇄회로기판 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 전자부품의 소형화, 경량화, 집적화가 가속되면서 회로의 선폭이 미세화하고 있다. 특히, 반도체 칩의 디자인룰이 나노미터 스케일로 집적화함에 따라, 반도체 칩을 실장하는 패키지 기판 또는 인쇄회로기판의 회로 선폭이 수 마이크로미터 이하로 미세화하고 있다.

[0003] 인쇄회로기판의 회로집적도를 증가시키기 위해서, 즉 회로 선폭을 미세화하기 위하여 다양한 공법들이 제안된 바 있다. 동도금 후 패턴을 형성하기 위해 식각하는 단계에서의 회로 선폭의 손실을 방지하기 위한 목적에서, 에스에이피(SAP; semi-additive process) 공법과 엠셉(MSAP; modified semi-additive process) 등이 제안되었다.

[0004] 이후, 보다 미세한 회로패턴을 구현하기 위해서 동박을 절연층 속에 묻어서 매립하는 임베디드 트레이스(Embedded Trace Substrate; 이하 'ETS'라 칭함) 공법이 당업계에서 사용되고 있다. ETS 공법은 동박회로를 절연층 표면에 형성하는 대신에, 절연층 속에 매립형식으로 제조하기 때문에 식각으로 인한 회로손실이 없어서 회로 피치를 미세화하는데 유리하다.

[0005] 한편, 최근 무선 데이터 트래픽 수요를 충족시키기 위해, 개선된 5G(5th generation) 통신 시스템 또는 pre-5G 통신 시스템을 개발하기 위한 노력이 이루어지고 있다. 여기에서, 5G 통신 시스템은 높은 데이터 전송률을 달성하기 위해 초고주파(mmWave) 대역(sub 6기가(6GHz), 28기가 28GHz, 38기가 38GHz 또는 그 이상 주파수)를 사용한다.

[0006] 그리고, 초고주파 대역에서의 전파의 경로손실 완화 및 전파의 전달 거리를 증가 시키기 위해, 5G 통신 시스템에서는 빔포밍(beamforming), 거대 배열 다중 입출력(massive MIMO), 어레이 안테나(array antenna) 등의 집적화 기술들이 개발 되고 있다. 이러한 주파수 대역들에서 파장의 수백 개의 활성 안테나로 이루어질 수 있는 점을 고려하면, 안테나 시스템이 상대적으로 커진다.

[0007] 이러한 안테나 및 AP 모듈은 인쇄회로기판에 패턴닝되거나 실장되기 때문에, 인쇄회로기판의 저손실이 매우 중요하다. 이는, 활성 안테나 시스템을 이루는 여러 개의 기판들 즉, 안테나 기판, 안테나 급전 기판, 송수신기(transceiver) 기판, 그리고 기저대역(baseband) 기판이 하나의 소형장치(one compactunit)로 집적되어야 한다는 것을 의미한다.

[0008] 그리고, 상기와 같은 5G 통신 시스템에 적용되는 인쇄회로기판은 경박 단소화 트렌드로 제조되며, 이에 따라 회로 패턴은 점점 미세화되어간다.

[0009] 그러나, 종래의 미세 회로 패턴을 포함하는 인쇄회로기판은 최외곽에 배치된 회로 패턴이 절연층 상부로 돌출되

는 구조를 가지며, 이에 따라 상기 최외곽의 회로 패턴이 쉽게 무너지는 문제점을 가진다.

발명의 내용

해결하려는 과제

- [0010] 실시 예에서는 새로운 구조의 인쇄회로기판 및 이의 제조 방법을 제공하도록 한다.
- [0011] 또한, 실시 예에서는 최외곽에 배치된 회로 패턴을 지지할 수 있는 지지 절연층이 배치된 구조를 제공하여 신뢰성을 향상시킬 수 있는 인쇄회로기판 및 이의 제조 방법을 제공하도록 한다.
- [0012] 또한, 실시 예에서는 지지 절연층의 표면을 통해 노출되는 필러를 제거하여 상기 필러에 의해 발생할 수 있는 신뢰성 문제를 해결할 수 있는 인쇄회로기판 및 이의 제조 방법을 제공하도록 한다.
- [0013] 제안되는 실시 예에서 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 제안되는 실시 예가 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

실시 예에 따른 회로 기판은 제1 절연층; 상기 제1 절연층 상에 배치된 제2 절연층; 상기 제2 절연층 상에 배치된 회로 패턴; 및 상기 회로 패턴 상에 배치된 보호층을 포함하고, 상기 회로 패턴은 상기 제1 절연층의 상면에 배치되고 수직 방향을 따라 상기 제2 절연층을 관통하며, 상기 수직 방향으로의 상기 회로 패턴의 두께는 상기 수직 방향으로의 상기 제2 절연층의 두께보다 크고, 상기 보호층은 상기 회로 패턴의 측면의 적어도 일부를 덮으며 구비된다.

또한, 상기 제2 절연층의 상면은 상기 제1 절연층을 향하여 오목한 적어도 하나의 리세스를 구비하고, 상기 보호층은 상기 제2 절연층의 상기 리세스 내에 배치된다.

또한, 상기 제2 절연층은 무기 필러를 포함하고, 상기 리세스의 사이즈는 상기 무기 필러의 사이즈에 대응한다.

또한, 상기 리세스는 상기 제2 절연층의 상면에 구비된 무기 필러가 제거된 부분이다.

또한, 상기 리세스의 폭은 상기 무기 필러의 직경에 대응한다.

또한, 상기 회로 패턴은 상기 회로 기판의 최상층에 배치된 회로 패턴이고, 상기 회로 패턴과 상기 제2 절연층은 상기 제1 절연층의 상면 위로 돌출된다.

또한, 상기 회로 패턴의 상면은 상기 수직 방향을 따라 상기 제2 절연층과 중첩되지 않는다.

또한, 상기 제2 절연층의 두께는 상기 회로 패턴의 두께의 20% 내지 99%의 범위를 갖는다.

또한, 상기 회로 패턴은 수평 방향을 따라 상기 제2 절연층과 중첩되는 제1부, 및 상기 수평 방향을 따라 상기 보호층과 중첩되는 제2부를 포함하고, 상기 제2부는 상기 제2 절연층의 상면을 향하여 수평 방향으로의 폭이 변화하는 제1 경사를 갖는다.

또한, 상기 회로 패턴의 상기 제1부는 상기 회로 패턴의 상기 제2부의 제1 경사와 다른 제2 경사를 갖는다.

또한, 상기 제1 절연층 내에 배치된 내부 회로 패턴을 더 포함하고, 상기 내부 회로 패턴은 상기 회로 패턴의 상기 제1부에 대응하는 상기 제2 경사를 갖는다.

또한, 상기 회로 패턴의 상기 제2부는 상기 제1 절연층의 상면을 향할수록 수평 방향으로의 폭이 증가한다.

또한, 상기 제1부의 상면의 폭은 상기 제1부의 하면의 폭에 대응한다.

또한, 상기 보호층의 하면은 상기 회로 패턴의 상면과 상기 회로 패턴의 하면 사이에 위치한다.

또한, 상기 회로 패턴의 폭은 6 μ m 내지 15 μ m의 범위를 갖고,

서로 인접한 복수의 회로 패턴들 사이의 간격은 8 μ m 내지 15 μ m의 범위를 갖는다.

또한, 상기 보호층과 상기 제2 절연층은 서로 다른 절연 물질을 포함하고, 상기 보호층은 솔더 레지스트를 포함한다.

한편, 다른 실시 예에 따른 회로 기판 절연층; 상기 절연층의 상면 상에 배치된 최외측 회로 패턴; 상기 절연층의 상면 상에 배치된 지지층; 및 상기 지지층의 상면 상에 배치된 보호층을 포함하고, 상기 최외측 회로 패턴은 수직 방향을 따라 상기 지지층을 관통하면서 상기 절연층의 상기 상면 상에 배치되고, 상기 최외측 회로 패턴의 두께는 상기 지지층의 두께보다 크고, 상기 보호층은 상기 최외측 회로 패턴의 측면의 적어도 일부를 덮으며 구비되고, 상기 회로 패턴은 수평 방향을 따라 상기 지지층과 중첩되는 제1부, 및 상기 수평 방향을 따라 상기 보호층과 중첩되는 제2부를 포함하고, 상기 제2부는 상기 절연층의 상면을 향하여 수평 방향으로의 폭이 감소하는 제1 경사를 갖고, 상기 제1부는 상기 제1 경사와 다른 제2 경사를 갖는다.

발명의 효과

- [0031] 본 발명에 따른 실시 예에 의하면, 제1 절연층 위에 배치되어 상기 제1 절연층의 표면 위로 돌출되는 제2 회로 패턴에 있어서, 상기 제1 절연 위에 상기 제2 회로 패턴의 측부를 지지하는 제2 절연층을 형성한다. 이에 따르면, 제2 회로 패턴의 미세화에 의해 상기 돌출된 제2 회로 패턴의 무너짐이나 쓸림 등의 문제를 해결할 수 있으며, 이에 따른 제품 신뢰성을 향상시킬 수 있다.
- [0032] 또한, 본 발명에 따른 실시 예에 의하면 상기 제2 절연층을 형성함에 있어, 상기 제2 절연층의 상면이 상기 제2 회로 패턴의 상면보다 낮게 위치하도록 한다. 즉, 실시 예에서의 제2 절연층의 높이는 상기 제2 회로 패턴의 높이보다 낮다. 이에 따라, 상기 제2 절연층이 상기 제2 회로 패턴의 표면에 잔류함에 의해 상기 제2 회로 패턴의 표면의 노출 영역이 줄어드는 문제를 해결할 수 있으며, 이에 따른 부품 실장 영역의 축소 문제를 해결할 수 있다.
- [0033] 또한, 실시 예에서는 제2 절연층을 형성한 후에, 상기 제2 절연층의 상면이 상기 제2 회로 패턴의 상면보다 낮게 위치하도록 상기 제2 절연층을 에칭한다. 이때, 상기 제2 절연층 내에는 무기 필러가 존재한다. 그리고, 상기 제2 절연층의 에칭에 의해, 최종 제품에서의 제2 절연층의 표면에는 무기 필러가 돌출되어 배치될 수 있다. 이에 따르면, 상기 무기 필러의 돌출에 의해 상기 제2 절연층의 표면적이거나 상기 제2 절연층의 표면 거칠기를 증가시킬 수 있으며, 이에 따라 상기 제2 절연층 상에 배치되는 솔더 레지스트와 같은 보호층과의 접착력을 향상시킬 수 있다.
- [0034] 또한, 실시 예에서는 제2 절연층이나 제2 회로 패턴 상에 잔존하는 무기 필러를 제거하고, 상기 무기 필러가 제거된 제2 절연층 위에 보호층을 배치한다. 이에 따르면, 상기 무기 필러가 제2 절연층 위에 잔존함에 따라 복수의 제2 회로 패턴 사이의 쇼트가 발생하는 문제를 해결할 수 있으며, 이에 따른 제품 신뢰성을 향상시킬 수 있다.
- [0035] 또한, 실시 예에서의 인쇄회로기판은 5G 통신 시스템에 적용 가능하며, 이에 따라 고주파수의 전송 손실을 최소화하여 신뢰성을 더욱 향상시킬 수 있다. 구체적으로, 실시 예에서의 인쇄회로기판은 고주파에서 사용 가능하고, 전파 손실을 줄일 수 있다.

도면의 간단한 설명

- [0036] 도 1은 비교 예에 따른 인쇄회로기판을 나타낸 도면이다.
- 도 2는 실시 예에 따른 인쇄회로기판을 나타낸 도면이다.
- 도 3은 도 2의 B 영역을 확대한 확대도이다.
- 도 4a는 비교 예에 따른 인쇄회로기판을 나타낸 도면이다.
- 도 4b는 제2 절연층의 높이에 따라 발생하는 문제의 설명을 위해 참조되는 도면이다.
- 도 4c는 본 실시 예에 따른 인쇄회로기판을 나타낸 도면이다.
- 도 5는 실시 예에 따른 제2 회로 패턴의 형상 변화를 나타낸 도면이다.
- 도 6은 제2 절연층의 높이에 따라 나타내는 문제점을 설명하기 위한 도면이다.
- 도 7a는 샌드 블러스트에 의해 형성되는 인쇄회로기판의 표면을 나타낸 도면이다.
- 도 7b는 플라즈마에 의해 형성되는 인쇄회로기판의 표면을 나타낸 도면이다.
- 도 8a 및 도 8b는 도 2에 도시된 인쇄회로기판을 보다 구체적으로 나타낸 도면이다.

- 도 9는 실시 예에 따른 공정 시간에 따른 무기 필러의 제거량을 나타낸 도면이다.
- 도 10은 실시 예에 따른 시간에 따른 반응 가스의 침투 깊이를 나타낸 도면이다.
- 도 11은 실시 예에 따른 공정 온도에 따른 무기 필러의 제거량을 나타낸 도면이다.
- 도 12a는 무기 필러의 제거 전 및 제거 후의 제2 절연층의 표면 변화를 나타낸 도면이다.
- 도 12b는 무기 필러의 제거 전 및 제거 후의 제2 회로 패턴의 표면 변화를 나타낸 것이다.
- 도 13 내지 도 17은 실시 예에 따른 인쇄회로기판의 제조 방법을 공정 순으로 설명하는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0037] 이하, 첨부된 도면을 참조하여 본 명세서에 개시된 실시 예를 상세히 설명하되, 도면 부호에 관계없이 동일하거나 유사한 구성요소는 동일한 참조 번호를 부여하고, 이에 대한 중복되는 설명은 생략하기로 한다. 이하의 설명에서 사용되는 구성요소에 대한 접미사 "모듈" 및 "부"는 명세서 작성의 용이함만이 고려되어 부여되거나 혼용되는 것으로서, 그 자체로 서로 구별되는 의미 또는 역할을 갖는 것은 아니다. 또한, 본 명세서에 개시된 실시 예를 설명함에 있어 관련된 공지 기술에 대한 구체적인 설명이 본 명세서에 개시된 실시 예의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다. 또한, 첨부된 도면은 본 명세서에 개시된 실시 예를 쉽게 이해할 수 있도록 하기 위한 것일 뿐, 첨부된 도면에 의해 본 명세서에 개시된 기술적 사상이 제한되지 않으며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0038] 제1, 제2 등과 같이 서수를 포함하는 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되지는 않는다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- [0039] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다.
- [0040] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0041] 본 출원에서, "포함한다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0042] 이하, 첨부한 도면을 참조하여 본 발명의 실시 예를 상세하게 설명하면 다음과 같다.
- [0043] 도 1은 비교 예에 따른 인쇄회로기판을 나타낸 도면이다.
- [0044] 도 1을 참조하면, (a)에서와 같이, 비교 예에 따른 인쇄회로기판은 ETS 공법으로 제조된 회로 패턴을 포함한다.
- [0045] 구체적으로, ETS 공법에 의해 제조된 인쇄회로기판은 절연층(10), 제1 회로 패턴(20), 및 제2 회로 패턴(30)을 포함한다.
- [0046] 제1 회로 패턴(20)은 절연층(10) 내에 매립된다.
- [0047] 바람직하게, 제1 회로 패턴(20)은 절연층(10)의 하부 영역에 매립된다. 이에 따라, 제1 회로 패턴(20)의 하면은 절연층(10)의 하면과 동일 평면 상에 배치된다.
- [0048] 절연층(10)의 상면에는 제2 회로 패턴(30)이 배치된다.
- [0049] 제2 회로 패턴(30)은 상기 절연층(10)의 상면 위로 돌출된 구조를 가진다.
- [0050] 한편, 도면 상에는 1개의 절연층(10)만을 포함하고, 회로패턴층을 기준으로 2층 구조를 가지는 인쇄회로기판에 대해 도시하였으나, 인쇄회로기판의 회로패턴의 층수는 더 증가할 수 있다.
- [0051] 다만, 회로 패턴의 층수가 증가하더라도, 최외곽에 배치된 제2 회로 패턴(30)은 절연층(10)의 표면 위로 돌출되는 구조를 가진다.

- [0052] 한편, 최근에는 회로패턴이 점차 미세화되어 가고 있다. 그리고, 폭/간격이 15 μ m/15 μ m 이하인 미세 회로 패턴의 경우, 최외층을 ETS 공법으로 구현해야 한다. 즉, 최외층의 회로 패턴이 15 μ m의 폭을 가지면서, 각각의 회로 패턴의 간격이 15 μ m 이하 이격되어 배치되어야 하는 미세 회로 패턴의 경우, 상기 회로 패턴을 ETS 공법으로 형성해야 안정적인 미세회로 패턴의 형성이 가능하다.
- [0053] 비교 예에서와 같이, 최외곽에 배치된 최외층 회로 패턴의 경우, 절연층(10)의 상면 위로 돌출된 구조를 가진다. 이때, 상기 돌출된 제2 회로 패턴(30)은 폭이 15 μ m 이하일 수 있다. 여기에서, 상기 돌출된 제2 회로 패턴(30)이 15 μ m를 초과하는 폭을 가지는 경우, 외부 충격에 강할 수 있다.
- [0054] 그러나, 도 1의 (b)에서와 같이, 회로 패턴이 점차 미세화되어 가면서 상기 최외층의 제2 회로 패턴(30)의 폭이 작아지고 있으며, 이에 따라 상기 제2 회로 패턴(30)이 상기 절연층(10)의 상면 위로 돌출된 구조를 가지는 경우, 외부 충격에 상기 제2 회로 패턴(30)이 쉽게 무너지는 문제가 발생한다.
- [0055] 즉, 비교 예에서와 같이 최외층의 제2 회로 패턴(30)이 극도로 미세한 패턴 형태를 가지고 있으며, 이에 따라 외부의 작은 충격에서 쉽게 무너지거나 쓸리는 문제가 발생한다.
- [0056] 또한, 최근에는 5G 기술이 발달되면서, 이를 반영할 수 있는 인쇄회로기판에 관심이 고조되고 있다. 이때, 5G 기술이 적용되기 위해서는 인쇄회로기판이 고다층 구조를 가져야 하며, 이에 따른 회로 패턴이 미세화되어야 한다. 그러나, 비교 예에서는 미세 패턴을 형성하는 것은 가능하지만, 이를 안정하게 보호할 수 없는 문제점이 있다.
- [0058] 이에 따라, 실시 예는 최외곽에 배치되는 미세 패턴의 신뢰성 문제를 해결할 수 있는 새로운 구조의 인쇄회로기판 및 이의 제어 방법을 제공하고자 한다.
- [0059] 도 2는 실시 예에 따른 인쇄회로기판을 나타낸 도면이고, 도 3은 도 2의 B 영역을 확대한 확대도이다.
- [0060] 도 2 및 도 3을 참조하면, 인쇄회로기판(100)은 제1 절연층(110), 제2 절연층(140), 제1 회로 패턴(120), 제2 회로 패턴(130) 및 보호층(150)을 포함한다.
- [0061] 도 2에서는 회로 패턴층을 중심으로 인쇄회로기판(100)이 2층 구조를 가지는 것으로 도시하였으나, 이는 일 실시 예에 불과할 뿐, 상기 회로 패턴층의 수는 더 증가할 수 있을 것이다.
- [0062] 다만, 도 2에서의 제1 회로 패턴(120)은 복수의 회로 패턴층 중 최하부에 배치되는 제1 최외층일 수 있고, 제2 회로 패턴(140)은 복수의 회로 패턴층 중 최상부에 배치되는 제2 최외층일 수 있다. 그리고, 도면 상에는 도시하지 않았지만, 제1 회로 패턴(120) 및 제2 회로 패턴(130) 사이에는 추가적인 적어도 하나의 내부 절연층이 배치될 수 있으며, 상기 내부 절연층의 표면에는 내부 회로패턴이 배치될 수 있다.
- [0063] 제1 절연층(110)은 배선을 변경할 수 있는 전기 회로가 편성되어 있는 기판으로, 표면에 회로패턴들을 형성할 수 있는 절연 재료로 만들어진 프린트, 배선판 및 절연기판을 모두 포함할 수 있다.
- [0064] 예를 들어, 제1 절연층(110)은 리지드(rigid)하거나 또는 플렉서블(flexible)할 수 있다. 예를 들어, 상기 제1 절연층(110)은 유리 또는 플라스틱을 포함할 수 있다. 자세하게, 상기 제1 절연층(110)은, 소다라임유리(soda lime glass) 또는 알루미늄노실리케이트유리 등의 화학 강화/반강화유리를 포함하거나, 폴리이미드(Polyimide, PI), 폴리에틸렌 테레프탈레이트(polyethylene terephthalate, PET), 프로필렌 글리콜(propylene glycol, PPG) 폴리 카보네이트(PC) 등의 강화 혹은 연성 플라스틱을 포함하거나 사파이어를 포함할 수 있다.
- [0065] 또한, 상기 제1 절연층(110)은 광등방성 필름을 포함할 수 있다. 일례로, 상기 제1 절연층(110)은 COC(Cyclic Olefin Copolymer), COP(Cyclic Olefin Polymer), 광등방 폴리카보네이트(polycarbonate, PC) 또는 광등방 폴리메틸메타크릴레이트(PMMA) 등을 포함할 수 있다.
- [0066] 또한, 상기 제1 절연층(110)은 부분적으로 곡면을 가지면서 휘어질 수 있다. 즉, 제1 절연층(110)은 부분적으로는 평면을 가지고, 부분적으로는 곡면을 가지면서 휘어질 수 있다. 자세하게, 상기 제1 절연층(110)은 끝단이 곡면을 가지면서 휘어지거나 랜덤한 곡률을 포함한 표면을 가지며 휘어지거나 구부러질 수 있다.
- [0067] 또한, 상기 제1 절연층(110)은 유연한 특성을 가지는 플렉서블(flexible) 기판일 수 있다. 또한, 상기 제1 절연층(110)은 커브드(curved) 또는 벤디드(bended) 기판일 수 있다. 이때, 제1 절연층(110)은 회로 설계를 근거로 회로부품을 접속하는 전기배선을 배선 도형으로 표현하며, 절연물 상에 전기도체를 재현할 수 있다. 또한 제1 절연층(110)은 전기 부품을 탑재하고 이들을 회로적으로 연결하는 배선을 형성할 수 있으며, 부품의 전기적 연

결기능 외의 부품들을 기계적으로 고정시켜줄 수 있다.

- [0068] 제1 절연층(110)의 표면에는 회로 패턴이 배치될 수 있다.
- [0069] 바람직하게, 제1 절연층(10)의 하부에는 제1 회로 패턴(120)이 배치될 수 있다. 그리고, 제1 절연층(110)의 상부에는 제2 회로 패턴(140)이 배치될 수 있다.
- [0070] 구체적으로, 제1 회로 패턴(120)은 제1 절연층(110)의 하부에 매립될 수 있다.
- [0071] 이에 따라, 제1 회로 패턴(120)의 하면은 상기 제1 절연층(110)의 하면과 동일 평면 상에 위치할 수 있다.
- [0072] 제2 회로 패턴(120)은 상기 제1 절연층(110)의 상면 위에 배치될 수 있다. 바람직하게, 제2 회로 패턴(130)은 제1 절연층(110)의 상면 위로 돌출되는 구조를 가지고 배치될 수 있다.
- [0073] 이에 따라, 제2 회로 패턴(130)의 하면은 제1 절연층(110)의 상면과 직접 접촉하며 배치될 수 있다.
- [0074] 제1 회로 패턴(120) 및 제2 회로 패턴(130)은 전기적 신호를 전달하는 배선으로, 전기 전도성이 높은 금속물질로 형성될 수 있다. 이를 위해, 상기 제1 회로 패턴(120) 및 제2 회로 패턴(130)은 금(Au), 은(Ag), 백금(Pt), 티타늄(Ti), 주석(Sn), 구리(Cu) 및 아연(Zn) 중에서 선택되는 적어도 하나의 금속 물질로 형성될 수 있다. 또한 제1 회로 패턴(120) 및 제2 회로 패턴(130)은 본딩력이 우수한 금(Au), 은(Ag), 백금(Pt), 티타늄(Ti), 주석(Sn), 구리(Cu), 아연(Zn) 중에서 선택되는 적어도 하나의 금속 물질을 포함하는 페이스트 또는 솔더 페이스트로 형성될 수 있다. 바람직하게, 제1 회로 패턴(120) 및 제2 회로 패턴(130)은 전기전도성이 높으면서 가격이 비교적 저렴한 구리(Cu)로 형성될 수 있다.
- [0075] 상기 제1 회로 패턴(120) 및 제2 회로 패턴(130)은 통상적인 인쇄회로기판의 제조 공정인 어디티브 공법(Additive process), 서브트랙티브 공법(Subtractive Process), MSAP(Modified Semi Additive Process) 및 SAP(Semi Additive Process) 공법 등으로 가능하며 여기에서는 상세한 설명은 생략한다.
- [0076] 제2 절연층(140)은 제1 절연층(110) 위에 배치될 수 있다. 바람직하게, 제2 절연층(140)은 제1 절연층(110) 상의 상기 제2 회로 패턴(130)의 사이에 배치될 수 있다. 즉, 제2 회로 패턴(130)은 상기 제1 절연층(110) 상에 일정 간격 이격되며 배치될 수 있다. 그리고, 제2 절연층(140)은 상기 제1 절연층(110)의 상면 중 상기 제2 회로 패턴(130)이 배치되지 않은 영역을 덮으며 배치될 수 있다.
- [0077] 이에 따라, 제2 절연층(140)은 상기 제2 회로 패턴(130)이 직접 접촉하는 구조를 가질 수 있다.
- [0078] 바람직하게, 제2 절연층(140)의 측면은 상기 제2 회로 패턴(130)의 측면과 직접 접촉할 수 있다.
- [0079] 즉, 제2 절연층(140)은 상기 제2 회로 패턴(130)의 주위를 둘러싸며 배치되어, 상기 제2 회로 패턴(130)을 지지하는 지지 절연층일 수 있다.
- [0080] 제2 절연층(140)은 레진 및 필러가 혼합된 형태의 구조를 가질 수 있다. 즉, 제2 절연층(140)은 ABF, RCC나 기타의 Glass Fiber가 없는 절연층일 수 있다.
- [0081] 실시 예에서는 상기와 같이 제1 절연층(110) 상에 상기 제2 회로 패턴(130)의 주위를 둘러싸며, 상기 제2 회로 패턴(130)의 측면과 직접 접촉하는 제2 절연층(140)을 형성한다. 그리고, 상기 제2 절연층(140)에 의해 미세 패턴의 제2 회로 패턴(130)을 지지할 수 있도록 하고, 이에 따라 외부 충격으로부터 상기 제2 회로 패턴(130)을 안정적으로 보호할 수 있도록 한다.
- [0082] 이때, 상기 제2 회로 패턴(130)이 미세패턴이 아닌 경우, 상기 제2 회로 패턴(130)은 외부 충격에 강할 수 있고, 이에 따라 상기 제2 절연층(140)이 불필요할 수 있다. 다만, 상기 제2 회로 패턴(130)이 미세패턴인 경우, 외부 충격에 쉽게 무너지는 문제가 있으며, 이에 따라 상기 제2 절연층(140)을 이용하여 상기 제2 회로 패턴(130)을 안정적으로 지지할 수 있도록 한다.
- [0083] 이에 따라, 상기 제2 회로 패턴(130)의 폭은 6 μ m 내지 15 μ m 사이의 범위를 가질 수 있다. 상기 제2 회로 패턴(130)의 폭이 6 μ m 미만을 가지도록 형성하는 것이 어려우며, 6 μ m 미만의 폭을 가지는 제2 회로 패턴(130)의 경우, 외부 충격에 너무 취약하여 신뢰성에 문제가 있을 수 있다. 또한, 상기 제2 회로 패턴(130)의 폭은 15 μ m 이하일 수 있다. 이때, 상기 제2 회로 패턴(130)의 폭은 15 μ m보다 클 수 있다. 그러나, 상기 제2 회로 패턴(130)이 15 μ m보다 큰 경우, 상기 제2 절연층(140)의 필요성이 낮으며, 상기 제2 절연층(140)이 없어도 상기 제2 회로 패턴(130)이 쉽게 무너지지 않는다.

- [0084] 또한, 제2 회로 패턴(130)의 간격은 8 μ m 내지 15 μ m 범위를 가지도록 한다.
- [0085] 한편, 도 3에서와 같이, 제2 절연층(140)의 높이(H2)는 제2 회로 패턴(130)의 높이(H1)보다 작을 수 있다. 즉, 제2 절연층(140)의 상면은 상기 제2 회로 패턴(130)의 상면보다 낮게 위치할 수 있다. 그리고, 제2 절연층(140)의 하면은 상기 제2 회로 패턴(130)의 하면과 동일 평면 상에 위치할 수 있다.
- [0086] 한편, 상기 제2 절연층(140)의 높이(H2)와 제2 회로 패턴(130)의 높이(H1)를 동일하게 할 수도 있다. 다만, 상기 제2 회로 패턴(130)의 높이(H1)와 상기 제2 절연층(140)의 높이(H2)를 동일하게 하는 경우 상기 제2 절연층(140)의 일부가 상기 제2 회로 패턴(130) 상에 잔존할 수 있으며, 이에 따라 상기 제2 회로 패턴(130)의 기능상에 문제가 발생할 수 있다. 여기에서, 상기 기능 상의 문제는 상기 제2 회로 패턴(130)이 소자(도시하지 않음)와 연결되는 패드 기능을 하는 경우, 상기 소자와의 전기적 연결에 있어서의 신뢰성 문제를 의미할 수 있다. 이에 따라 상기 제2 절연층(140)의 높이(H2)는 상기 제2 회로 패턴(130)의 높이(H1)보다 낮도록 하여 상기와 같은 신뢰성 문제를 해결할 수 있도록 한다.
- [0087] 한편, 상기 제2 절연층(140)의 높이(H2)가 너무 낮은 경우, 상기 제2 회로 패턴(130)이 안정적으로 지지될 수 없다. 따라서 상기 제2 절연층(140)의 높이(H2)는 상기 제2 회로 패턴(130)의 높이(H1) 대비 20% 이상을 가지도록 한다. 즉, 상기 제2 절연층(140)의 높이(H2)가 상기 제2 회로 패턴(130)의 높이(H1)의 20% 미만인 경우, 상기 제2 절연층(140)에 의해 상기 제2 회로 패턴(130)이 안정적으로 지지될 수 없고, 이에 따른 제2 회로 패턴(130)의 무너짐 문제가 발생할 수 있다.
- [0088] 또한, 상기 제2 절연층(140)의 높이(H2)는 상기 제2 회로 패턴(130)의 높이 대비 99% 이하를 갖도록 한다. 즉, 상기 제2 절연층(140)의 높이(H2)가 상기 제2 회로 패턴(130)의 높이(H1)의 99%를 초과하는 경우, 상기 제2 회로 패턴(130)의 표면에 상기 제2 절연층(140)의 레진 일부가 잔존할 수 있고, 이에 따른 신뢰성 문제가 발생할 수 있다.
- [0089] 한편, 일반적인 인쇄회로기판에서는 상기 제2 절연층(140) 대신에 상기 제1 절연층(110) 상에 솔더레지스트가 배치된다. 그러나, 상기 제2 절연층(140)이 배치되지 않은 상태에서 솔더 레지스트를 배치하는 경우, 상기 솔더레지스트의 도포 과정에서 상기 제2 회로 패턴(130)이 무너지는 상황이 발생할 수 있다. 또한, 상기 솔더레지스트가 제2 회로 패턴(130) 위로 도포된 상태에서 상기 솔더레지스트를 제거하는 경우, 상기 솔더레지스트의 특성 상 크랙이 발생할 가능성이 매우 높으며 이에 따른 인쇄회로기판의 신뢰성에 문제가 발생할 수 있다.
- [0090] 따라서, 실시 예에서는 상기 제2 절연층(140)을 우선적으로 배치하여 상기 미세패턴의 제2 회로 패턴(130)을 안정적으로 지지한 이후에 솔더레지스트를 배치할 수 있다.
- [0091] 즉, 제2 절연층(140) 상에는 보호층(150)이 배치될 수 있다.
- [0092] 상기 보호층(150)은 SR(Solder Resist), 산화물 및 Au 중 어느 하나 이상을 이용하여, 적어도 하나 이상의 층으로 형성될 수 있다. 바람직하게, 상기 보호층(150)은 솔더 레지스트일 수 있다.
- [0093] 상기 보호층(150)은 상기 제2 절연층(140) 위에 배치될 수 있다. 바람직하게, 상기 보호층(150)의 하면은 상기 제2 절연층(140)의 상면과 직접 접촉하며 배치될 수 있다. 상기 보호층(150)은 상기 제1 절연층(110) 상에 배치된 제2 회로 패턴(130) 중 적어도 하나의 회로 패턴의 표면을 노출하는 개구부를 가질 수 있다.
- [0094] 그리고, 상기 보호층(150)의 하면은 상기 제2 절연층(140)의 상면보다 낮게 위치할 수 있다. 또한, 상기 보호층(150)의 상면은 상기 제2 절연층(140)의 상면보다 높게 위치할 수 있다.
- [0096] 이하에서는 상기 제2 절연층(140)의 존재 유무 및 상기 제2 절연층(140)의 높이에 따른 인쇄회로기판(100)에 대해 설명하기로 한다.
- [0097] 도 4a는 비교 예에 따른 인쇄회로기판을 나타낸 도면이고, 도 4b는 제2 절연층의 높이에 따라 발생하는 문제의 설명을 위해 참조되는 도면이다. 도 4c는 본 실시 예에 따른 인쇄회로기판을 나타낸 도면이다.
- [0098] 도 4a에서와 같이 (a) 도면에 따르면, 절연층(10) 상에는 제2 회로 패턴(30)이 배치된다. 이때, 상기 제2 회로 패턴(30)은 상기 절연층(10)의 상면 위에 돌출되는 구조를 가진다. 그리고, 상기 절연층(10) 상에는 상기 제2 회로 패턴(30)을 지지하는 지지 절연층이 존재하지 않는다.
- [0099] 그리고, 도 4a의 (b)에서와 같이, 상기 지지 절연층이 존재하지 않음에 따라 상기 비교 예의 제2 회로 패턴(30) 중 미세 패턴에 해당하는 'A' 영역에서는 회로 패턴의 무너짐이나 슬립 현상이 발생하게 된다.

- [0101] 도 4b의 (a)에서와 같이, 인쇄회로기판(100)은 제1 절연층(110) 및 상기 1 절연층(110) 상에 제2 회로 패턴(130)을 둘러싸며 배치되는 제2 절연층(140A)이 배치될 수 있다. 이때, 상기 제2 절연층(140A)의 높이는 상기 제2 회로 패턴(130)의 높이와 동일하거나 클 수 있다.
- [0102] 이에 따르면, 도 4b의 (b) 및 (c)에서와 같이, 상기 제2 회로 패턴(130)의 영역 중 일부 영역(C)의 표면에는 상기 제2 절연층(140A)이 잔존할 수 있으며, 이에 따라 외부로 노출되는 상기 제2 회로 패턴(130)의 표면 면적이 감소할 수 있다. 그리고, 상기 제2 회로 패턴(130)의 표면 면적이 감소하는 경우, 소자를 실장하기 위한 부품 실장 영역의 축소로 인해, 상기 소자의 실장 불량률이 발생할 수 있다.
- [0104] 반면, 도 4c의 (a), (b) 및 (c)에서와 같이, 인쇄회로기판(100)은 제1 절연층(110) 및 상기 1 절연층(110) 상에 제2 회로 패턴(130)을 둘러싸며 배치되는 제2 절연층(140)이 배치될 수 있다. 이때, 상기 제2 절연층(140)의 높이는 상기 제2 회로 패턴(130)의 높이보다 작을 수 있다. 바람직하게, 제2 절연층(140)의 높이는 상기 제2 회로 패턴(130)의 높이의 20% 내지 99%의 사이의 범위를 가질 수 있다.
- [0105] 이에 따르면, 제1 절연층 위에 배치되어 상기 제1 절연층의 표면 위로 돌출되는 제2 회로 패턴에 있어서, 상기 제1 절연층 위에 상기 제2 회로 패턴의 측부를 지지하는 제2 절연층을 형성한다. 이에 따르면, 제2 회로 패턴의 미세화에 의해 상기 돌출된 제2 회로 패턴의 무너짐이나 쓸림 등의 문제를 해결할 수 있으며, 이에 따른 제품 신뢰성을 향상시킬 수 있다.
- [0106] 또한, 상기 제2 절연층을 형성함에 있어, 상기 제2 절연층의 상면이 상기 제2 회로 패턴의 상면보다 낮게 위치하도록 한다. 즉, 실시 예에서의 제2 절연층의 높이는 상기 제2 회로 패턴의 높이보다 낮다. 이에 따라, 상기 제2 절연층이 상기 제2 회로 패턴의 표면에 잔류함에 의해 상기 제2 회로 패턴의 표면의 노출 영역이 줄어드는 문제를 해결할 수 있으며, 이에 따른 부품 실장 영역의 축소 문제를 해결할 수 있다.
- [0108] 도 5는 실시 예에 따른 제2 회로 패턴(130)의 형상 변화를 나타낸 도면이다.
- [0109] 도 5를 참조하면, 인쇄회로기판(100)은 제1 절연층(110) 상에 배치되는 제2 회로 패턴(130)을 포함한다.
- [0110] 이때, 상기 제1 절연층(110) 상에는 상기 제2 회로 패턴(130)의 사이 영역에 배치되는 제2 절연층(140)을 포함할 수 있다.
- [0111] 여기에서, 상기 제2 절연층(140)은 상기 제2 회로 패턴(130)의 높이의 20% 내지 99%의 범위의 높이를 가지게 된다. 예를 들어, 상기 제2 절연층(140)의 높이가 제2 회로 패턴(130)의 높이의 80%를 가지는 경우, 상기 제2 회로 패턴(130)의 전체 영역의 20%의 상부 영역은 상기 제2 절연층(140)의 에칭 과정에서 함께 제거될 수 있다.
- [0112] 따라서, 제2 회로 패턴(130)은 상기 제1 절연층(110) 위에 배치되는 제1 부분(131)과 상기 제1 부분(131) 위에 배치되는 제2 부분(132)을 포함할 수 있다.
- [0113] 이때, 상기 제1부분(131)은 상기 제2 절연층(140)에 의해 보호되며, 이에 따라 상면 및 하면의 면적이 서로 동일할 수 있다.
- [0114] 반면, 상기 제2 부분(132)은 상기 제2 절연층(140)의 에칭 과정에서 상부의 일부가 함께 제거될 수 있으며, 이에 따라 상면의 면적이 하면의 면적보다 작을 수 있다. 바람직하게, 상기 제2 부분(132)의 단면은 사다리꼴 형상을 가질 수 있다. 예를 들어, 상기 제2 부분(132)의 측면은 일정 경사를 가지고 기울어지게 배치될 수 있다.
- [0116] 도 6은 제2 절연층의 높이에 따라 나타내는 문제점을 설명하기 위한 도면이다.
- [0117] 도 6에서와 같이, 인쇄회로기판(100)은 제1 절연층(110) 및 상기 1 절연층(110) 상에 제2 회로 패턴(130)을 둘러싸며 배치되는 제2 절연층(140B)이 배치될 수 있다. 이때, 상기 제2 절연층(140B)의 높이는 상기 제2 회로 패턴(130)의 높이보다 작을 수 있다. 바람직하게, 제2 절연층(140B)의 높이는 제2 회로 패턴(130)의 높이의 20% 미만일 수 있다.
- [0118] 이와 같은 경우, 상기 제2 회로 패턴(130)의 상부 영역의 80% 이상은 상기 제2 절연층(140)의 에칭 과정에서 함께 제거될 수 있다. 이때, 상기 제2 회로 패턴(130)의 제거되는 영역이 커짐에 따라 최상부 영역은 삼각뿔의 형상을 가질 수 있다. 바람직하게, 상기 제2 회로 패턴(130)의 상부 영역은 삼각형의 형상을 가질 수 있다. 이에 따르면, 상기 제2 회로 패턴(130)의 상부에 소자를 실장하기 위한 실장 영역이 확보되지 않으며, 이에 따라 실장 불량률이 발생하게 된다.

- [0120] 한편, 실시 예에서의 제2 절연층(140)은 에칭 공정에 의해 상기 설명한 바와 같이, 상기 제2 회로 패턴(130)의 높이(H1) 대비 20% 내지 99%의 높이를 가질 수 있다.
- [0121] 이때, 상기 제2 절연층(140)은 레진 및 무기 필러를 포함할 수 있다.
- [0122] 그리고, 상기 에칭에 의해 상기 제2 절연층(140)의 내부에 배치된 무기 필러가 표면 상으로 노출될 수 있다.
- [0123] 한편, 상기 제2 절연층(140)의 에칭은 샌드 블러스트에 의해 이루어질 수 있으며, 이와 다르게 플라즈마 공정에 의해 이루어질 수 있다.
- [0124] 도 7a는 샌드 블러스트에 의해 형성되는 인쇄회로기판의 표면을 나타낸 도면이고, 도 7b는 플라즈마에 의해 형성되는 인쇄회로기판의 표면을 나타낸 도면이다.
- [0125] 도 7a의 (a)는 제2 절연층(140) 및 제2 회로 패턴(130)의 표면을 3000배 확대한 SEM 사진이다. 그리고, 7a의 (b)는 제2 회로 패턴(130)의 표면을 10000배 확대한 SEM 사진이다.
- [0126] 도 7a의 (a)에서와 같이, 상기 제2 절연층(140) 내에는 무기 필러(150a)가 배치될 수 있으며, 상기 제2 절연층(140)의 샌드 블러스트 공정이 진행됨에 따라 표면 상으로 상기 무기 필러(150a)가 노출될 수 있다.
- [0127] 또한, 도 7a의 (b)에서와 같이, 상기 제2 절연층(140)에 포함된 무기 필러(150a)는 상기 제2 회로 패턴(130)의 표면에도 잔류하는 것이 확인될 수 있다.
- [0128] 이때, 제2 회로 패턴의 표면 분석 결과를 보면 표 1과 같다.

표 1

[0130]

원소	농도	단위
O	1.591	wt. %
Si	0.522	wt. %
Cu	97.887	wt. %
합계	100	wt. %

- [0132] 표 1에서와 같이, 제2 회로 패턴(130)의 표면에는 O가 1.591wt.% 존재하는 것이 확인되었으며, Si가 0.522wt.% 존재하는 것이 확인되었으며, 제2 회로 패턴(130)의 원재료인 Cu가 97.887wt.% 존재하는 것이 확인되었다.
- [0134] 도 7b의 (a)는 플라즈마 공정에 의해 형성된 제2 절연층(140) 및 제2 회로 패턴(130)의 표면을 3000배 확대한 SEM 사진이다. 그리고, 7b의 (b)는 제2 회로 패턴(130)의 표면을 10000배 확대한 SEM 사진이다.
- [0135] 도 7b의 (a)에서와 같이, 상기 제2 절연층(140) 내에는 무기 필러(150a)가 배치될 수 있으며, 상기 제2 절연층(140)의 플라즈마 공정이 진행됨에 따라 표면 상으로 상기 무기 필러(150a)가 노출될 수 있다.
- [0136] 또한, 도 7b의 (b)에서와 같이, 상기 제2 절연층(140)에 포함된 무기 필러(150a)는 상기 제2 회로 패턴(130)의 표면에도 잔류하는 것이 확인될 수 있다.
- [0137] 이때, 제2 회로 패턴의 표면 분석 결과를 보면 표 2과 같다.

표 2

[0139]

원소	농도	단위
O	3.725	wt. %
Si	6.664	wt. %
Cu	89.611	wt. %
합계	100	wt. %

- [0140] 표 1에서와 같이, 제2 회로 패턴(130)의 표면에는 O가 3.725wt.% 존재하는 것이 확인되었으며, Si가 6.664wt.% 존재하는 것이 확인되었으며, 제2 회로 패턴(130)의 원재료인 Cu가 89.611wt.% 존재하는 것이 확인되었다.
- [0141] 또한, 실시 예에서는 제2 절연층을 형성한 후에, 상기 제2 절연층의 상면이 상기 제2 회로 패턴의 상면보다 낮게 위치하도록 상기 제2 절연층을 에칭한다. 이때, 상기 제2 절연층 내에는 무기 필러가 존재한다. 그리고, 상기 제2 절연층의 에칭에 의해, 최종 제품에서의 제2 절연층의 표면에는 무기 필러가 돌출되어 배치될 수 있다.

이에 따르면, 상기 무기 필러의 돌출에 의해 상기 제2 절연층의 표면적이나 상기 제2 절연층의 표면 거칠기를 증가시킬 수 있으며, 이에 따라 상기 제2 절연층 상에 배치되는 솔더 레지스트와 같은 보호층과의 접착력을 향상시킬 수 있다.

- [0143] 도 8a 및 도 8b는 도 2에 도시된 인쇄회로기판을 보다 구체적으로 나타낸 도면이다.
- [0144] 도 8a는 실시 예에 따른 무기 필러의 제거 전의 제2 절연층(140)의 표면을 나타낸 도면이고, 도 8b는 실시 예에 따른 무기 필러의 제거 후의 제2 절연층(140)의 표면을 나타낸 도면이다.
- [0145] 도 8a를 참조하면, 실시 예에서의 제2 절연층(140)은 에칭 공정에 의해 상기 설명한 바와 같이, 상기 제2 회로 패턴(130)의 높이(H1) 대비 20% 내지 99%의 높이를 가질 수 있다.
- [0146] 이때, 상기 제2 절연층(140)은 레진 및 무기 필러를 포함할 수 있다.
- [0147] 그리고, 상기 에칭에 의해 상기 제2 절연층(140)의 내부에 배치된 무기 필러가 표면 상으로 노출될 수 있다.
- [0148] 구체적으로, 도 8a에서와 같이, 상기 제2 절연층(140)은 상기 제2 회로 패턴(130) 위를 덮은 상태에서 에칭 공정을 통해 상기 제2 회로 패턴(130)보다 낮은 높이를 가지게 된다. 이때, 제2 절연층(140)은 레진 내에 배치된 무기 필러를 포함하며, 상기 에칭 공정을 통해 상기 제2 절연층(140)의 표면 상에는 상기 무기 필러(145)가 노출될 수 있다. 그리고, 상기 에칭 공정은 샌드 블러스트 공정을 통해 진행될 수 있으며, 상기 제2 절연층(140)의 표면은 굴곡을 가질 수 있다. 즉, 상기 제2 절연층(140)의 표면은 편평하지 않고, 곡률을 가질 수 있다.
- [0149] 이때, 상기에서 설명한 바와 같이, 상기 무기 필러(145)는 상기 제2 절연층(140)의 표면에 조도를 부여하여 상기 보호층(150)과의 접합력을 향상시키는 기능을 할 수 있다.
- [0150] 그러나, 상기 무기 필러(145)는 제2 회로 패턴(130)의 쇼트 불량을 야기할 수 있다. 예를 들어, 무기 필러(145)는 상기 제2 절연층(140)의 표면뿐 아니라, 상기 제2 회로 패턴(130)의 상면에도 잔존하게 된다. 그리고, 상기 무기 필러(145)가 상기 제2 회로 패턴(130) 위에 잔존함에 따라 오픈 쇼트 등과 같은 전기 불량이 발생할 수 있다.
- [0151] 따라서, 실시 예에서는 상기 무기 필러(145)를 제거하는 공정을 통해 상기 오픈 쇼트 등과 같은 전기 불량 발생을 방지한다.
- [0152] 도 8b를 참조하면, 상기 제2 절연층(140)의 표면에는 리세스가 형성된다. 상기 리세스는 상기 제2 절연층(140)의 표면을 통해 노출된 무기 필러(145)가 제거됨에 의해 형성될 수 있다. 즉, 상기 리세스는 상기 무기 필러(145)가 배치된 영역일 수 있다. 이에 따라, 상기 리세스는 상기 무기 필러(145)의 직경과 동일한 직경을 가질 수도 있다.
- [0153] 즉, 상기 무기 필러(145)는 Si 필러일 수 있다.
- [0154] 이에 따라, 상기 무기 필러(145)는 (NH₄)HF₂ 등과 같은 불화가스를 사용하여 제거할 수 있다. 상기 무기 필러(145)의 제거를 위한 제거 공정 시 제거 가스로써 (NH₄)HF₂ 를 사용하는 경우의 반응식을 보면 다음과 같다.
- [0155] **(반응식) SiO₂ + 4NH₄HF₂ → SiF₄ + 4NH₄F + 2H₂O**
- [0157] 상기 반응식에 따르면, 상기 (NH₄)HF₂ 를 이용하여 상기 제2 절연층(140)의 표면 및 상기 제2 회로 패턴(130)의 표면 상에 잔존하는 무기 필러(145)를 효율적으로 제거할 수 있다.
- [0158] 이때, 상기 무기 필러(145)는 딥핑이나 스프레이 등의 공정을 통해 제거될 수 있다.
- [0159] 도 9는 실시 예에 따른 공정 시간에 따른 무기 필러의 제거량을 나타낸 도면이고, 도 10은 실시 예에 따른 시간에 따른 반응 가스의 침투 깊이를 나타낸 도면이고, 도 11은 실시 예에 따른 공정 온도에 따른 무기 필러의 제거량을 나타낸 도면이다.
- [0160] 도 9 및 10을 참조하면, 오랜 시간 동안 반응 가스와 반응하는 경우, 반응 깊이가 깊어지고, 이에 따른 무기 필러(145)의 제거량이 증가하는 것을 확인할 수 있다. 이를 정리하면 다음의 표 3과 같다.

표 3

시간(min)	표면 SiO ₂ 제거량	침투 깊이
10	50%	1 μ m
20	80%	2 μ m

30	90%	4 μ m
40	95%	6 μ m
50	100%	8 μ m
60	100%	10 μ m
70	100%	12 μ m
80	100%	15 μ m
90	100%	15 μ m
100	100%	15 μ m

- [0163] 상기와 같이, 50분 이상 제거 공정을 진행하는 경우, 상기 제2 절연층(140)의 표면 및 제2 회로 패턴(130)의 표면 상에 잔존하는 무기 필러(145)가 100%제거되는 것을 확인할 수 있었다.
- [0164] 다만, 상기 제거 공정 시간이 증가할 수록 상기 제2 절연층(140)의 표면을 중심으로 상기 반응 가스의 침투 깊이가 증가하게 된다.
- [0165] 또한, 도 11에 도시된 바와 같이, 공정 온도가 증가할 수록 상기 제2 절연층(140) 및 제2 회로 패턴(130)의 표면 상에 존재하는 무기 필러(145)의 제거량이 증가하는 것을 확인할 수 있었다. 즉, 도 11은 공정 시간을 고정(예를 들어, 10분)시킨 상태에서, 공정 온도에 따라 변화하는 무기 필러(145)의 제거량을 나타낸 것이다.
- [0167] 도 9 내지 11에 따르면, 공정 온도가 높아질 수록 반응이 빨라지는 것을 확인할 수 있었으며, 오랜 시간 반응할 수록 반응 깊이가 깊어지고, 필러 제거량이 증가하는 것을 확인할 수 있었다. 다만, 상기 반응 깊이가 증가하게 되면, 상기 제2 절연층(140)이나 상기 제2 회로 패턴(130)의 표면에 손상이 발생할 수 있으므로, 제2 절연층(140)의 두께를 중심으로 1/2 이하만큼 상기 반응 가스가 침투할 수 있도록 공정 온도, 공정 시간 등을 조절하도록 한다.
- [0169] 도 12a는 무기 필러의 제거 전 및 제거 후의 제2 절연층의 표면 변화를 나타낸 도면이고, 도 12b는 무기 필러의 제거 전 및 제거 후의 제2 회로 패턴의 표면 변화를 나타낸 것이다.
- [0170] 도 12a의 (a)를 참조하면, 제2 절연층(140) 내에는 무기 필러(145)가 배치될 수 있으며, 이에 따라 샌드 블러스트 공정이나 플라즈마 공정을 진행함에 따라, 상기 제2 절연층(140)의 표면 위로 상기 무기 필러(145)가 노출될 수 있다.
- [0171] 그리고, 도 12a의 (b)를 참조하면, 상기 무기 필러(145)의 제거 공정 후의 제2 절연층(140)의 표면을 보면, 상기 도 12a의 (a)에서와 같은 무기 필러(145)가 모두 제거된 것을 확인할 수 있었으며, 이에 따라 제2 절연층(140)의 표면에는 리세스가 형성되는 것을 확인할 수 있었다.
- [0173] 또한, 도 12b의 (a)를 참조하면, 샌드 블러스트 공정이나 플라즈마 공정을 진행함에 따라, 제2 회로 패턴(130)의 표면 상에는 무기 필러(145)가 잔존하는 것을 확인할 수 있었다.
- [0174] 그리고, 도 12b의 (b)를 참조하면, 상기 무기 필러(145)의 제거 공정 후의 t상기 제2 회로 패턴(130)의 표면을 보면, 상기 도 12b의 (a)에서와 같은 무기 필러(145)가 모두 제거된 것을 확인할 수 있었다.
- [0176] 이하에서는 도 2에 도시된 실시 예에 따른 인쇄회로기판의 제조 방법에 대해 설명하기로 한다.
- [0177] 도 13 내지 도 17은 실시 예에 따른 인쇄회로기판의 제조 방법을 공정 순으로 설명하는 도면이다.
- [0178] 도 13을 참조하면, 먼저 제1 절연층(110) 및 상기 제1 절연층(110)의 하부 영역에 매립된 제1 회로 패턴(120) 및 상기 제1 절연층(110) 상에 돌출된 제2 회로 패턴(130)을 형성한다.
- [0179] 이때, 상기 제1 회로 패턴(120) 및 제2 회로 패턴(130)은 ETS 공법에 의해 형성될 수 있다.
- [0180] 이를 위해, 인쇄회로 기판의 제조 공정은 분리 캐리어(도시하지 않음)를 준비하는 것에서부터 시작할 수 있다.
- [0181] 분리 캐리어가 준비되면, 상기 분리 캐리어 상에 제1 회로 패턴(120)을 형성할 수 있다. 상기 제1 회로 패턴(120)은 통상적인 인쇄회로기판의 제조 공정인 어디티브 공법(Additive process), 서브트랙티브 공법(Subtractive Process), MSAP(Modified Semi Additive Process) 및 SAP(Semi Additive Process) 공법 등으로 가능하며 여기에서는 상세한 설명은 생략한다.
- [0182] 또한, 제1 회로 패턴(120)은 전기적 신호를 전달하는 배선으로, 전기 전도성이 높은 금속물질로 형성될 수 있다. 이를 위해, 상기 제1 회로 패턴(120)은 금(Au), 은(Ag), 백금(Pt), 티타늄(Ti), 주석(Sn), 구리(Cu) 및

아연(Zn) 중에서 선택되는 적어도 하나의 금속 물질로 형성될 수 있다. 또한 제1 회로 패턴(120)은 본딩력이 우수한 금(Au), 은(Ag), 백금(Pt), 티타늄(Ti), 주석(Sn), 구리(Cu), 아연(Zn) 중에서 선택되는 적어도 하나의 금속 물질을 포함하는 페이스트 또는 솔더 페이스트로 형성될 수 있다. 바람직하게, 제1 회로 패턴(120)은 전기 전도성이 높으면서 가격이 비교적 저렴한 구리(Cu)로 형성될 수 있다.

- [0183] 상기 제1 회로 패턴(120)이 형성되면, 상기 분리 캐리어 상에 상기 제1 회로 패턴(120)을 덮는 제1 절연층(110)을 형성한다. 이에 따르면, 상기 제1 회로 패턴(120)은 상기 제1 절연층(110)의 하부 영역에 매립된 구조를 가질 수 있다.
- [0184] 그리고, 상기 제1 회로 패턴(120)이 형성되면, 상기 제1 절연층(110) 상에 제2 회로 패턴(130)을 형성할 수 있다.
- [0185] 다음으로, 도 14에서와 같이 상기 제1 절연층(110) 상에 제2 절연층(140)을 형성한다. 상기 제2 절연층(140)은 상기 제2 회로 패턴(130)을 덮으며 배치될 수 있다. 바람직하게, 상기 제2 절연층(140)은 상기 제2 회로 패턴(130)의 높이보다 큰 높이를 가지고 상기 제1 절연층(110) 상에 배치될 수 있다.
- [0186] 이후, 샌드 블러스트 공정이나 플라즈마 공정을 진행하여, 상기 제2 절연층(140)을 에칭한다.
- [0187] 이때, 도 15에 도시된 바와 같이 상기 에칭 공정의 조건을 조정하여, 상기 제2 절연층(140)의 높이(H2)가 상기 제2 회로 패턴(130)의 높이(H1) 대비 20% 내지 99%를 가지도록 한다.
- [0188] 즉, 상기 제2 절연층(140)의 높이(H2)가 상기 제2 회로 패턴(130)의 높이(H1)의 20% 미만인 경우, 상기 제2 절연층(140)에 의해 상기 제2 회로 패턴(130)이 안정적으로 지지될 수 없고, 이에 따른 제2 회로 패턴(130)의 무너짐 문제가 발생할 수 있다.
- [0189] 또한, 상기 제2 절연층(140)의 높이(H2)는 상기 제2 회로 패턴(130)의 높이 대비 99% 이하를 갖도록 한다. 즉, 상기 제2 절연층(140)의 높이(H2)가 상기 제2 회로 패턴(130)의 높이(H1)의 99%를 초과하는 경우, 상기 제2 회로 패턴(130)의 표면에 상기 제2 절연층(140)의 레진 일부가 잔존할 수 있고, 이에 따른 신뢰성 문제가 발생할 수 있다.
- [0190] 이때, 상기 제2 절연층(140)의 표면에는 무기 필러(145)가 잔존할 수 있으며, 상기 제2 회로 패턴(130)의 표면에 도 상기 무기 필러(145)의 일부가 잔존할 수 있다. 또한, 상기 제2 절연층(140)의 표면은 편평하지 않고 곡률을 가질 수 있다.
- [0191] 이후, 도 16에 도시된 바와 같이, 제2 절연층(140)의 표면 및 상기 제2 회로 패턴(130)의 표면에 잔존하는 무기 필러(145)를 제거하는 공정을 진행할 수 있다. 그리고, 상기 무기 필러(145)가 제거됨에 따라, 상기 제2 절연층(140)의 표면에는 상기 무기 필러(145)가 제거된 흔적의 리세스가 형성될 수 있다.
- [0192] 다음으로, 도 17에 도시된 바와 같이, 상기 제2 절연층(140)의 표면 위에 보호층(150)을 배치할 수 있다. 상기 보호층(150)은 상기 제2 절연층(140)의 표면에 형성된 리세스를 채우며 배치될 수 있다. 상기와 같이 상기 보호층(150)이 상기 제2 절연층(140)의 리세스를 채우며 배치됨에 따라 상기 보호층(150)과 상기 제2 절연층(140) 사이의 접합력을 더욱 향상시킬 수 있다.
- [0193] 본 발명에 따른 실시 예에 의하면, 제1 절연층 위에 배치되어 상기 제1 절연층의 표면 위로 돌출되는 제2 회로 패턴에 있어서, 상기 제1 절연층 위에 상기 제2 회로 패턴의 측부를 지지하는 제2 절연층을 형성한다. 이에 따르면, 제2 회로 패턴의 미세화에 의해 상기 돌출된 제2 회로 패턴의 무너짐이나 쓸림 등의 문제를 해결할 수 있으며, 이에 따른 제품 신뢰성을 향상시킬 수 있다.
- [0194] 또한, 본 발명에 따른 실시 예에 의하면 상기 제2 절연층을 형성함에 있어, 상기 제2 절연층의 상면이 상기 제2 회로 패턴의 상면보다 낮게 위치하도록 한다. 즉, 실시 예에서의 제2 절연층의 높이는 상기 제2 회로 패턴의 높이보다 낮다. 이에 따라, 상기 제2 절연층이 상기 제2 회로 패턴의 표면에 잔류함에 의해 상기 제2 회로 패턴의 표면의 노출 영역이 줄어드는 문제를 해결할 수 있으며, 이에 따른 부품 실장 영역의 축소 문제를 해결할 수 있다.
- [0195] 또한, 실시 예에서는 제2 절연층을 형성한 후에, 상기 제2 절연층의 상면이 상기 제2 회로 패턴의 상면보다 낮게 위치하도록 상기 제2 절연층을 에칭한다. 이때, 상기 제2 절연층 내에는 무기 필러가 존재한다. 그리고, 상기 제2 절연층의 에칭에 의해, 최종 제품에서의 제2 절연층의 표면에는 무기 필러가 돌출되어 배치될 수 있다. 이에 따르면, 상기 무기 필러의 돌출에 의해 상기 제2 절연층의 표면적이나 상기 제2 절연층의 표면 거칠기를

증가시킬 수 있으며, 이에 따라 상기 제2 절연층 상에 배치되는 솔더 레지스트와 같은 보호층과의 접착력을 향상시킬 수 있다.

[0196] 또한, 실시 예에서는 제2 절연층을 형성한 후에, 상기 제2 절연층의 상면이 상기 제2 회로 패턴의 상면보다 낮게 위치하도록 상기 제2 절연층을 에칭한다. 이때, 상기 제2 절연층 내에는 무기 필러가 존재한다. 그리고, 상기 제2 절연층의 에칭에 의해, 최종 제품에서의 제2 절연층의 표면에는 무기 필러가 돌출되어 배치될 수 있다. 이에 따르면, 상기 무기 필러의 돌출에 의해 상기 제2 절연층의 표면적이나 상기 제2 절연층의 표면 거칠기를 증가시킬 수 있으며, 이에 따라 상기 제2 절연층 상에 배치되는 솔더 레지스트와 같은 보호층과의 접착력을 향상시킬 수 있다.

[0197] 또한, 실시 예에서는 제2 절연층이나 제2 회로 패턴 상에 잔존하는 무기 필러를 제거하고, 상기 무기 필러가 제거된 제2 절연층 위에 보호층을 배치한다. 이에 따르면, 상기 무기 필러가 제2 절연층 위에 잔존함에 따라 복수의 제2 회로 패턴 사이의 쇼트가 발생하는 문제를 해결할 수 있으며, 이에 따른 제품 신뢰성을 향상시킬 수 있다.

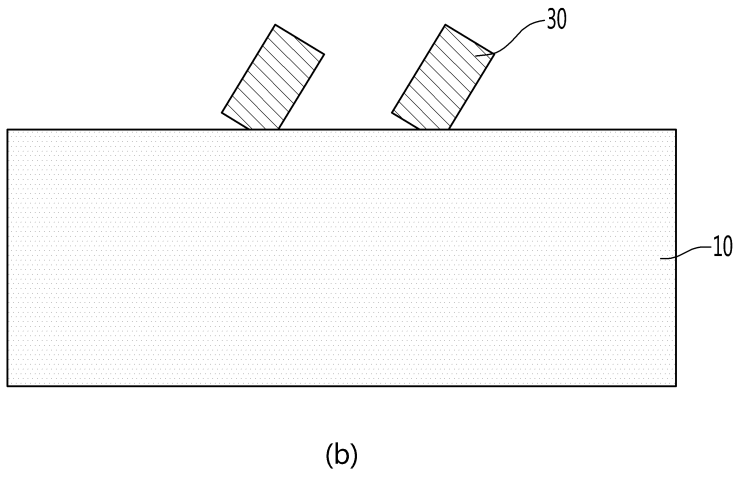
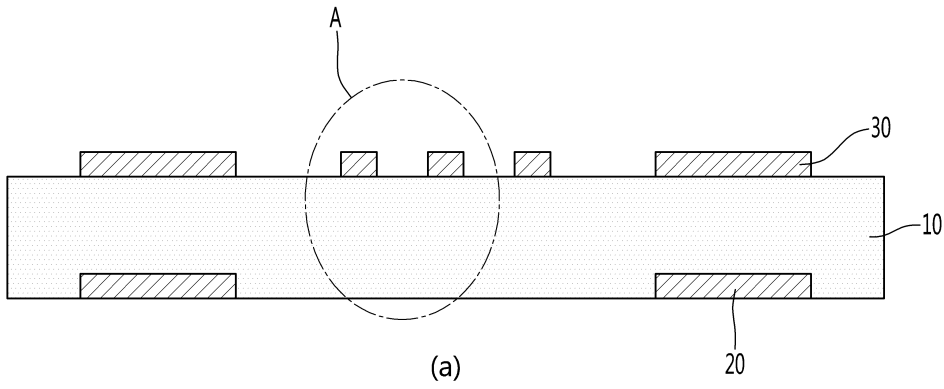
[0198] 또한, 실시 예에서의 인쇄회로기판은 5G 통신 시스템에 적용 가능하며, 이에 따라 고주파수의 전송 손실을 최소화하여 신뢰성을 더욱 향상시킬 수 있다. 구체적으로, 실시 예에서의 인쇄회로기판은 고주파에서 사용 가능하고, 전파 손실을 줄일 수 있다.

[0199] 이상에서 실시예들에 설명된 특징, 구조, 효과 등은 적어도 하나의 실시예에 포함되며, 반드시 하나의 실시예에만 한정되는 것은 아니다. 나아가, 각 실시예에서 예시된 특징, 구조, 효과 등은 실시예들이 속하는 분야의 통상의 지식을 가지는 자에 의해 다른 실시예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 실시예의 범위에 포함되는 것으로 해석되어야 할 것이다.

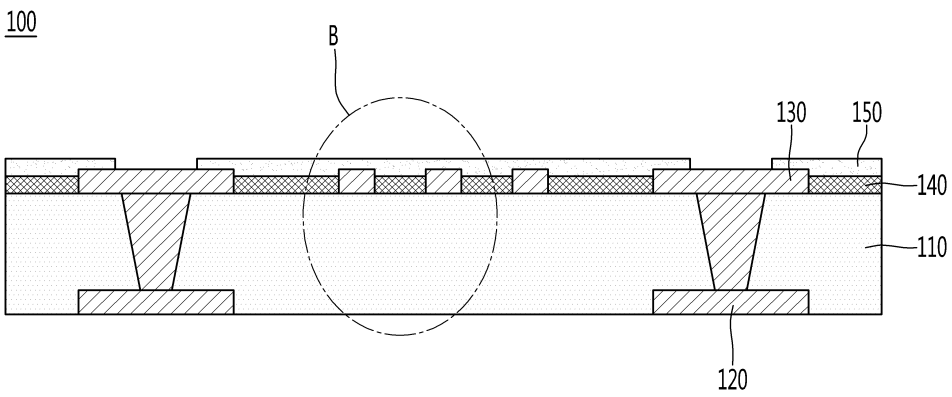
[0200] 이상에서 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 실시예를 한정하는 것이 아니며, 실시예가 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 설정하는 실시예의 범위에 포함되는 것으로 해석되어야 할 것이다.

도면

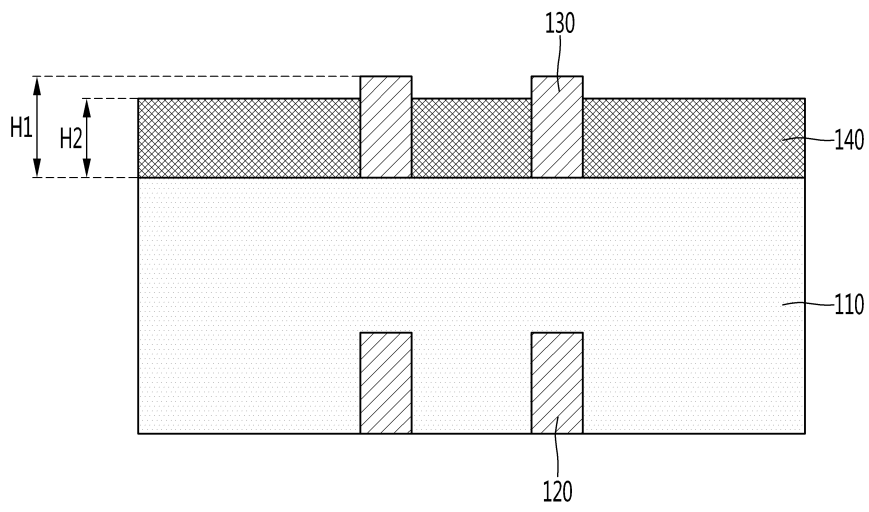
도면1



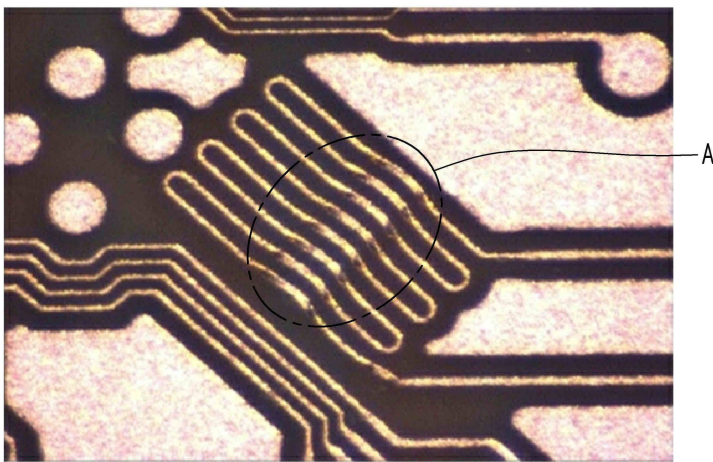
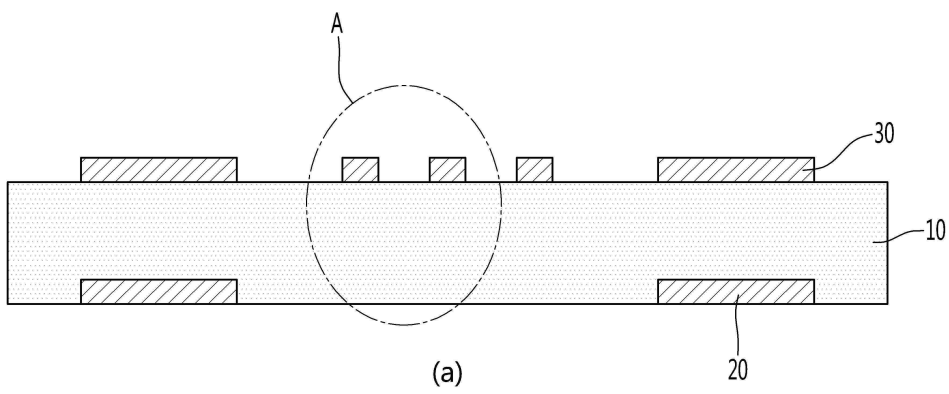
도면2



도면3

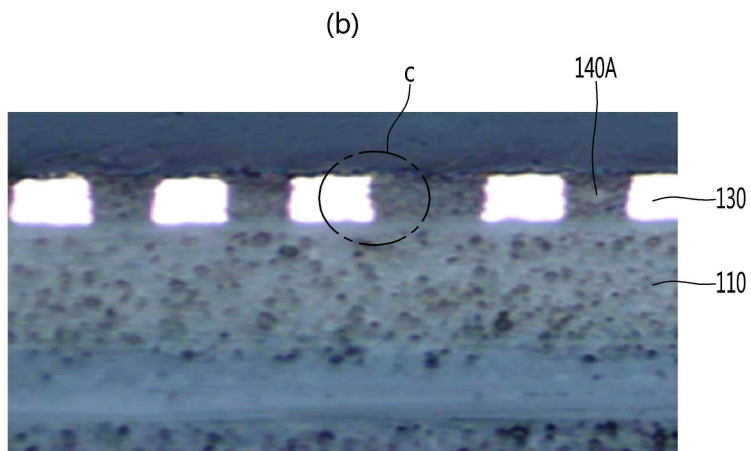
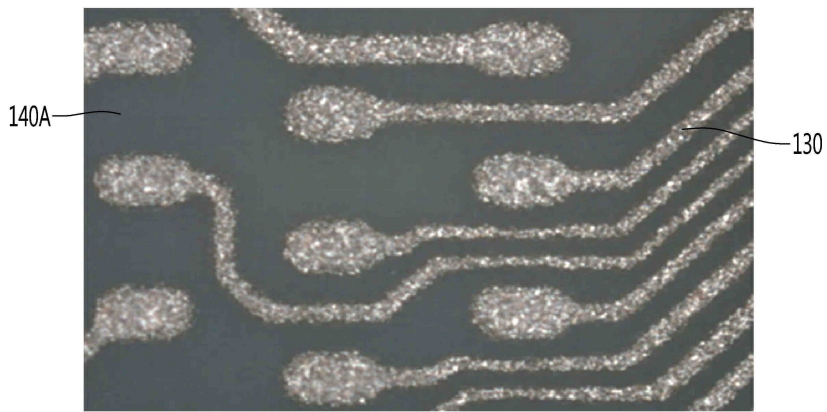
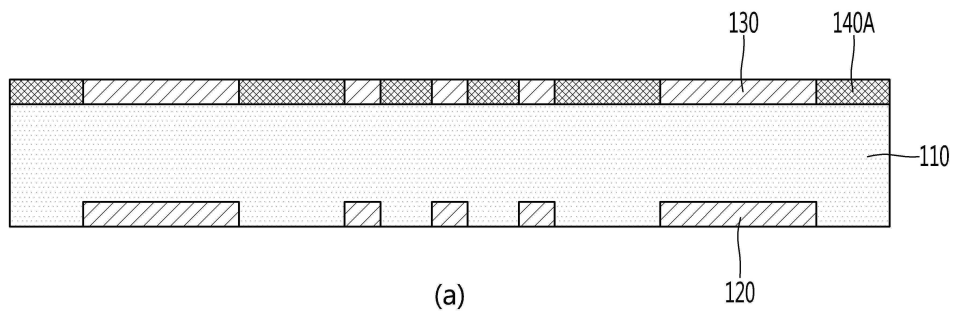


도면4a

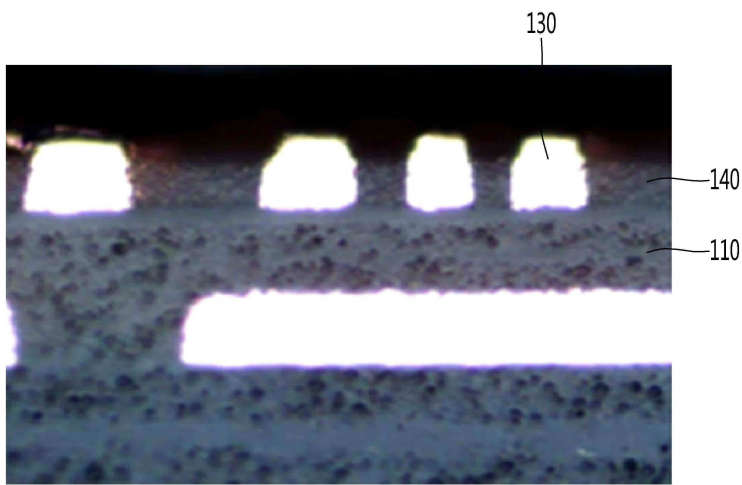
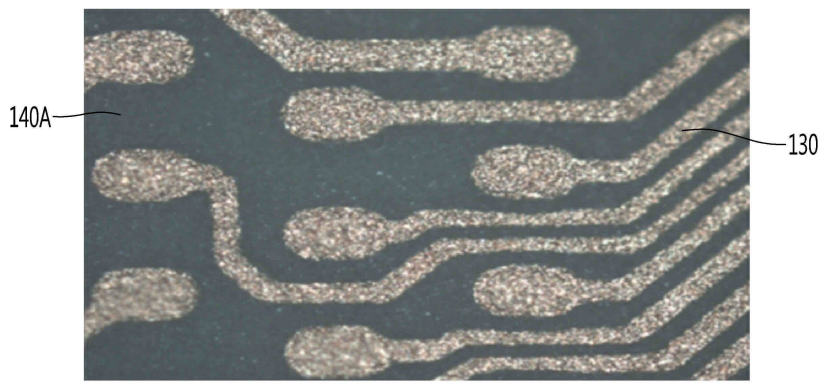
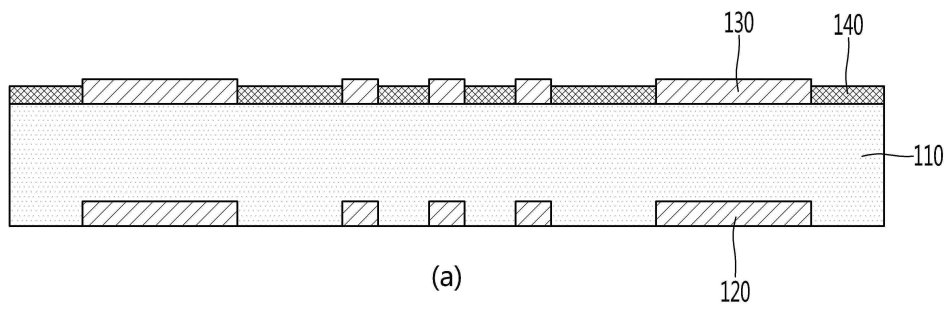


(b)

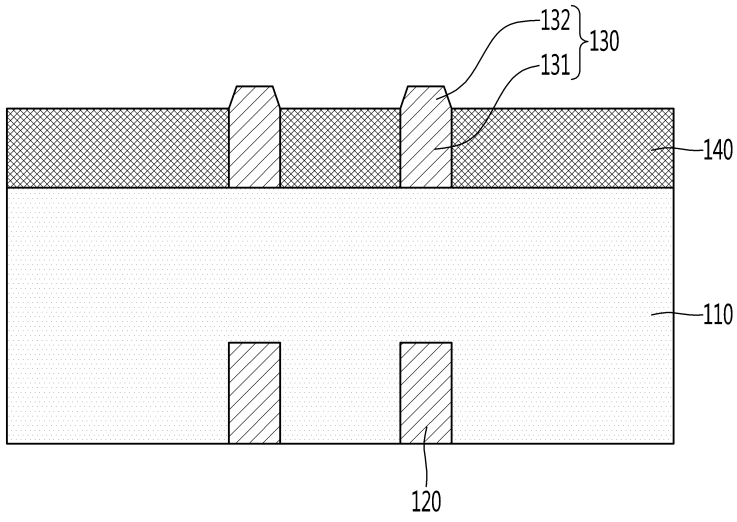
도면4b



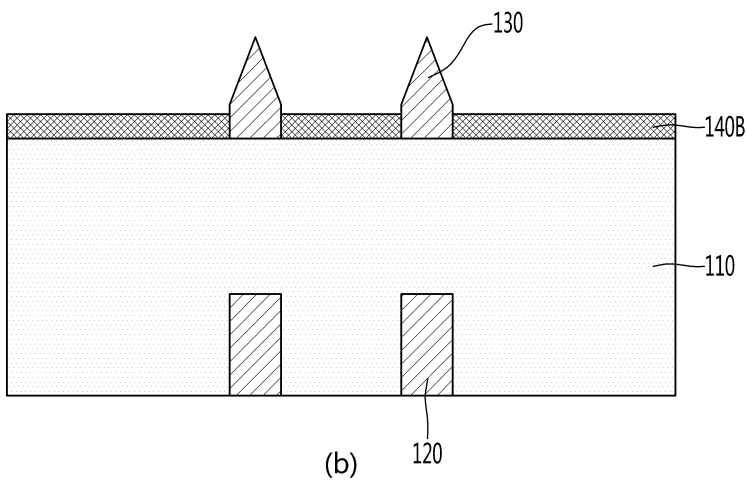
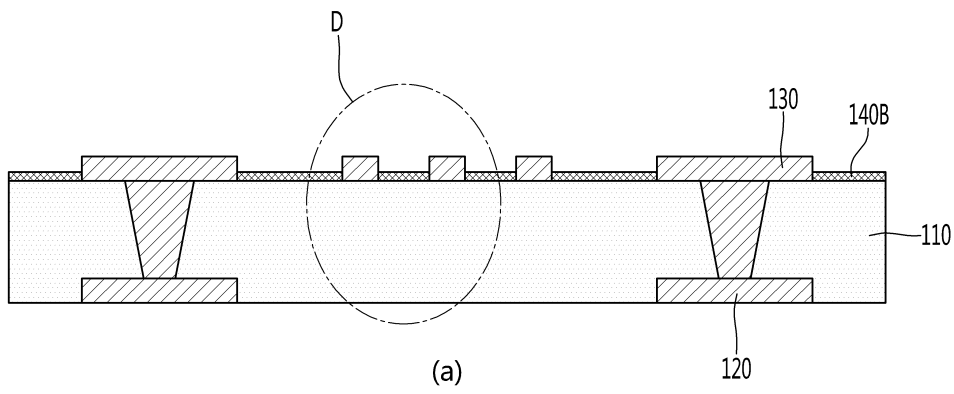
도면4c



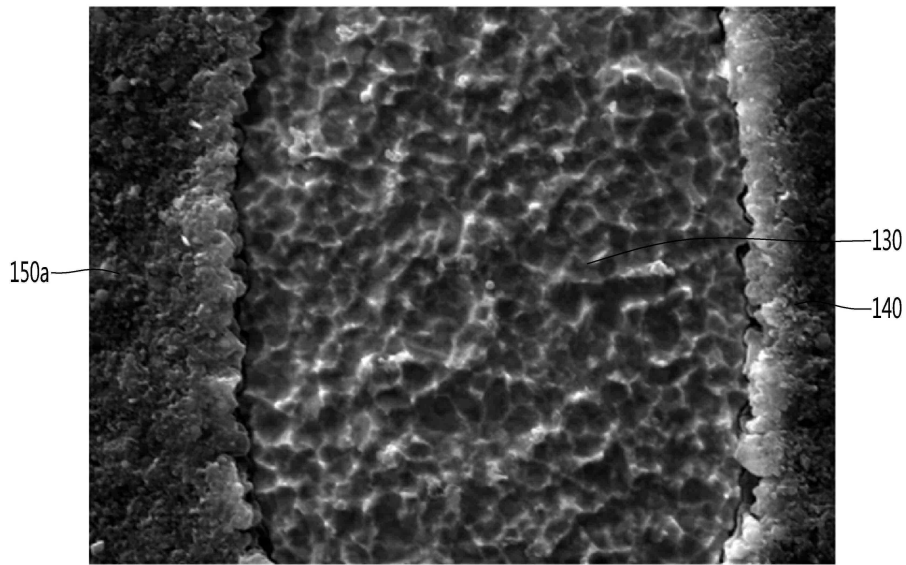
도면5



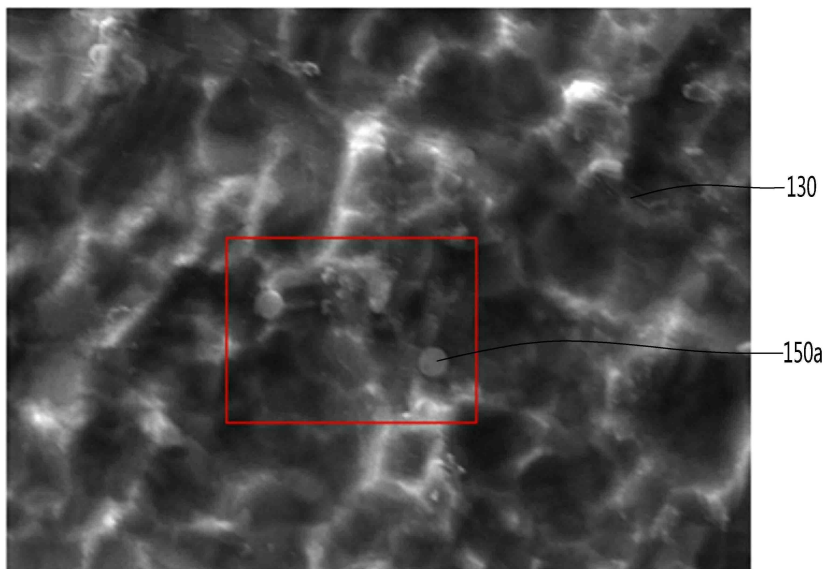
도면6



도면7a

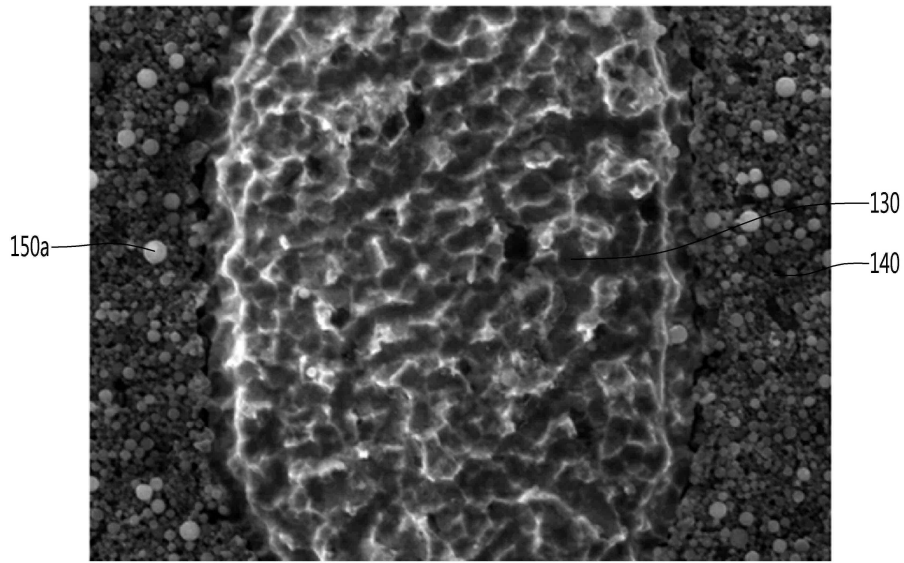


(a)

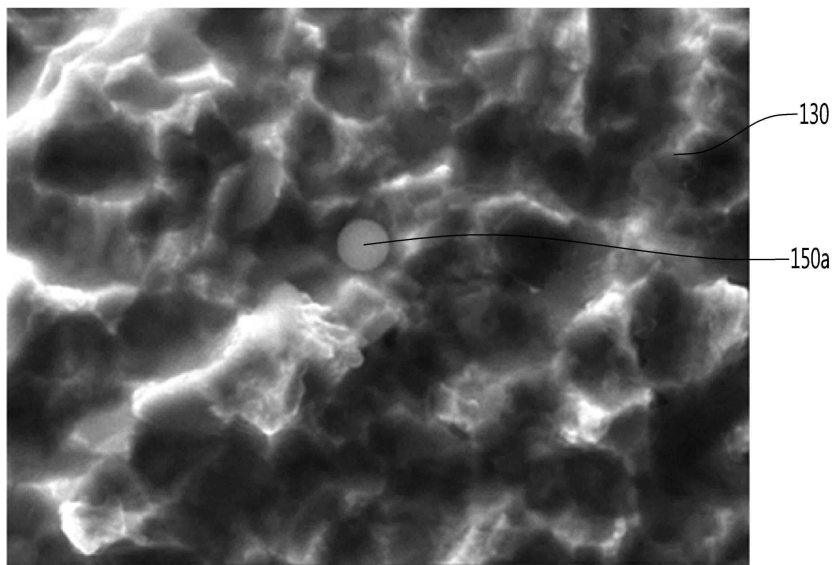


(b)

도면7b

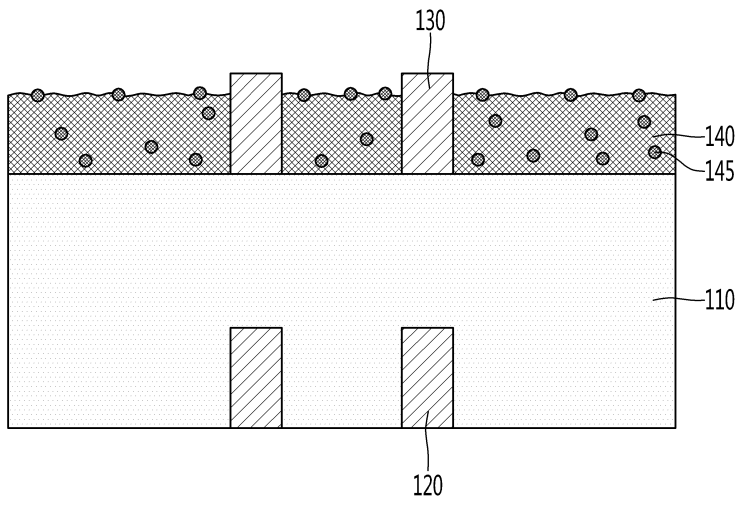


(a)

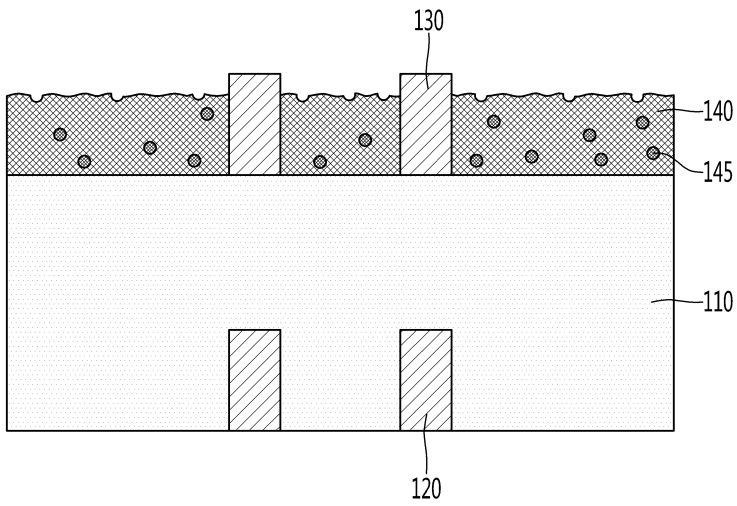


(b)

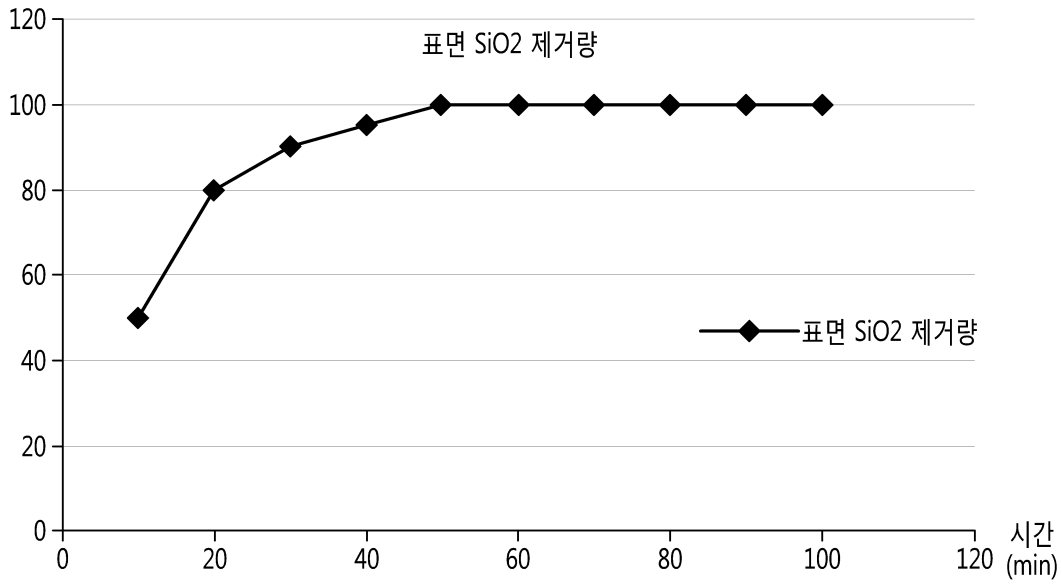
도면8a



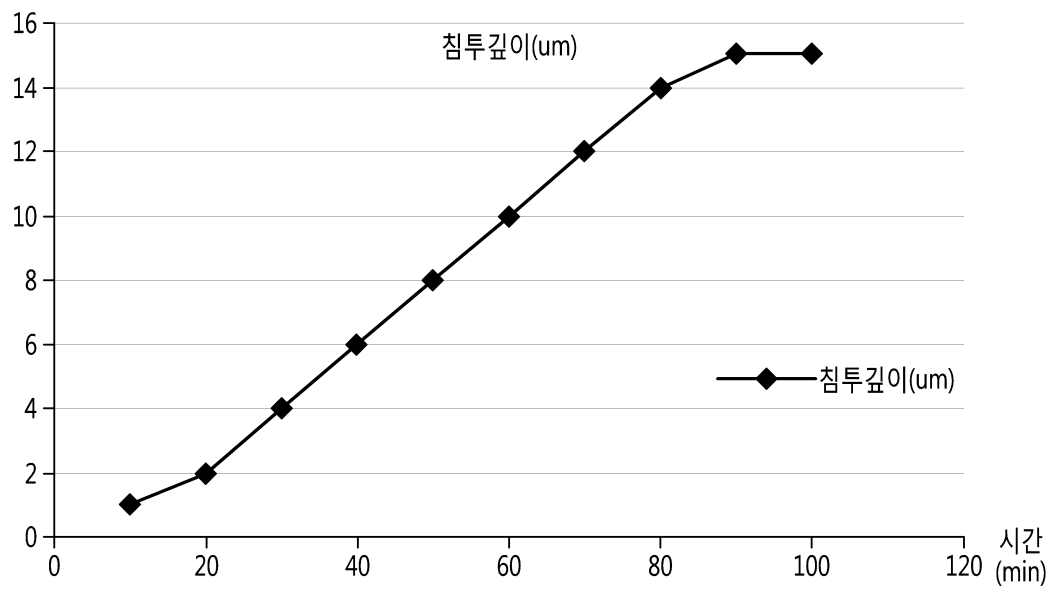
도면8b



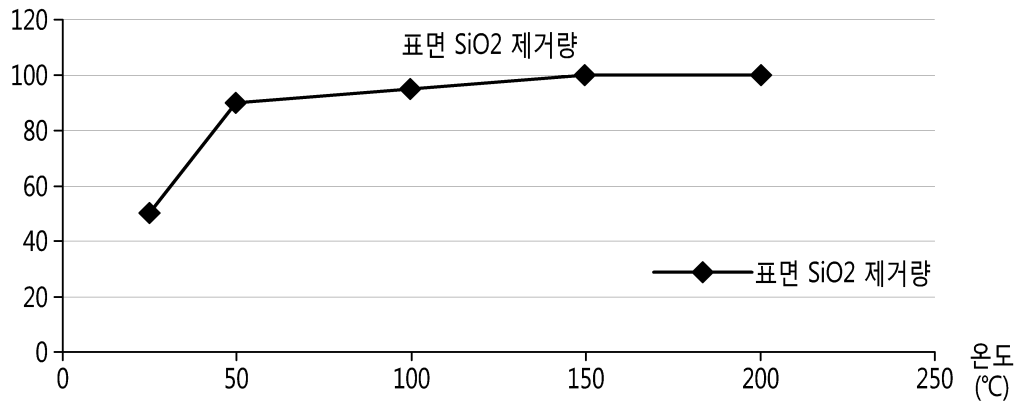
도면9



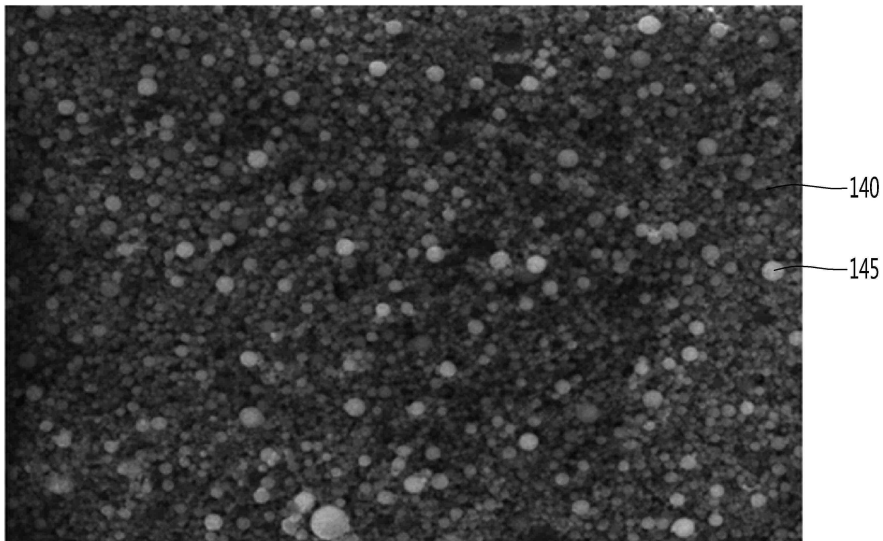
도면10



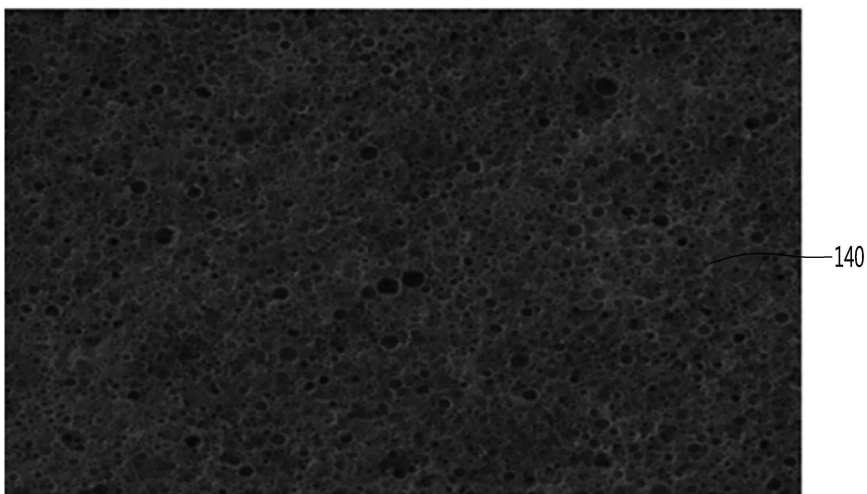
도면11



도면12a

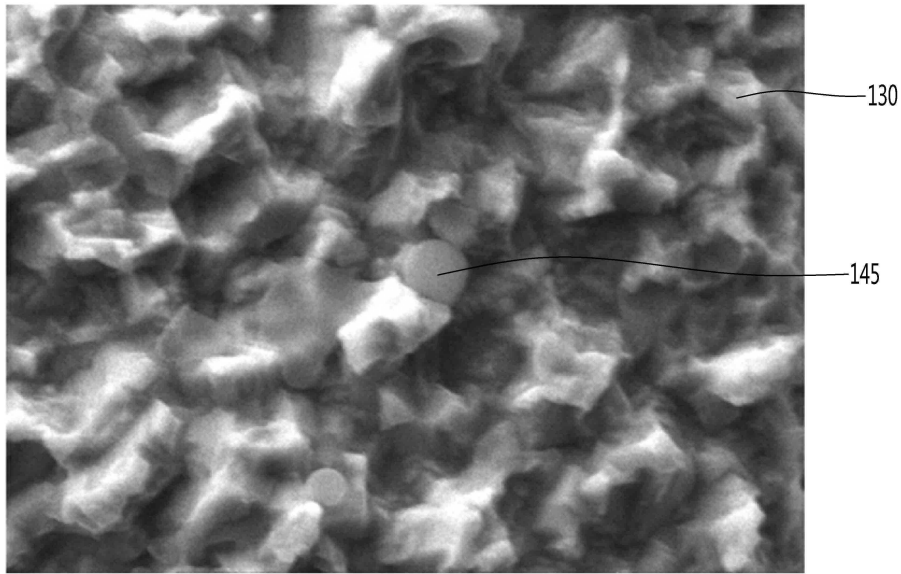


(a)

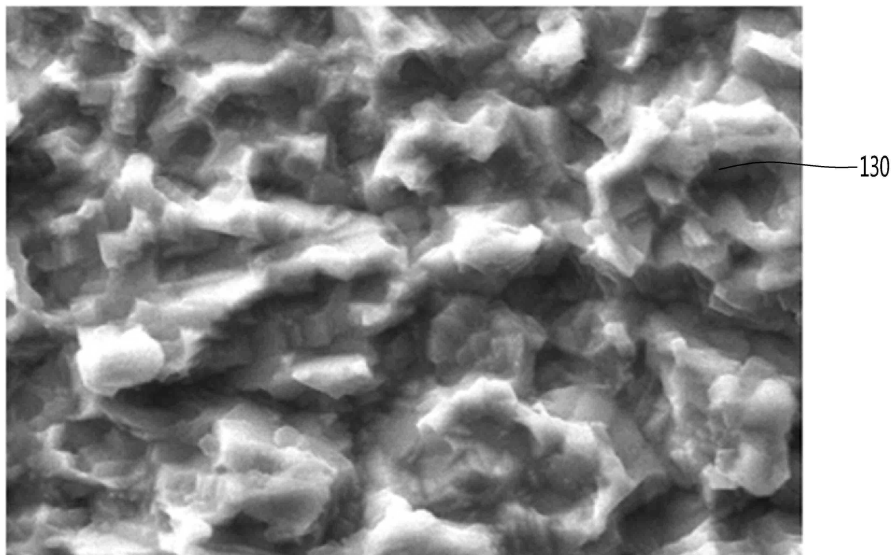


(b)

도면12b

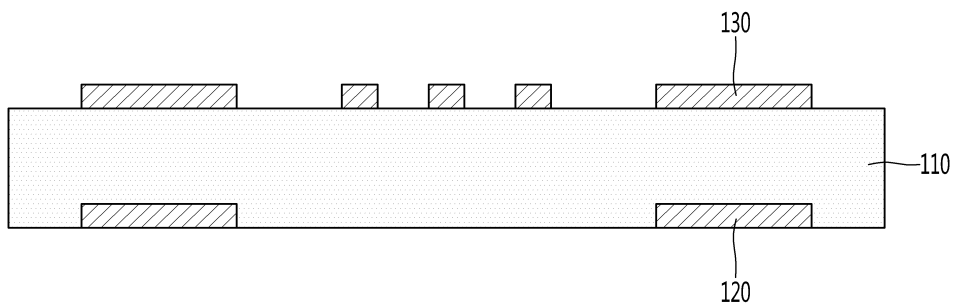


(a)

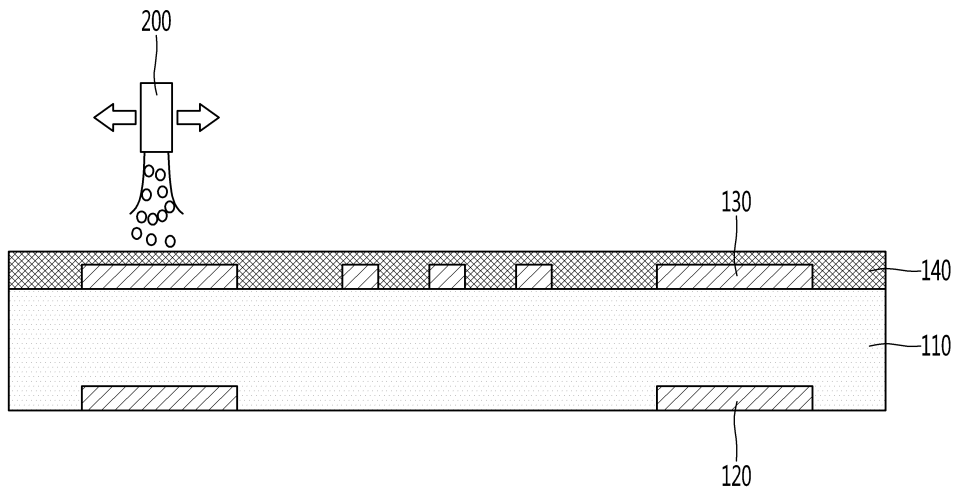


(b)

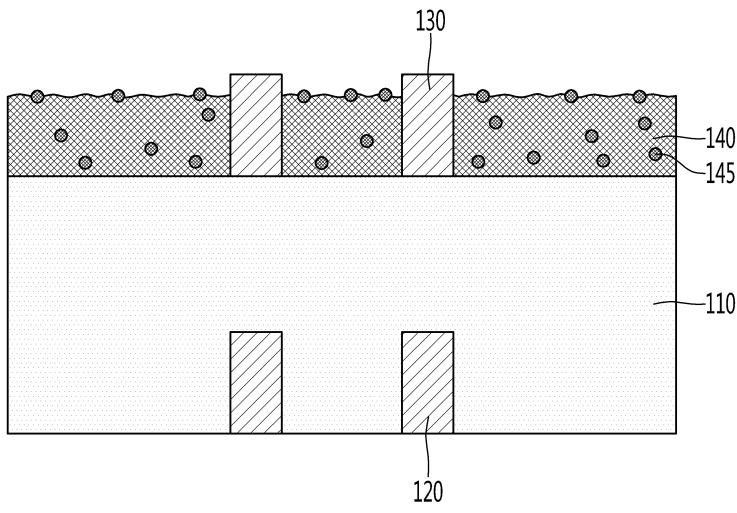
도면13



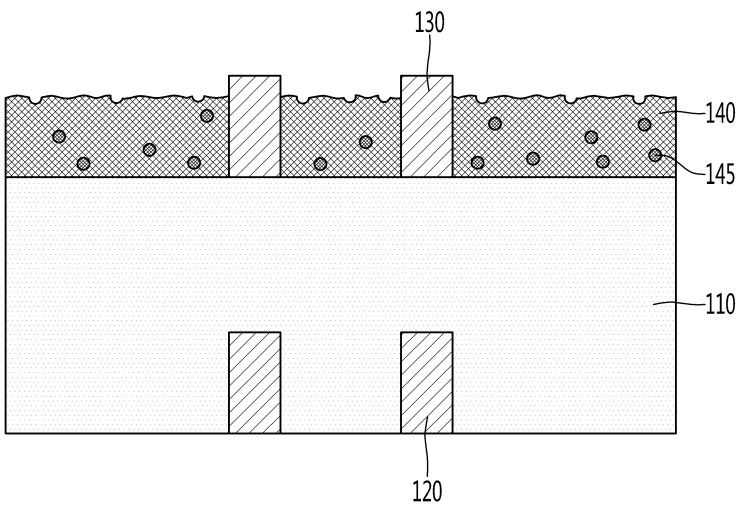
도면14



도면15



도면16



도면17

