



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년10월17일
(11) 등록번호 10-1787276
(24) 등록일자 2017년10월11일

(51) 국제특허분류(Int. Cl.)
H03F 3/45 (2006.01) H03F 1/22 (2006.01)
(52) CPC특허분류
H03F 3/45192 (2013.01)
H03F 1/223 (2013.01)
(21) 출원번호 10-2016-0099512
(22) 출원일자 2016년08월04일
심사청구일자 2016년08월04일
(56) 선행기술조사문헌
CN101064497 A*
(뒷면에 계속)

(73) 특허권자
이화여자대학교 산학협력단
서울특별시 서대문구 이화여대길 52 (대현동, 이화여자대학교)
(72) 발명자
박성민
경기도 성남시 분당구 미금로 114, 206동 102호(구미동, 하얀마을그랜드빌라)
박민선
서울특별시 도봉구 덕릉로59가길 25, B동 501호(창동, 청하아파트)
(74) 대리인
특허법인(유한)아이시스

전체 청구항 수 : 총 8 항

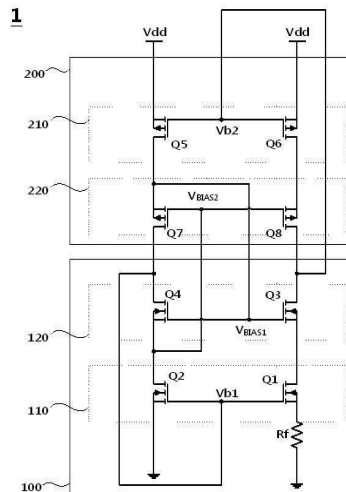
심사관 : 박정근

(54) 발명의 명칭 콘스탄트 트랜스 컨덕턴스 전류 소스 및 이를 이용한 연산 증폭기

(57) 요약

본 실시예에 의한 콘스탄트 트랜스 컨덕턴스 전류 소스는 게이트 페어된 제1 트랜지스터와 제2 트랜지스터를 포함하는 제1 페어드 게이트(paired gate) 회로와, 게이트 페어된 제3 트랜지스터와 제4 트랜지스터를 포함하는 제2 페어드 게이트 회로를 포함하는 제1 도전형 MOS 모디파이드 캐스코드(modified cascode) 회로 및 게이트 페어된 제5 트랜지스터와 제6 트랜지스터를 포함하는 제3 페어드 게이트 회로와, 게이트 페어된 제7 트랜지스터와 제8 트랜지스터를 포함하는 제4 페어드 게이트 회로를 포함하는 제2 도전형 MOS 모디파이드 캐스코드(modified cascode) 회로를 포함하며, 제1 도전형 MOS 모디파이드 캐스코드(modified cascode) 회로와 제2 도전형 MOS 모디파이드 캐스코드 전류 미러 회로는 캐스코드로 연결된다.

대표도 - 도1



(52) CPC특허분류

H03F 2200/447 (2013.01)

(56) 선행기술조사문헌

KR1020070076274 A*

US04350904 A*

US20100019806 A1*

US06762646 B1*

*는 심사관에 의하여 인용된 문헌

이 발명을 지원한 국가연구개발사업

과제고유번호 2014R1A2A2A01005686

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 기초연구사업(학술진흥)-중견연구자지원사업-핵심연구지원사업(개인)

연구과제명 대용량 멀티미디어와 클라우드 서비스를 위한 차세대 400GbE용 CMOS 저전력 4채널 광 트랜시버 어레이 SoC 개발

기 여 율 1/2

주관기관 이화여자대학교 산학협력단

연구기간 2014.05.01 ~ 2017.04.30

이 발명을 지원한 국가연구개발사업

과제고유번호 1711035244

부처명 미래창조과학부

연구관리전문기관 정보통신기술진흥센터

연구사업명 대학 ICT 연구센터 육성지원사업

연구과제명 정보기기용 시스템반도체 핵심 설계 기술 연구 및 인력 양성

기 여 율 1/2

주관기관 서울시립대학교 산학협력단

연구기간 2016.01.01 ~ 2016.12.31

공지예외적용 : 있음

명세서

청구범위

청구항 1

게이트 페어된 제1 트랜지스터와 제2 트랜지스터를 포함하는 제1 페어드 게이트(paired gate) 회로와, 게이트 페어된 제3 트랜지스터와 제4 트랜지스터를 포함하는 제2 페어드 게이트 회로를 포함하는 제1 도전형 MOS 모디파이드 캐스코드(modified cascode) 전류 미러 회로 및

게이트 페어된 제5 트랜지스터와 제6 트랜지스터를 포함하는 제3 페어드 게이트 회로와, 게이트 페어된 제7 트랜지스터와 제8 트랜지스터를 포함하는 제4 페어드 게이트 회로를 포함하는 제2 도전형 MOS 모디파이드 캐스코드(modified cascode) 전류 미러 회로를 포함하며,

상기 제1 도전형 MOS 모디파이드 캐스코드(modified cascode) 전류 미러 회로와 상기 제2 도전형 MOS 모디파이드 캐스코드 전류 미러 회로는 캐스코드로 연결되며,

상기 제7 트랜지스터의 소스 전극은 상기 제2 페어드 게이트 회로의 게이트 전극에 연결되어 바이어스를 제공하고, 상기 제4 트랜지스터의 소스 전극은 상기 제4 페어드 게이트 회로의 게이트 전극에 연결되어 바이어스를 제공하는 콘스탄트 트랜스 컨덕턴스 전류 소스(constant trans-conductance current source).

청구항 2

제1항에 있어서,

상기 제1 페어드 게이트 회로와 상기 제2 페어드 게이트 회로는 캐스코드로 연결되고,

상기 제3 페어드 게이트 회로와 상기 제4 페어드 게이트 회로는 캐스코드로 연결된 콘스탄트 트랜스 컨덕턴스 전류 소스.

청구항 3

제1항에 있어서,

상기 제1 트랜지스터와 제2 트랜지스터의 게이트 전극은 상기 제4 트랜지스터의 드레인 전극에 연결되고,

상기 제5 트랜지스터와 제6 트랜지스터의 게이트 전극은 상기 제8 트랜지스터의 드레인 전극에 연결된 콘스탄트 트랜스 컨덕턴스 전류 소스.

청구항 4

삭제

청구항 5

제1항에 있어서,

상기 콘스탄트 트랜스 컨덕턴스 전류 소스는 제1 트랜지스터의 소스 전극에 연결된 전류 정합 저항(current matching resistor)을 더 포함하는 콘스탄트 트랜스 컨덕턴스 전류 소스.

청구항 6

게이트 페어된 제1 트랜지스터와 제2 트랜지스터를 포함하는 제1 페어드 게이트(paired gate) 회로와, 게이트 페어된 제3 트랜지스터와 제4 트랜지스터를 포함하는 제2 페어드 게이트 회로를 포함하는 제1 도전형 MOS 모디파이드 캐스코드(modified cascode) 전류 미러 회로와, 게이트 페어된 제5 트랜지스터와 제6 트랜지스터를 포함하는 제3 페어드 게이트 회로와, 게이트 페어된 제7 트랜지스터와 제8 트랜지스터를 포함하는 제4 페어드 게이트 회로를 포함하는 제2 도전형 MOS 모디파이드 캐스코드(modified cascode) 전류 미러 회로를 포함하며, 상기 제1 도전형 MOS 모디파이드 캐스코드(modified cascode) 전류 미러 회로와 상기 제2 도전형 MOS 모디파이드 캐스코드 전류 미러 회로는 캐스코드로 연결된 콘스탄트 트랜스 컨덕턴스 전류 소스; 및

차동 연산 증폭기를 포함하는 연산 증폭기로, 상기 차동 연산 증폭기는 상기 콘스탄트 트랜스 컨덕턴스 전류 소스가 제공하는 전압을 제공받아 전류를 미러링하며, 상기 제7 트랜지스터의 소스 전극은 상기 제2 페어드 게이트 회로의 게이트 전극에 연결되어 바이어스를 제공하고, 상기 제4 트랜지스터의 소스 전극은 상기 제4 페어드 게이트 회로의 게이트 전극에 연결되어 바이어스를 제공하는 연산 증폭기.

청구항 7

삭제

청구항 8

제6항에 있어서,

상기 제1 페어드 게이트 회로와 상기 제2 페어드 게이트 회로는 캐스코드로 연결되고,

상기 제3 페어드 게이트 회로와 상기 제4 페어드 게이트 회로는 캐스코드로 연결된 연산 증폭기.

청구항 9

제6항에 있어서,

상기 제1 트랜지스터와 제2 트랜지스터의 게이트 전극은 상기 제4 트랜지스터의 드레인 전극에 연결되고,

상기 제5 트랜지스터와 제6 트랜지스터의 게이트 전극은 상기 제8 트랜지스터의 드레인 전극에 연결된 연산 증폭기.

청구항 10

삭제

청구항 11

제6항에 있어서,

상기 콘스탄트 트랜스 컨덕턴스 전류 소스는 제4 트랜지스터의 소스 전극에 연결되어 전류 정합 저항(current matching resistor)을 더 포함하는 연산 증폭기.

발명의 설명

기술 분야

[0001] 본 발명은 콘스탄트 트랜스 컨덕턴스 전류 소스 및 이를 이용한 연산 증폭기에 관한 것이다.

배경 기술

[0002] 초고집적회로(VLSI) 시스템의 급격한 발전과 더불어 집적회로 내의 공급 전원 전압은 점점 감소하는 추세이다. 이에 따라 저전압에서 동작하는 아날로그 및 디지털 집적회로에 대한 연구가 활발히 진행되고 있다. 특히 MOSFET 소자의 채널 길이가 수십 나노급으로 줄어들고, 전력소모(power consumption)도 낮추기 위해 사용하는 전원전압의 크기를 1.0-V 이하로 줄여야 할 필요성이 점점 커지고 있다. 이에 따라, 메모리 및 아날로그/디지털 회로에 반드시 사용되는 전류소스 회로를 1.0-V 이하의 전원전압에서 동작하게 할 필요가 있다.

[0003] 직류 전류를 공급하는 전류 소스 회로의 경우, 간단한 전류 미러(current mirror)로 설계하는데, 채널 길이 변조 효과(channel-length modulation effect)에 의한 직류 전류 변화를 막기 위하여 캐스코드 전류 미러(cascode current mirror)를 이용하여 안정적인 전류소스 회로를 설계한다.

선행기술문헌

특허문헌

(특허문헌 0001) 중국특허공개공보 101064497(2007.10.31.)

(특허문헌 0002) 미국 특허출원공개공보 US2010/0019806호(2010.01.28.)

(특허문헌 0003) 미국 특허공보 US6762646(2004.07.13.)

(특허문헌 0004) 미국 특허공보 US4350904(1982.09.21.)

(특허문헌 0005) 공개특허공보 제10-2007-0076274호(2007.07.24.)

발명의 내용

해결하려는 과제

[0004] 캐스코드 회로는 공급 전원전압과 기준전압과의 차이인 레일 투 레일 전압차(rail to rail voltage difference)가 일정 전압 이상으로 제공되어야 회로에 포함된 트랜지스터들이 포화 영역(saturation region)에서 동작하여 목적하는 동작을 수행한다. 그러나, 회로의 공급 전원 전압값의 크기와 레일 투 레일 전압차가 감소하는 요즘의 초고집적회로(VLSI) 시스템에서 캐스코드 회로를 사용하는 것은 무리가 있다.

[0005] 본 실시예로 해결하고자 하는 과제 중 하나는 종래 기술에 비하여 낮은 레일 투 레일 전압차에도 불구하고 원활하게 동작하는 콘스탄트 트랜스 컨덕턴스 전류 소스를 제공하는 것이며, 나아가 외부로부터 바이어스 전압을 제공받지 않고, 1.0V 이하의 낮은 전원전압에서도 동작이 가능한 전류 소스를 제공하는 것이 본 실시예로 해결하고자 하는 과제다.

과제의 해결 수단

[0006] 본 실시예에 의한 콘스탄트 트랜스 컨덕턴스 전류 소스는 게이트 페어된 제1 트랜지스터와 제2 트랜지스터를 포함하는 제1 페어드 게이트(paired gate) 회로와, 게이트 페어된 제3 트랜지스터와 제4 트랜지스터를 포함하는 제2 페어드 게이트 회로를 포함하는 제1 도전형 MOS 모디파이드 캐스코드(modified cascode) 회로 및 게이트 페어된 제5 트랜지스터와 제6 트랜지스터를 포함하는 제3 페어드 게이트 회로와, 게이트 페어된 제7 트랜지스터와 제8 트랜지스터를 포함하는 제4 페어드 게이트 회로를 포함하는 제2 도전형 MOS 모디파이드 캐스코드(modified cascode) 회로를 포함하며, 제1 도전형 MOS 모디파이드 캐스코드(modified cascode) 회로와 제2 도전형 MOS 모디파이드 캐스코드 전류 미러 회로는 캐스코드로 연결된다.

[0007] 본 실시예에 의한 연산 증폭기는 캐스코드로 연결된 제1 도전형 MOS 모디파이드 캐스코드(modified cascode) 회로와 제2 도전형 MOS 모디파이드 캐스코드(modified cascode) 회로를 포함하는 콘스탄트 트랜스 컨덕턴스 전류 소스 및 차동 연산 증폭기를 포함하는 연산 증폭기로, 차동 연산 증폭기는 콘스탄트 트랜스 컨덕턴스 전류 소스가 제공하는 전압을 제공받아 전류를 미러링한다.

발명의 효과

[0008] 본 실시예에 의한 콘스탄트 트랜스 컨덕턴스 전류원 및 이를 포함하는 연산 증폭기에 의하면 낮은 구동 전압에도 원활하게 동작한다는 장점이 제공되며, 종래 캐스코드 전류원 회로에서 필요했던 바이어스 전압을 제공하기 위하여 별도의 회로를 구성할 필요 없어 회로를 형성하기 위한 면적이 적어지므로 경제적이다는 장점도 제공된다. 나아가, 본 실시예에 의한 콘스탄트 트랜스 컨덕턴스 전류원은 제조 공정, 제공되는 전압 및 온도 변화에도 일정한 전압 및 전류를 제공하며 또한 온도에 따라 전압이 선형적으로 완만하게 감소하는 CTAT(Complementary To Absolute Temperature) 형태의 전압을 제공할 수 있다는 장점을 가진다.

도면의 간단한 설명

[0009] 도 1은 본 실시예에 의한 콘스탄트 트랜스 컨덕턴스 전류원 회로의 개요를 도시한 회로도이다.

도 2는 본 실시예에 의한 콘스탄트 트랜스 컨덕턴스 전류원과 차동 증폭 스테이지를 포함하는 2 스테이지 연산 증폭기의 개요를 도시한 회로도이다.

도 3은 본 실시예에 의한 전류 소스에 제공되는 전원전압을 0.7V 로 고정된 후, 온도를 -45℃ ~ 125℃ 변화시키면서, 회로 내에서 발생하는 게이트 전압 값의 변화를 모의 실험한 결과이다.

발명을 실시하기 위한 구체적인 내용

- [0010] 본 발명에 관한 설명은 구조적 내지 기능적 설명을 위한 실시예에 불과하므로, 본 발명의 권리범위는 본문에 설명된 실시예에 의하여 제한되는 것으로 해석되어서는 아니 된다. 즉, 실시예는 다양한 변경이 가능하고 여러 가지 형태를 가질 수 있으므로 본 발명의 권리범위는 기술적 사상을 실현할 수 있는 균등물들을 포함하는 것으로 이해되어야 한다.
- [0011] 한편, 본 출원에서 서술되는 용어의 의미는 다음과 같이 이해되어야 할 것이다.
- [0012] "제1", "제2" 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위한 것으로 이들 용어들에 의해 권리범위가 한정되어서는 아니 된다. 예를 들어, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- [0013] 어떤 구성요소가 다른 구성요소에 "상부에" 또는 "위에" 있다고 언급된 때에는, 그 다른 구성요소의 바로 위에 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "접촉하여" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 한편, 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "개재하여"와 "바로 ~개재하여", "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0014] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한 복수의 표현을 포함하는 것으로 이해되어야 하고, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0015] 각 단계들은 문맥상 명백하게 특정 순서를 기재하지 않은 이상 명기된 순서와 다르게 일어날 수 있다. 즉, 각 단계들은 명기된 순서와 동일하게 일어날 수도 있고 실질적으로 동시에 수행될 수도 있으며 반대의 순서대로 수행될 수도 있다.
- [0016] 본 개시의 실시예들을 설명하기 위하여 참조되는 도면은 설명의 편의 및 이해의 용이를 위하여 의도적으로 크기, 높이, 두께 등이 과장되어 표현되어 있으며, 비율에 따라 확대 또는 축소된 것이 아니다. 또한, 도면에 도시된 어느 구성요소는 의도적으로 축소되어 표현하고, 다른 구성요소는 의도적으로 확대되어 표현될 수 있다.
- [0017] 여기서 사용되는 모든 용어들은 다르게 정의되지 않는 한, 본 발명이 속하는 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한 이상적이거나 과도하게 형식적인 의미를 지니는 것으로 해석될 수 없다.
- [0018] 도 1은 본 실시예에 의한 콘스탄트 트랜스 컨덕턴스 전류원(constant trans-conductance current source, 1) 회로의 개요를 도시한 회로도이다. 도 1을 참조하면, 본 실시예에 의한 콘스탄트 트랜스 컨덕턴스 전류원(1)은 게이트 페어된 제1 트랜지스터(Q1)와 제2 트랜지스터(Q2)를 포함하는 제1 페어드 게이트(paired gate) 회로(110)와, 게이트 페어된 제3 트랜지스터(Q3)와 제4 트랜지스터(Q4)를 포함하는 제2 페어드 게이트 회로(120)를 포함하는 제1 도전형 MOS 모디파이드 캐스코드(modified cascode) 전류 미러 회로(100) 및 게이트 페어된 제5 트랜지스터(Q5)와 제6 트랜지스터(Q6)를 포함하는 제3 페어드 게이트 회로(210)와, 게이트 페어된 제7 트랜지스터(Q7)와 제8 트랜지스터(Q8)를 포함하는 제4 페어드 게이트 회로(220)를 포함하는 제2 도전형 MOS 모디파이드 캐스코드(modified cascode) 전류 미러 회로(200)를 포함하며, 제1 도전형 MOS 모디파이드 캐스코드(modified cascode) 전류 미러 회로와 제2 도전형 MOS 모디파이드 캐스코드 전류 회로는 캐스코드로 연결된다.
- [0019] 제1 도전형 MOS 모디파이드 캐스코드 전류 미러 회로(100)는 제1 페어드 게이트 회로(110)와 캐스코드로 연결된 제2 페어드 게이트 회로(120)를 포함하며, 제1 페어드 게이트 회로(110)는 게이트가 연결된 제1 도전형의 MOS 트랜지스터들(Q1, Q2)을 포함하며, 제2 페어드 게이트 회로(120)는 제1 도전형의 MOS 트랜지스터들(Q3, Q4)를 포함한다. 제1 페어드 게이트 회로의 제1 트랜지스터(Q1)와 제2 트랜지스터(Q2)의 드레인 전극들은 각각 제2 페어드 게이트 회로(120)의 제3 트랜지스터(Q3)와 제4 트랜지스터(Q4)의 소스 전극들에 연결되어 제1 페어드 게이트 회로(110)와 제2 페어드 게이트 회로(120)는 캐스코드로 연결된다.
- [0020] 제2 도전형 MOS 모디파이드 캐스코드 전류 미러 회로(200)는 제3 페어드 게이트 회로(210)와 캐스코드로 연결된 제4 페어드 게이트 회로(220)를 포함하며, 제3 페어드 게이트 회로(210)는 게이트가 연결된 제2 도전형의 MOS 트랜지스터들(Q5, Q6)을 포함하며, 제4 페어드 게이트 회로(220)는 제2 도전형의 MOS 트랜지스터들(Q7, Q8)을 포함한다. 제3 페어드 게이트 회로(210)의 제5 트랜지스터(Q5)와 제6 트랜지스터(Q6)의 드레인 전극들은 각각

제4 페어드 게이트 회로(220)의 제7 트랜지스터(Q7)와 제8 트랜지스터(Q8)의 소스 전극들에 연결되어 제3 페어드 게이트 회로(210)와 제4 페어드 게이트 회로(220)는 캐스코드로 연결된다.

[0021] 제1 페어드 게이트 회로(110)에 포함된 제1 트랜지스터(Q1)와 제2 트랜지스터(Q2)의 게이트 전극은 제2 페어드 게이트 회로(120)에 포함된 제4 트랜지스터(Q4)의 드레인 전극에 전기적으로 연결된다. 제3 페어드 게이트 회로(210)에 포함된 제5 트랜지스터(Q5)와 제6 트랜지스터(Q6)의 게이트 전극은 제4 페어드 게이트 회로(220)의 제8 트랜지스터(Q8)의 드레인 전극에 전기적으로 연결된다.

[0022] 본 실시예의 제1 도전형 MOS 모디파이드 캐스코드 전류 미러 회로(100)에 포함된 트랜지스터들이 모두 포화 영역(saturation region)에서 동작한다고 가정한다. 포화영역에서 동작하는 제2 트랜지스터(Q2)의 게이트-소스 전압(V_{GS})은 수학적 식 1의 ①식과 같고, 제2 트랜지스터(Q2)의 드레인-소스 전압(V_{DS})은 ②식과 같다. 제2 트랜지스터(Q2)가 포화영역에서 동작할 때, ① 식과 ② 식을 연립하여 제2 트랜지스터(Q2) 드레인 전극 전압 V_D 의 최소 값을 구하면 ③ 식으로 표시된 바와 같이 과구동 전압(V_{OV})과 같다.

수학적 식 1

[0023] $V_{GS} = V_{OV} + V_t \dots \textcircled{1}$

[0024] $V_{DS} \geq V_{GS} - V_t \dots \textcircled{2}$

[0025] $V_D \geq V_{OV} \dots \textcircled{3}$

[0026] 캐스코드된 제1 페어드 게이트 회로(110)와 제2 페어드 게이트 회로(120)가 모두 포화영역에서 동작할 때, 각 트랜지스터의 드레인-소스 전압은 과구동 전압에 상응하므로 제3 트랜지스터(Q3) 및 제4 트랜지스터 드레인 전극의 최소 전압값은 $2V_{OV}$ 값과 같다.

[0027] 종래의 캐스코드 전류 미러 회로는 일 예로, 게이트 커플된 Qa 트랜지스터와 Qb 트랜지스터 및 게이트 커플된 Qc 트랜지스터와 Qd 트랜지스터가 캐스코드로 연결되되, Qa 트랜지스터와 Qc 트랜지스터는 다이오드 연결되었다. 종래 캐스코드 회로에서, 캐스코드 구성의 Qd 트랜지스터의 드레인 전극에는 $2V_{OV} + V_t$ (V_{OV} : 과구동 전압, V_t : 문턱 전압)에 상응하는 전압값 이상의 전압이 제공되어야 캐스코드 회로에 포함된 트랜지스터들이 모두 포화 영역(saturation region)에서 동작하였다.

[0028] 그러나 본 실시예에 의하면, 종래기술에서 요청되었던 전압값 보다 문턱 전압(V_t)만큼 더 낮은 전압인 $2V_{OV}$ 을 제공하여도 캐스코드 회로에 포함된 트랜지스터들이 모두 포화 영역(saturation region)에서 동작한다. 따라서, 종래기술에서 요청되었던 전압값에 비하여 낮은 전압인 $2V_{OV}$ 가 제공되어도 모디파이드 캐스코드 전류 미러 회로에 포함된 트랜지스터들이 모두 포화영역에서 동작한다는 장점이 제공된다.

[0029] 상술한 설명은 비록 제1 도전형 MOS 모디파이드 캐스코드 전류 미러 회로(100)를 예를 들어 설명하였으나, 이는 제2 도전형 MOS 모디파이드 캐스코드 전류 미러 회로(200)의 경우에도 마찬가지이다.

[0030] 제2 페어드 게이트 회로(120)의 게이트 전극에 바이어스 전압(V_{BIAS1})으로 $2V_{OV} + V_t$ 의 전압값이 제공되고, 제4 페어드 게이트 회로(220)의 게이트 전극에 V_{OV} 의 바이어스 전압(V_{BIAS2})이 제공되어야 제1 도전형 MOS 모디파이드 캐스코드 전류 미러 회로(100) 및 제2 도전형 MOS 모디파이드 캐스코드 전류 미러 회로(200)가 동작하며, 아래에 설명되는 바와 같이 제공된다.

[0031] 제1 도전형 MOS 모디파이드 캐스코드 전류 미러 회로(100)와 제2 도전형 MOS 모디파이드 캐스코드 전류 미러 회로(200)에 포함된 트랜지스터들이 모두 포화영역에서 동작할 때, 아래 수학적 식 2의 ① 식에 표시된 바와 같이 제7 트랜지스터(Q7)의 소스-게이트 전압 V_{SG} 은 과구동 전압과 문턱 전압의 합과 같다. 제7 트랜지스터(Q7)의 게이트 전극의 전압 V_G 은 수학적 식 2의 ① 식에 표시된 바와 같이 과구동 전압값 V_{OV} 이므로, 두 식을 연립하여 제7 트랜지스터(Q7)의 소스 전극의 전압 V_S 를 구하면 수학적 식 2의 ③식과 같다.

[0032] 제7 트랜지스터(Q7)의 소스 전극에 형성되는 전압값은 수학적 식 2의 ③식과 같이 제2 페어드 게이트 회로(120)의

게이트 전극에 제공되는 전압인 두 배의 과구동 전압과 문턱 전압의 합과 같다. 따라서, 제7 트랜지스터(Q7)의 소스 전극과 제2 페어드 게이트 회로(120)의 게이트 전극을 연결하여 제2 페어드 게이트 회로(120)에 바이어스 전압(V_{BIAS1})을 제공할 수 있다.

수학적식 2

$$V_{SG} = V_{OV} + V_t \cdots \textcircled{1}$$

$$V_G = V_{OV} \cdots \textcircled{2}$$

$$V_S = V_{BIAS1} = 2V_{OV} + V_t \cdots \textcircled{3}$$

마찬가지로, 제2 트랜지스터(Q2)의 소스 전극의 전압값은 과구동 전압(V_{OV})값과 같으므로, 이를 제4 페어드 게이트 회로(220)의 게이트 전극에 제공하여 제2 도전형 MOS 모디파이드 캐스코드(modified cascode) 회로(200)에 바이어스 전압(V_{BIAS2})을 제공할 수 있다.

상술한 구성을 통하여 바이어스 회로를 별도로 형성하여 콘스탄트 트랜스 컨덕턴스 전류원(1)에 바이어스를 제공할 필요없이 스스로 바이어스 전압을 제공할 수 있다.

일 실시예에서, 제1 도전형 MOS 모디파이드 캐스코드 전류 미러 회로(100)는 제1 트랜지스터의 소스 전극에 연결된 전류 정합 저항(current matching resistor, R_f)을 더 포함한다. 전류 정합 저항(R_f)은 제1 트랜지스터(Q1)를 관통하여 흐르는 전류에 변동(fluctuation)이 발생하면 제1 트랜지스터(Q1)의 소스 전극의 전압을 변동시키고, 결과적으로 제1 트랜지스터(Q1)에 제공되는 게이트-소스 전압을 변화시켜 전류를 안정화시키는 네거티브 피드백(negative feedback)의 기능을 수행한다.

제1, 제3, 제8, 제6 트랜지스터들(Q1, Q3, Q8, Q6)을 관통하여 흐르는 전류의 전류값과 제2, 제4, 제7 및 제5 트랜지스터들(Q2, Q4, Q7, Q5)를 관통하여 흐르는 전류의 전류값은 서로 정합(match)되는 것이 바람직하다. 따라서, 제1 트랜지스터의 채널 길이 대 채널 폭의 비(W/L ratio)와 제2 트랜지스터의 채널 길이 대 채널 폭의 비를 서로 달리하여 전류값을 정합시킬 수 있으며, 나아가 피드백 저항(R_f) 값을 조절하여 전류값을 정합시킬 수 있다. 일 예로, 제2 트랜지스터의 채널 폭/길이비(W/L ratio)를 제1 트랜지스터(Q1) 채널 폭/길이비(W/L ratio)의 1/4로 형성하여 전류값을 정합시킬 수 있다.

도 2는 본 실시예에 의한 콘스탄트 트랜스 컨덕턴스 전류원(1)과 차동 증폭 스테이지(2)를 포함하는 2 스테이지 연산 증폭기의 개요를 도시한 회로도이다. 도 2를 참조하면, 본 실시예에 의한 콘스탄트 트랜스 컨덕턴스 전류원(1)은 출력 전압 (V_{BIAS1})를 차동 증폭 스테이지(2)에 제공한다. 차동 증폭 스테이지(2)에 포함된 Q10 트랜지스터와 Q11 트랜지스터는 각각 출력 전압(V_{BIAS1})를 제공받고 Q5의 드레인 소스 사이를 흐르는 전류를 미러링하여 제공한다.

모의 실험예

도 3은 본 실시예에 의한 전류 소스에 제공되는 전원전압을 0.7V 로 고정한 후, 온도를 $-45^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 변화시키면서, 회로 내에서 발생하는 게이트 전압 값의 변화를 모의 실험한 결과이다. 여기서, V_{b1} 은 제1 트랜지스터(Q1) 및 제2 트랜지스터(Q2)의 게이트 전압을 나타내며, V_{BIAS1} 은 제3 트랜지스터(Q3) 및 제4 트랜지스터(Q4)의 게이트 전압을 나타내고, V_{BIAS2} 은 제8 트랜지스터(Q8) 및 제7 트랜지스터(Q7)의 게이트 전압을 나타내며, V_{b2} 는 제5 트랜지스터(Q5) 및 제6 트랜지스터(Q6)의 게이트 전압을 각각 나타낸다.

온도 변화에 따른 각 전압의 변화율은 V_{b1} , V_{BIAS1} , V_{BIAS2} , V_{b2} 순으로 12 %, 43 %, 20 %, 17.8 % 와 같다. 제4 트랜지스터(Q4)와 제8 트랜지스터(Q8) 드레인 전극의 전압은 온도 변화에 따른 변화율이 작아 안정적인 전압공급이 가능하다. 제3 트랜지스터(Q3)와 제4 트랜지스터(Q4)의 게이트 전압(V_{BIAS1}) 및 제7 트랜지스터(Q7)와 제8 트랜지스터(Q8)의 게이트 전압(V_{BIAS2})의 경우, 온도 증가에 따라 전압이 감소하는 CTAT(Complementary To Absolute Temperature) 형태를 갖는다.

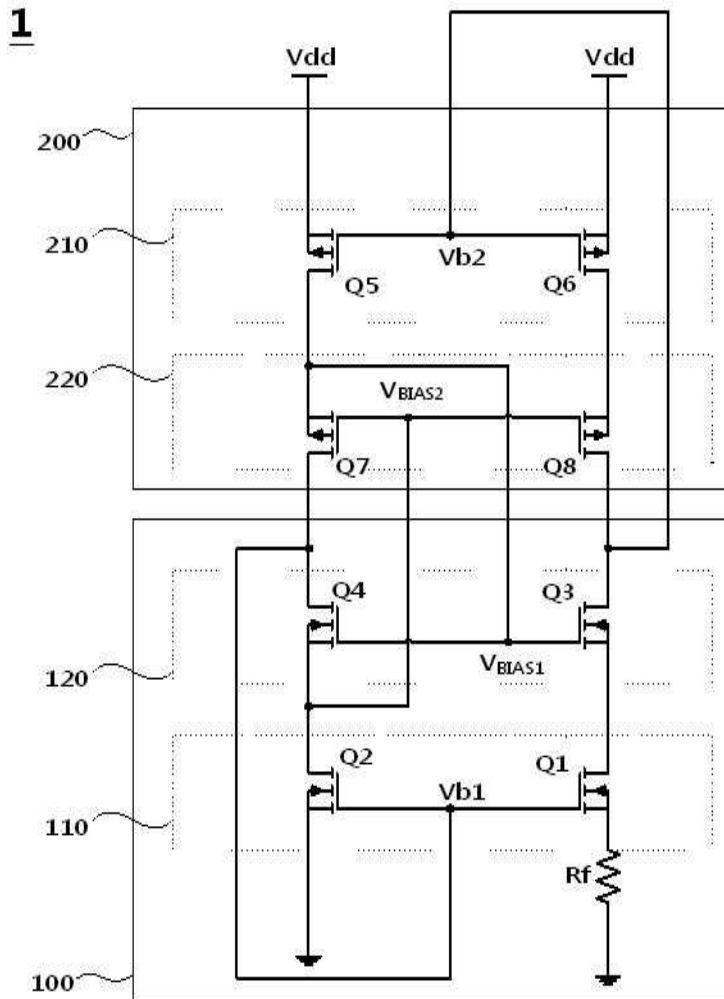
[0046] 본 발명에 대한 이해를 돕기 위하여 도면에 도시된 실시 예를 참고로 설명되었으나, 이는 실시를 위한 실시예로, 예시적인 것에 불과하며, 당해 분야에서 통상적 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범 위에 의해 정해져야 할 것이다.

부호의 설명

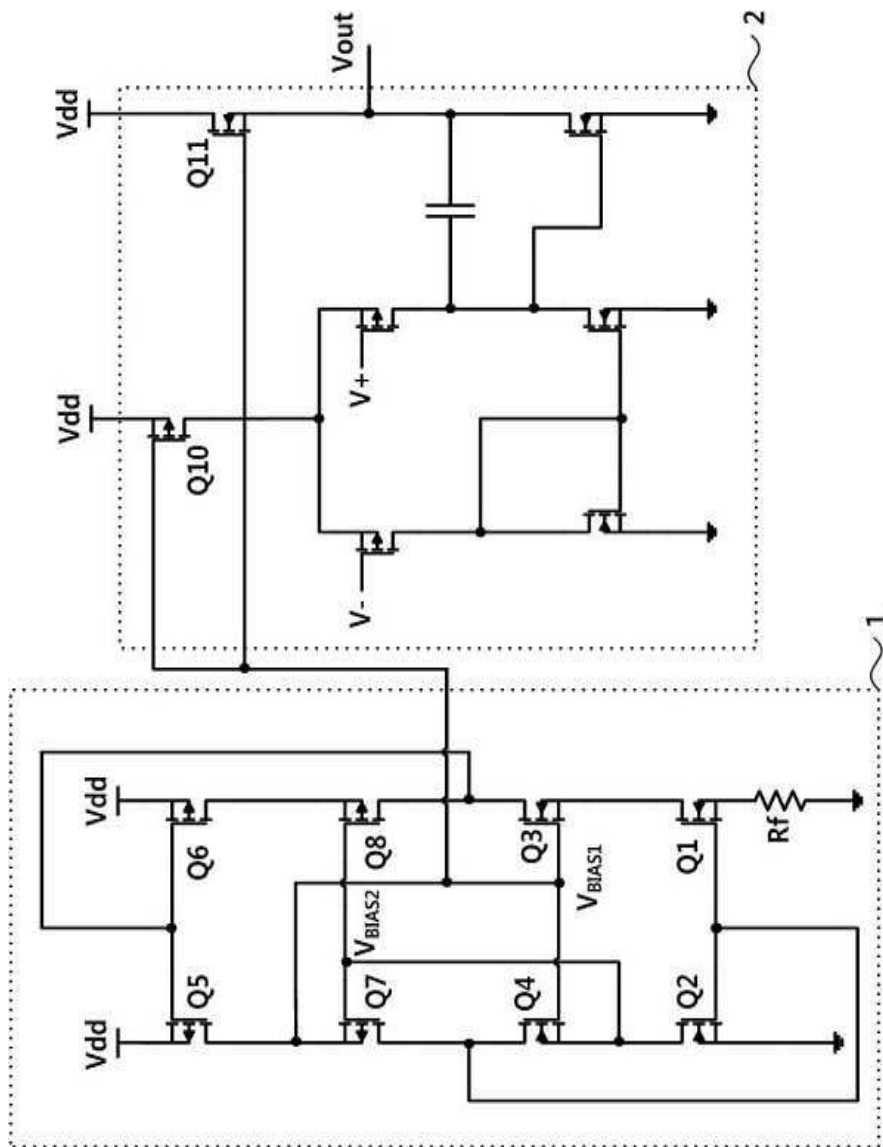
- [0047] 1: 콘스탄트 트랜스 컨덕턴스 전류원
 100: 제1 도전형 MOS 모디파이드 캐스코드 전류 미러 회로
 110: 제1 페어드 게이트 회로
 120: 제2 페어드 게이트 회로
 200: 제2 도전형 MOS 모디파이드 캐스코드 전류 미러 회로
 210: 제3 페어드 게이트 회로
 220: 제4 페어드 게이트 회로

도면

도면1



도면2



도면3

