(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 196 39 972 B4** 2006.02.16

(12) **Patentschrift**

(21) Aktenzeichen: **196 39 972.6**
(22) Anmeldetag: **27.09.1996**
(43) Offenlegungstag: **03.04.1997**
(45) Veröffentlichungstag der Patenterteilung: **16.02.2006**

(51) Int Cl.[8]: ***G01R 31/3193*** (2006.01)
G11C 29/00 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten(§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 2 Patentkostengesetz).

(30) Unionspriorität:
33221/95 30.09.1995 KR

(73) Patentinhaber:
Samsung Electronics Co., Ltd., Suwon, Kyonggi, KR

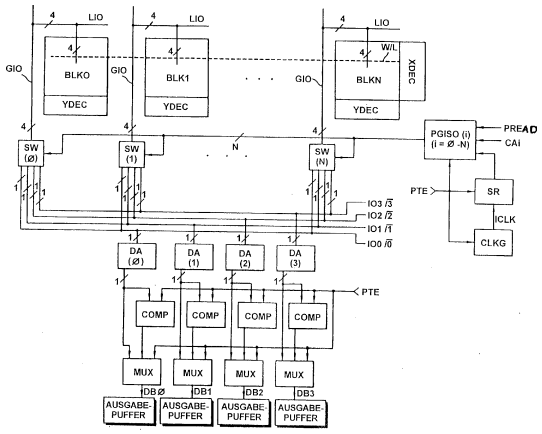
(74) Vertreter:
Grünecker, Kinkeldey, Stockmair & Schwanhäusser, 80538 München

(72) Erfinder:
Yoo, Jei-Hwan, Suwon, KR

(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:
DE 42 06 344 A1
DE 39 28 410 A1
US 52 65 100
US 50 75 892
US 44 56 995

(54) Bezeichnung: **Hochgeschwindigkeitstestschaltkreis für eine Halbleiterspeichervorrichtung**

(57) Hauptanspruch: Testschaltkreis einer Halbleiterspeichereinrichtung enthaltend eine Vielzahl von Speicherzellenblöcken (BLKO...BLKN) mit jeweils einer Vielzahl von globalen Leitungen (GIO), die eine Vielzahl von Datenleitungen zur Ausgabe von Daten enthalten; wobei der Testschaltkreis enthält:
eine Vielzahl von Ausgabeleseverstärkern (DA∅...DA3) zur Verstärkung der Daten, die aus den Speicherzellenblöcken (BLKO...BLKN) gelesen werden;
eine Vielzahl von Komparatoren (COMP), die mit einem Ausgangsanschluß dieser Ausgabeleseverstärker (DA∅...DA3) verbunden sind;
dadurch gekennzeichnet, daß
die mit jedem dieser Speicherzellenblöcke (BLKO...BLKN) verbundenen globalen Leitungen (GIO) mit der jeweiligen Schaltvorrichtung (SW∅...SWN) verbunden sind, um jeweils eine Vielzahl von Eingabe-/Ausgabe-Leitungen (IOi, $\overline{IOi}$) im Ansprechen auf ein globales Leitungskontrollsignal (PGISOi) mit den globalen Leitungen (GIO) zu verbinden;
die Vielzahl der Ausgabeleseverstärker (DA∅...DA3), die der Vielzahl von Eingabe-/Ausgabeleitungen (IOi, $\overline{IOi}$) entsprechen, mit jeweils einer dieser Eingabe-/Ausgabeleitungen verbunden ist;
das globale Leitungskontrollsignal (PGISOi) von einer globalen Leitungssteuerungsschaltung derart generiert wird, daß es die Schaltvorrichtungen (SW∅...SWN) nacheinander auswählt und aktiviert; und...



Beschreibung

[0001] Diese Erfindung bezieht sich auf einen Testschaltkreis einer Halbleiterspeichervorrichtung zum Testen von Speicherzellenblöcken mit hoher Geschwindigkeit.

[0002] Eine Halbleiterspeichervorrichtung enthält ein Speicherzellenfeld, das vielfältige Arten von Daten speichert, um einen allgemeinen Zugriff zu ermöglichen, und periphere Schaltkreise zur Steuerung der Ein- und Ausgabe der in dem Speicherzellenfeld gespeicherten Daten. Es ist zu prüfen unverzichtbar, ob jede einzelne Speicherzelle in dem Speicherzellenfeld und jeder einzelne periphere Schaltkreis in der Verwirklichung einer perfekten Halbleiterspeichervorrichtung fehlerhaft ist oder nicht. Konventionell wurde der Test durch Lesen der einzelnen Speicherzelle ausgeführt, ob das einzelne Bit fehlerhaft ist oder nicht. Jedoch erwies sich das konventionelle Testverfahren als nicht gut, weil es einen langen Zeitraum für jede einzelne Speicherzelle beansprucht und weil ein solches Testverfahren zu viel kostet. Seit kurzem ist das Testen vielfacher Speicherzellen während eines Zugriffszyklus das übliche Verfahren geworden, und es wurde als ein Multibit-Paralleltest bekannt. Es ist wichtig, die Testzeit abzukürzen und die Testkosten beim Test von Speichervorrichtungen hoher Kapazität von über 256 MBit zu verringern. Deshalb wird das Erforschen des Testens von vielen Firmen und Forschungsorganisationen aktiv verfolgt. Darunter stellt Fig. 1 ein Verfahren nach dem Stand der Technik in Bezug zu dieser Erfindung dar, das auf dem VLSI-Symposium der Firma NEC in 1993 vorgetragen wurde.

[0003] Fig. 1 zeigt den Datenausgabepfad einer Halbleiterspeichervorrichtung mit einem Unterwort-Leitungstreiber.

[0004] Wie in Fig. 1 gezeigt, sind vielfache Unterwort-Leitungstreiber SWD mit einer Hauptwortleitung MWL verbunden, die wiederum mit der mit dem Ausgabeport eines Reihendekoders verbunden ist, der in dieser Zeichnung nicht gezeigt wird. Die Unterwort-Leitungen SWL sind mit jedem Ende der Unterwort-Treiber SWD verbunden. Paare von Bitleitungen sind an der Unterwort-Leitung SWL vertikal angeordnet. Ein Bitleitungsleseverstärker SA ist mit jedem Paar von Bitleitungen verbunden. Der Ausgabeport des Bitleitungsleseverstärkers SA ist mit dem Eingabeport eines Spaltendekoders YDEC über eine Datenleitung DL verbunden. Vielfache Ausgabeleseverstärker DA sind mit dem Ausgabeport des Spaltendekoders YDEC verbunden. Die Ausgabeleseverstärker sind jeweils mit Ein-/Ausgabeleitungen IO verbunden. Der Ausgabeport eines Eingabepuffers und der Eingabeport eines Ausgabepuffers sind mit dem endgültigen Port einer jeden Eingabe-/Ausgabeleitung IO verbunden. Der Eingabeport des Eingabepuffers und der Ausgabeport des Ausgabepuffers sind zusammen mit einem Eingabe-/Ausgabestift verbunden.

[0005] Fig. 2 zeigt einen Testschaltkreis nach dem Stand der Technik.

[0006] Wie in Fig. 2 gezeigt, werden die Feldblöcke eines jeden Unterwort-Leitungstreibers durch Ausgabesignale eines Schieberegisters SR ausgewählt. Die Ausgabesignale der Schieberegister SR, die mit einem internen Takt synchronisiert werden, werden sequentiell und regelmäßig ausgegeben. In einem Feldblock, der mit einem Unterwort-Leitungstreiber SWD verbunden ist, gibt es vielfache (in der Zeichnung N) Ausgabeleseverstärker DA. Der Ausgabeleseverstärker DA wird durch ein Steuerungssignal DAE eines Eingabe-/Ausgabesteuerungsschaltkreises DAC betrieben, der auf die Ausgabe des Schieberegisters reagiert.

[0007] Fig. 3 ist ein Zeitablaufdiagramm nach Fig. 2. Ein Testprozeß wird unten mit Bezug auf Fig. 1, Fig. 2 und Fig. 3 nach dem Stand der Technik erläutert.

[0008] Ein Testzyklus wird durch Aktivierung des Reihenadressenstrobesignals $\overline{RAS}$ entschieden. Die Unterwort-Leitung SWL wird bei Testdurchführung sequentiell durch den internen Takt ICLK freigegeben. Das Steuerungssignal DAE des Ausgabeleseverstärkers DA wird mit dem Impuls des internen Taktsignals in dem Zyklus synchronisiert. Solch eine Ausgabe des Ausgabeleseverstärkers DA wird in einem kurzen Zyklus beendet.

[0009] Der oben dargestellte Test nach dem Stand der Technik weist einen hochfrequenten Zähler auf und steuert eine Wortleitungsfreigabe, ein Auslesen einer Bitleitung und ein Auslesen einer Datenleitung, so daß die Daten in einem kurzen Zyklus sequentiell ausgegeben werden.

[0010] Deshalb ist es möglich, die Ausgabezeit zu verkürzen.

Stand der Technik

[0011] Die DE 4206344 beschreibt einen integrierten Halbleiterspeicherbaustein, der eine Testschaltung enthält. Die Testschaltung umfaßt mehrere Transistoren, die logische Operationen ausführen. Die Testschaltung ist durch Transistoren mit Leseverstärkern verbunden, welche über ein Paar Bitleitungen an die Speichermatrix gekoppelt sind.

[0012] Die DE 39 28 410 A1 beschreibt eine Halbleiterspeichereinrichtung und Testverfahren dafür. Bei einer Halbleiterspeichereinrichtung mit einer Testschaltung auf einem Chip (On-Chip Testschaltung)

soll die Zuverlässigkeit des Testes verbessert werden, ohne dass die Testzeit erhöht wird. Um dies zu bewerkstelligen, wird eine Anlage auf dem Chip (On-Chip Anlage) vorgesehen um Testen einer Halbleiterstruktur unter der Benutzung von willkürlichen Testmustern mit mindestens einem Paar von Datenleitungsabschnitten, die mit einer Vielzahl von Speicherzellen verbunden sind, die eine Einrichtung zum Steuern von Lese-/Schreibtätigkeiten der Speicherzellen aufweist. Die Anlage weist weiterhin eine Registereinrichtung, eine Vergleichseinrichtung und eine Übertragungsgattereinrichtung auf. Die Registereinrichtung empfängt und erhält entsprechende Bits eines willkürlichen Testmusters. Ein Eingang der Vergleichseinrichtung ist mit der Registereinrichtung verbunden. Während der Schreibtätigkeit verbindet die Übertragungsgattereinrichtung die entsprechenden Bits von mindestens einem Testmuster mit einem Paar von Verbindungsleitungen, die mit mindestens einem Paar von Datenleitungen zu identifizieren sind und trennt danach das Paar von Verbindungen von der Registereinrichtung und verbindet das Paar von Verbindungen mit einem weiteren Eingang der Vergleichseinrichtung während einer Schreibtätigkeit, wodurch die Vergleichseinrichtung einen Vergleich der in die Speicherzelle geschriebenen und aus ihnen gelesenen Daten vorsieht.

[0013] Die US 5,265,100 bezieht sich auf eine integrierte Schaltung mit einer Anordnung von Speicherzellen, mehreren lokalen Datenbussen und Mitteln, um in einem Testmode auf mehrere der Speicherzellen zuzugreifen. Des Weiteren weist die integrierte Schaltung einen Ausgangsanschluss, einen Ausgangspuffer mit einem Dateneingang und einem Freigabeeingang auf, wobei der Freigabeeingang mit seinem Ausgang an dem Ausgangsanschluss angeschlossen ist. Die integrierte Schaltung weist weiterhin einen Datenbus auf, der an einen der mehreren der lokalen Datenbusse angekoppelt ist, um Datenzustände zu dem Dateneingang des Ausgangspuffers zu übertragen. Ferner weist die integrierte Schaltung eine Komparatorschaltung auf, die Eingänge hat, die an die mehreren der lokalen Datenbusse angeschlossen sind, um die Datenzustände an den lokalen Datenbussen miteinander zu vergleichen, wobei in Reaktion auf die Inhalte der fokalen Datenbusse, die durch die Komparatorschaltung verglichen werden und nicht zueinander passen, der Ausgangspuffer gesperrt wird. Der Datenbus und die Komparatorschaltung werden an die mehreren der lokalen Datenbusse parallel angeschlossen, wobei die Komparatorschaltung einen Ausgang hat, der an den Freigabeeingang des Ausgangspuffers angeschlossen ist, um den Ausgangspuffer zu sperren.

[0014] Die US 5,075,892 bezieht sich auf eine Parallell-Leseschaltung zum Testen von Speichern mit hoher Speicherdichte, um eine größere Anzahl von Datenbits als die Anzahl von installierten Datenbussen gleichzeitig parallel zu testen. Hierfür wird ein gesonderter Leseverstärker an jeder Ausgabedatenleitung von jedem Zellenarray angeordnet und somit werden die mehreren Datenbits, die durch Zugriff auf jeden Zellenarray erhalten werden, mittels des jeweiligen Leseverstärkers verstärkt, um sie einem Vorstufenkomparator zu übermitteln, mit dem jeder Zellenarray ausgerüstet ist. Die Zellenarrays werden alle mit den gleichen Bitwerten entsprechend der Testeingabevorlage versorgt und der Komparator, dem die Ausgabedaten der Zellenarrayblöcke zugeführt werden, vergleicht die mehreren Bits, um über die Übereinstimmung zwischen den mehreren Ausgabedatenbits zu entscheiden. Bei diesem Vorgehen bildet der Komparator als Ergebnis des Vergleichs neue Daten, um diese dem jeweiligen Datenbus zu übermitteln. Ein Rückstufenkomparator, der zwischen den Enden von dem jeweiligen Datenbus und der Eingabestation des Ausgabepuffers angeordnet ist, vergleicht gemeinsam die ersten Vergleichsdaten, die über jeden entsprechenden Datenbus von dem jeweiligen Vorstufenkomparator von den Zellenarrays übermittelt werden.

[0015] Die US 4,456,995 bezieht sich auf eine Anordnung zur schnellen Fehlerartbestimmung in Großspeichern. Bekannte Daten werden in einen Speicher eingelesen und dann werden die in dem Speicher gespeicherten Daten durch eine vorbestimmte Sequenz ausgelesen. Die ausgelesenen Daten werden mit den bekannten geschriebenen Daten verglichen und die Anzahl der Nichtübereinstimmungen werden gezählt. Ausgehend von der Anzahl der gezählten Nichtübereinstimmungen und der bekannten Sequenz, durch die die gespeicherten Daten ausgelesen werden, wird ein Fehlertyp bestimmt. Ein Statusbyte wird verwendet, um eine Rekonfiguration des Speichers zu bestimmen, wobei die fehlerhaften Speicherbits derart über die zugegriffenen Datenwörter verstreut werden, so dass verfügbare Fehlerkorrekturfähigkeiten in der Lage sind, die verbleibenden fehlerhaften Bits in jedem Datenwort zu korrigieren.

[0016] Jedoch gibt es nach dem Stand der Technik die folgenden Probleme. Ein Problem ist die Zunahme der Chipgröße in einem Produkt, das Multibits für einen Zugriffszyklus ein- und ausgibt. Es wird durch die Zunahme der Layoutfläche des Ausgabeleseverstärker verursacht, die sich aus der Existenz von vielfachen (in der Zeichnung N) Ausgabeleseverstärkern in jedem Feldblock ergibt.

[0017] Auch ist es wegen der Zunahme von hinzugefügten Schaltkreisen schwierig, einen Schaltkreis zu entwerfen, um den Unterwort-Leitungstreiber, das Bitleitungsauslesen und das Datenleitungsauslesen mit kurzem Zyklus über die Ausgabe des Schieberegisters zu betreiben.

[0018] Der Ausgabeleseverstärker muß selektiv

durch das Schieberegister freigegeben und gesperrt werden, so daß es mit der niedrigen Frequenz einer Periode von mindestens 7 Nanosekunden betrieben wird. Deshalb ist es schwierig, die Halbleiterspeichervorrichtung mit Hochgeschwindigkeit zu betreiben.

[0019] Daneben wird so viel elektrische Energie verbraucht. Es ist üblich, 16-Bit-Daten in einem normalen Betriebsmode mit einem Zugriffszyklus zu erfassen. Im Fall des Tests von vielfachen Speicherzellen, wie 256 Bits, werden 256 Eingabe-/Ausgabeleitungen benötigt, und 256 Ausgabeleseverstärker müssen zur selben Zeit betrieben werden, so daß der von den Ausgabeleseverstärkern abgegebene Strom so stark verbraucht wird.

Aufgabenstellung

[0020] Es ist die Aufgabe der Erfindung, eine vereinfachte Testschaltung für eine Halbleiterspeichervorrichtung bereitzustellen, welche mit hoher Geschwindigkeit und verringertem Stromverbrauch arbeitet.

[0021] Diese Aufgabe ist durch den Gegenstand der des Patentanspruchs 1 gelöst.

[0022] Bevorzugte Ausführungsformen werden durch die abhängigen Patentansprüche definiert.

[0023] Um die Augabe der vorliegenden Erfindung zu lösen, wird ein Testschaltkreis einer Halbleiterspeichervorrichtung vorgesehen, mit vielfachen Datenleitungen zur Ausgabe von Daten aus einem Speicherzellenfeld, mit einer Schalteinrichtung zum sequentiellen Auswählen der Datenleitungen, mit einem mit der ausgewählten Datenleitung verbundenen Ausgabeleseverstärker und mit einem Komparator zum Vergleichen der Ausgabe des Ausgabeleseverstärkers in Einheiten einer vorbestimmten Anzahl. Der Testschaltkreis enthält eine Datenleitungsauswahleinrichtung zum Empfang eines internen Signals einer vorbestimmten Dauer, um die Datenleitung auszuwählen, wobei die Eingabe des Ausgabeleseverstärkers entsprechend dem sequentiellen Betrieb der Datenleitungsauswahleinrichtung wechselt.

Ausführungsbeispiel

[0024] Fig. 1 ist ein Blockdiagramm eines Datenausgabepfads einer Halbleiterspeichervorrichtung mit einem Unterwort-Leitungstreiber.

[0025] Fig. 2 ist ein Blockdiagramm eines Testprozesses nach dem Stand der Technik.

[0026] Fig. 3 ist ein Zeitablaufdiagramm nach Fig. 2.

[0027] Fig. 4 ist ein Blockdiagramm eines Datenausgabepfads einer Halbleiterspeichervorrichtung für einen Hochgeschwindigkeitstestprozeß nach der vorliegenden Erfindung.

[0028] Fig. 5 ist ein Schaltkreisdiagramm des in Fig. 4 gezeigten Schaltkreises zum Schalten.

[0029] Fig. 6 ist ein Schaltkreisdiagramm des in Fig. 4 gezeigten globalen Leitungssteuerungsschaltkreises.

[0030] Fig. 7 ist ein Schaltkreisdiagramm des in Fig. 4 gezeigten Ausgabeleseverstärkers.

[0031] Fig. 8 ist ein Schaltkreisdiagramm des in Fig. 4 gezeigten Komparators.

[0032] Fig. 9 ist ein Zeitablaufdiagramm nach Fig. 4.

[0033] Unter Bezug auf die beigefügten Zeichnungen wird eine bevorzugte Ausführungsform der Erfindung genau beschrieben.

[0034] Wie in Fig. 4 gezeigt, ist ein Speicherzellenfeld in vielfache Speicherblöcke, bzw. Speicherzellenblöcke, BLKO – BLKN aufgeteilt. Die Speicherblöcke sind gemeinsam mit einem Reihendekoder XDEC verbunden und die Blöcke sind jeweils mit einem einzelnen Spaltendekoder YDEC verbunden. In der Zeichnung befindet sich eine globale Leitung GIO auf der linken Seite eines jeden Speicherblocks. Die globale Leitung GIO ist mit Bit-Leitungen verbunden, die selektiv eine Speicherzelle über eine lokale Leitung LIO darstellen. Die globale Leitung GIO und die lokale Leitung bestehen aus jeweils vier Paaren. Im Fall des normalen Betriebs wird die globale Leitung GIO durch ein Spaltenadressensignal eines vorbestimmten Bits ausgewählt. Im Fall eines Testbetriebs wird das Ende der globalen Leitung selektiv mit den Schalteinrichtungen SW(O) – SW(N) durch die Ausgabe eines Schieberegisters SR verbunden. Jedes der Ausgabeleseverstärker DA ist mit jeder Eingabe-/Ausgabeleitung verbunden. Im Fall des normalen Betriebs sind die mit den Ausgabeports der Ausgabeleseverstärker verbundenen ersten Datenleitungen FDBi (i = 0 – 3) mit den Ausgabepuffern über einen Multiplexer MUX verbunden. Im Fall des Testbetriebs sind die ersten Datenleitungen mit einem Komparator COMP verbunden. Der Komparator COMP vergleicht nicht eine gemeinsame parallele Eingabe sondern vielfach serielle Eingaben. Das Ausgabesignal com des Komparators COMP wird an den Ausgabepuffer über den Multiplexer MUX übertragen.

[0035] Wie in Fig. 5 gezeigt, sind die globalen Leitungen GIO und GIOB selektiv mit den Eingabe-/Ausgabeleitungen IO und IOB durch das Ausgabesignal PGIOS des in Fig. 6 gezeigten, globalen Leitungssteuerungsschaltkreises verbunden.

[0036] Wie in Fig. 6 gezeigt, werden ein Spaltenadressensignal CAi, ein Testfreigabesignal PTE, das Ausgabesignal SRi des Schieberegisters und ein Lesesteuerungssignal PREAD eingegeben, um ein globales Leitungssteuerungssignal PGIOSi auszugeben. Das Lesesteuerungssignal PREAD ist im "hoch"-Zustand nur während der Leseperiode. Im Fall des normalen Betriebs, in dem das Testfreigabesignal PTE im "niedrig"-Zustand übertragen wird, wird das Spaltenadressensignal CAi eingegeben, und dann wird eines der N Speicherblöcke BLKO – BLKN ausgewählt. Im Fall des Testbetriebs wird die allgemeine Ausgabe SRi des Schieberegisters übertragen, und das Steuerungssignal PGIOSi wird sequentiell ausgegeben.

[0037] Wie in Fig. 7 gezeigt, sind die Eingabe-/Ausgabeleitungen IO und IOB mit dem Eingabeport eines allgemeinen Stromleseverstärkers **10** verbunden, und der Ausgabeport des allgemeinen Stromleseverstärkers **10** ist mit dem Eingabeport eines allgemeinen Spannungsleseverstärkers **20** verbunden. Der Ausgabeport eines allgemeinen Spannungsleseverstärkers **20** ist mit den ersten Datenleitungen FDB und FDBB verbunden. Eine solche Konstruktion des Stromleseverstärkers und des Spannungsleseverstärkers sind in der Technik verbreitet bekannt.

[0038] Wie in Fig. 8 gezeigt, ist ein Vergleichssteuerungssignal PPREP ein Impulssignal mit einer vorbestimmten Dauer, das mit der führenden Flanke des Taktsignals synchronisiert ist. Ein Komparator arbeitet nur in dem Fall, daß das Testfreigabesignal PTE im "hoch"-Zustand ist, um so einen Knoten N1 und einen Knoten N3 auf den "hoch"-Zustand vorzuladen. Zum Beispiel wird im Fall N = 15 das Signal SRi 16 mal erzeugt (i = 0 – 15), und die auf die globale Leitung GIO aufgeladenen Daten werden am Ausgabeleseverstärker DA ausgelesen. Für den Fall, daß die Datenzustände während der 16 Male gleich sind, liegt der Ausgang com des Komparators COMP auf "hoch"-Zustand. Im umgekehrten Fall, daß mindestens eines der Daten während der 16 Schritte des Testbetriebs in unterschiedlichem Zustand in den Komparator eingegeben wird, wird ein "niedrig"-Zustand ausgegeben. Deshalb ist es zu erkennen möglich, ob die Vorrichtung fehlerhaft ist oder nicht.

[0039] Verschiedene Konstruktionstypen des Multiplexers MUX, des Schieberegisters SR und des Taktgenerators CLKG werden in der Technik angewandt, und jeder Konstruktionstyp kann in dieser Ausführungsform benutzt werden.

[0040] Fig. 9 ist ein Zeitablaufdiagramm nach Fig. 4–Fig. 8. Die vorliegende Erfindung benötigt einen mit Hochfrequenz betriebenen Taktgenerator, dessen Ausgang der interne Takt ICLK in Fig. 4 ist. Der Taktgenerator CLKG teilt einen externen Takt CLK und gibt einen hochfrequenten internen Takt aus. In einem Testmode wird das Ausgabesignal SRi des Schieberegisters, das mit dem internen Takt ICLK synchronisiert ist, sequentiell freigegeben und gesperrt, und die Ausgabesignale werden eingegeben, um das globale Leitungssteuerungssignal PGIOSi sequentiell auszugeben. Nach der ansteigenden Flanke des externen Taktes wird der Komparator COMP für eine vorbestimmte Zeit T1 durch das Vergleichssteuerungssignal PPREP vorgeladen. Für den Fall, daß die von dem Ausgabeleseverstärker DA gelesenen Daten auf die ersten Datenleitungen FDB und FDBB geladen sind, wechselt dann der (in Fig. 8 gezeigte) Knoten N3 oder N4 vom "hoch"-Zustand in den "niedrig"-Zustand, und das Ausgabesignal des globalen Leitungssteuerungsschaltkreises PGIOSi wird sequentiell ausgegeben. Falls dazu die Daten auf der globalen Leitung sämtlich gleich sind, liegt dazu der Ausgang des Komparators auf "hoch"-Zustand. Falls auch nur eines der Daten unterschiedlich ist, nimmt der Komparator den "niedrig"-Zustand an.

[0041] Der nach der vorliegenden Erfindung ausgeführte Testschaltkreis hat folgende Vorteile.

[0042] Es ist möglich, die Anzahl der Ausgabeleseverstärker DA und Eingabe-/Ausgabeleitungen merklich zu verringern, so daß der Testschaltkreis günstig für die Hochintegration ist. Es ist auch einfach, den Schaltkreis zu entwerfen, weil die Ausgabe des Schieberegisters nur als Eingabe der Schalteinrichtung benutzt wird. Das Schieberegister beansprucht nicht viel Platz in einem Chip, so daß der durch das Layout verursachte Verlust nicht groß ist. Es ist möglich, die maximale Betriebsfrequenz bis auf 250 MHz durch Dauerbetrieb des Ausgabeleseverstärkers DA und Wechseln seiner Eingaben anzuheben. Hier ist die für einen Zyklus benutzte Zeit gerade mal 4 Nanosekunden, so daß es für den Testschaltkreis möglich ist, an eine hohe Frequenz angepaßt betrieben zu werden. Im Vergleich mit einem allgemeinen parallelen Testverfahren ist es möglich, den Verbrauch an elektrischer Energie merklich zu verringern, weil die Anzahl der betriebenen Ausgabeleseverstärker auf 1/8 oder 1/16 abnimmt. Es ist auch leicht, das interne Schaltkreisdiagramm des Komparators zu entwerfen.

Patentansprüche

1. Testschaltkreis einer Halbleiterspeichereinrichtung enthaltend eine Vielzahl von Speicherzellenblöcken (BLKO...BLKN) mit jeweils einer Vielzahl von globalen Leitungen (GIO), die eine Vielzahl von Datenleitungen zur Ausgabe von Daten enthalten; wobei der Testschaltkreis enthält:
eine Vielzahl von Ausgabeleseverstärkern (DA∅...DA3) zur Verstärkung der Daten, die aus den Speicherzellenblöcken (BLKO...BLKN) gelesen werden;
eine Vielzahl von Komparatoren (COMP), die mit ei-

nem Ausgangsanschluß dieser Ausgabeleseverstärker (DA∅...DA3) verbunden sind;
dadurch gekennzeichnet, daß
die mit jedem dieser Speicherzellenblöcke (BLKO...BLKN) verbundenen globalen Leitungen (GIO) mit der jeweiligen Schaltvorrichtung (SW∅...SWN) verbunden sind, um jeweils eine Vielzahl von Eingabe-/Ausgabe-Leitungen (IOi, $\overline{IOi}$) im Ansprechen auf ein globales Leitungskontrollsignal (PGISOi) mit den globalen Leitungen (GIO) zu verbinden;
die Vielzahl der Ausgabeleseverstärker (DA∅...DA3), die der Vielzahl von Eingabe-/Ausgabeleitungen (IOi, $\overline{IOi}$) entsprechen, mit jeweils einer dieser Eingabe-/Ausgabeleitungen verbunden ist;
das globale Leitungskontrollsignal (PGISOi) von einer globalen Leitungssteuerungsschaltung derart generiert wird, daß es die Schaltvorrichtungen (SW∅...SWN) nacheinander auswählt und aktiviert; und
die Vielzahl von Komparatoren (COMP) nacheinander mehrere serielle Ausgangssignale (FDB, FDBB) der jeweiligen Ausgabeleseverstärker miteinander vergleichen.

2. Testschaltkreis nach Anspruch 1, dadurch gekennzeichnet, daß die globale Leitungssteuerungsschaltung ein Schieberegister (SR) zur Generierung eines sequentiellen internen Signals in Abhängigkeit eines internen Taktsignals (ICLK) umfaßt.

3. Testschaltkreis nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die Vielzahl von Komparatoren (COMP) nacheinander die mehreren seriellen Ausgangssignale (FDB, FDBB) eines der Ausgabeleseverstärker (DA∅...DA3) während einer Zeit vergleicht, während der die Schaltvorrichtungen (SW∅...SWN) von dem globalen Leitungssteuerungssignal (PGISOi) einmal aktiviert wurden, nämlich zur Ausgabe eines Signals mit einem ersten Logikzustand, wenn die Pegel der seriellen Ausgangssignale (FDB, FDBB) des jeweiligen Ausgabeleseverstärkers (DA∅...DA3) sich während dieser Zeit nicht geändert haben, und mit einem zweiten Logikzustand im umgekehrten Fall.

4. Testschaltkreis nach Anspruch 3, dadurch gekennzeichnet, daß die ersten und zweiten Logikzustände „hoch" bzw. „niedrig" sind.

Es folgen 7 Blatt Zeichnungen

Anhängende Zeichnungen

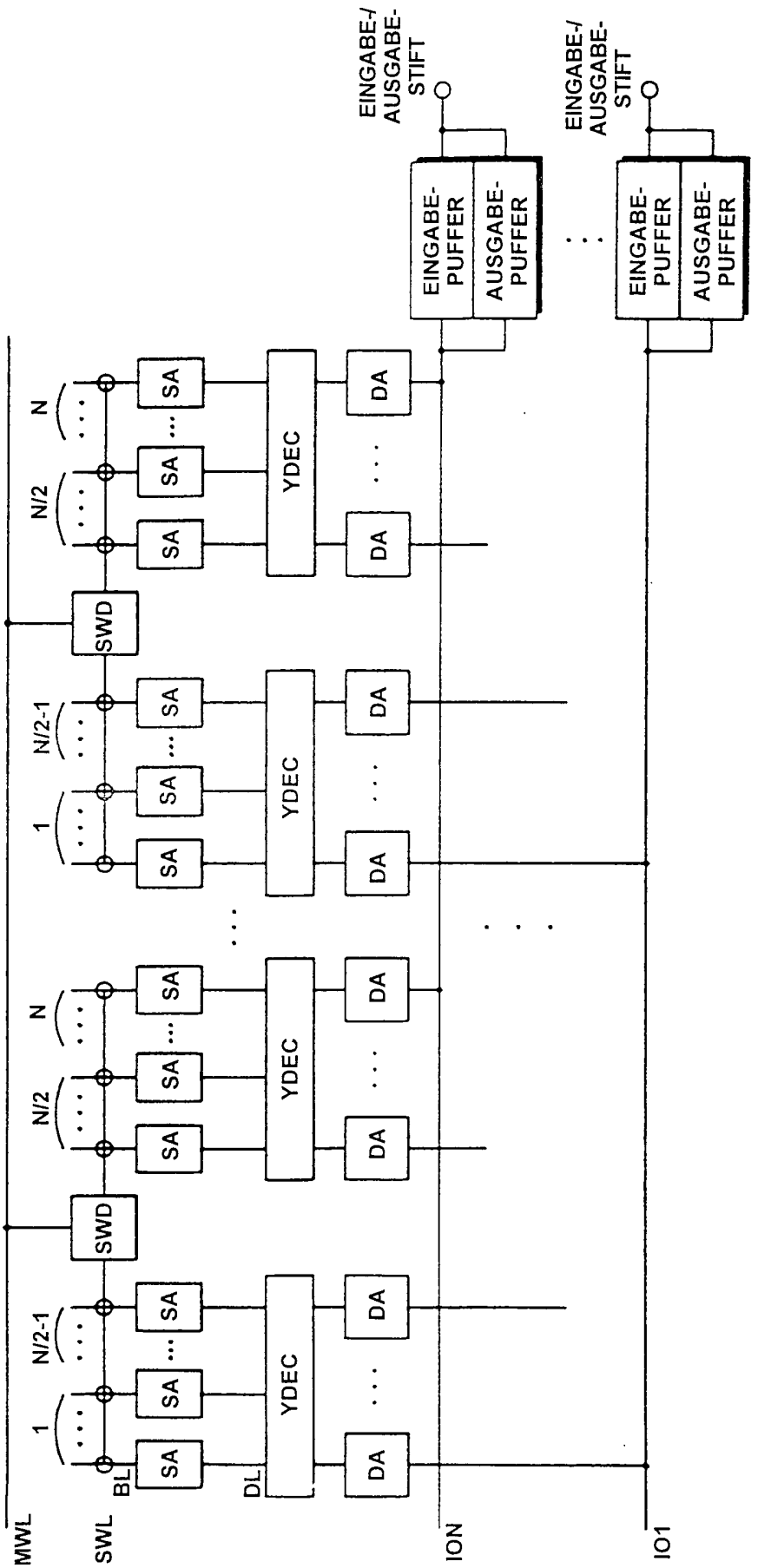


Fig. 1
STAND DER TECHNIK

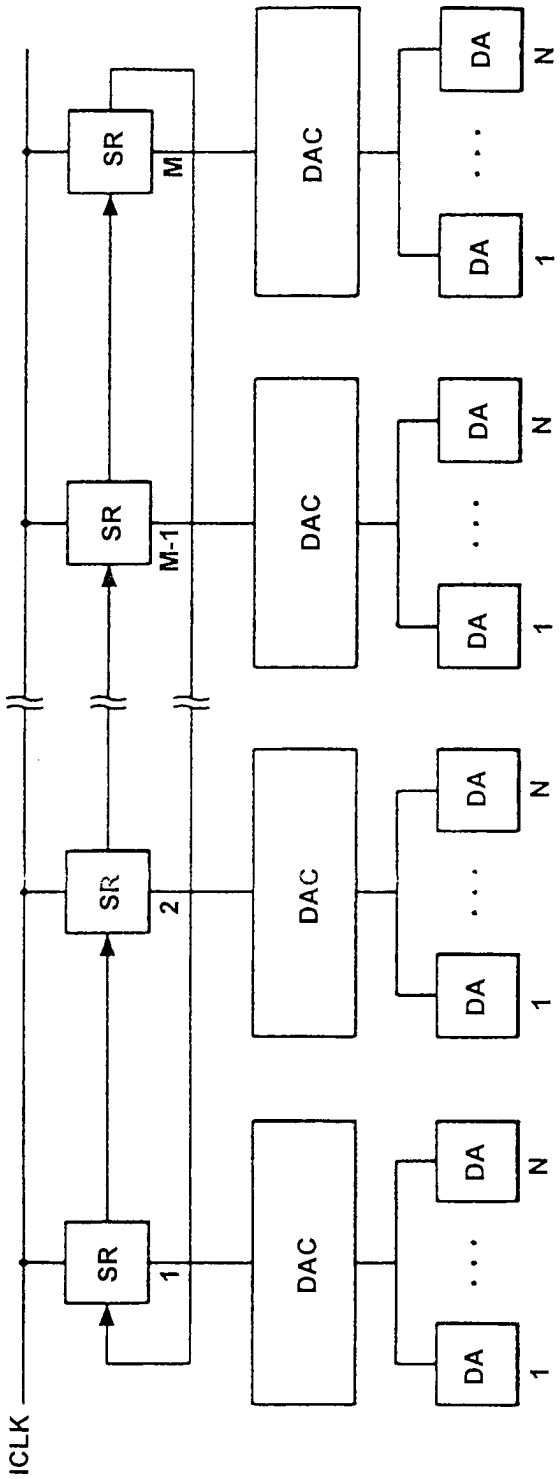


Fig. 2
STAND DER TECHNIK

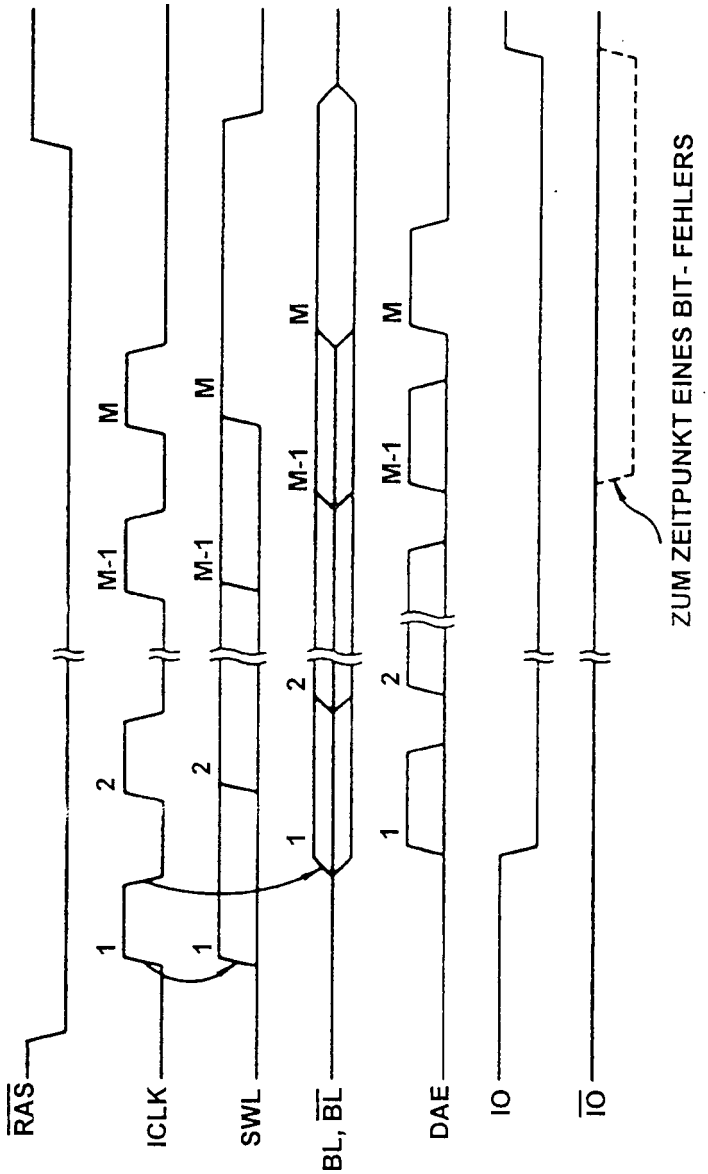


Fig. 3
STAND DER TECHNIK

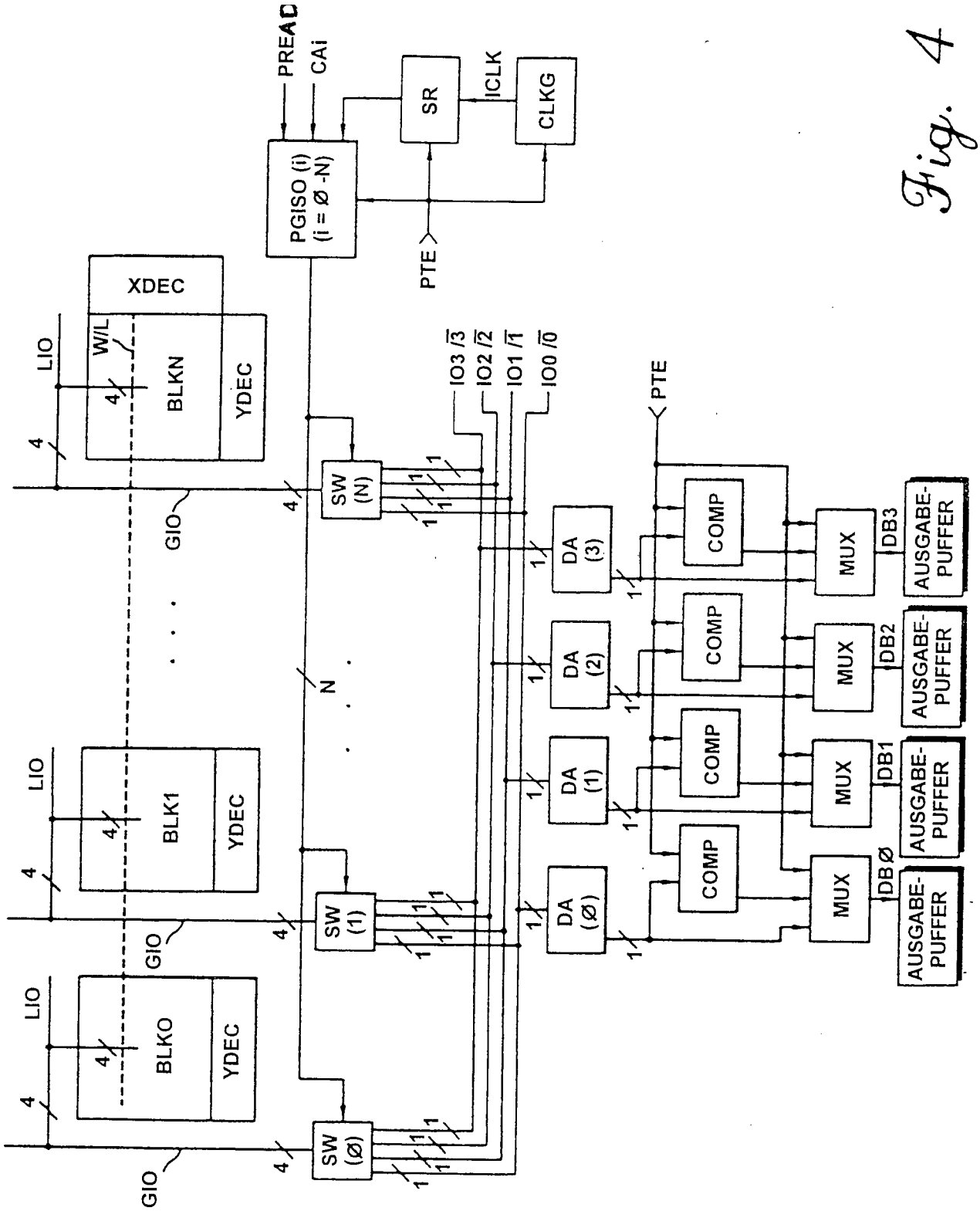

PREAD
CAi
SR
ICLK
CLKG
PGISO (i)
(i = Ø -N)
PTE
XDEC
W/L
BLKN
YDEC
LIO
GIO
SW (N)
SW (1)
SW (Ø)
IO3 /3
IO2 /2
IO1 /1
IO0 /0
DA (3)
DA (2)
DA (1)
DA (Ø)
COMP
MUX
DB3
DB2
DB1
DBØ
AUSGABE-PUFFER
BLK1
BLKO
N

Fig. 4

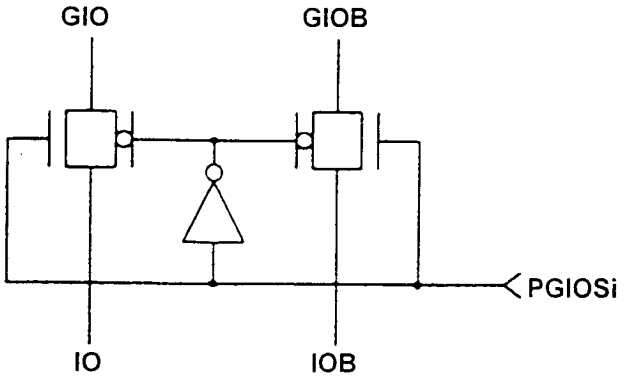


Fig. 5

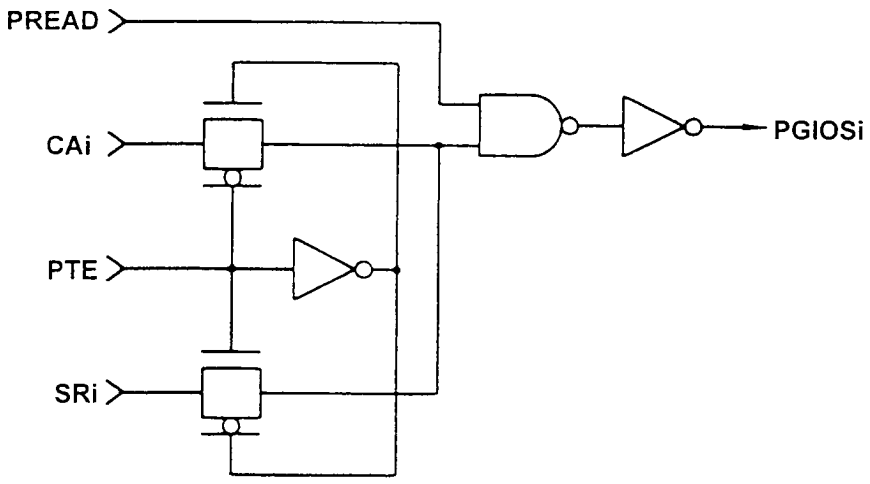


Fig. 6

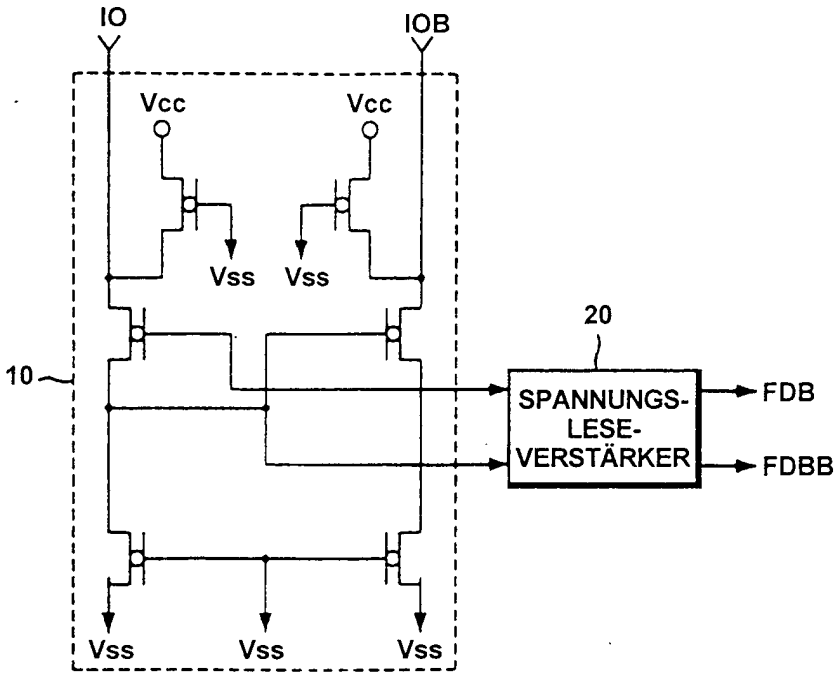


Fig. 7

STAND DER TECHNIK

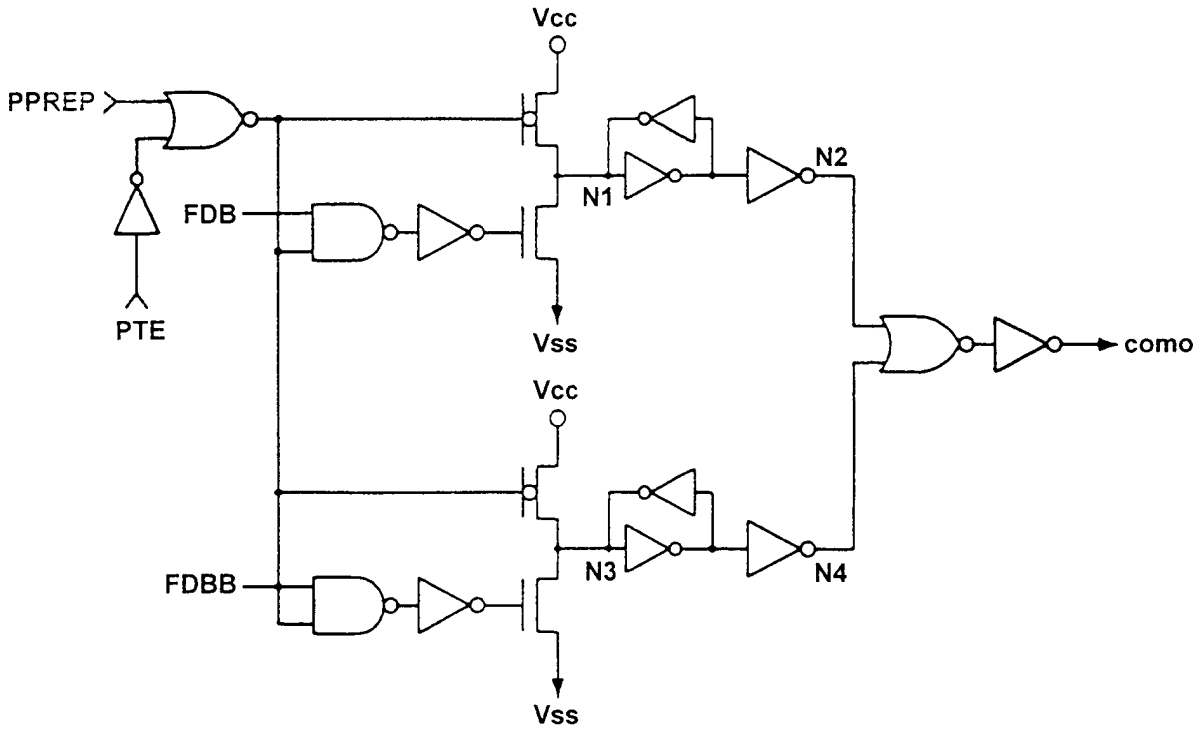


Fig. 8

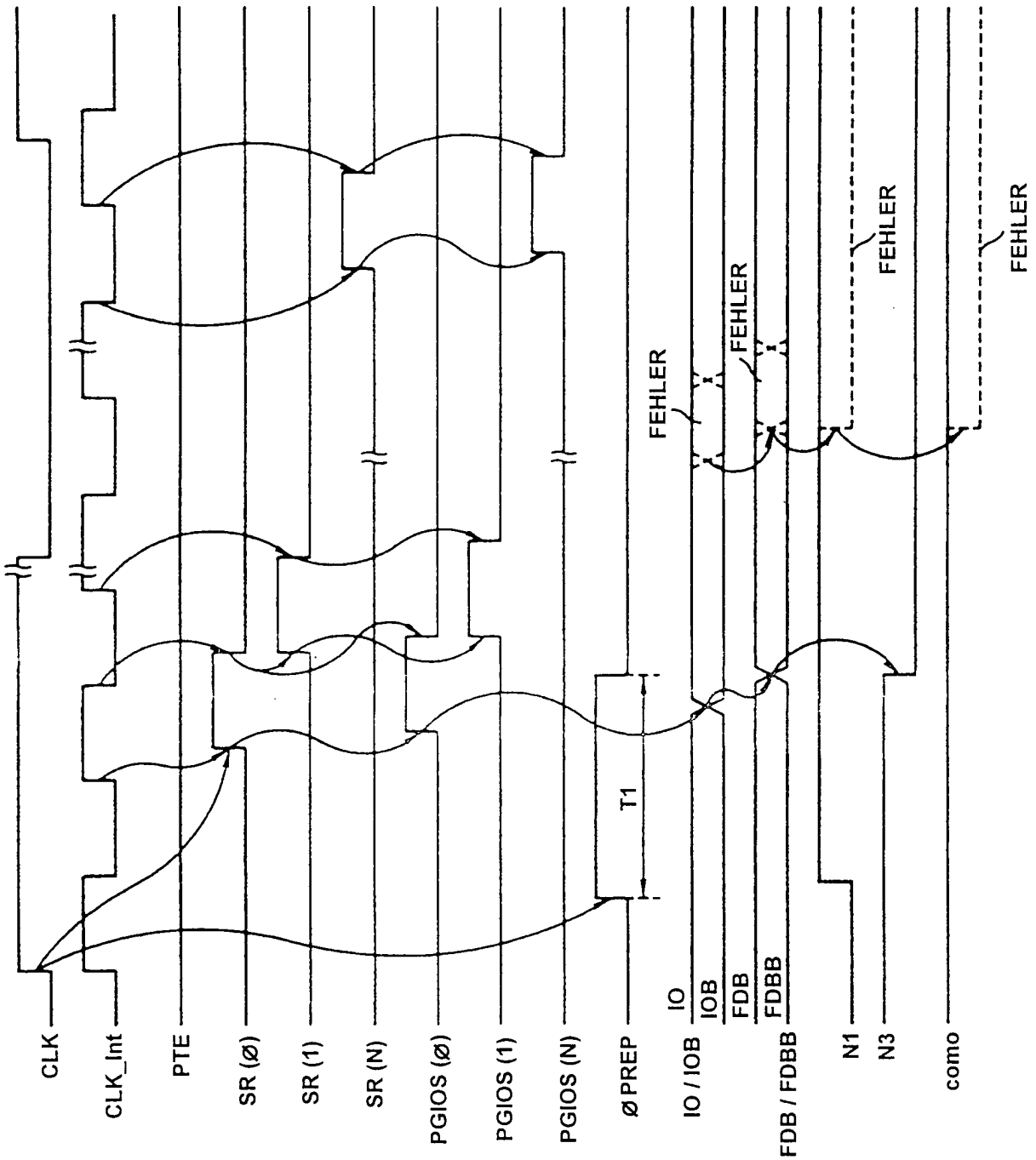

CLK
CLK_Int
PTE
SR (ø)
SR (1)
SR (N)
PGIOS (ø)
PGIOS (1)
PGIOS (N)
ø PREP
T1
IO / IOB
IO
IOB
FDB
FDBB
FDB / FDBB
N1
N3
como
FEHLER
FEHLER
FEHLER
FEHLER

Fig. 9