

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013年12月27日(27.12.2013)



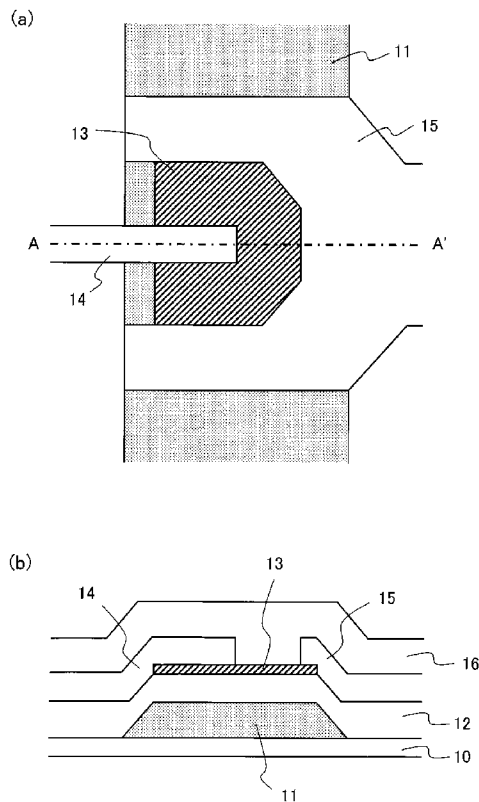
(10) 国際公開番号
WO 2013/190882 A1

- (51) 国際特許分類:
H01L 29/786 (2006.01) H01L 27/10 (2006.01)
- (21) 国際出願番号: PCT/JP2013/060583
- (22) 国際出願日: 2013年4月8日(08.04.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-137868 2012年6月19日(19.06.2012) JP
- (71) 出願人: シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町2番2号 Osaka (JP).
- (72) 発明者: 加藤 純男 (KATO, Sumio), 上田 直樹 (UEDA, Naoki).
- (74) 代理人: 政木 良文 (MASAKI, Yoshifumi); 〒5410042 大阪府大阪市中央区今橋4丁目3番6号 淀屋橋NAビル7F Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: METAL OXIDE TRANSISTOR

(54) 発明の名称: 金属酸化物トランジスタ



(57) Abstract: Provided is a transistor element wherein the state thereof is changed into that of a resistive element with a small power consumption without migration and melting of the resistive element due to a large current, and physical shape changes, such as breakage of an insulating film due to high electric field application, and the state change can be used as a memory element. This metal oxide transistor is provided with: a semiconductor thin film (13) formed of a metal oxide semiconductor; a source electrode (14) and a drain electrode (15), which are in contact with the semiconductor thin film (13); and a gate electrode (11), which faces the semiconductor thin film (13) with a gate insulating film (12) therebetween. In the initial state, the metal oxide transistor exhibits first characteristics wherein the metal oxide transistor operates as a transistor element having a drain current changed depending on the gate voltage and the drain voltage, and when a drain current at a predetermined current density or more is made to flow for a predetermined time, the characteristics transit to second characteristics wherein the drain current less depends on the gate voltage compared with the first characteristics, the drain current changes depending mainly on the drain voltage, and ohmic resistive characteristics are exhibited irrespective of the gate voltage.

(57) 要約:

[続葉有]

WO 2013/190882 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

大電流による抵抗素子のマイグレーションや溶融、高電界印加による絶縁膜の破壊等の物理的な形状変化を伴わずに、低消費電力で抵抗素子に状態変化し、当該状態変化をメモリ素子として利用できるトランジスタ素子を提供する。金属酸化物半導体からなる半導体薄膜 13、半導体薄膜 13 と接触するソース電極 14 とドレイン電極 15、及び、半導体薄膜 13 とゲート絶縁膜 12 を介して対向するゲート電極 11 を備え、初期状態においてドレイン電流がゲート電圧とドレイン電圧の夫々に依存して変化するトランジスタ素子として振舞う第 1 特性を呈し、所定の電流密度以上のドレイン電流を所定時間流すことにより、ドレイン電流のゲート電圧に対する依存性が第 1 特性より小さく、ドレイン電流が主としてドレイン電圧に依存して変化する、ゲート電圧に関係なくオーミックな抵抗特性を示す第 2 特性に移る金属酸化物トランジスタを提供する。

明 細 書

発明の名称： 金属酸化物トランジスタ

技術分野

[0001] 本発明は、金属酸化物半導体で構成されるチャネル領域を有する金属酸化物トランジスタに関し、特に、不揮発性記憶素子として利用可能な金属酸化物トランジスタに関する。

背景技術

[0002] 現在、ROM（読み出し専用メモリ）として利用可能なメモリ素子として、下記の特許文献1に示すeFUSE型の素子や、特許文献2に示す絶縁膜破壊型の素子が知られている。

[0003] 特許文献1に記載のメモリ素子は、通常のロジックLSIプロセスで採用される配線構造と同一の、ポリシリコン／シリサイド／シリコン窒化膜の積層構造に、カソードとアノードの2端子を備えた抵抗素子として構成される。この抵抗素子に大電流を流すことにより加熱し、電子流の方向に金属配線材料原子をマイグレーション若しくは溶融させることにより破断させ、2端子間の抵抗値を変化させる。他に、大電流を流す代わりに外部からレーザー光等を入射させ、配線を破断させることで抵抗値を変化させる例も存在する。

[0004] 特許文献2に記載のメモリ素子（アンチヒューズ）は、MOSトランジスタ構造からなり、ゲート絶縁膜に高電界を印加し、絶縁破壊させることにより書き込みを行うものである。

[0005] 他の例として、特許文献3に記載の素子は、絶縁膜上に離隔されたドレイン電極とソース電極、当該ドレイン電極とソース電極間の絶縁膜上に形成された物性変換層、物性変換層上に積層された高誘電膜、及び、高誘電膜上に形成されたゲート電極を備えたトランジスタ素子である。ゲート電極への印加電圧が0Vではドレイン電極とソース電極間の電圧が第1閾値電圧を超え

ると、物性変換層が低抵抗化して導通状態となる。一方、ゲート電極に0Vより大きな所定の電圧を印加した状態では、物性変換層の下層にチャンネルが形成されるため、ドレイン電極とソース電極間の電圧が第1閾値電圧よりも小さな第2閾値電圧を超えると、導通状態となる。従って、ドレイン電極とソース電極間の電圧を第1閾値電圧と第2閾値電圧の間の電圧に設定しておくことで、ゲート電圧の印加状態により導通と非導通を切り替えるスイッチング素子としての利用が可能である。

[0006] 更に、特許文献4に記載の可変抵抗素子は、第1及び第2電極と、当該第1及び第2電極の双方と電氣的に接続する可変抵抗体と、誘電層（ゲート絶縁膜に相当）を介して可変抵抗体と対向する制御電極を備えた3端子型の可変抵抗素子である。制御電極に電圧を印加した状態で第1及び第2電極間に読み出し電圧を印加すると、第1及び第2電極間の抵抗特性が一時的に低抵抗化されることにより、小さな読み出し電圧で大きな読み出し電流を得ることができ、読み出しマージンを大きくとることができる。

先行技術文献

特許文献

- [0007] 特許文献1：米国特許第7960809号明細書
特許文献2：米国特許第6775171号明細書
特許文献3：特開2006-245589号公報
特許文献4：特開2010-153591号公報

発明の概要

発明が解決しようとする課題

[0008] 特許文献1に記載のeFUSE型のメモリ素子は、大電流を流すことにより素子を溶断させる構造であるため、書き込み後の溶断した素子の抵抗値のバラツキが大きい。また、高温に加熱してヒューズ材料を溶融・破断させるため、溶融した材料の周囲へ飛散する虞や、素子の加熱により隣接材料を変質させる虞がある。このため、メモリ素子の周辺に高密度の回路を配置でき

ず、当該メモリ素子を用いて半導体集積回路を構成する場合に高集積化が阻害され、チップサイズの増大する要因となる。

[0009] 特許文献2に記載のメモリ素子は、絶縁膜の破壊により書き込みを行うものであるため、ゲート電極に高電圧の印加が必要となる。これに伴い、書き込み用の周辺回路が高耐圧化のために大型になり、当該メモリ素子を用いて半導体集積回路を構成する場合に高集積化が阻害され、チップサイズの増大する要因となる。

[0010] 特許文献3に記載のトランジスタ素子は、ゲート電圧の印加状態によりドレイン電極とソース電極間の電流電圧特性が変化するため、ゲート電圧の印加状態によりドレイン電極とソース電極間の導通と非導通を切り替えるスイッチング素子としての利用するためには、トランジスタ素子の導通・非導通状態に拘わらずドレイン電極とソース電極間の電圧を第1閾値電圧と第2閾値電圧の間の電圧に維持しておく必要が生じる。また、当該トランジスタ素子は、スイッチング素子として利用できても、不揮発性メモリ素子の使用には適していない。

[0011] 特許文献4に記載の可変抵抗素子は、基本的には低抵抗状態と高抵抗状態間で抵抗状態が変化する抵抗素子であるため、トランジスタ素子として機能しないため、スイッチング素子として活用することはできない。

[0012] 上記の問題点を鑑み、本発明は、大電流による抵抗素子のマイグレーションや溶融、高電界印加による絶縁膜の破壊等の物理的な形状変化を伴わずに、低消費電力で抵抗素子に状態変化し、当該状態変化をメモリ素子として利用できるトランジスタ素子を提供することを目的とする。

課題を解決するための手段

[0013] 上記目的を達成するため、本発明は、金属酸化物半導体からなる半導体薄膜と、前記半導体薄膜の一部領域と接触するソース電極と、前記半導体薄膜とゲート絶縁膜を介して対向するゲート電極と、を備えてなる金属酸化物トランジスタであって、

初期状態において、前記ドレイン電極から前記ソース電極に流れるドレイ

ン電流が、前記ゲート電極と前記ソース電極間に印加されるゲート電圧と前記ドレイン電極と前記ソース電極間に印加されるドレイン電圧の夫々に依存して変化するトランジスタ素子として振舞う第1特性を呈し、

前記半導体薄膜に前記第1特性からの特性変化を誘起する所定の電流密度以上の前記ドレイン電流を所定時間流すことにより、前記ドレイン電流の前記ゲート電圧に対する依存性が前記第1特性より小さく、前記ドレイン電流が主として前記ドレイン電圧に依存して変化し、前記ゲート電圧に関係なくオーミックな抵抗特性を示す第2特性に遷移し、

前記第1特性下において、単位チャネル幅当たりの前記ドレイン電流である単位ドレイン電流の絶対値が、前記ドレイン電圧の絶対値が少なくとも0.1V以上10V以下の範囲内において、 $1 \times 10^{-14} \text{ A} / \mu\text{m}$ 以下の微小電流状態となる前記ゲート電圧の電圧範囲である特定電圧範囲が存在し、

前記第2特性下において、前記単位ドレイン電流の絶対値が、前記ゲート電圧に関係なく、前記ゲート電圧が前記特定電圧範囲内である場合においても、前記ドレイン電圧が少なくとも0.1V以上10V以下の範囲内において、前記ドレイン電圧に応じた $1 \times 10^{-11} \text{ A} / \mu\text{m}$ 以上の電流状態となることを特徴とする金属酸化物トランジスタを提供する。

[0014] 尚、前記第2特性のオーミックな抵抗特性とは、前記ドレイン電圧の微小変化を前記単位ドレイン電流の微小変化で除した単位チャネル幅当たりの微分抵抗が、0でない所定の有限値を有すること、換言すれば、前記ドレイン電圧と前記単位ドレイン電流間の電流電圧特性線が、原点（ドレイン電圧=0V、単位ドレイン電流=0A/ μm ）を通過することを意味する。

[0015] 更に、上記特徴の金属酸化物トランジスタにおいて、前記半導体薄膜、前記ソース電極、前記ドレイン電極、前記ゲート電極、及び、前記ゲート絶縁膜が、絶縁基板上に形成された薄膜トランジスタであることが好ましい。

[0016] 更に、上記特徴の金属酸化物トランジスタにおいて、前記金属酸化物半導体が、InまたはGaまたはZn元素を含んで構成されていることが好ましく、特に、InGaZnO_xを含んで構成されていることが好ましい。

- [0017] 更に、上記特徴の金属酸化物トランジスタにおいて、前記半導体薄膜内の一部領域が他の領域より前記ドレイン電流の電流密度が局所的に大きくなる構造を有していることが好ましい。
- [0018] 更に、上記特徴の金属酸化物トランジスタにおいて、前記ドレイン電極と前記ソース電極に挟まれた領域がU字型形状をしていることが好ましい。
- [0019] 更に、上記特徴の金属酸化物トランジスタにおいて、前記ゲート絶縁膜が、少なくとも第1絶縁膜と前記第1絶縁膜より高誘電率の第2絶縁膜を備える積層構造を有し、前記第1絶縁膜が前記第2絶縁膜より成膜後の膜中水素濃度が低く、前記半導体薄膜と前記第2絶縁膜の間に前記第1絶縁膜を有することが好ましい。
- [0020] 更に、上記特徴の金属酸化物トランジスタにおいて、前記ゲート絶縁膜とは別の絶縁膜を介して前記半導体薄膜と対向する第2ゲート電極を、前記半導体薄膜を挟んで前記ゲート電極と反対側に備えることが好ましい。
- [0021] 更に、上記特徴の金属酸化物トランジスタにおいて、前記第1特性から前記第2特性への特性変化が、前記ドレイン電流により生じたジュール熱により、前記半導体薄膜の前記金属酸化物半導体を構成する元素の構成比率が変化することで生じることを特徴とする。
- [0022] 更に、本発明は、上記特徴の金属酸化物トランジスタを備えていることを特徴とする半導体装置を提供する。
- [0023] 更に、本発明は、上記特徴の金属酸化物トランジスタの駆動方法であって、前記金属酸化物トランジスタが前記第1特性を呈している状態において、前記ドレイン電極と前記ソース電極間に前記所定の電流密度以上の前記ドレイン電流を前記所定時間流し、前記金属酸化物トランジスタの特性を前記第1特性から前記第2特性に遷移させることを特徴とする金属酸化物トランジスタの駆動方法を提供する。

発明の効果

- [0024] 上記特徴の金属酸化物トランジスタは、初期状態での第1特性下では、ドレイン電流が、ゲート電圧とドレイン電圧の夫々に依存して変化するラン

ジスタ素子として使用でき、更に、単位チャネル幅当たりのドレイン電流である単位ドレイン電流の絶対値が、ドレイン電圧の絶対値が少なくとも0.1 V以上10 V以下の範囲内において、 $1 \times 10^{-14} \text{ A} / \mu\text{m}$ 以下の微小電流状態つまり実質的な非導通状態となるゲート電圧の電圧範囲である特定電圧範囲が存在するため、ゲート電圧を当該特定電圧範囲とそれ以外の電圧範囲間で遷移させることで、ドレイン電極とソース電極間の導通・非導通が切り替わるスイッチング素子として使用できる。

[0025] 更に、上記特徴の金属酸化物トランジスタは、半導体薄膜に所定の電流密度以上のドレイン電流を所定時間流すことで、ゲート電圧に対する依存せずにオーミックな抵抗特性を示す第2特性に遷移するため、トランジスタ素子及びスイッチング素子としての機能が消失し、抵抗素子として振舞うため、抵抗素子として使用できる。また、ゲート電圧を上記特定電圧範囲内に設定すると、第1特性下では、実質的な非導通状態で、第2特性下では、導通状態となり抵抗素子として振舞うため、ドレイン電極とソース電極間の導通・非導通により第1特性と第2特性の何れの特性状態にあるかを判別でき、不揮発性のメモリ素子として利用できる。

[0026] 更に、上記特徴の金属酸化物トランジスタを複数形成することで、一部の金属酸化物トランジスタを、トランジスタ素子またはスイッチング素子として固定的に使用し、他の一部の金属酸化物トランジスタを、第1特性と第2特性の何れか一方の特性状態にプログラムすることで、情報を不揮発的に記憶するメモリ素子として使用することができる。つまり、同じ上記特徴の金属酸化物トランジスタを用いて、メモリ素子とその周辺回路を形成することができる。

[0027] 更に、他の一部の金属酸化物トランジスタのメモリ素子を、ロジック回路に組み込んで、プログラム可能なロジック装置を構成することもできる。更に、他の一部の金属酸化物トランジスタをメモリ素子としてではなく、単に抵抗素子として使用することもできる。更に、トランジスタ素子、スイッチング素子、メモリ素子、抵抗素子を組み合わせて、種々の機能を備えた複合

装置を構成することも可能である。

[0028] 更に、上記特徴の金属酸化物トランジスタが薄膜トランジスタである場合に、液晶表示装置等が形成される絶縁基板上に、当該表示装置の周辺部に形成することができ、当該表示装置の周辺回路の構成素子として利用することができる。更に、バルク型トランジスタで構成される集積回路上に、薄膜トランジスタの金属酸化物トランジスタからなる回路を積層して形成することができ、高密度且つ高機能な集積回路が提供可能となる。

図面の簡単な説明

- [0029] [図1]本発明の第1実施形態に係る金属酸化物トランジスタの素子構造の一例を模式的に示す平面図及び断面図
- [図2]本発明の第1実施形態に係る金属酸化物トランジスタの製造工程途中における素子断面を模式的に示す工程断面図
- [図3]本発明の金属酸化物トランジスタのチャンネル長及びチャンネル幅を説明する図
- [図4]本発明の第1実施形態に係る金属酸化物トランジスタの素子構造の他の一例を模式的に示す平面図及び断面図
- [図5]本発明の金属酸化物トランジスタの初期状態における $I_{ds} - V_{gs}$ 特性及び $I_{ds} - V_{ds}$ 特性を示す図
- [図6]本発明の金属酸化物トランジスタの書き込み動作後における $I_{ds} - V_{gs}$ 特性及び $I_{ds} - V_{ds}$ 特性を示す図
- [図7]図5及び図6に示す $I_{ds} - V_{ds}$ 特性の原点付近の特性を重ね合わせて示す図
- [図8]図5及び図6に示す $I_{ds} - V_{gs}$ 特性を重ね合わせて示す図
- [図9]第1及び第2特性下の各微分抵抗 (dV_{ds}/dI_{ds}) とドレイン電圧 V_{ds} との関係を示す図
- [図10]本発明の金属酸化物トランジスタの書き込み動作における書き込み時間と単位ドレイン電流の関係の一例を示す図
- [図11]ドレイン電極とソース電極の間隙部分の形状が矩形とU字型の2種類

の素子構造における書き込み時間とゲート電圧 V_{gs} 及びドレイン電圧 V_{ds} の関係の一例を示す図

[図12]本発明の第1実施形態に係る金属酸化物トランジスタの素子構造の他の一例を模式的に示す平面図及び断面図

[図13]本発明の金属酸化物トランジスタを表示装置に応用した場合の概略構成を示すブロック図

[図14]本発明の第2実施形態に係る金属酸化物トランジスタの素子構造の一例を模式的に示す平面図及び断面図

[図15]本発明の第2実施形態に係る金属酸化物トランジスタの製造工程途中における素子断面を模式的に示す工程断面図

[図16]本発明の第3実施形態に係る金属酸化物トランジスタの素子構造の一例を模式的に示す平面図及び断面図

[図17]本発明の第3実施形態に係る金属酸化物トランジスタの製造工程途中における素子断面を模式的に示す工程断面図

[図18]本発明の別実施形態に係る金属酸化物トランジスタの素子構造の一例を模式的に示す平面図及び断面図

発明を実施するための形態

[0030] 以下において、本発明の金属酸化物トランジスタ（以下、適宜「本トランジスタ」と称す）の実施形態につき図面を参照して説明する。

[0031] [第1実施形態]

図1に、第1実施形態における本トランジスタ1の素子構造の一例を示す。図1(a)に、本トランジスタ1の平面構造を、図1(b)に、本トランジスタ1の断面構造を夫々模式的に示す。各図では、本トランジスタ1の要部を強調して表示しているため、各部の寸法比は、必ずしも実際の寸法比と一致しているとは限らない。尚、図1(b)に示す断面は、図1(a)に示すA-A'線に沿った断面である。

[0032] 本トランジスタ1は、例えばガラス基板のような絶縁体基板10上に、ゲート電極11、ゲート電極11を覆う第1絶縁膜（ゲート絶縁膜）12、金

属酸化物半導体からなる半導体薄膜 13、ソース電極 14、及び、ドレイン電極 15 が形成され、更にこれらの上に第 2 絶縁膜 16 が形成されている。尚、本トランジスタ 1 は、絶縁体基板上に作製されるボトムゲート構造の薄膜トランジスタ (TFET) と同様のトランジスタ構造を有している。

[0033] 次に、本トランジスタ 1 の製造方法、及び、各構成要素の詳細について、図 2 の工程断面図を参照して説明する。尚、図 2 に示す各工程途中の素子断面は、図 1 (a) に示す A-A' 線に沿った断面である。

[0034] 図 2 (a) に示すように、絶縁体基板 10 上の全面に第 1 の導電膜を、例えばスパッタリング法で成膜し、周知のドライエッチング法でパターニングしてゲート電極 11 を形成する。第 1 の導電膜は、単層膜または 2 層以上の積層膜で構成され、アルミニウム (Al)、クロム (Cr)、銅 (Cu)、タンタル (Ta)、チタン (Ti)、モリブデン (Mo)、或いは、タングステン (W) から選ばれた元素、または、これらの内の 2 以上の元素を成分とする合金等からなる導電体で形成される。例えば、Ti/Al/Ti の 3 層膜、Mo/Al/Mo の 3 層膜等が使用できる。本実施形態では、一例として、下層側から膜厚 10~100 nm の Ti、膜厚 50~500 nm の Al、膜厚 50~300 nm の Ti の 3 層膜を使用する。

[0035] 引き続き、図 2 (b) に示すように、露出した絶縁体基板 10 及びゲート電極 11 上の全面にゲート絶縁膜 12 を、例えばプラズマ CVD 法またはスパッタリング法で成膜する。ゲート絶縁膜 12 は、例えば、酸化シリコン膜 (SiO₂)、窒化シリコン膜 (SiN)、酸化窒化シリコン膜 (SiNO)、窒化酸化シリコン膜 (SiON)、酸化アルミニウム (Al₂O₃)、酸化タンタル (Ta₂O₅) から選択される単層または 2 層以上の積層膜で構成される。本実施形態では、一例として、下層側から膜厚 100~500 nm の SiN、膜厚 20~100 nm の SiO₂ の 2 層膜を使用する。

[0036] 引き続き、図 2 (c) に示すように、ゲート絶縁膜 12 上の全面に膜厚 20~200 nm の金属酸化物半導体層を、例えばスパッタリング法で成膜し、周知のウェットエッチング法でパターニングして半導体薄膜 13 を形成す

る。半導体薄膜13は、ゲート電極11の一部領域の上に、ゲート絶縁膜12を介して形成される。本実施形態では、半導体薄膜13に使用する金属酸化物半導体として、InまたはGaまたはZn元素を含んで構成される酸化物半導体、より好ましくは、アモルファス酸化物半導体の一種であるIGZO(InGaZnO_x)を使用する。IGZOは、インジウム(In)、ガリウム(Ga)、亜鉛(Zn)及び酸素(O)を主成分とするn型の金属酸化物半導体であり、低温で製膜可能という特徴を有する。尚、IGZOは、IZGO或いはGIZOと呼ばれることもある。半導体薄膜13に使用するIGZOの各金属元素の組成比は、ほぼIn:Ga:Zn=1:1:1であるが、この組成比を基準として組成比が調整されても、後述する本発明の効果を奏する。半導体薄膜13に使用する金属酸化物半導体として、IGZOの他、後述する第1特性から第2特性への特性変化が生じる限りにおいて、NiO、SnO₂、TiO₂、VO₂、In₂O₃、SrTiO₃等の酸化物半導体や、これらに種々の不純物を添加した酸化物半導体を使用しても構わない。

[0037] 引き続き、図2(d)に示すように、露出したゲート絶縁膜12及び半導体薄膜13上の全面に第2の導電膜を、例えばスパッタリング法で成膜し、周知のドライエッチング法でパターニングしてソース電極14とドレイン電極15を夫々形成する。ソース電極14とドレイン電極15は互いに分離し、半導体薄膜13の一部領域と夫々接触する。本実施形態では、一例として、図1(a)に示されるように、ソース電極14とドレイン電極15間の領域が、平面視でU字型形状をしている。第2の導電膜は、単層膜または2層以上の積層膜で構成され、アルミニウム(Al)、クロム(Cr)、銅(Cu)、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、或いは、タングステン(W)から選ばれた元素、または、これらの内の2以上の元素を成分とする合金等からなる導電体で形成される。例えば、Ti/Al/Tiの3層膜、Mo/Al/Moの3層膜等が使用できる。本実施形態では、一例として、下層側から膜厚10~100nmのTi、膜厚50~400nmの

A1、膜厚50～300nmのTiの3層膜を使用する。

[0038] 引き続き、図2(e)に示すように、露出したゲート絶縁膜12と半導体薄膜13及びソース電極14とドレイン電極15上の全面に第2絶縁膜16を、例えばプラズマCVD法またはスパッタリング法で成膜する。引き続き、大気雰囲気中で200～400℃、30分～4時間程度のアニーリングを行う。第2絶縁膜16は、例えば、酸化シリコン膜(SiO₂)、窒化シリコン膜(SiN)、酸化窒化シリコン膜(SiNO)、窒化酸化シリコン膜(SiON)、酸化アルミニウム(Al₂O₃)、酸化タンタル(Ta₂O₅)から選択される単層または2層以上の積層膜で構成される。本実施形態では、一例として、膜厚50～500nmのSiO₂の単層膜を使用する。

[0039] 以上の工程を経て本トランジスタ1が作製される。尚、必要に応じて、図2(f)に示すように、第2絶縁膜16の表面を平坦化するための平坦化膜として、感光性樹脂等の第3絶縁膜17を成膜し、露光、現像、ベーキングを行う。更に、形成した第3絶縁膜17と第2絶縁膜16に対してエッチングを行い、ゲート電極11、ソース電極14及びドレイン電極15等を、第3絶縁膜上に形成される金属配線層(例えば、ITO等)と接続するためのコンタクト孔(図示せず)を形成する。尚、第2絶縁膜16を成膜せずに、第3絶縁膜17だけを成膜しても構わない。

[0040] 本実施形態では、本トランジスタ1のチャンネル長Lとチャンネル幅Wは、ソース電極14とドレイン電極15間に挟まれた半導体薄膜13上の間隙部分の長さで規定され、チャンネル長Lはソース電極14とドレイン電極15の半導体薄膜13上での離間距離に相当する。チャンネル幅Wは、ソース電極14とドレイン電極15の半導体薄膜13上での離間距離の2等分点を結ぶ線分の長さとなる。図1に示す例では、本トランジスタ1は、ソース電極14とドレイン電極15間に挟まれた半導体薄膜13上の間隙部分が、平面視でU字型形状をしているため、トランジスタのチャンネル幅Wは、図3に示すように、ソース電極14とドレイン電極15と夫々等距離となる中間点を結ぶU字状の線(破線で図示)に沿った長さとなる。

- [0041] 尚、図1に示す例では、本トランジスタ1は、ソース電極14とドレイン電極15間に挟まれた半導体薄膜13上の間隙部分は、平面視でU字型形状をしている必要はなく、図4に示すように矩形形状であっても良い。
- [0042] 次に、本トランジスタ1の電気的特性について説明する。本トランジスタ1は、半導体薄膜13の金属酸化膜半導体として上述のIGZOを使用した場合、nチャネル型トランジスタとなる。製造直後の初期状態では、通常の薄膜トランジスタと同様に、ドレイン電流 I_{ds} （ドレイン電極からソース電極に流れる電流）が、ゲート電圧 V_{gs} （ソース電極を基準としてゲート電極に印加される電圧）とドレイン電圧 V_{ds} （ソース電極を基準としてドレイン電極に印加される電圧）の夫々に依存して変化する。
- [0043] 図5(a)に、初期状態における、 $V_{ds}=0.1V$ と $V_{ds}=10V$ の場合の $I_{ds}-V_{gs}$ 特性を示す。また、図5(b)に、初期状態における、 $V_{gs}=0\sim 7V$ （1Vステップ）の場合の $I_{ds}-V_{ds}$ 特性を示す。尚、図5に示す特性の測定に使用した本トランジスタ1のゲート長 L は $4\mu m$ 、ゲート幅 W は $20\mu m$ であり、上述の間隙部分の形状は矩形またはU字型である。また、各特性のドレイン電流 I_{ds} は、単位ゲート幅（ $1\mu m$ ）の単位ドレイン電流の値を示している。
- [0044] 図5(a), (b)より明らかなように、初期状態の本トランジスタ1は、通常の薄膜トランジスタと同様の特性（第1特性に相当）を呈し、ゲート電圧 V_{gs} が約 $0.5V$ 以下の電圧範囲（特定電圧範囲に相当）において、ドレイン電圧が少なくとも $0.1V$ 以上 $10V$ 以下の範囲内において、単位ドレイン電流は $1\times 10^{-14}A/\mu m$ 以下の極めて微小な電流状態となっており、実質的にオフ状態である。ゲート電圧 V_{gs} が特定電圧範囲を超える電圧状態では、ドレイン電流 I_{ds} はゲート電圧 V_{gs} の増加とともに増加し、ドレイン電圧 V_{ds} の増加とともに増加する。
- [0045] 本トランジスタ1は、トランジスタ特性（第1特性）を示す初期状態において、ゲート電圧 V_{gs} に通常のトランジスタ素子として用いる回路動作における電圧印加範囲より高電圧を印加して、大きなドレイン電流を流すこと

により、当該ドレイン電流の流れる半導体薄膜13に対して局所的にジュール熱を発生させることで、電気的特性が、初期状態のトランジスタ特性からオーミックな抵抗特性（第2特性に相当）に変化する点に特徴がある。以下の説明では、当該トランジスタ特性からオーミックな抵抗特性へ電気的特性を変化させる動作を、便宜的に書き込み動作と称する。

[0046] 図6(a)に、書き込み動作後における、 $V_{ds} = 0.1V$ と $V_{ds} = 10V$ の場合の $I_{ds} - V_{gs}$ 特性を示す。また、図6(b)に、書き込み動作後における、 $V_{gs} = 0 \sim 7V$ （1Vステップ）の場合の $I_{ds} - V_{ds}$ 特性を示す。尚、図6に示す特性の測定に使用した本トランジスタ1は、図5に示す特性の測定に使用した本トランジスタ1と同じサンプルである。また、書き込み動作では、 $V_{ds} = 24V$ 、 $V_{gs} = 30V$ 、書き込み時間（ドレイン電流 I_{ds} の通電時間）を100m秒とした。また、各特性のドレイン電流 I_{ds} は、単位ゲート幅（ $1\mu m$ ）の単位ドレイン電流の値を示している。

[0047] また、第1特性と第2特性を対比するために、図7に、図5(b)及び図6(b)の $V_{gs} = 0V$ の場合の原点付近の $I_{ds} - V_{ds}$ 特性を拡大して示す。図8に、図5(a)の第1特性下の $I_{ds} - V_{gs}$ 特性と、図6(a)の第2特性下の $I_{ds} - V_{gs}$ 特性を重ね合わせて示す。図9に、図5(b)の第1特性下の $I_{ds} - V_{ds}$ 特性から得られる微分抵抗（ dV_{ds}/dI_{ds} 、単位： $\Omega\mu m$ ）と、図6(b)の第2特性下の $I_{ds} - V_{ds}$ 特性から得られる微分抵抗（ dV_{ds}/dI_{ds} 、単位： $\Omega\mu m$ ）のドレイン電圧 V_{ds} との関係を、ゲート電圧 V_{gs} が0Vと7Vの場合について示す。

[0048] 図6(a), (b)より明らかなように、書き込み動作後の本トランジスタ1は、ドレイン電流 I_{ds} は、ゲート電圧 V_{gs} に殆ど依存せず、主としてドレイン電圧 V_{ds} に依存して変化し、ドレイン電圧 V_{ds} が一定であればほぼ一定値である。また、図6(b)及び図7より明らかなように、 $I_{ds} - V_{ds}$ 特性の各ゲート電圧 V_{gs} におけるIV曲線は、ゲート電圧 V_{gs}

sに拘わらず、ほぼ直線状で、しかも原点 ($I_{ds} = 0 \text{ A} / \mu\text{m}$ 、 $V_{ds} = 0 \text{ V}$) を通過するオーミックな抵抗特性を呈している。つまり、原点における微分抵抗 (dV_{ds} / dI_{ds}) が無限大でも0でも無い有限値を有する。

[0049] 図7及び図8より明らかなように、本トランジスタ1は、初期状態の第1特性下では、ドレイン電流 I_{ds} はゲート電圧 V_{gs} に大きく依存して変化し、ゲート電圧 V_{gs} が上記特定電圧範囲内 (約0.5V以下) にある場合、殆ど流れず実質的にオフ状態であったものが、第2特性に遷移すると、ドレイン電流 I_{ds} は、ゲート電圧 V_{gs} に拘わらず、特定電圧範囲内においても、一定電流を流し、ドレイン電圧が少なくとも0.1V以上10V以下の範囲内において、単位ドレイン電流は $1 \times 10^{-11} \text{ A} / \mu\text{m}$ 以上となる。

[0050] また、図9より明らかなように、第1特性下の微分抵抗は、ドレイン電圧 V_{ds} に関係なく、ゲート電圧 V_{gs} により変化するが、第2特性下の微分抵抗は、ドレイン電圧 V_{ds} に関係なく、ゲート電圧 V_{gs} により変化しない。

[0051] 次に、本トランジスタ1の書き込み動作について更に説明を追加する。本トランジスタ1の書き込み動作は、第1特性下の本トランジスタ1に印加するゲート電圧 V_{gs} 、ドレイン電圧 V_{ds} の電圧範囲より高バイアス状態で、高電流密度のドレイン電流 I_{ds} を、半導体薄膜13に一定の書き込み時間流すことで実行される。半導体薄膜13に高電流密度のドレイン電流 I_{ds} が一定の書き込み時間流れることで、当該ドレイン電流 I_{ds} によって半導体薄膜13にジュール熱とエレクトロマイグレーションが発生し、半導体薄膜13を構成する金属酸化物半導体の組成が変化して、上述の特性変化が誘起されるものと考えられる。尚、本実施形態では、半導体薄膜13の膜厚が一定であるので、単位ドレイン電流 (単位: $\text{A} / \mu\text{m}$) は、ドレイン電流の電流密度 (単位: A / m^2) と比例関係にある。単位ドレイン電流 (単位: $\text{A} / \mu\text{m}$) を大きくすることにより、ドレイン電流の電流密度 (単位: A / m^2) が大きくなる。本実施形態では、書き込み動作時の単位ドレイン電流

と書き込み時間として、 $1 \mu\text{A} / \mu\text{m} \sim 1 \text{mA} / \mu\text{m}$ 程度、及び、 $10 \mu\text{s} \sim 100 \text{s}$ 程度を想定している。尚、書き込み動作時の単位ドレイン電流と書き込み時間は、半導体薄膜13に使用する金属酸化物半導体、及び、本トランジスタ1の素子構造に依存して変化するので、上述の数値範囲に限定されるものではない。

[0052] 図10に、書き込み時間（単位：m秒）と単位ドレイン電流（単位：A/ μm ）の関係の一例を示す。図10より、単位ドレイン電流が大きい程、書き込み時間が短いことが分かる。

[0053] また、上述のように本トランジスタ1の素子構造の違いによっても書き込み特性は変化し、例えば、ジュール熱が発生し易い素子構造、或いは、発生したジュール熱が拡散し難い素子構造では、書き込み特性が向上する。

[0054] 図11に、ドレイン電極とソース電極の間隙部分の形状が矩形とU字型の2種類の素子構造における、書き込み時間（単位：m秒）とゲート電圧 V_{gs} 及びドレイン電圧 V_{ds} （但し、 $V_{gs} = V_{ds}$ ）の関係の一例を示す。図11に示すように、間隙部分の形状がU字型の場合、ドレイン電極とソース電極の一方が他方により囲まれる構造となり、囲まれた側の電極側で電流密度が高くなって大きなジュール熱が発生し、結果として、書き込み動作が促進される。従って、間隙部分の形状は、局所的に電流密度が高くなる構造であれば、U字型に限定されるものではない。図11に示す結果より素子構造の異なる2種類の本トランジスタ1を直列に接続して、夫々第1特性下にある場合に、同じ大きさにドレイン電流を流しても、夫々の半導体薄膜13内での電流密度が異なることで、電流密度が高い方の本トランジスタ1で書き込み動作が完了して第2特性に遷移しても、電流密度の低い方の本トランジスタ1では書き込み動作が完了せずに第1特性が維持されているため、一方の書き込み動作が完了した時点で、ドレイン電流を遮断することで、一方の本トランジスタ1だけを第2特性に遷移させることが可能となる。

[0055] 書き込み動作のために高電圧のゲート電圧 V_{gs} を印加してドレイン電流 I_{ds} を大きくすると、ゲート絶縁膜12の絶縁破壊を招く虞がある。この

ため、本実施形態では、ゲート電圧 V_{gs} をゲート絶縁膜 12 の絶縁破壊電圧より低く維持してドレイン電流 I_{ds} を大きくするために、ゲート絶縁膜 12 に比誘電率の高い材料を使用して電気容量を大きくしている。上述の例では、窒化シリコン膜 (SiN) と酸化窒化シリコン膜 ($SiNO$) の比誘電率が、酸化シリコン膜 (SiO_2) の比誘電率より高い。しかし、酸化シリコン膜 (SiO_2) や窒化酸化シリコン膜 ($SiON$) は、CVD法で成膜後の膜中に水素が含まれ、当該水素が半導体薄膜 13 の金属酸化物半導体の酸素と反応して半導体薄膜 13 が半導体から導電体に近づくので、半導体薄膜 13 と比誘電率の高い窒化シリコン膜 (SiN) や酸化窒化シリコン膜 ($SiNO$) が直接接触しないように、半導体薄膜 13 と比誘電率の高い窒化シリコン膜 (SiN) や酸化窒化シリコン膜 ($SiNO$) の間に、膜中の水素濃度の低い酸化シリコン膜 (SiO_2) または窒化酸化シリコン膜 ($SiON$) を挿入するのが好ましい。

[0056] 更に、同じゲート電圧 V_{gs} で書き込み動作時のドレイン電流 I_{ds} を大きくする対策として、図 12 に示すように、第 2 絶縁膜 16 と第 3 絶縁膜 17 を介して半導体薄膜 13 を覆い、少なくとも一部がゲート電極 11 の上方に位置するように導電体からなる第 2 ゲート電極 18 を設け、第 2 ゲート電極 18 とゲート電極 11 を、コンタクト孔 19 を介して接続するのも好ましい。これにより、第 2 ゲート電極 18 とゲート電極 11 が同電位となり、バックゲート効果によりドレイン電流 I_{ds} が大きくなり、第 1 特性から第 2 特性への遷移が起り易くなる。尚、図 12 (a) に示す平面図では、第 2 ゲート電極 18 を透視した平面図を示している。

[0057] 本トランジスタ 1 は、上述の書き込み動作によって、電気的特性が第 1 特性から第 2 特性へと劇的に変化し、特に、ゲート電圧 V_{gs} が特定電圧範囲内 (約 0.5 V 以下) である場合におけるドレイン電流 I_{ds} に大きな差が生じるため、当該電流差を利用して、本トランジスタ 1 を不揮発性メモリ素子として利用することが可能である。つまり、書き込み動作前の第 1 特性に、2 値情報の“0”と“1”の一方を割り当て、書き込み動作後の第 2 特性

に、2値情報の“0”と“1”の他方を割り当て、ゲート電圧 V_{gs} に特定電圧範囲内の所定の電圧（例えば、0V）を印加して、ドレイン電流 I_{ds} の大小を検知することで、本トランジスタ1が第1特性と第2特性の何れの特性状態かを判別することが可能となる。

[0058] 更に、本トランジスタ1は、書き込み動作前（初期状態）の第1特性下では、ゲート電圧 V_{gs} が特定電圧範囲内では、ドレイン電流 I_{ds} が殆ど流れずオフ状態であるので、スイッチング素子として利用することができる。また、本トランジスタ1は、書き込み動作前（初期状態）の第1特性下では、ゲート電圧 V_{gs} が特定電圧範囲より高いと、ドレイン電流 I_{ds} がゲート電圧 V_{gs} 及びドレイン電圧 V_{ds} に夫々依存して変化するため、増幅素子として利用することができる。更に、本トランジスタ1は、書き込み動作後の第2特性下では、オーミックな抵抗特性を示すため、抵抗素子として利用することができる。

[0059] 尚、容量素子は、図2に示す本トランジスタ1の製造過程において、図2(c)に示す製造工程で、一部のゲート電極11上において、金属酸化物半導体層をエッチング除去して、半導体薄膜13を形成せず、図2(d)に示す製造工程で、当該一部のゲート電極11上において、第2の導電膜をエッチング除去せずに残置することで、当該一部のゲート電極11と当該残置された第2の導電膜間にゲート絶縁膜12を挟んだ容量素子が形成される。

[0060] 従って、本トランジスタ1は、メモリ素子以外にも、スイッチング素子、増幅素子、抵抗素子として利用でき、更に、容量素子も同じ製造工程で形成されるため、本トランジスタ1を使用した様々な半導体装置を構成することができる。例えば、本トランジスタ1をメモリ素子として利用するメモリ回路を備えた半導体記憶装置が構成でき、本トランジスタ1をスイッチング素子として利用するデジタル論理回路を備えた半導体装置が構成でき、本トランジスタ1を増幅素子または抵抗素子として利用するアナログ回路を備えた半導体装置が構成でき、更に、これらの回路を組み合わせた半導体装置が構成できる。尚、本トランジスタ1を素子構造の異なる別のトランジスタ素

子を組み合わせて半導体装置を構成しても良い。

[0061] 本トランジスタ 1 は、薄膜トランジスタとして形成されるため、絶縁体基板上に形成される液晶表示装置等の表示装置に応用する場合、表示装置と同じ絶縁体基板上に、上述の各種の半導体装置を形成することができる。

[0062] 図 13 に、本トランジスタ 1 を表示装置 20 に応用した場合の概略のブロック構成を示す。表示装置 20 は、マトリクス状に配列された複数の画素からなる表示部 21 と、各画素のソース線を駆動するソースドライバ 22 と、ソースドライバ 22 のタイミングやソース線電圧を制御する第 1 制御回路 23 と、ソースドライバ 22 の冗長救済情報やソース線の駆動に必要な構成パラメータを記憶する第 1 記憶装置 24 と、各画素のゲート線を駆動するゲートドライバ 25 と、ゲートドライバ 25 のタイミングやゲート線電圧を制御する第 2 制御回路 26 と、ゲートドライバ 25 の冗長救済情報やゲート線の駆動に必要な構成パラメータを記憶する第 2 記憶装置 27 を備えて構成される。表示装置 20 が接触式のインターフェースを介して外部から表示データや制御信号を受け付ける場合には、第 1 及び第 2 制御回路 23, 26 は、当該接触式インターフェースを構成する接続端子（図示せず）に接続し、表示装置 20 が非接触式のインターフェースを介して外部から表示データや制御信号を受け付ける場合には、第 1 及び第 2 制御回路 23, 26 は、当該非接触式インターフェースを構成する無線回路（図示せず）に接続する。本トランジスタ 1 がメモリ素子として利用される場合、第 1 及び第 2 記憶装置 24, 27 に組み込まれ、表示装置 20 の構成情報、ID 情報、各ドライバの冗長救済情報やソース線またはゲート線の駆動に必要な構成パラメータ等を記憶するのに利用される。

[0063] 更に、本トランジスタ 1 がメモリ素子として利用される場合、本トランジスタ 1 が比較的低温で製造可能であるため、IC タグ等の ID に記憶することができる。更に、本トランジスタ 1 が透明材料で製造可能であるため、デジタルサイネージ向けの大容量記憶装置に利用することもできる。更に、記憶装置以外にも、本トランジスタ 1 を論理回路のプログラム素子として利用

することで、ASIC (Application Specific Integrated Circuit) やFPGA (Field-Programmable Gate Array) 等のプログラム可能な論理回路装置が実現できる。

[0064] [第2実施形態]

図14に、第2実施形態における本トランジスタ2の素子構造の一例を示す。図14(a)に、本トランジスタ2の平面構造を、図14(b)に、本トランジスタ2の断面構造を夫々模式的に示す。各図では、本トランジスタ2の要部を強調して表示しているため、各部の寸法比は、必ずしも実際の寸法比と一致しているとは限らない。尚、図14(b)に示す断面は、図14(a)に示すA-A'線に沿った断面である。図14(a)の平面図では、ソース電極14とドレイン電極15間に挟まれた半導体薄膜13上の間隙部分が、平面視で矩形状の場合を例示しているが、第1実施形態の図1(a)の平面図に示すようなU字型形状であっても良い。また、図14(a)の平面図では、ソース電極14とドレイン電極15の下方に位置するエッチングストッパ層31の開口部32を点線で示し、エッチングストッパ層31の下方に位置する半導体薄膜13の側壁を破線で示している。

[0065] 図1と図14を対比して分かるように、第2実施形態の本トランジスタ2は、第1実施形態の本トランジスタ1と、基本的な素子構造は同じである。特徴的な違い(第1の相違点)は、第2実施形態の本トランジスタ2では、半導体薄膜13の一部領域の上にエッチングストッパ層31が形成され、エッチングストッパ層31の開口部32を介してソース電極14とドレイン電極15に接触している点である。第2の相違点としては、半導体薄膜13がゲート電極11よりゲート長L方向にはみ出して形成されている点である。尚、エッチングストッパ層31は、ゲート絶縁膜12から数えて2番目の絶縁膜であるが、第1実施形態と呼称を統一するため、第2絶縁膜とは呼ばず、第1実施形態の第2絶縁膜16と同じ絶縁膜(第2実施形態では、3番目の絶縁膜)を第2絶縁膜16とする。

- [0066] 次に、本トランジスタ2の製造方法について、図15の工程断面図を参照して説明する。尚、図15に示す各工程途中の素子断面は、図14(a)に示すA-A'線に沿った断面である。また、第1実施形態と重複する説明は割愛する。
- [0067] 図15(a)に示すように、絶縁体基板10上の全面に第1の導電膜を成膜し、周知のドライエッチング法でパターニングしてゲート電極11を形成し、引き続き、露出した絶縁体基板10及びゲート電極11上の全面にゲート絶縁膜12を成膜し、引き続き、ゲート絶縁膜12上の全面に金属酸化物半導体層を成膜し、周知のウェットエッチング法でパターニングして半導体薄膜13を形成する。第1の導電膜、ゲート絶縁膜12及び半導体薄膜13の成膜方法、材料、構造、膜厚等は、第1実施形態と同様である。
- [0068] 引き続き、図15(b)に示すように、露出したゲート絶縁膜12及び半導体薄膜13上の全面にエッチングストッパ層31を、例えばプラズマCVD法またはスパッタリング法で成膜し、周知のドライエッチング法でパターニングする。引き続き、大気雰囲気中で200~450℃、30分~4時間程度のアニーリングを行う。エッチングストッパ層31は、例えば、酸化シリコン膜(SiO₂)、窒化シリコン膜(SiN)、酸化窒化シリコン膜(SiNO)、窒化酸化シリコン膜(SiON)、酸化アルミニウム(Al₂O₃)、酸化タンタル(Ta₂O₅)から選択される単層または2層以上の積層膜で構成される。本実施形態では、一例として、膜厚10~500nmのSiO₂の2層膜を使用する。
- [0069] 尚、エッチングストッパ層31は、露出したゲート絶縁膜12の表面を覆うとともに、後工程で第2の導電膜をエッチングしてソース電極14とドレイン電極15を形成する際の第2の導電膜が除去される箇所の下地層として半導体薄膜13上に形成される。
- [0070] 引き続き、図15(c)に示すように、露出した半導体薄膜13及びエッチングストッパ層31上の全面に第2の導電膜を成膜し、周知のドライエッチング法でパターニングしてソース電極14とドレイン電極15を夫々形成

する。ソース電極 14 とドレイン電極 15 は互いに分離し、エッチングストップパ層 31 の開口部を介して半導体薄膜 13 の一部領域と夫々接触する。本実施形態では、一例として、図 14 (a) に示されるように、ソース電極 14 とドレイン電極 15 が夫々半導体薄膜 13 と接触している領域間の間隙部分が、平面視で矩形状をしている。第 2 の導電膜の成膜方法、材料、構造、膜厚等は、第 1 実施形態と同様である。

[0071] 引き続き、図 15 (d) に示すように、露出したエッチングストップパ層 31 と半導体薄膜 13 及びソース電極 14 とドレイン電極 15 上の全面に第 2 絶縁膜 16 を成膜する。引き続き、大気雰囲気中で 200~400℃、30 分~4 時間程度のアニーリングを行う。第 2 絶縁膜 16 の成膜方法、材料、構造、膜厚等は、第 1 実施形態と同様である。

[0072] 以上の工程を経て本トランジスタ 2 が作製される。尚、必要に応じて、第 1 実施形態と同様に、第 2 絶縁膜 16 の表面を平坦化するための平坦化膜として、感光性樹脂等の第 3 絶縁膜 (図示せず) を成膜し、露光、現像、ベーキングを行う。更に、形成した第 3 絶縁膜と第 2 絶縁膜 16 に対してエッチングを行い、ゲート電極 11、ソース電極 14 及びドレイン電極 15 等を、第 3 絶縁膜上に形成される金属配線層 (例えば、ITO 等) と接続するためのコンタクト孔 (図示せず) を形成する。尚、第 2 絶縁膜 16 を成膜せずに、第 3 絶縁膜だけを成膜しても構わない。

[0073] 第 2 実施形態の本トランジスタ 2 は、エッチングストップパ層 31 が設けられているため、半導体薄膜 13 に対する第 2 の導電膜のエッチング時のダメージが回避されるため、本トランジスタ 2 の電気的特性のバラツキや電気ストレスによる電気的特性の変動量が、第 1 実施形態の本トランジスタに比べて軽減される。更に、第 1 及び第 2 の導電膜間のコンタクトが直接形成できるため、当該コンタクト孔のサイズの縮小化による回路面積の縮小化が図れる。

[0074] 尚、第 2 実施形態においても、図 15 に示す本トランジスタ 2 の製造過程において、図 15 (b) に示す製造工程で、一部のゲート電極 11 上におい

て、エッチングストッパ層 31 をエッチング除去して、エッチングストッパ層 31 を形成せず、図 15 (c) に示す製造工程で、当該一部のゲート電極 11 上において、第 2 の導電膜をエッチング除去せずに残置することで、当該一部のゲート電極 11 と当該残置された第 2 の導電膜間にゲート絶縁膜 12 とエッチングストッパ層 31 を挟んだ容量素子が形成される。

[0075] 第 2 実施形態の本トランジスタ 2 の電気的特性、書き込み動作、及び、応用例については、第 1 実施形態で説明したものと基本的に同じであり、重複する説明は割愛する。

[0076] [第 3 実施形態]

図 16 に、第 3 実施形態における本トランジスタ 3 の素子構造の一例を示す。図 16 (a) に、本トランジスタ 3 の平面構造を、図 16 (b) に、本トランジスタ 3 の断面構造を夫々模式的に示す。各図では、本トランジスタ 3 の要部を強調して表示しているため、各部の寸法比は、必ずしも実際の寸法比と一致しているとは限らない。尚、図 16 (b) に示す断面は、図 16 (a) に示す A-A' 線に沿った断面である。図 16 (a) の平面図では、ソース電極 14 とドレイン電極 15 間に挟まれた半導体薄膜 13 上の間隙部分が、平面視で矩形状の場合を例示しているが、第 1 実施形態の図 1 (a) の平面図に示すような U 字型形状であっても良い。

[0077] 図 1 と図 16 を対比して分かるように、第 3 実施形態の本トランジスタ 3 は、第 1 実施形態の本トランジスタ 1 と、基本的な素子構造は同じである。特徴的な違いは、第 3 実施形態の本トランジスタ 3 では、ソース電極 14 とドレイン電極 15 が、半導体薄膜 13 の下面側と接触している点である。従って、第 1 実施形態とは異なり、半導体薄膜 13 より先に、ソース電極 14 とドレイン電極 15 が形成されている。

[0078] 次に、本トランジスタ 3 の製造方法について、図 17 の工程断面図を参照して説明する。尚、図 17 に示す各工程途中の素子断面は、図 16 (a) に示す A-A' 線に沿った断面である。また、第 1 実施形態と重複する説明は割愛する。

[0079] 図17(a)に示すように、絶縁体基板10上の全面に第1の導電膜を成膜し、周知のドライエッチング法でパターニングしてゲート電極11を形成し、引き続き、露出した絶縁体基板10及びゲート電極11上の全面にゲート絶縁膜12を成膜し、引き続き、ゲート絶縁膜12上の全面に第2の導電膜を成膜し、周知のドライエッチング法でパターニングして互いに分離したソース電極14とドレイン電極15を夫々形成する。本実施形態では、一例として、図16(a)に示されるように、ソース電極14とドレイン電極15間の間隙部分が、平面視で矩形状をしている。第1の導電膜、ゲート絶縁膜12及び第2の導電膜の成膜方法、材料、構造、膜厚等は、第1実施形態と同様である。

[0080] 引き続き、図17(b)に示すように、露出したゲート絶縁膜12及びソース電極14とドレイン電極15上の全面に金属酸化物半導体層を成膜し、周知のウェットエッチング法でパターニングして半導体薄膜13を形成する。半導体薄膜13は、ソース電極14とドレイン電極15と夫々接触する。金属酸化物半導体層の成膜方法、材料、構造、膜厚等は、第1実施形態と同様である。

[0081] 引き続き、図17(c)に示すように、露出した第2の導電膜(ソース電極14とドレイン電極15)と半導体薄膜13上の全面に第2絶縁膜16を成膜する。引き続き、大気雰囲気中で200~400℃、30分~4時間程度のアニーリングを行う。第2絶縁膜16の成膜方法、材料、構造、膜厚等は、第1実施形態と同様である。

[0082] 以上の工程を経て本トランジスタ3が作製される。尚、必要に応じて、第1実施形態と同様に、第2絶縁膜16の表面を平坦化するための平坦化膜として、感光性樹脂等の第3絶縁膜(図示せず)を成膜し、露光、現像、ベーキングを行う。更に、形成した第3絶縁膜と第2絶縁膜16に対してエッチングを行い、ゲート電極11、ソース電極14及びドレイン電極15等を、第3絶縁膜上に形成される金属配線層(例えば、ITO等)と接続するためのコンタクト孔(図示せず)を形成する。尚、第2絶縁膜16を成膜せずに

、第3絶縁膜だけを成膜しても構わない。

[0083] 第3実施形態の本トランジスタ3は、ソース電極14とドレイン電極15が半導体薄膜13より先に形成されているため、第2の導電膜のエッチング時に半導体薄膜13にエッチングダメージが発生しないため、本トランジスタ3の電気的特性のバラツキや電気ストレスによる電気的特性の変動量が、第1実施形態の本トランジスタに比べて軽減される。更に、第2実施形態と比較して、エッチングストッパ層31を形成する必要がないため、製造工程が簡略化され、製造コスト及び歩留まりにおいて有利となる。

[0084] 尚、第3実施形態においても、図17に示す本トランジスタ3の製造過程において、図17(a)に示す製造工程で、一部のゲート電極11上において、第2の導電膜をエッチング除去せずに残置することで、当該一部のゲート電極11と当該残置された第2の導電膜間にゲート絶縁膜12を挟んだ容量素子が形成される。

[0085] 第3実施形態の本トランジスタ3の電気的特性、書き込み動作、及び、応用例については、第1実施形態で説明したものと基本的に同じであり、重複する説明は割愛する。

[0086] [別実施形態]

〈1〉上記各実施形態では、本トランジスタ1~3が、ボトムゲート型の薄膜トランジスタで構成されている場合を例示したが、本トランジスタ1~3はボトムゲート型の薄膜トランジスタに限られるものではない。

[0087] 図18に、トップゲート型の薄膜トランジスタで構成される本トランジスタ4の素子構造の一例を示す。図18(a)に、本トランジスタ4の平面構造を、図18(b)に、本トランジスタ4の断面構造を夫々模式的に示す。各図では、本トランジスタ4の要部を強調して表示しているため、各部の寸法比は、必ずしも実際の寸法比と一致しているとは限らない。尚、図18(b)に示す断面は、図18(a)に示すA-A'線に沿った断面である。

[0088] 本トランジスタ4は、例えばガラス基板のような絶縁体基板10上に、金属酸化物半導体からなる半導体薄膜13、ゲート絶縁膜12、及び、ゲート

電極 11 が記載順に形成され、更にこれらの上に層間絶縁膜 41 が形成され、層間絶縁膜 41 上に形成されたソース電極 14、及び、ドレイン電極 15 が、コンタクト孔 42 を介して、半導体薄膜 13 と接続している。

[0089] 尚、上記各実施形態及び上記別実施形態の本トランジスタ 1～4 は、薄膜トランジスタで構成されている場合を例示したが、絶縁体基板 10 に代えてシリコン基板上に金属酸化物半導体の半導体薄膜 13 を形成し、トランジスタ構造を MOS 型のトランジスタ構造としても、半導体薄膜 13 に高電流密度のドレイン電流を流すことにより、上述の第 1 特性から第 2 特性に遷移する電気的特性を有する金属酸化物トランジスタを実現できる。

[0090] <2> 更に、上記各実施形態では、半導体薄膜 13 の金属酸化膜半導体として n 型の金属酸化物半導体である IGZO を使用した n チャネル型の本トランジスタを例に説明したが、本トランジスタの導電型は n チャネル型に限定されるものではない。

[0091] <3> 更に、上記各実施形態で説明した本トランジスタを構成する各導電膜及び各絶縁膜の材料、構造、膜厚、及び、本トランジスタの電気的特性及び書き込み特性は、一例であり、上記各実施形態で説明した内容に限定されるものではない。

産業上の利用可能性

[0092] 本発明は、金属酸化物半導体で構成されるチャネル領域を有する金属酸化物トランジスタ、及び、当該トランジスタを備えた半導体装置及び電子機器に利用可能である。

符号の説明

[0093] 1～4 : 金属酸化物トランジスタ
10 : 絶縁体基板
11 : ゲート電極
12 : 第 1 絶縁膜 (ゲート絶縁膜)
13 : 半導体薄膜 (金属酸化物半導体)
14 : ソース電極

- 15 : ドレイン電極
- 16 : 第2絶縁膜
- 17 : 第3絶縁膜
- 18 : 第2ゲート電極
- 19 : コンタクト孔
- 20 : 表示装置
- 21 : 表示部
- 22 : ソースドライバ
- 23 : 第1制御回路
- 24 : 第1記憶装置
- 25 : ゲートドライバ
- 26 : 第2制御回路
- 27 : 第2記憶装置
- 31 : エッチングストッパ層
- 32 : エッチングストッパ層の開口部
- 41 : 層間絶縁膜
- 42 : コンタクト孔

請求の範囲

[請求項1]

金属酸化物半導体からなる半導体薄膜と、前記半導体薄膜の一部領域と接触するソース電極と、前記半導体薄膜の他の一部領域と接触するドレイン電極と、前記半導体薄膜とゲート絶縁膜を介して対向するゲート電極と、を備えてなる金属酸化物トランジスタであって、

初期状態において、前記ドレイン電極から前記ソース電極に流れるドレイン電流が、前記ゲート電極と前記ソース電極間に印加されるゲート電圧と前記ドレイン電極と前記ソース電極間に印加されるドレイン電圧の夫々に依存して変化するトランジスタ素子として振舞う第1特性を呈し、

前記半導体薄膜に前記第1特性からの特性変化を誘起する所定の電流密度以上の前記ドレイン電流を所定時間流すことにより、前記ドレイン電流の前記ゲート電圧に対する依存性が前記第1特性より小さく、前記ドレイン電流が主として前記ドレイン電圧に依存して変化する、前記ゲート電圧に関係なくオーミックな抵抗特性を示す第2特性に遷移し、

前記第1特性下において、単位チャネル幅当たりの前記ドレイン電流である単位ドレイン電流の絶対値が、前記ドレイン電圧の絶対値が少なくとも0.1V以上10V以下の範囲内において、 1×10^{-14} A/ μ m以下の微小電流状態となる前記ゲート電圧の電圧範囲である特定電圧範囲が存在し、

前記第2特性下において、前記単位ドレイン電流の絶対値が、前記ゲート電圧に関係なく、前記ゲート電圧が前記特定電圧範囲内である場合においても、前記ドレイン電圧が少なくとも0.1V以上10V以下の範囲内において、前記ドレイン電圧に応じた 1×10^{-11} A/ μ m以上の電流状態となることを特徴とする金属酸化物トランジスタ。

[請求項2]

前記半導体薄膜、前記ソース電極、前記ドレイン電極、前記ゲート

電極、及び、前記ゲート絶縁膜が、絶縁基板上に形成された薄膜トランジスタであることを特徴とする請求項1に記載の金属酸化物トランジスタ。

[請求項3] 前記金属酸化物半導体が、InまたはGaまたはZn元素を含んで構成されていることを特徴とする請求項1または2に記載の金属酸化物トランジスタ。

[請求項4] 前記金属酸化物半導体が、InGaZnO_xを含んで構成されていることを特徴とする請求項3に記載の金属酸化物トランジスタ。

[請求項5] 前記半導体薄膜内の一部領域が他の領域より前記ドレイン電流の電流密度が局所的に大きくなる構造を有していることを特徴とする請求項1～4の何れか1項に記載の金属酸化物トランジスタ。

[請求項6] 前記ドレイン電極と前記ソース電極に挟まれた領域がU字型形状をしていることを特徴とする請求項1～5の何れか1項に記載の金属酸化物トランジスタ。

[請求項7] 前記ゲート絶縁膜が、少なくとも第1絶縁膜と前記第1絶縁膜より高誘電率の第2絶縁膜を備える積層構造を有し、

前記第1絶縁膜が前記第2絶縁膜より成膜後の膜中水素濃度が低く、

前記半導体薄膜と前記第2絶縁膜の間に前記第1絶縁膜を有することを特徴とする請求項1～6の何れか1項に記載の金属酸化物トランジスタ。

[請求項8] 前記ゲート絶縁膜とは別の絶縁膜を介して前記半導体薄膜と対向する第2ゲート電極を、前記半導体薄膜を挟んで前記ゲート電極と反対側に備えることを特徴とする請求項1～7の何れか1項に記載の金属酸化物トランジスタ。

[請求項9] 前記第1特性から前記第2特性への特性変化が、前記ドレイン電流により生じたジュール熱により、前記半導体薄膜の前記金属酸化物半導体を構成する元素の構成比率が変化することで生じることを特徴と

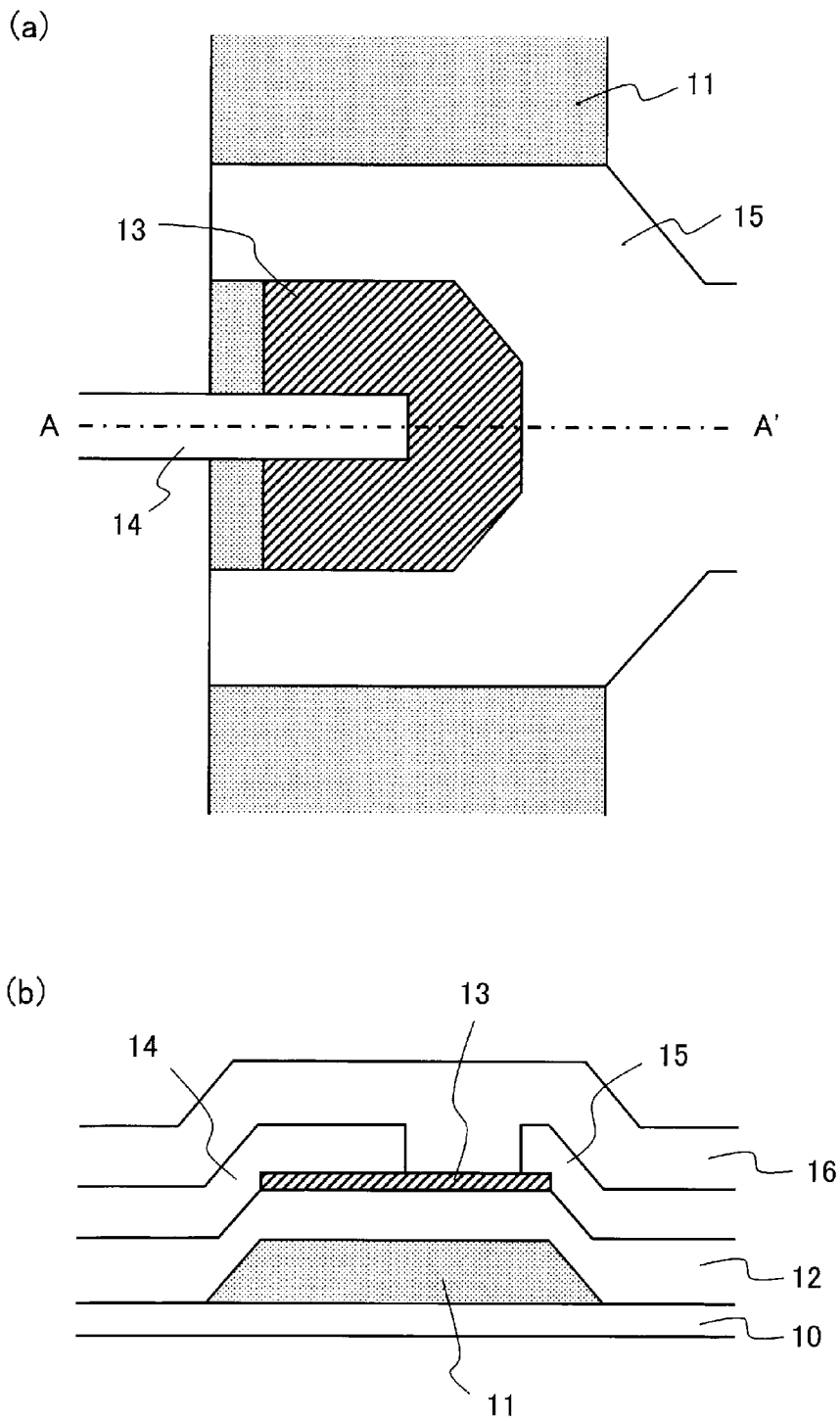
する請求項 1 ～ 8 の何れか 1 項に記載の金属酸化物トランジスタ。

[請求項10] 請求項 1 ～ 9 の何れか 1 項に記載の金属酸化物トランジスタを備えていることを特徴とする半導体装置。

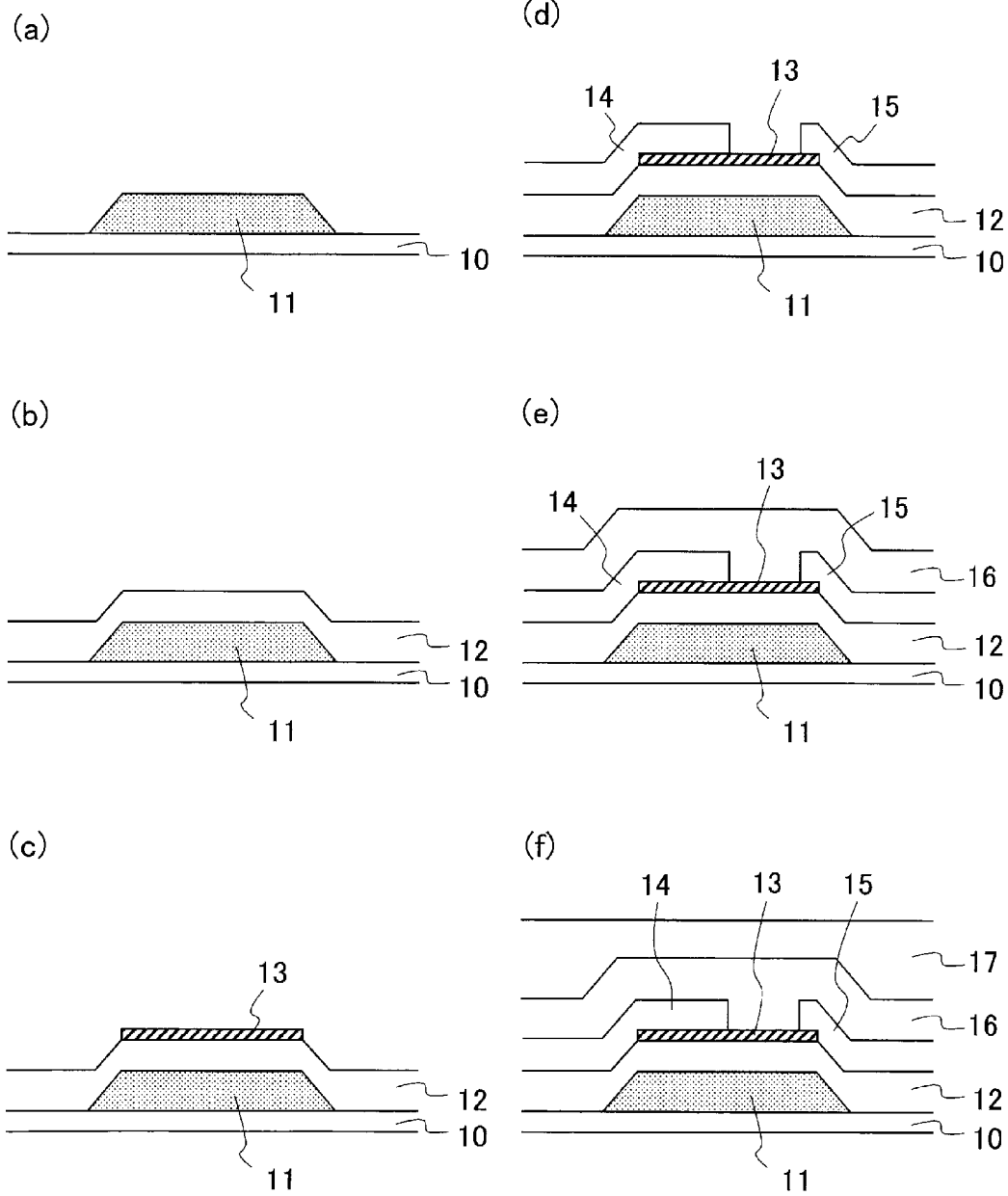
[請求項11] 請求項 1 ～ 9 の何れか 1 項に記載の金属酸化物トランジスタの駆動方法であって、

前記金属酸化物トランジスタが前記第 1 特性を呈している状態において、前記ドレイン電極と前記ソース電極間に前記所定の電流密度以上の前記ドレイン電流を前記所定時間流し、前記金属酸化物トランジスタの特性を前記第 1 特性から前記第 2 特性に遷移させることを特徴とする金属酸化物トランジスタの駆動方法。

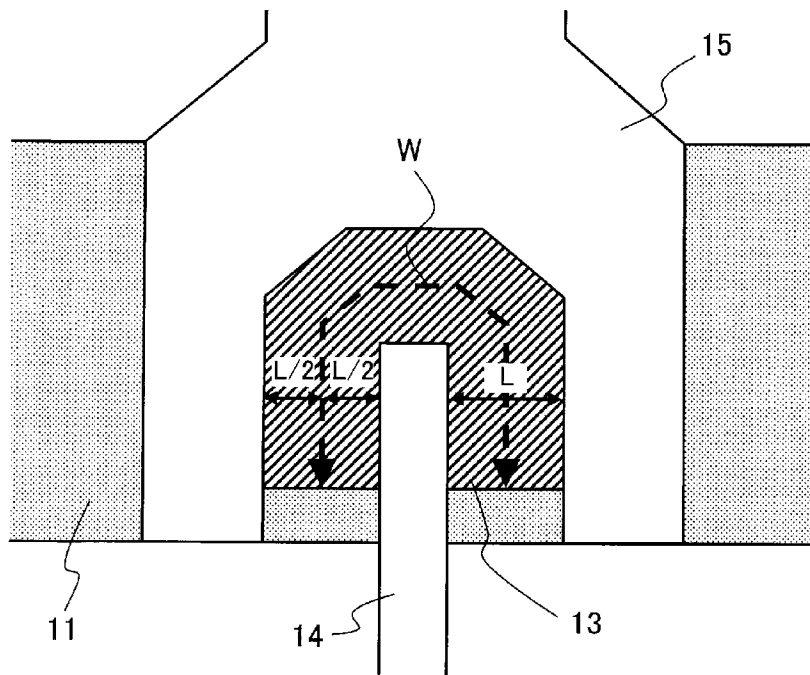
[図1]



[図2]

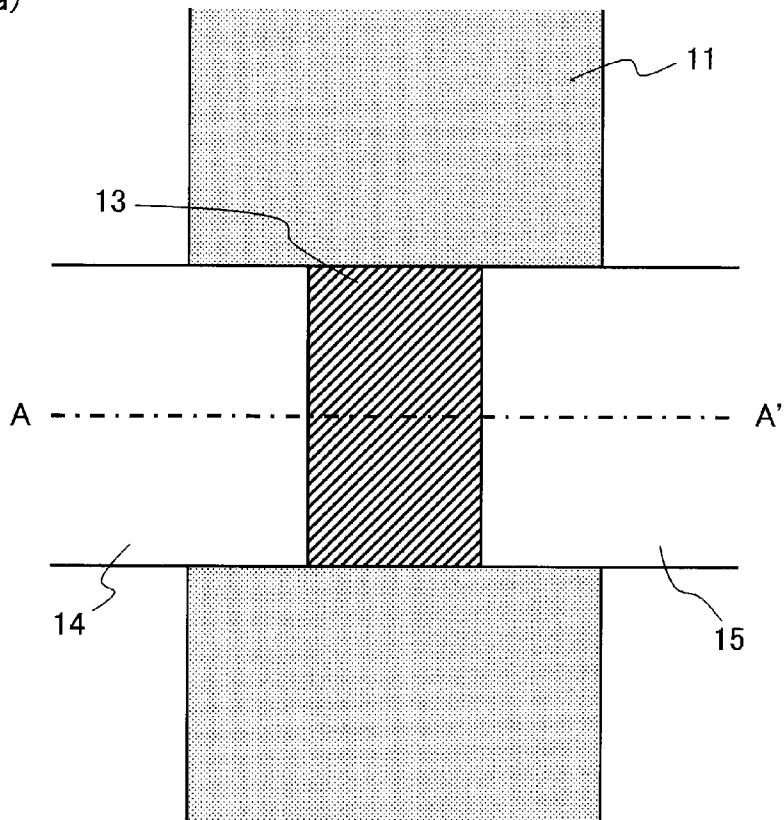


[図3]

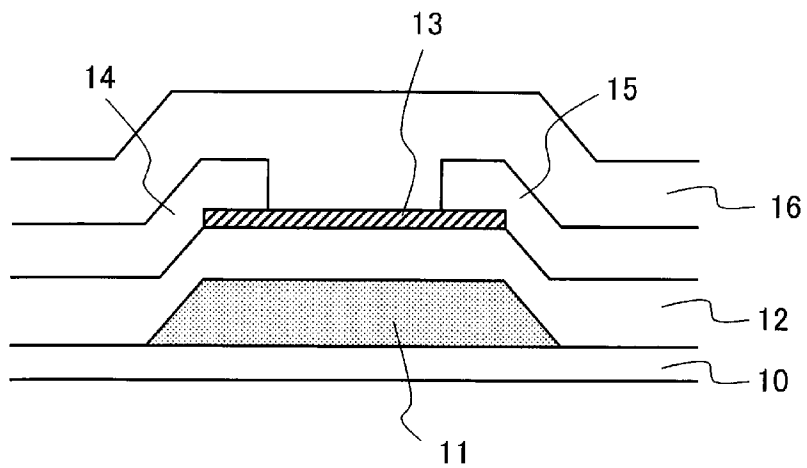


[図4]

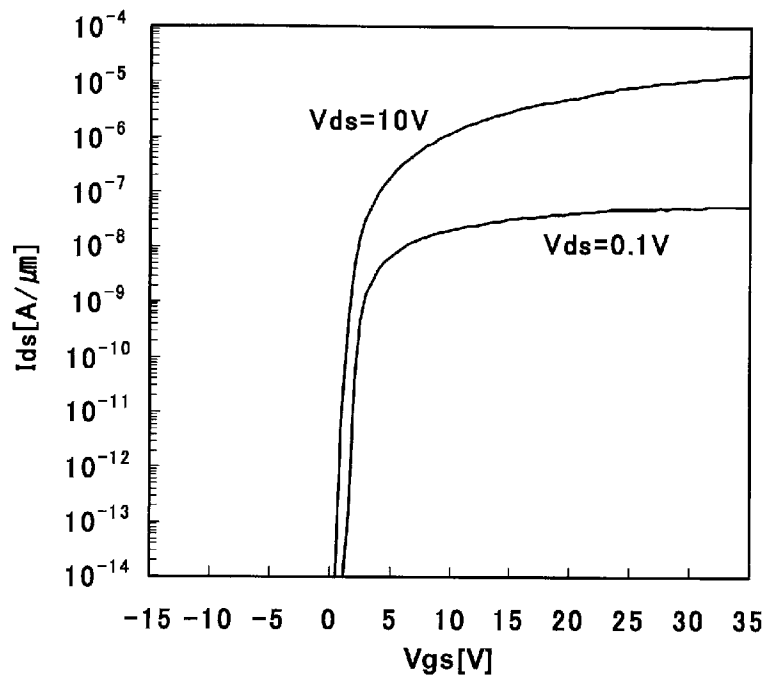
(a)



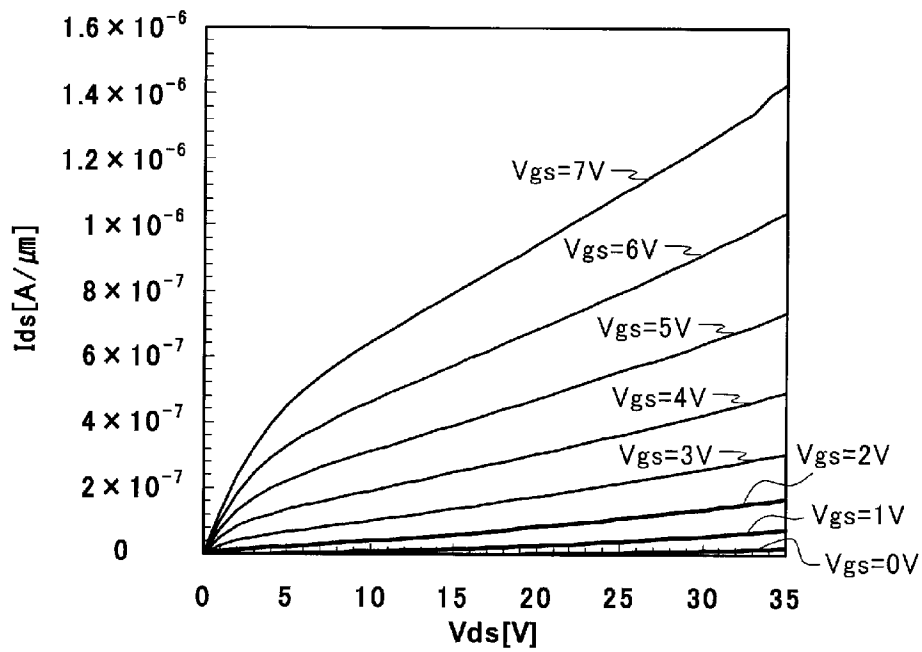
(b)



[図5]

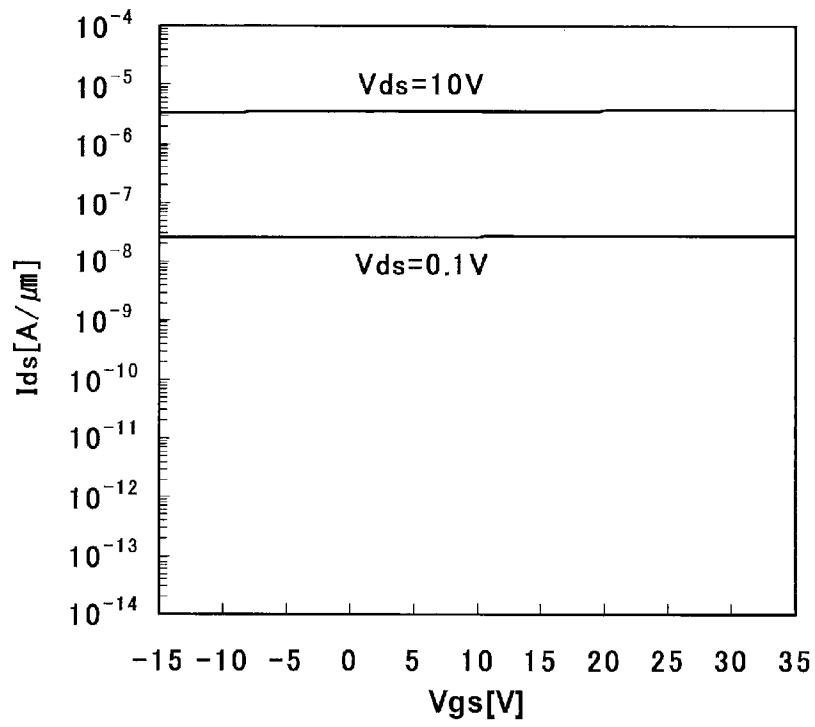


(a)

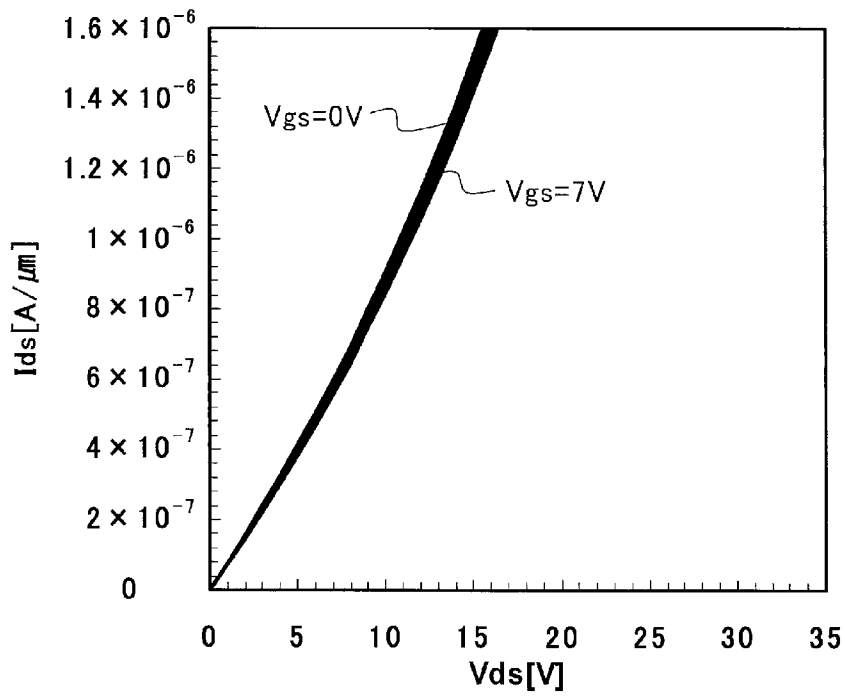


(b)

[図6]

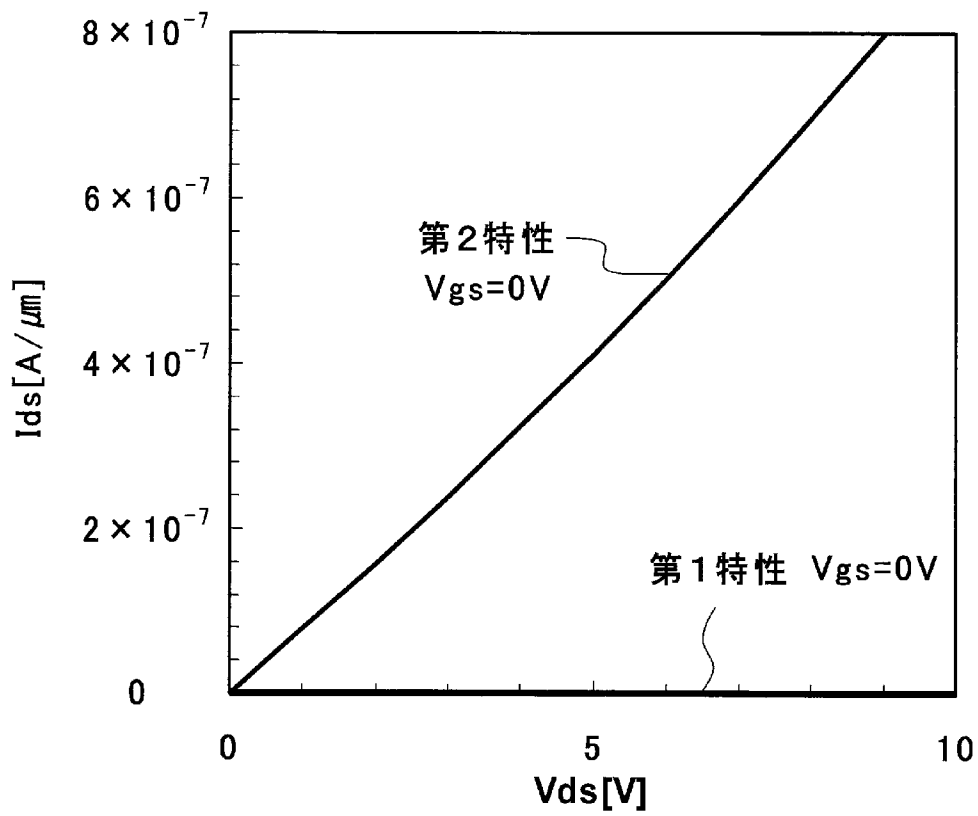


(a)

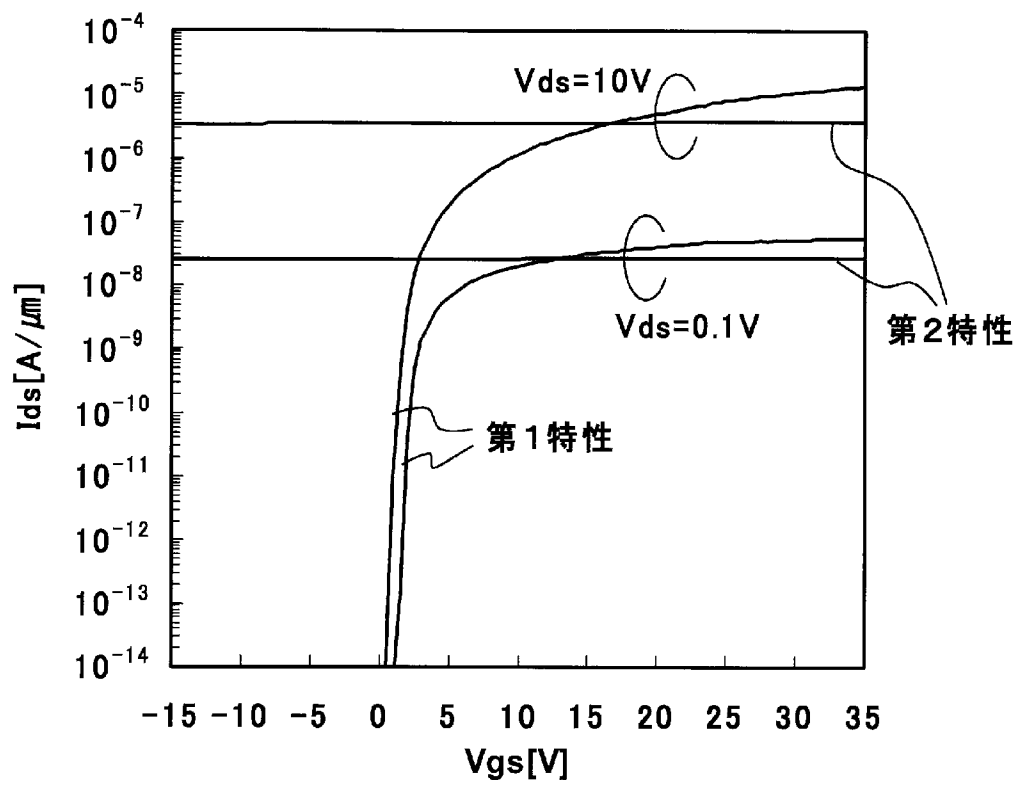


(b)

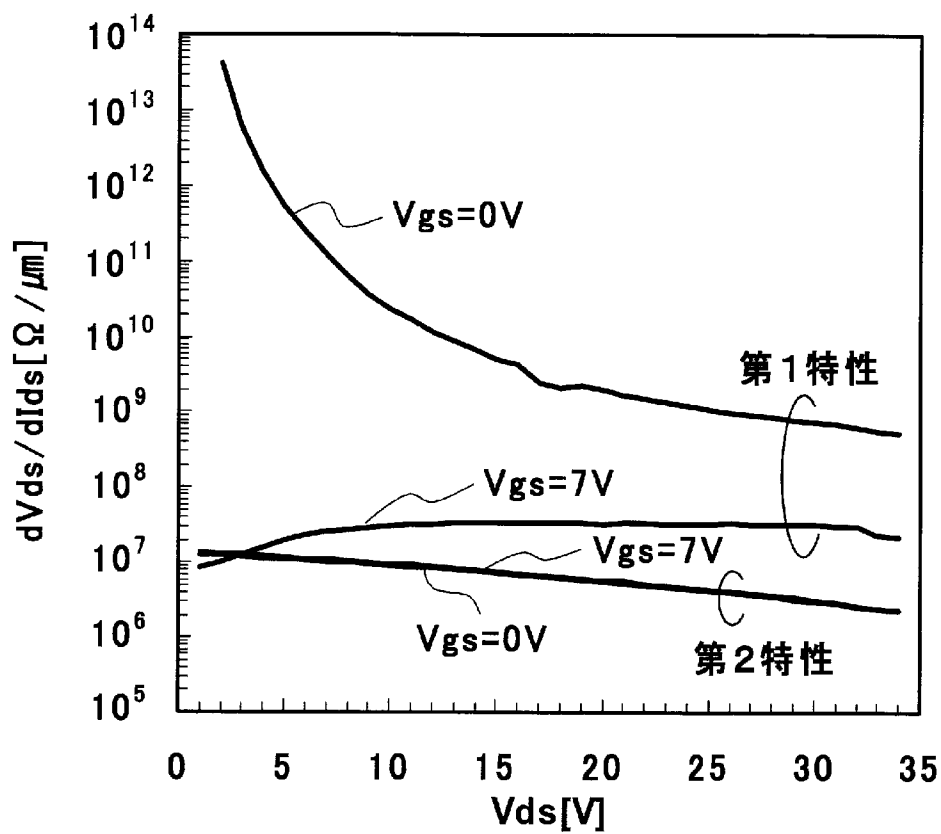
[図7]



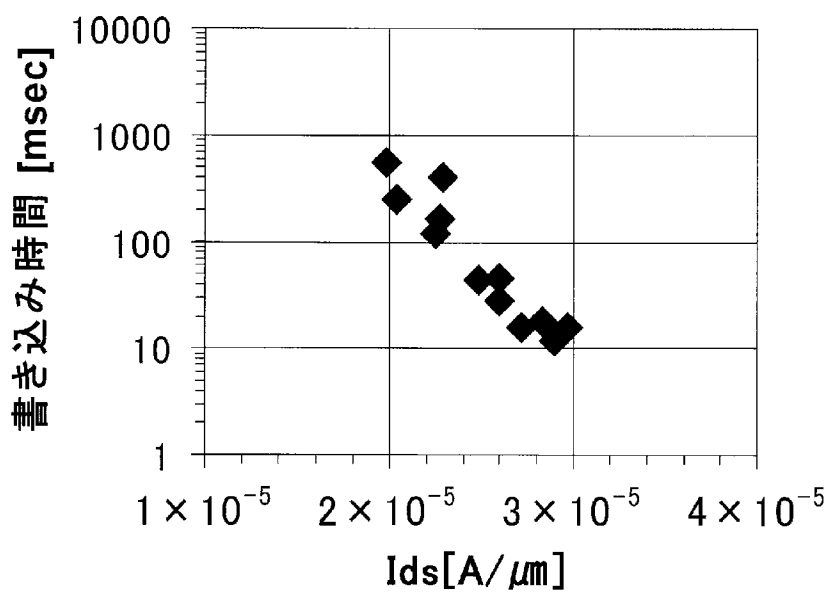
[図8]



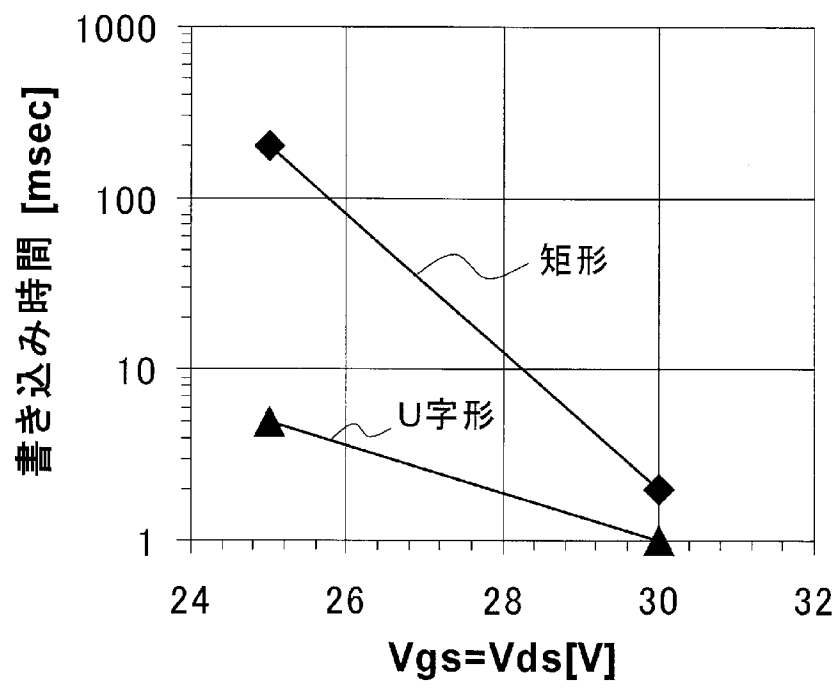
[図9]



[図10]

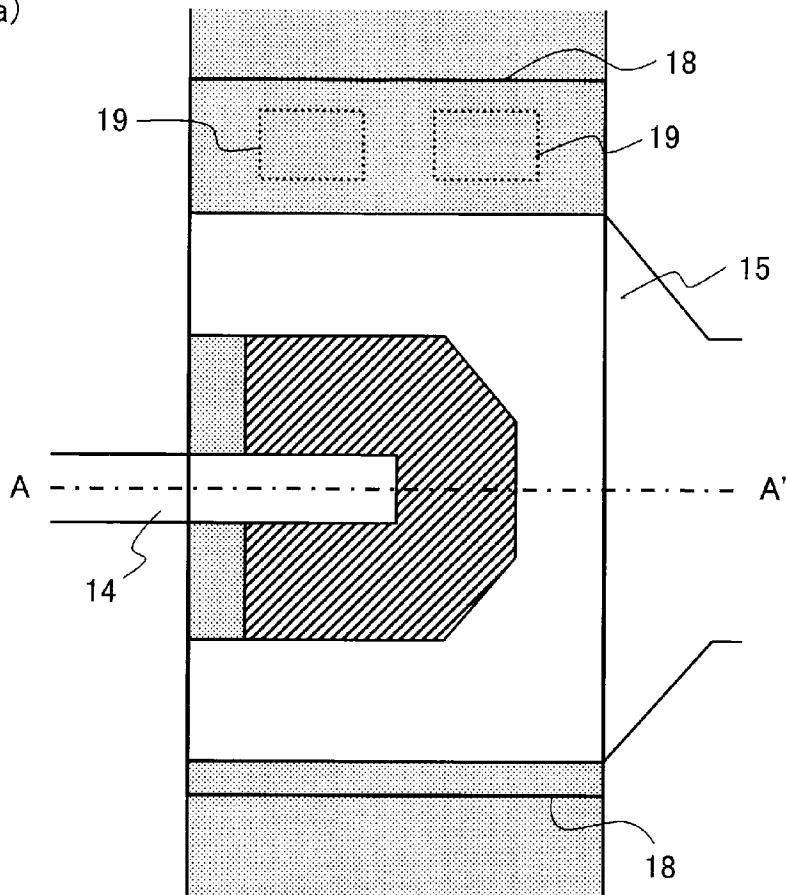


[図11]

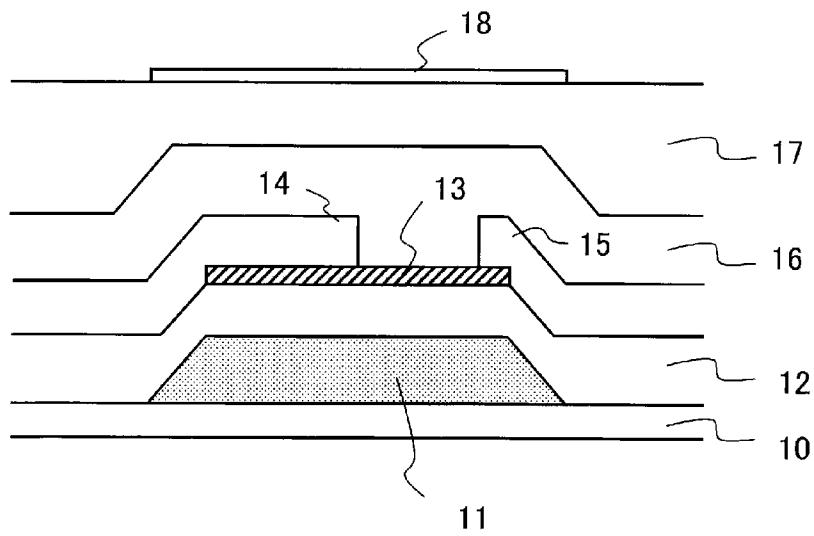


[図12]

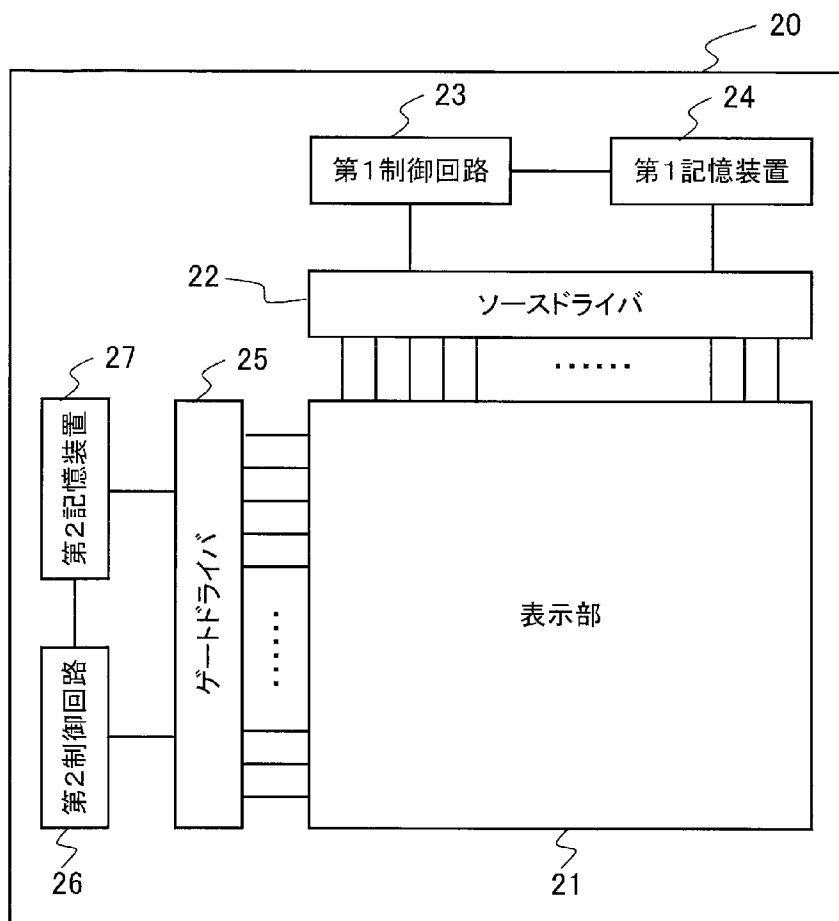
(a)



(b)

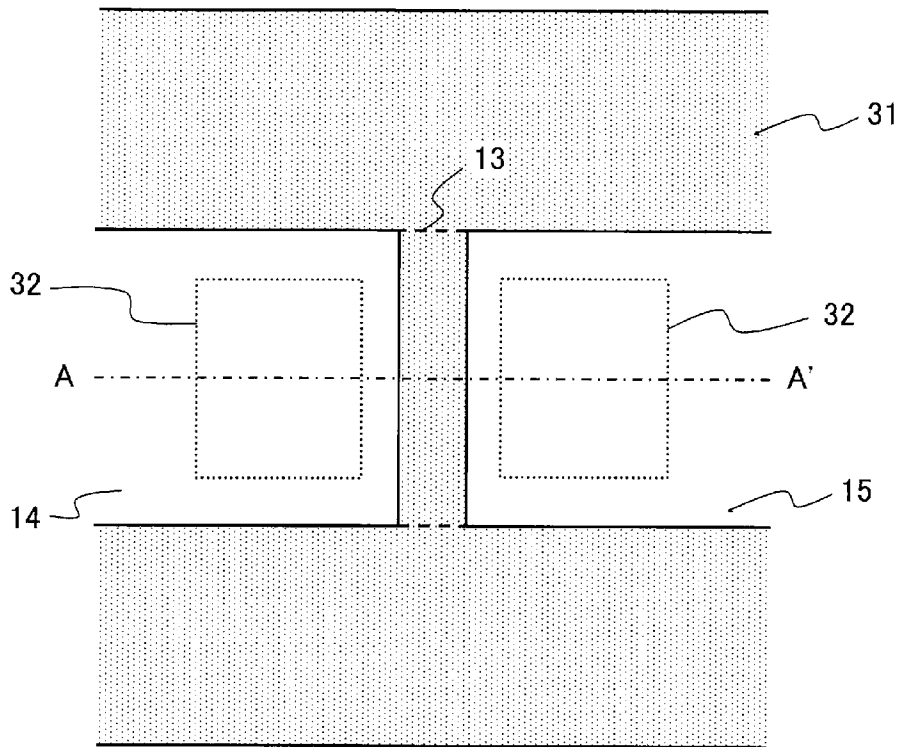


[図13]

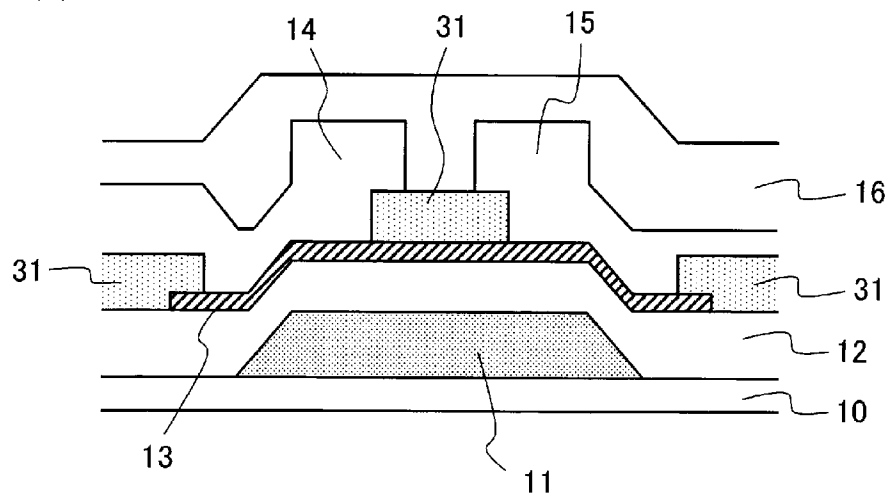


[図14]

(a)

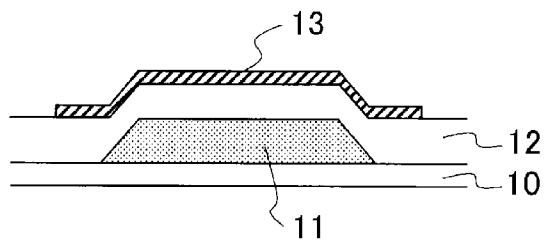


(b)

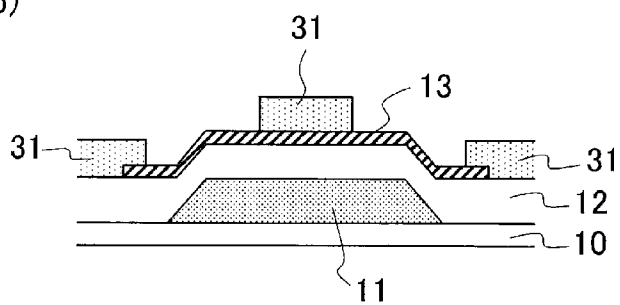


[図15]

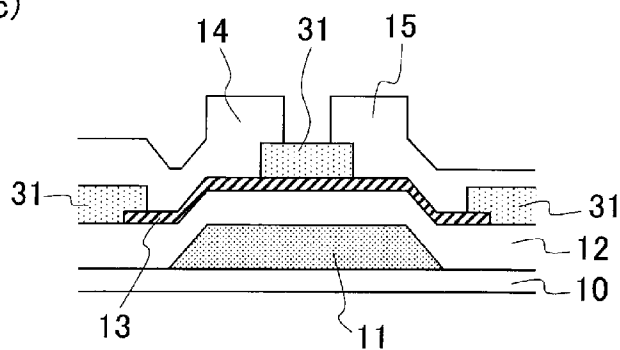
(a)



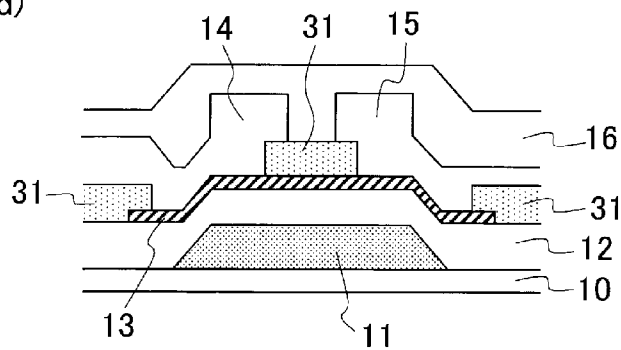
(b)



(c)

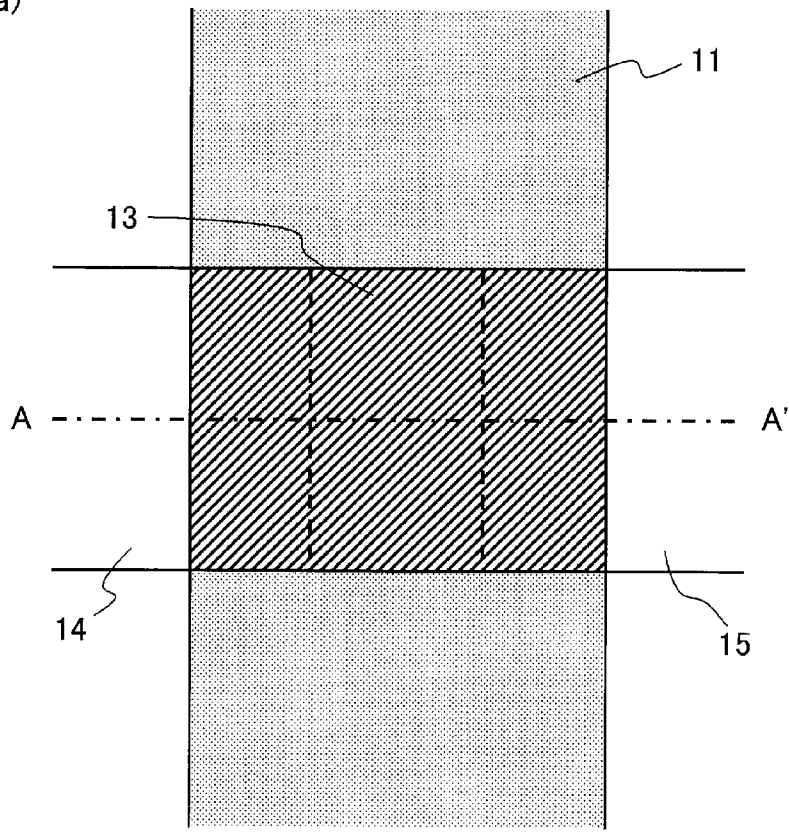


(d)

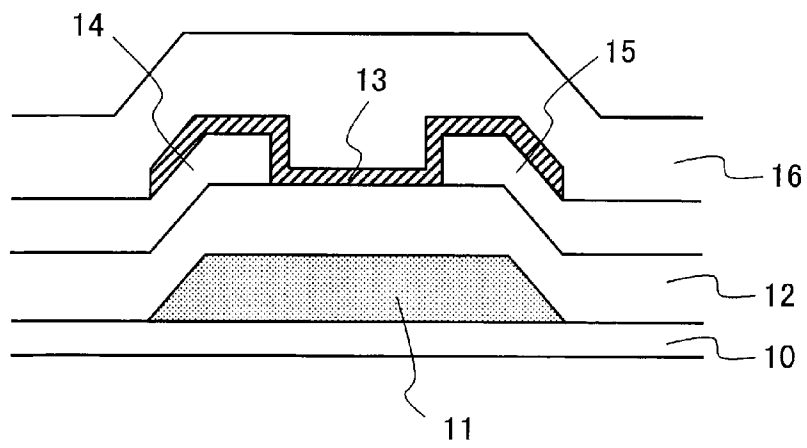


[図16]

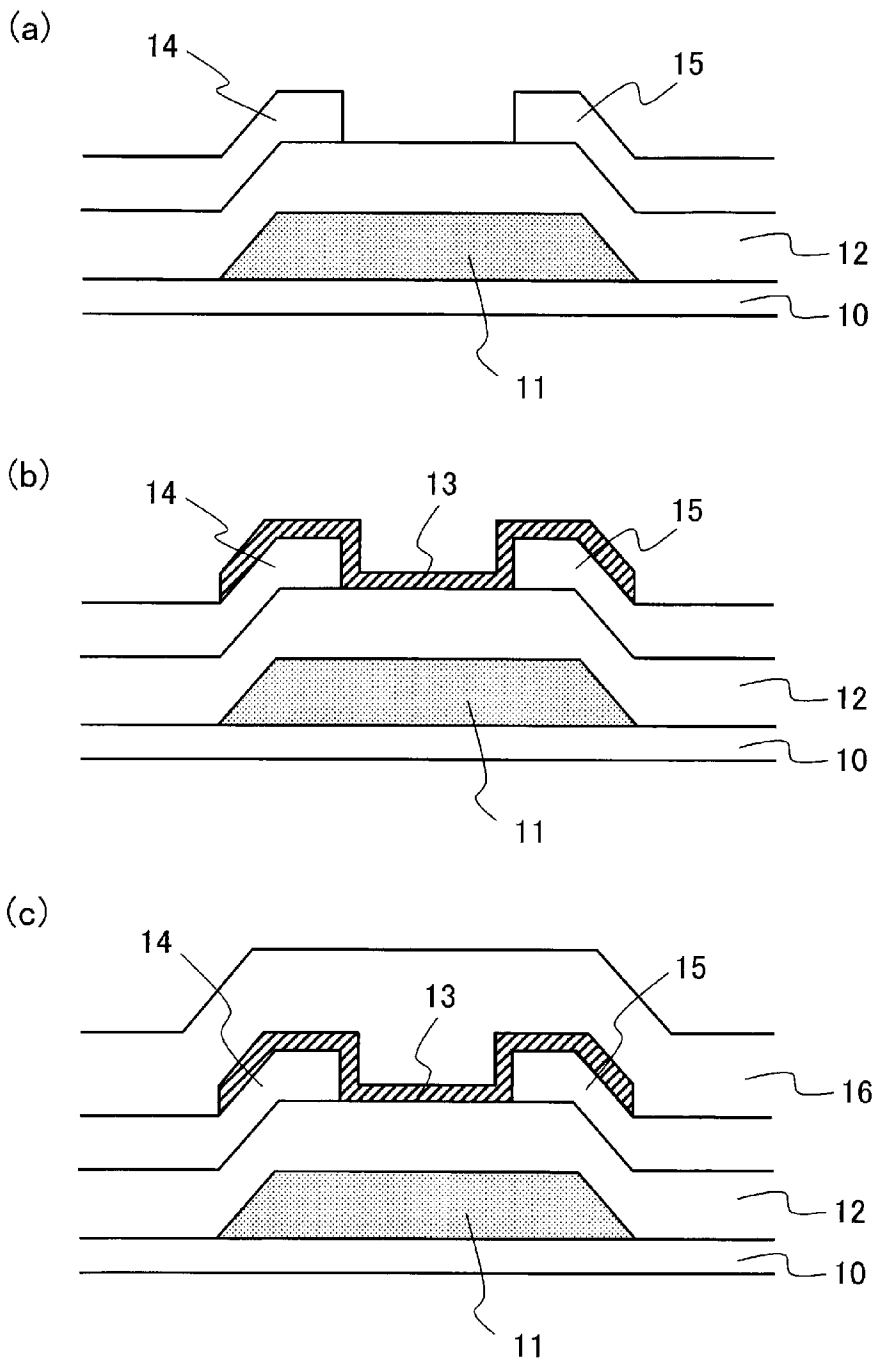
(a)



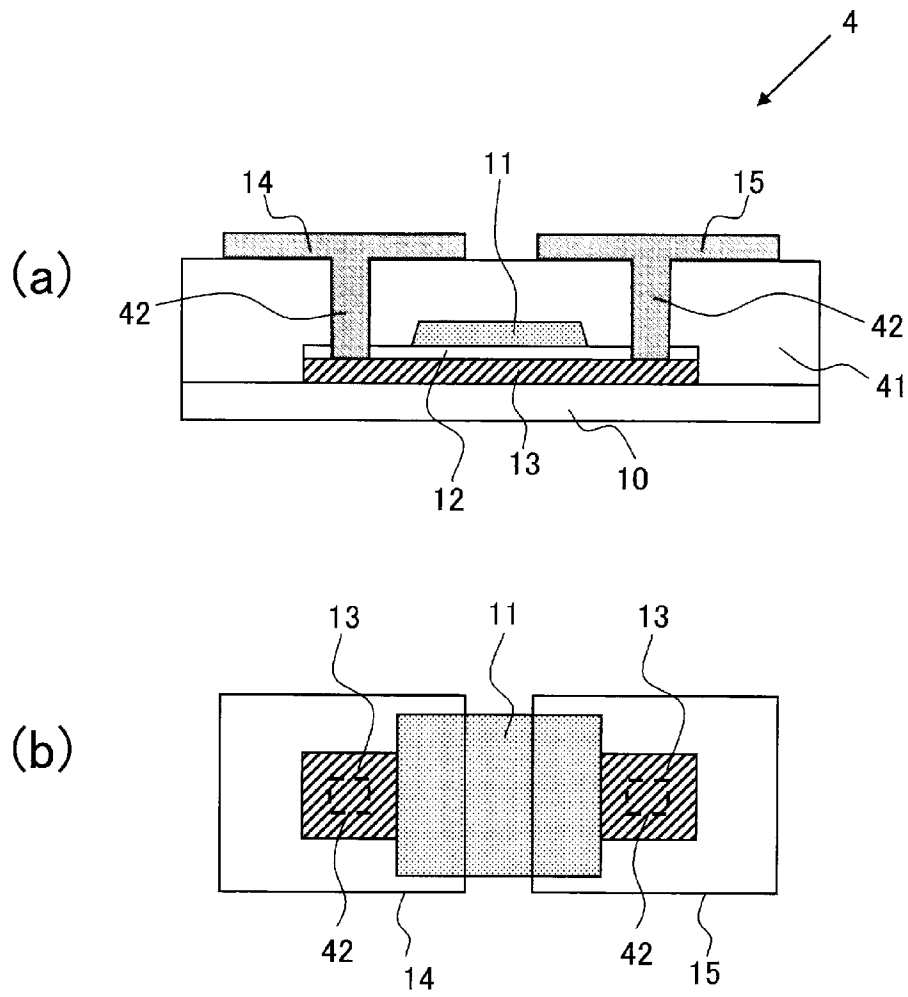
(b)



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/060583

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01) i, H01L27/10(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, H01L27/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JSTPlus (JDreamIII), JST7580 (JDreamIII)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2011-138118 A (Semiconductor Energy Laboratory Co., Ltd.), 14 July 2011 (14.07.2011), paragraphs [0081], [0093] to [0097], [0131], [0132]; fig. 9, 12 & US 2011/0134345 A1 & WO 2011/068021 A1 & TW 201133100 A & KR 10-2012-0091425 A	1-4, 9, 10 5-8 11
Y A	JP 2012-84866 A (Semiconductor Energy Laboratory Co., Ltd.), 26 April 2012 (26.04.2012), paragraphs [0038], [0039] & US 2012/0064650 A1 & TW 201216376 A & KR 10-2012-0088505 A	5, 6 11

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
08 May, 2013 (08.05.13)Date of mailing of the international search report
21 May, 2013 (21.05.13)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/060583

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2012-4549 A (Semiconductor Energy Laboratory Co., Ltd.), 05 January 2012 (05.01.2012), claim 1 & JP 2012-256915 A & US 2011/0284959 A1 & WO 2011/145635 A1 & TW 201208073 A	7 11
Y A	JP 2011-139052 A (Semiconductor Energy Laboratory Co., Ltd.), 14 July 2011 (14.07.2011), paragraph [0026] & US 2011/0134680 A1	8 11
A	JP 2006-510203 A (Koninklijke Philips Electronics N.V.), 23 March 2006 (23.03.2006), entire text; all drawings & JP 4787500 B & US 2006/0056222 A1 & EP 1573747 A & WO 2004/053886 A1 & DE 60329781 D & CN 1723508 A & AT 446578 T & AU 2003283684 A	1-11
A	JP 2011-159697 A (Dainippon Printing Co., Ltd.), 18 August 2011 (18.08.2011), entire text; all drawings (Family: none)	1-11
A	JP 2011-233551 A (Sharp Corp.), 17 November 2011 (17.11.2011), entire text; all drawings & US 2012/0268980 A1	1-11
A	JP 2008-306157 A (Sharp Corp.), 18 December 2008 (18.12.2008), entire text; all drawings & US 2010/0172170 A1 & WO 2008/142919 A1 & CN 101681913 A & TW 200908295 A	1-11

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H01L29/786(2006.01)i, H01L27/10(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H01L29/786, H01L27/10

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2013年
 日本国実用新案登録公報 1996-2013年
 日本国登録実用新案公報 1994-2013年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)
 JSTPlus(JDreamIII), JST7580(JDreamIII)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2011-138118 A (株式会社半導体エネルギー研究所) 2011.07.14, 段落【0081】、【0093】～【0097】、【0131】、【01 32】、図9、図12 & US 2011/0134345 A1 & WO 2011/068021 A1 & TW 201133100 A & KR 10-2012-0091425 A	1-4, 9, 10 5-8 11
Y A	JP 2012-84866 A (株式会社半導体エネルギー研究所) 2012.04.26, 段落【0038】、【0039】 & US 2012/0064650 A1 & TW 201216376 A & KR 10-2012-0088505 A	5, 6 11

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 08.05.2013	国際調査報告の発送日 21.05.2013
--------------------------	--------------------------

国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 鈴木 聡一郎	50	3864
	電話番号 03-3581-1101 内線 3559		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2012-4549 A (株式会社半導体エネルギー研究所) 2012.01.05, 請求項 1 & JP 2012-256915 A & US 2011/0284959 A1 & WO 2011/145635 A1 & TW 201208073 A	7 11
Y A	JP 2011-139052 A (株式会社半導体エネルギー研究所) 2011.07.14, 段落【0026】 & US 2011/0134680 A1	8 11
A	JP 2006-510203 A (コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ) 2006.03.23, 全文、全図 & JP 4787500 B & US 2006/0056222 A1 & EP 1573747 A & WO 2004/053886 A1 & DE 60329781 D & CN 1723508 A & AT 446578 T & AU 2003283684 A	1-11
A	JP 2011-159697 A (大日本印刷株式会社) 2011.08.18, 全文、全図 (ファミリーなし)	1-11
A	JP 2011-233551 A (シャープ株式会社) 2011.11.17, 全文、全図 & US 2012/0268980 A1	1-11
A	JP 2008-306157 A (シャープ株式会社) 2008.12.18, 全文、全図 & US 2010/0172170 A1 & WO 2008/142919 A1 & CN 101681913 A & TW 200908295 A	1-11