



ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4229196/24-24

(22) 13.04.87

(46) 30.10.88. Бюл. № 40

(71) Харьковский институт радиоэлектрони-
ки им. акад. М. К. Янгеля

(72) Е. П. Путятин, А. Б. Колодяжный,
В. И. Адонин, А. А. Майстренко и В. П. Маш-
талир

(53) 681.325(088.8)

(56) Авторское свидетельство СССР

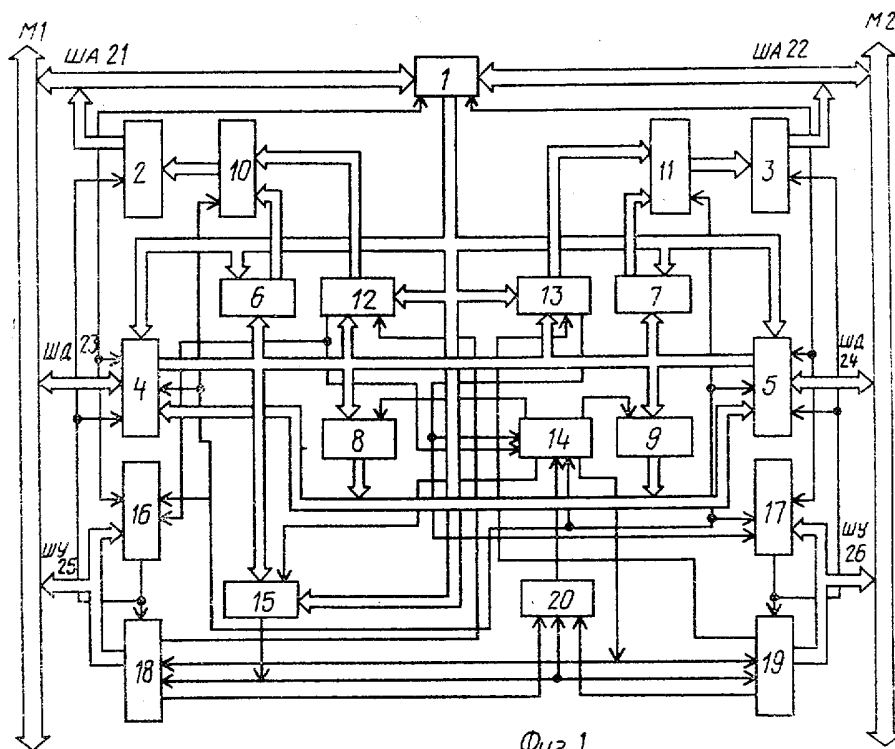
№ 648974, кл. G 06 F 13/00, 1977.

Авторское свидетельство СССР
№ 1051526, кл. G 06 F 13/00, 1988.

(54) УСТРОЙСТВО ДЛЯ СОПРЯЖЕНИЯ

(57) Изобретение относится к вычислитель-
ной технике и может быть использовано для
сопряжения двух вычислительных машин,

имеющих интерфейс типа магистрали. Цель
изобретения — повышение пропускной спо-
собности устройства за счет организации об-
мена путем прямой логической связи между
магистралями. Поставленная цель достига-
ется тем, что в устройство сопряжения, со-
держащее блок 1 дешифрации адреса, ре-
гистр данных 8, регистр адреса 6, регистр
команд 15, блок управления 18 и блок захва-
та магистрали 16, введены первый 4 и вто-
рой 5 формирователи данных, первый 2 и
второй 3 формирователи адреса, первый 10
и второй 11 сумматоры, первый 12 и второй
13 счетчики, второй регистр адреса 7, блок
14 управления регистрами данных, второй
блок 17 захвата магистрали, второй блок
управления 19 и мультиплексор 20. 5 ил.
2 табл.



Фиг. 1

Изобретение относится к вычислительной технике и может быть использовано для сопряжения двух вычислительных систем, имеющих интерфейс типа магистралей.

Целью изобретения является повышение пропускной способности устройства за счет организации прямой логической связи между магистралями.

На фиг. 1 представлена структурная схема устройства; на фиг. 2 — функциональная схема блока дешифрации адреса; на фиг. 3 — функциональная схема блока управления; на фиг. 4 — функциональная схема блока управления регистрами данных; на фиг. 5 — функциональная схема формирователя данных.

Устройство (фиг. 1) содержит блок 1 дешифрации адреса, первый 2 и второй 3 формирователи адреса, первый 4 и второй 5 формирователи данных, первый 6 и второй 7 регистры адреса, первый 8 и второй 9 регистры данных, первый 10 и второй 11 сумматоры, первый 12 и второй 13 счетчики, блок 14 управления регистрами данных, регистр 15 команд, первый 16 и второй 17 блоки захвата магистралей, первый 18 и второй 19 блоки управления, мультиплексор 20, первую 21 и вторую 22 шины адреса, первую 23 и вторую 24 шины данных, первую 25 и вторую 26 шины управления (ШУ).

Блок 1 дешифрации адреса (фиг. 2) содержит первый 27 и второй 28 элементы задания адреса, первый 29 и второй 30 элементы сравнения, мультиплексор 31, дешифратор 32, элементы И 33 и 34.

Блок 18 (19) управления (фиг. 3) содержит элемент 35 задержки, элементы И 36 и 37, элемент ИЛИ 38, элемент И 39, дешифратор 40, элементы И 41, 42 и 43.

Блок 14 управления регистрами данных (фиг. 4) содержит первый 44, второй 45, третий 46 триггеры, элементы И 47 и 48, элементы ИЛИ 49 и 50, элементы И 51 и 52, элемент ИЛИ 53, элемент И 54, первый 55 и второй 56 одновибраторы, элемент И 57, элементы 2И—2ИЛИ 58 и 59, элементы И 60 и 61.

Формирователи данных 4 и 5 (фиг. 5) содержат шинный формирователь 62, элемент ИЛИ 63, элемент ИЛИ—НЕ 64.

Блоки 16 и 17 захвата магистралей реализованы по схеме прототипа.

Формирователи адреса 2 и 3 реализованы на схемах K589АП26, регистры адреса 6 и 7 и регистры данных 8 и 9 — на схемах K155ТМ8, сумматоры 10 и 11 — на схемах K155ИМ3, счетчики 12 и 13 — на схемах K155ИЕ7, мультиплексор 20 выполнен по схеме K155КП2.

Работа устройства состоит из двух стадий: стадии настройки и стадии обмена данными. Настройка устройства сопряжения может выполняться любым из процессоров

сопряженных магистралей и выполняется ими одинаково. Один из процессоров сопрягаемых магистралей, например магистрала M1, выставляет на шине 21 адреса в разрядах A15—A3 базовый адрес устройства сопряжения, а в разрядах A2—A0 — код внутреннего адресуемого блока в соответствии с табл. 1. На элементе дешифратора 1 схемы 29 сравнения происходит сравнение

базового адреса, поступившего по шине 21 адреса, с базовым адресом, поступившим со схемы задания 27 адреса. При совпадении базового адреса на выходе схемы сравнения 29 (30) вырабатывается сигнал «Выбор устройства 1» (Выбор устройства 2). Этот сигнал подается на вход формирователя данных 4 (5), вызывая срабатывание шинного формирователя 62 (фиг. 5). Сигнал с выхода схемы 29 (30) сравнения поступает также на управляющий вход мультиплексора 31 — У1 (У2), разрешая прохождение кода внутреннего адресуемого блока, поступающего по шине 21 (22) адреса на выход мультиплексора. Сигнал «Выдача» (ВД4), поступающий по шине 25 (26) управления, сопровождает выставленный адрес по магистрали M1 (M2). Этот сигнал разрешает работу дешифратора 32, на выходе которого активизируется линия, соответствующая поступившему коду внутреннего блока, являясь сигналом занесения в выбранный блок. По приходу этого сигнала на адресуемый блок в выбранном блоке происходит запоминание данных, которые присутствуют на входной информационной шине 23. При совпадении сигналов «Выбор устройства 1» (Выбор устройства 2) и сигнала ВД4, на элементе И 33 (34) вырабатывается сигнал «Ответ» который через блок 16 (17) захвата магистралей по (ШУ) 25 (26) сообщает процессору магистрали M1 (M2), что данные устройством приняты. Для полной настройки устройства сопряжения необходимо выполнить семь циклов обращения к устройству со стороны процессора.

В регистр команд по внутренней информационной шине загружается информация, которая определяет характер обмена как на одной, так и на другой магистрали. Регистр имеет три разряда, значения которых указаны в табл. 2. Разряд РКО определяет направление обмена между двумя интерфейсами. Разряды РК1 и РК2 характеризуют устройство, подключенные к сопрягаемым интерфейсам. Ноль в этих разрядах определяет обмен с устройством оперативной памяти, а единица определяет обмен с устройством ввода-вывода. Состояние этих разрядов влияет на способ формирования исполнительного адреса на сумматорах 10 и 11, а также определяет управляющие сигналы на выходе блоков 18 и 19 управления обменом. Ноль, записанный в разряде РК1, по-

дается на управляющий вход сумматора 10, и исполнительный адрес на магистрали М1 определяется как сумма содержимого регистра 6 адреса и счетчика 12. Ноль, записанный в разряде РК 2, подается на управляющий вход сумматора 11, и исполнительный адрес на магистрали М 2 определяется как сумма содержимого регистра 7 адреса и счетчика 13. Если в разрядах РК1 и РК2 записаны единицы, то исполнительные адреса обмена на выходе формирователей 2 и 3 адреса равны содержимому регистров 6 и 7, адреса, а сумматоры 10 и 11 работают в режиме мультиплексирования данных из регистров 6 и 7 адреса в формирователи 2 и 3 адреса соответственно.

В счетчики 12 и 13 при настройке устройства сопряжения заносится одно и то же число в двоичном коде, равное объему передаваемого массива данных в байтах. Состояние счетчика 12 (13), равное нулю, свидетельствует об окончании операции обмена на магистрали М1 (М2) и используется для завершения обмена на магистрали.

В регистры 6 и 7 адреса заносится адрес устройства, с которым выполняется обмен, причем, если обмен выполняется с устройством ввода-вывода, то в регистр адреса загружается непосредственно его адрес на магистрали. Если обмен выполняется с устройством оперативной памяти, то в регистр адреса заносится нижняя граница массива (минимальный адрес элементов массива), причем обмен с памятью выполняется, начиная с верхней границы массива, так как верхняя граница передаваемого массива определяется как сумма его нижней границы и числа элементов в массиве (содержимое счетчиков 12 и 13).

Выполнение процедуры обмена данными устройством сопряжения рассматривается на примере, когда в регистр команд при настройке загружен код 101, который определяет, что будет осуществляться вывод данных из устройства оперативной памяти магистрали М1, т.е. на выходе блока 18 управления имеет место команда ЧТН (так как РКО-1, РК1-0), и ввод в устройство ввода-вывода магистрали М2, т.е. на выходе блока 19 управления имеет место команда ВД4 (так как РКО-0, а РК2-1). После того, как в регистре 15 команд записана команда обмена, на выходе первого 16 и второго 17 блоков захвата магистрали под действием сигналов РКО и -РКО устанавливается сигнал «Запрос доступа к магистрали» (ЗДМ), равный единице. Процессоры магистралей М1 и М2, принимая эти сигналы, завершают выполнение текущей команды и переходят в состояние «Захват», сигнализируя об этом устройству сопряжения сигналом «Разрешение доступа к магистрали» (РДМ), равным единице. Этот сигнал поступает на

вход блоков 16 и 17 захвата магистрали и далее транслируется на блоки 18 и 19 управления обменом, формирователи 4 и 5 данных и формирователи 2 и 3 адреса.

При поступлении сигнала РДМ на формирователи 4 и 5 данных осуществляется коммутация шин 23 и 24 данных магистралей М1 и М2 с внутренними информационными шинами устройства сопряжения в зависимости от операции обмена, выполняемой на каждой магистрали. Сигнал РДМ через элемент ИЛИ-НЕ 64 подается на один из управляющих входов шинного 62 формирователя информации (ШФИ), сигнализируя о выборе данного кристалла. На формирователь 4 данных от регистра 15 команд через элемент ИЛИ 63 подается сигнал РКО, равный единице, что настраивает ШФИ 62 на передачу байта информации от порта В к порту С, коммутируя тем самым шину 23 данных с внутренней входной информационной шиной. На формирователь 5 данных от регистра 15 команд подается инверсное значение сигнала РКО, что вызывает настройку ШФИ 62 на передачу байта информации от порта А к порту В, коммутируя тем самым внутреннюю выходную шину данных с шиной 24 данных. Это соответствует выполнению команды чтения по магистрали М1 и запись по магистрали М2. Прием данных устройством сопряжения производится следующим образом. До начала непосредственного обмена все три триггера 44—46 блока 14 управления регистрами данных (фиг. 4) находятся в нулевом состоянии. Триггеры 44 и 46 являются флагами регистров 8 и 9 данных соответственно. Находясь в нулевом состоянии, они сигнализируют о том, что в регистрах 8 и 9 данных информации нет. Триггер 45 находится в состоянии единицы, если последним был заполнен регистр 8 данных, и в состоянии нуля, если последним был заполнен регистр 9 данных. На входы элемента ИЛИ 50 подаются сигналы с инверсных плечей триггеров 44 и 46. Так как в регистрах 8 и 9 данных информации пока нет и триггеры 44 и 46 находятся в нулевом состоянии, то на инверсных плечах этих триггеров будет сигнал, равный единице, поэтому на выходе элемента ИЛИ 50 присутствует уровень логической единицы. На первый вход элемента И 47 подается сигнал от счетчика 12 магистрали М1, равный единице, свидетельствующий о том, что содержимое этого счетчика отлично от нуля. При настройке устройства в счетчик 12 было загружено двоичное число, указывающее, какое количество байтов информации должно быть прочитано на магистрали М1. На второй вход элемента И 47 подается сигнал РКО от регистра 15 команд, равный единице, свидетельствующий о том, что по магистрали М1 выполняется команда чтения ЧТН. Под

действием этих сигналов на выходе элемента И 47 появляется сигнал, равный единице, который транслируется через элемент ИЛИ 49 на второй вход элемента И 57. На первый вход элемента И 57 подается сигнал с выхода элемента ИЛИ 50, равный единице. Под действием этих сигналов на выходе элемента И 57 образуется сигнал «Разрешение чтения» (РЧТ) равный единице. Далее этот сигнал транслируется на первый вход элемента И 36 блока 18 и 19 управления. На второй вход элемента И 48 подается сигнал от счетчика 13. В счетчик 13 при настройке устройства сопряжения загружается двоичное число, указывающее число байтов информации, которое должно быть передано по магистрали М2. Так как сигнал РКО, поступающий от регистра 15 команд на вход элемента И 48, равен единице, т.е. по магистрали М1 выполняется команда чтения, то на выходе элемента И 48 присутствует сигнал, равный нулю. Таким образом, на формирование сигнала РЧТ влияет сигнал $S_4 \neq 0$ от счетчика той магистрали, на которой будет выполняться операция «Чтение» или «Прием». Сигнал РЧТ, равный единице, свидетельствует о том, что хотя бы один из регистров 8 или 9 данных свободен и в него может быть записана информация, а также о том, что требуемая информация передана еще не полностью, т.е. содержимое счетчика на соответствующей магистрали не равно нулю. Сигнал РЧТ с выхода блока 14 управления регистрами данных передается на первый вход элемента И 36 блока 18 управления. На второй ее вход подается сигнал РКО от регистра 15 команд, равный единице. Под действием этих сигналов на выходе элемента И 36 появляется сигнал, равный единице, который, транслируясь через элемент ИЛИ 38, попадает на первый вход элемента И 39. На второй инверсный вход элемента И 39 подается сигнал ОТВ, передаваемый от блока 16 захвата магистрали, равный нулю. Под действием этих сигналов на выходе элемента И 39 образуется сигнал, равный единице, который подается на вход С1 дешифратора 40. На вход С2 дешифратора 40 подается сигнал РДМ, передаваемый от блока 16 захвата магистрали, равный единице. Сигналы, поступающие на входы С1 и С2, разрешают работу дешифратора 40. На его единичный вход подается сигнал РКО, равный единице, а на нулевой — РК1, равный нулю, от регистра 15 команда. Под действием этих сигналов активизируется выход дешифратора 40 и вырабатывается сигнал ЧТН, равный единице. Через шину 25 управления сигнал ЧТН, равный единице, по магистрали М1 передается к исполнительному устройству, в данном случае оперативной памяти. На сумматор 10 от регистра 15 команд поступает сиг-

нал РК1, равный нулю. Под действием этого сигнала на сумматоре 10 происходит сложение содержимого регистра 6 адреса, в котором хранится базовый адрес сопрягаемого устройства на магистрали М1, в данном случае устройства оперативной памяти, и содержимого счетчика 12. На формирователь 2 адреса от блока 16 захвата магистрали поступает сигнал РДМ, равный единице. Под действием этого сигнала вычисленное значение адреса с выхода сумматора 10 через формирователь 2 адреса, шину 21 адреса, по магистрали М1 поступает на адресный вход устройства оперативной памяти. Приняв команду ЧТН, устройство оперативной памяти выставляет на магистраль М1 данные в сопровождении сигнала ОТВ, равного единице. Единичное значение сигнала ОТВ передается по магистрали М1, транслируется по шине 25 управления через блок 16 захвата магистрали и поступает на второй инверсный вход элемента И 39 блока 18 управления. Под действием этого сигнала на выходе элемента И 39 образуется сигнал, равный нулю, который по входу С1 запрещает работу дешифратора 40, на выходе которого сигнал ЧТН принимает значение, равное нулю. Таким образом, команда ЧТН снята на магистрали М1. Под действием сигнала РДМ, транслируемого от блока захвата магистрали 16, и по переднему фронту сигнала ОТВ на выходе элемента И 41 вырабатывается сигнал $S_4=1$, равный единице. Этот сигнал с выхода блока 18 управления передается на управляющий вход счетчика 12. Под действием сигнала $S_4=1$ содержимое счетчика 12 уменьшается на единицу, что дает возможность считать данные из устройства оперативной памяти по адресу, на единицу меньшему, чем при предыдущем обращении. На первый вход элемента И 42 подается сигнал от регистра 15 команд РКО, равный единице, а на второй ее вход — сигнал ОТВ, равный единице. Под действием этих сигналов на выходе элемента И 42 образуется сигнал «Строб записи» (СТРОБ ЗАП), равный единице.

Сигнал СТРОБ ЗАП с выхода блока 18 (19) управления через мультиплексор 20 передается на первый вход элемента И 51 блока 14 управления регистрами данных (фиг. 4). На второй ее вход подается сигнал с инверсного плеча триггера 44. Под действием этих сигналов на выходе элемента И 51 появляется сигнал «Запись 1 (ЗАП 1)». Этот сигнал указывает, что регистр 8 данных свободен и в него необходимо записать данные, присутствующие в настоящий момент времени на внутренней входной шине устройства. Таким образом, по сигналу ЗАП 1 в регистр 8 данных записывается первый байт информации, прочитанной из устройства оперативной памяти магистрали М1. По заднему

фронту сигнала ЗАП 1 срабатывает одновибратор 55 и сигнал с его выхода устанавливает в единичное состояние триггеры 44 и 45, указывающие на то, что в регистр 8 данных информация уже записана и что обращение к нему было последним.

На входы элемента ИЛИ 53 подаются сигналы с прямых плеч триггеров 44 и 46. В связи с тем, что триггер 44 установился в единичное состояние, на выходе элемента ИЛИ 53 установится сигнал «Разрешение записи» (РЗП), равный единице. Этот сигнал свидетельствует о том, что информация имеется хотя бы в одном из регистров 8 или 9 данных и возможна ее запись из регистров данных устройства сопряжения на соответствующую магистраль (в данном случае на М2). Так как триггер 46 остался в состоянии нуля, сигнал с его инверсного плеча через элемент ИЛИ 50 и элемент И 57 формирует сигнал РЧТ. С этого момента возможна одновременная работа на магистралях М1 и М2, так как байт информации устройством сопряжения уже принят, и возможно выполнение операций ЗАП или ВДЧ по магистрали М2, в то же время регистр 9 данных еще свободен и возможно выполнение операции ЧТН или ПРМ по магистрали М1.

Устройство оперативной памяти, выставившее первый байт данных в сопровождении сигнала ОТВ, равного единице, через определенный промежуток времени снимает сигнал ОТВ, который принимает значение нуля. При появлении сигнала ОТВ, равного нулю, на входе блока 18 управления (фиг. 3) на управляющем входе С1 дешифратора 40 вновь появляется сигнал, равный единице, поступающий с выхода элемента И 39. Под воздействием управляющих сигналов С1 и С2 дешифратор 40 срабатывает и на его выходе появляется команда ЧТН. По вновь вычисленному адресу под воздействием сигнала РК1 от регистра 15 команд на сумматоре 10, по приходу команды ЧТН от блока управления по магистрали М1, из устройства оперативной памяти прочитывается байт данных в сопровождении сигнала ОТВ. Под воздействием сигнала ОТВ на элемент И 41 вырабатывается сигнал Сч—1 модификации содержимого счетчика 12 и на элементе И 42 появляется сигнал СТРОБ ЗАП. Под воздействием сигналов РКО и РДМ байт данных с магистрали М1 передается на внутреннюю входную магистраль устройства сопряжения. На вход элемента И 54 подаются сигналы: с инверсного плеча триггера 46, равный единице, с прямого плеча триггера 44, равный единице и СТРОБ ЗАП, равный единице. Под воздействием входных сигналов на выходе элемента И 54 образуется сигнал «Запись 2» (ЗАП 2), равный единице. Под воздействием сигнала

зап - происходит запись байта информации со входной внутренней информационной шины устройства сопряжения в регистр 9 данных. По заднему фронту сигнала ЗАП 2 происходит срабатывание одновибратора 56 и сигнал с его выхода опрокидывает триггер 46 в единичное состояние, указывая на то, что информация в регистр данных уже записана, и триггер 45 — в нулевое состояние, указывая на то, что последним было обращение к регистру 9 данных. Во время приема устройством сопряжения второго байта информации по магистрали М1 производится передача первого байта информации по магистрали М2.

Завершение обмена производится раздельно на двух магистралях М1 и М2 в зависимости от состояния счетчиков 12 и 13. Условие завершения обмена — равенство содержимого соответствующего счетчика нулю. В любой момент работа устройства сопряжения содержимое счетчика, контролирующего обмен на принимающей стороне, меньше или равно содержимому счетчика, контролирующего обмена на передающей стороне. Поэтому завершение обмена происходит сначала на приемной стороне, а затем, и на передающей. На приемной стороне завершение обмена происходит следующим образом.

Устройство оперативной памяти, сопрягаемое по магистрали М1, выставляет на магистраль данные в подтверждении сигналом ОТВ, равным единице. Байт данных с магистрали М1 через формирователь 4 данных 4 поступает на внутреннюю информационную входную магистраль устройства сопряжения. Сигнал ОТВ с магистрали М1 через блок 16 захвата магистрали 16 поступает на вход блока 18 управления. Поступая на второй инверсный вход элемента И 39 блока 18 управления (фиг. 3), сигнал ОТВ, равный единице, блокирует по управляющему входу С1 работу дешифратора 40, снимая тем самым сигнал ЧТН, равный единице. По заднему фронту сигнала ОТВ на выходе элемента И 41 образуется сигнал Сч—1, равный единице, а на выходе элемента И 42 — сигнал СТРОБ ЗАП, равный единице. С выхода блока 18 управления обменом сигнал СТРОБ ЗАП, равный единице, поступает на входы элементов И 51 и 54 блока 14 управления регистрами данных, транслируясь через мультиплексор 20. В зависимости от того, какой регистр 8 или 9 данных свободен — триггер 44 или 46 находится в состоянии нуля и сигнал с его инверсного плеча разрешает работу элемента И 51 или 54. После срабатывания элементов И 51 или 54 на выходе блока 14 управления регистрами данных появляется сигнал ЗАП 1 или ЗАП 2, равный единице. Под действием этого сигнала информация с внутренней входной ин-

формационной магистрали устройства записывается в соответствующий регистр данных 8 или 9. Таким образом, байт информации принимается устройством сопряжения. С выхода блока 18 управления сигнал Сч—1, равный единице, подается на управляющий вход счетчика 12. Под действием этого сигнала содержимое счетчика 12 уменьшается на единицу и, так как принятый байт был последним, становится равным нулю. На выходе счетчика 12 сигнал $Cч \neq 0$ изменяет свое значение с единичного на нулевое. С выхода счетчика 12 сигнала $Cч \neq 0$ поступает на вход блока 14 управления регистрами данных и на вход блока 16 захвата магистрали. В блоке 14 управления регистрами данных (фиг. 4) сигнал $Cч \neq 0$, равный нулю, подается на первый вход элемента И 47. Под действием этого сигнала элемент И 47 блокируется и на его выходе образуется сигнал, равный нулю, который, транслируясь через элемент ИЛИ 49, поступает на второй вход элемента И 57. Под действием этого сигнала элемент И 57 блокируется и на его выходе образуется сигнал РЧТ, равный нулю. С выхода блока 14 управления регистрами данных сигнал РЧТ, равный нулю, подается на вход блока 18 управления (фиг. 3). Поступая на первый вход элемента И 36, сигнал РЧТ, равный нулю, блокирует его работу и на его выходе образуется сигнал, равный нулю, который, транслируясь через элемент ИЛИ 38, поступает на первый прямой вход элемента И 39. Под действием этого сигнала на выходе элемента И 39 образуется сигнал, равный нулю, который, поступая на управляющий вход С1 дешифратора 40, запрещает его работу. Теперь сигнал ЧТН на выходе дешифратора 40 при изменении сигнала ОТВ не становится равным единице. С выхода счетчика 12 сигнал $Cч = 0$, равный нулю, поступает на вход блока 16 захвата магистрали. Под действием этого сигнала блоком 16 захвата магистрали снимается сигнал ЗДМ, равный единице, через шину 25 управления по магистрали М1. На магистрали М1 появляется сигнал РДМ, равный нулю. Этот сигнал сигнализирует о том, что обмен информацией по магистрали М1 закончен.

Завершение обмена на передающей стороне происходит следующим образом.

В блоке 14 управления регистрами данных (фиг. 4) на входы элемента ИЛИ 53 подаются сигналы с прямых плеч триггеров 44 и 46, а на ее выходе вырабатывается сигнал РЗП. Таким образом, сигнал РЗП на выходе элемента ИЛИ 53 равен единице тогда, когда в единичном состоянии находится хотя бы один из указанных триггеров, а это означает, что хотя бы в одном из регистров 8 или 9 данных имеется байт информации, еще не считанный из устройства.

С выхода блока 14 управления регистрами данных сигнал РЗП, равный единице, поступает на вход блока 19 управления (фиг. 3). При наличии сигналов — РЗП, равного единице, ОТВ, равного нулю, РДМ, равного единице, по управляющим входам С1 и С2 разрешается работа дешифратора 40. Под действием сигналов — РКО, равного нулю, и РК2, равного единице, на выходе дешифратора 40 образуется сигнал ВДЧ, равный единице. С выхода блока 19 управления через шину 26 управления сигнал ВДЧ, равный единице, поступает на магистраль М2. Внешнее устройство, сопрягаемое по магистрали М2, приняв сигнал ВДЧ, равный единице, осуществляет прием байта информации и подтверждает это сигналом ОТВ, равным единице. Транслируясь через магистраль М1, блок 17 захвата магистрали, этот сигнал поступает на вход блока 19 управления (фиг. 3). Этот сигнал, поступая на второй инверсный вход элемента И 39, вырабатывает на ее выходе сигнал, равный нулю, который блокирует по входу С1 работу дешифратора 40. На выходе дешифратора 40 сигнал ВДЧ принимает значение нуля. Под действием сигналов — ОТВ, равного единице, и РКО, равного нулю, на выходе элемента И 43 вырабатывается сигнал СТРОБ ЧТН, равный единице. Под действием сигнала РДМ, равного единице, и по заднему фронту сигнала ОТВ на выходе элемента И 41 образуется сигнал $Cч—1$, равный единице. С выхода блока 19 управления сигнал СТРОБ ЧТН передается на вход блока 14 управления регистрами данных (фиг. 4). На элементе И 60 или 61 происходит совпадение сигналов СТРОБ ЧТН, равного единице, и сигнала ТЧ1 или ЧТ2 соответственно, равного единице, в зависимости от того, из какого регистра 8 или 9 данных был прочитан последний байт данных, и сигнал с выхода этого элемента, равный единице, поступает на синхронизирующий вход С триггера, устанавливая его в нулевое состояние. Так как оба триггера 44 и 46 находятся в состоянии нуля, на входы элемента ИЛИ 53 подаются сигналы с их прямых плеч, равные нулю. На выходе этого элемента образуется сигнал РЗП, равный нулю. С выхода блока 14 управления регистрами данных сигнал РЗП поступает на вход блока 19 управления (фиг. 3). Через линию 35 задержки сигнал РЗП, равный нулю, поступает на первый вход элемента И 37, образуя на его выходе сигнал, равный нулю. С выхода элемента И 37 нулевой сигнал транслируется через элемент ИЛИ 38 и поступает на первый вход элемента И 39, блокируя его работу. С этого момента выдача сигнала ВДЧ, равного единице, с выхода дешифратора 40 запрещена. С выхода блока 19 управления сигнал $Cч—1$, равный единице, поступает на управляющий вход

счетчика 13. Под действием этого сигнала содержимое счетчика 13 уменьшается на единицу и становится равным нулю. На выходе счетчика образуется сигнал $Sч \neq 0$, равный нулю. С выхода счетчика 13 сигнал $Sч \neq 0$ поступает на вход блока 17 захвата магистрали и сигнал ЗДМ становится равным нулю. Сигнал ЗДМ по шине 26 управления поступает на магистраль М2. В ответ на это на магистрали М2 появляется сигнал РДМ, равный нулю. Это свидетельствует о том, что обмен по магистрали М2 закончен. С выходов счетчиков 12 и 13 сигналы $Sч \neq 0$, равные нулю, поступают на вход блока 14 управления регистрами данных (фиг. 4). На элемент ИЛИ 65 происходит совпадение нулевых значений этих сигналов и на ее выходе образуется сигнал «Сброс» (СБР), равный нулю. С выхода блока 14 управления регистрами данных сигнал СБР поступает на управляющий вход регистра 15 команд. Под действием сигнала СБР, равного нулю происходит обнуление содержимого регистра 15 команд. Это означает, что устройство для сопряжения работы завершило и в него может поступать новая настроечная информация.

Формула изобретения

Устройство для сопряжения, содержащее блок дешифрации адреса, первый регистр адреса, первый регистр данных, регистр команд, первый блок управления, первый блок захвата магистрали, причем первая группа информационных входов блока дешифрации адреса является первой группой адресных входов-выходов устройства, выходы первой группы блока дешифрации адреса соединены с входами выбора первого регистра адреса и регистра команд, первый управляющий вход блока захвата магистрали соединен с выходом регистра команд и первым входом блока управления, управляющие выходы группы которого соединены с входами группы блока захвата магистрали и образуют управляющие входы-выходы первой группы устройства, отличающееся тем, что с целью повышения пропускной способности устройства за счет организации прямой логической связи между магистралями, в него введены первый и второй формирователи данных, первый и второй формирователи адреса, первый и второй сумматоры, первый и второй счетчики, второй регистр адреса, второй регистр данных, блок управления регистрами данных, второй блок захвата магистрали, второй блок управления и мультиплексор, причем вторая группа информационных входов-выходов блока дешифрации адреса является второй группой адресных входов-выходов устройства, выходы второй группы блока дешифрации адреса соединены соответственно с входами выбора

первого и второго формирователя адреса, первого и второго счетчиков, второго регистра адреса, первые группы входов-выходов первого, второго формирователей данных являются соответственно первой и второй группами информационных входов-выходов устройства, информационные выходы первого и второго формирователей данных соединены соответственно с информационными входами первого и второго регистров адреса, с информационными входами первого и второго счетчиков, с информационными входами первого и второго регистров данных и с информационными входами регистра команд, выходы первого и второго регистров данных соединены с информационными входами первого и второго формирователей данных соответственно, выходы группы второго блока управления соединены с входами группы второго блока захвата магистрали и образуют управляющие входы-выходы второй группы устройства, информационные выходы первого и второго регистров адреса соединены соответственно с первыми информационными входами первого и второго сумматоров, информационных выходы первого и второго счетчиков соединены соответственно с вторыми информационными входами первого и второго сумматоров, выходы которых соединены соответственно с информационными входами первого и второго формирователей адреса, выходы которых соединены соответственно с адресными входами-выходами первой и второй групп устройства, первый и второй выходы блока управления регистрами данных соединены соответственно с управляющими входами первого и второго регистров данных, третий выход блока управления регистрами данных соединен с управляющим входом регистра команд, четвертый выход блока управления регистрами данных соединен с вторыми входами первого и второго блоков управления, выход регистра команд соединен с входами запроса доступа к магистрали первого и второго блоков захвата магистралей, с первыми входами первого и второго блоков управления, с первыми управляющими входами первого и второго формирователей данных, с управляющими входами первого и второго сумматоров, с первым входом мультиплексора и с первым входом блока управления регистрами данных, выходы первого и второго блоков захвата магистрали соединены соответственно с третьими входами первого и второго блоков управления, вторыми управляющими входами первого и второго формирователей данных, с входами управления первого и второго формирователей адреса, выходы не-реполнения первого и второго счетчиков соединены соответственно с вторыми входами первого и второго блоков захвата магистрали и соответственно с вторым и третьим вхо-

13

дами блока управления регистрами данных, четвертый вход которого соединен с выходом мультиплексора, второй и третий входы которого соединены соответственно с первыми

14.

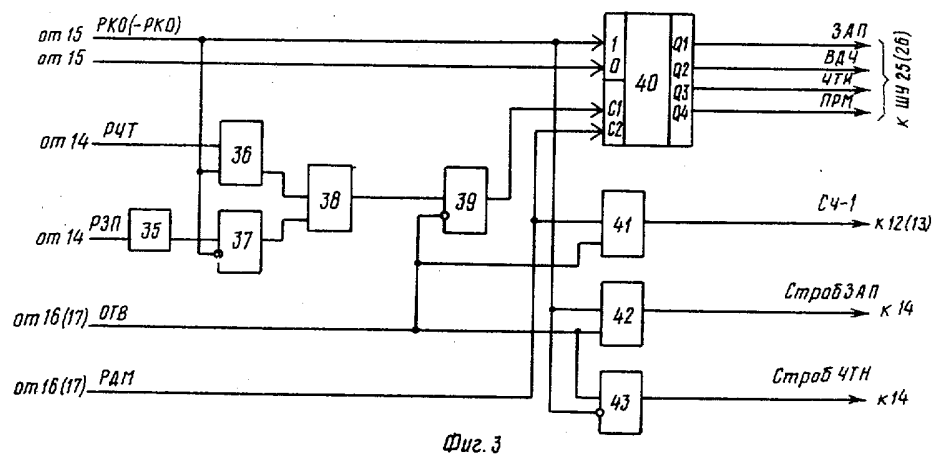
выходами первого и второго блоков управления, вторые выходы которых соединены соответственно с управляющими входами первого и второго счетчиков.

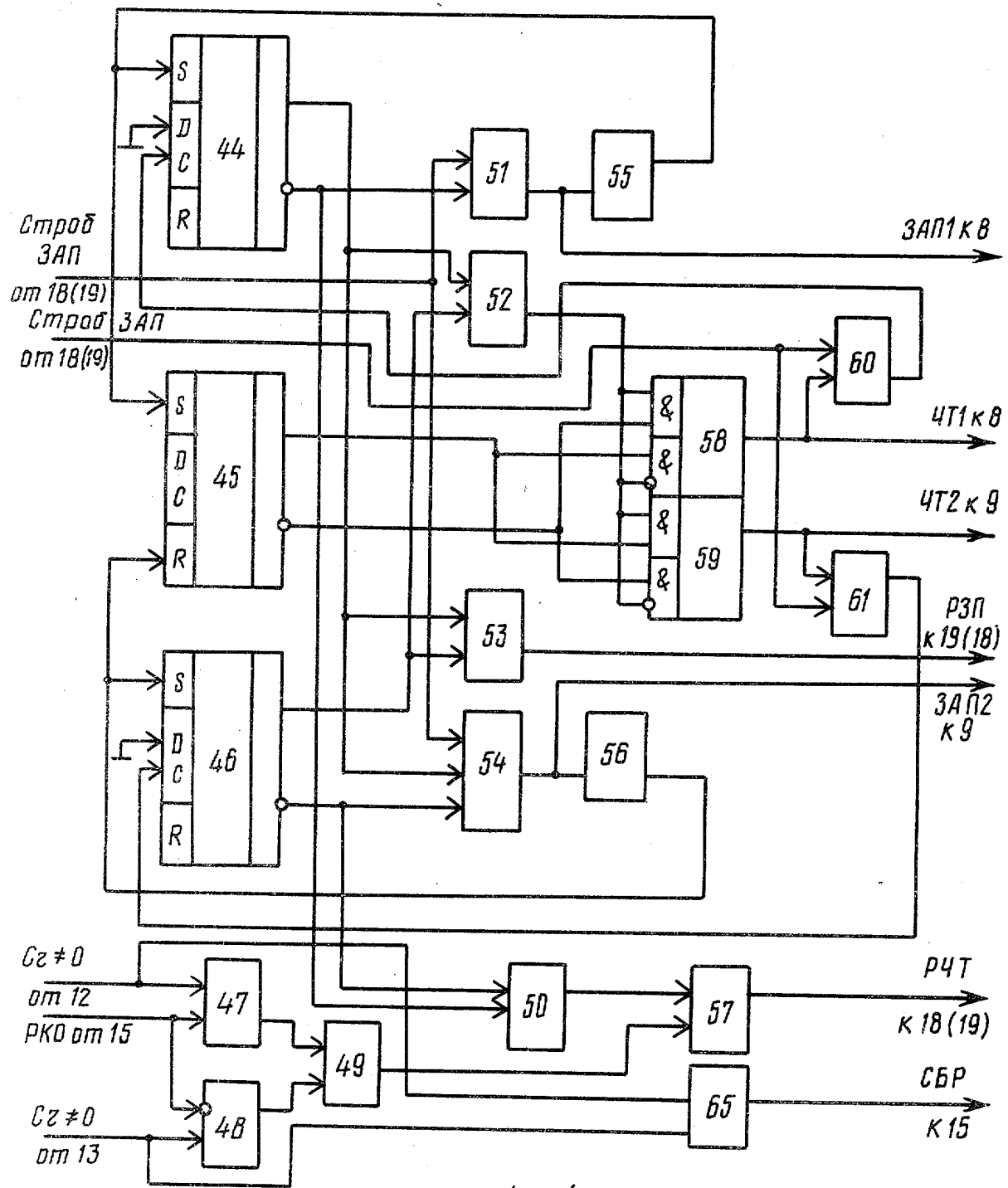
Т а б л и ц а 1

A	A	A	Адресуемый блок
0	0	0	Регистр 6 адреса младший байт
0	0	1	Регистр 6 адреса старший байт
0	1	0	Регистр 7 адреса младший байт
0	1	1	Регистр 7 адреса старший байт
1	0	0	Счетчики 12 и 13 младший байт
1	0	1	Счетчики 12 и 13 старший байт
1	1	0	Регистр 15 команд

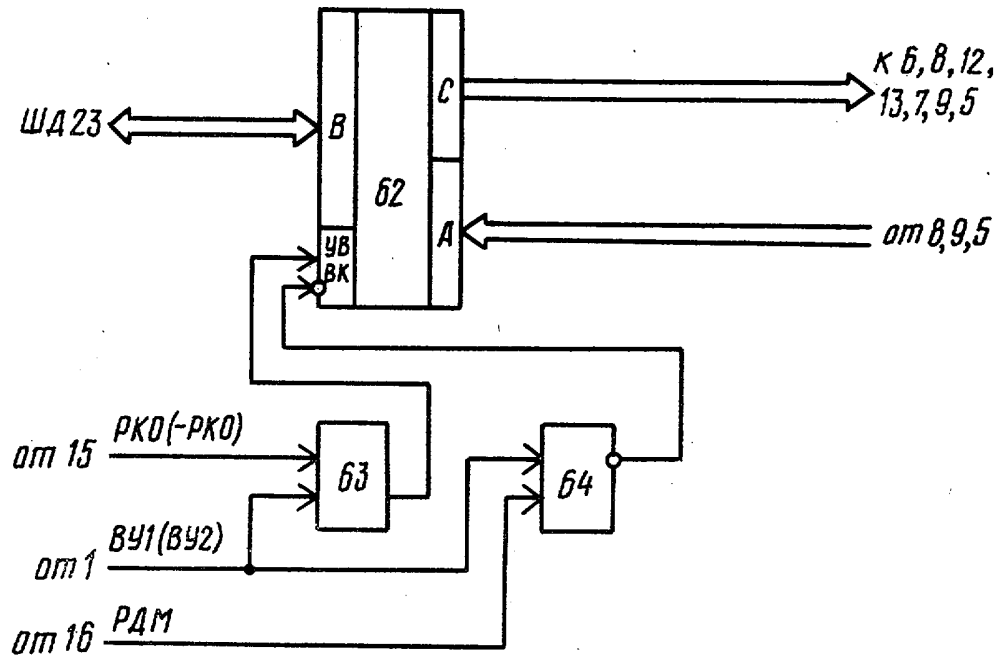
Т а б л и ц а 2

PK0	-PK0	PK1	PK2	Магистраль 1				Магистраль 2			
				ЗПА	ВДЧ	ЧТН	ПРМ	ЗАП	ВДЧ	ЧТН	ПРМ
0	1	0	0	X						X	
0	1	0	1	X							X
0	1	1	0		X					X	
0	1	1	1		X						X
1	0	0	0			X		X			
1	0	0	1			X			X		
1	0	1	0				X	X			
1	0	1	1				X		X		





Фиг. 4



Фиг. 5

Редактор Т. Лазоренко
 Заказ 5556/51
 ВНИИПИ Государственного комитета СССР по делам изобретений и открытий
 113035, Москва, Ж—35, Раушская наб., д. 4/5
 Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4

Составитель Б. Резван
 Техред И. Верес
 Тираж 704

Корректор В. Бутяга
 Подписное