

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵

H01L 29/44

H01L 29/78

(45) 공고일자 1991년11월12일

(11) 공고번호 91-009353

(21) 출원번호	특1989-0000574	(65) 공개번호	특1989-0012401
(22) 출원일자	1989년01월20일	(43) 공개일자	1989년08월26일
(30) 우선권주장	63-11390 1988년01월21일	일본(JP)	
(71) 출원인	가부시키키가이샤 도시바	아오이 조이치	
	일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지		

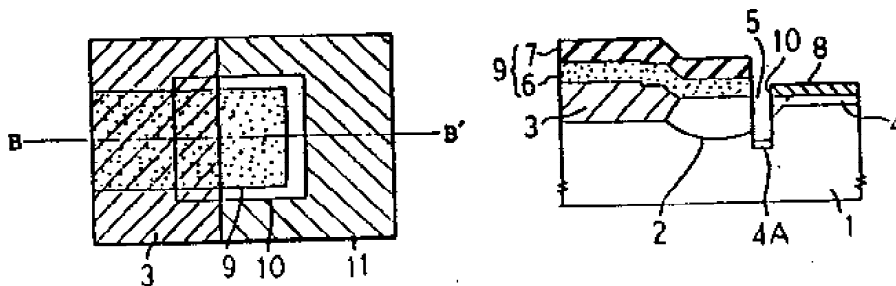
(72) 발명자 나카야마 다케오

일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키키가이샤 도시바 종합연구소내

(74) 대리인 김윤배

심사관 : 김정국 (책자공보 제2564호)**(54) 반도체장치 및 그 제조방법****요약**

내용 없음.

대표도**명세서**

[발명의 명칭]

반도체장치 및 그 제조방법

[도면의 간단한 설명]

제1a도는 하부확산층접속용 배선층에 대한 종래의 패턴 평면도.

제1b도는 제1a도의 B-B'선 단면도.

제2a도는 배선층에 대한 종래의 다른 패턴평면도.

제2b도는 제2a도의 B-B'선 단면도.

제3a도 내지 제6a도는 본 발명의 평면도.

제3b도 내지 제6d도는 본 발명에 따른 실시예의 제조단계를 나타내는 단면도.

제7a도 내지 제11a도는 본 발명의 평면도.

제11b도 및 제11d도는 본 발명에 따른 다른 실시예의 제조단계를 나타내는 단면도.

제12도 및 제13도는 본 발명에 따른 또다른 실시예의 배선층 및 접속홀을 나타내는 평면도이다.

* 도면의 주요부분에 대한 부호의 설명

1,41,51A : 반도체기판	2,22,45,59 : 하부확산층
3,42,52 : 소자분리영역	4,24,49,53A : 소오스 또는 드레인 영역
5,50,64 : 홈부	6,46,57 : 다결정실리콘층
7,47,58 : 고용점금속층	8,43 : 게이트절연층
9,29,48,60,70 : 배선층	10,30,44,56,80,100 : 접속홀
20 : 비주입영역	11,51,61 : 소자영역
40,63 : 중첩부	53 : 에피택셜층
54,55 : 산화층	

[발명의 상세한 설명]

본 발명은 반도체장치 및 그 제조방법에 관한 것으로, 특히 접속홀에 배선패턴을 교차되도록 접속시켜 줌으로써 확산영역과 소자영역이 접속되도록된 반도체장치 및 그 제조방법에 관한 것이다.

일반적으로 MOS형 반도체장치에 있어서는, 배선층과 소오스 또는 드레인영역 사이에 도전로를 형성시키기 위해, 게이트전극을 형성시킬 때 이 게이트전극과 동일재료로 형성되어지는 배선층에다 하부 확산영역을 접속되도록 형성시키게 된다.

제1a도 및 제1b도는 종래의 배선에 관한 배열상태를 나타낸 것으로, 제1a도는 평면도, 제1b도는 제1a도의 B-B'선 단면도인 바, 여기서 부호 1은 반도체기판이고, 부호 2는 하부산층, 부호 3은 소자분리영역, 부호 4는 소오스 또는 드레인 영역(이하 소오스영역), 부호 8은 게이트절연층, 부호9는 다결정실리콘층(6)과 고용점금속층(7)으로 구성된 다층구조를 갖는 배선층이다. 이렇게 제1a도에 나타내어진 것처럼 종래의 배선층(9)은 접속홀(10)내에서 하부확산층(2)과 접속되도록 되어 있다.

상기와 같이 종래의 반도체장치의 소자를 제조하는 공정에 대해 설명하면 다음과 같다.

먼저 접속홀(10)을 형성시킨 다음, 불순물로 도우프처리 시켜진 다결정실리콘층(6)을 적층시키고, 열처리를 실행하여 다결정실리콘층(6)로부터 기판으로 불순물을 확산시켜 하부확산층(2)을 형성시킨다. 이어 저항을 낮추기 위해 다결정실리콘층(6) 위에는 고용점금속층(7)을 집적시킨 다음 이를 에칭공정으로 패턴화해서 배선층(9)을 형성시키는데, 여기서 게이트절연층(8)이 공정시에 에칭되지 않도록 에칭조건을 선택하게 된다.

이와 같은 구조는 배선층(9)의 선단부가 접속홀(10)의 내측에서 끝나게 되므로, 에칭공정시에 절연층(8)과 배선층(9)사이의 노출된 기판이 에칭되어져 홈부(5)가 형성되게 된다.

이어 배선층(9)을 마스크로 해서 이온주입을 행하여 기판표면에 소오스 및 드레인영역(4)을 형성시키게 된다. 여기서 부호 4A는 이온주입시에 형성된 확산영역이다.

그런데 이와같은 제조공정에서는 상기 홈부(5)가 하부확산층(2)과 교차되어 배선층(9)과 소오스영역(4)사이의 도전로를 차단시키기 때문에, 홈부(5)로인한 불연속을 피하기 위해 하부확산층(2)을 깊게 형성시킬 필요가 있게되고, 하부확산층(2)을 깊게 확산시키게 되면 소자의 고집적화가 곤란해지게 된다.

제2a도 및 제2b도는 종래 배선패턴의 다른예를 나타낸 것으로, 제2a도는 평면도, 제2b도는 제2a도의 B-B'선 단면도로서, 이 예에 있어서는 배선층(29)에 의해 접속홀(30)이 완전히 덮혀지게 되는 바, 그 공정단계는 제1a도 및 제1b도의 단계와 같다.

그러나 여기서는 접속홀(30)내의 기판이 배선층(29)의 패턴링 때문에 에칭공정시에 노출되지 않게 되므로 제1b도에서와 같은 불필요한 홈부(5)가 형성되지 않게 되지만, 하부확산층(22)과 소오스(또는 드레인)영역(24)사이에는 비주입영역(20)이 형성되게 되므로, 하부확산층(22)의 횡방향확산을 이용하여 상기 두 영역(22)(24)이 접속되도록 하부확산층(22)을 깊게 형성시키는 것이 필요하게 되고, 상기 하부확산층(22)을 깊게 형성시키게 되면, 전술한 바와 마찬가지로 소자의 고집적화가 곤란해지게 된다는 문제가 있다.

본 발명은 상기와 같은 문제점을 해결하기 위해 발명된 것으로, 하부확산층이 얇게 확산시켜진 상태에서 예컨대 MOS 트랜지스터의 소오스 또는 드레인영역과 같은 소자영역 및 하부확산영역들이 확실하게 전기적으로 접속됨으로써 고집적화를 기할 수 있도록 된 반도체장치 및 그 제조방법을 제공하는데 목적이 있다.

상기와 같은 목적을 달성하기 위한 본 발명 반도체장치는, 적어도 부분적으로 서로 중첩되는 확산영역과 소자영역을 갖는 반도체기판과, 이 기판 표면에 형성되어 확산영역을 노출시키는 접속홀이 형성된 절연층, 상기 접속홀 위에 교차되어 이 접속홀에 대해 적어도 4개의 교차점을 갖는 배선층으로 되어 있다.

또 본 발명 반도체장치의 제조방법은, 반도체기판을 준비하여 이 기판표면에 절연층을 형성시킨 다음, 불순물로 도우프처리하고, 이어 접속홀 주변부위에 적어도 4개의 교차점을 갖는 배선층을 형성시킨 다음, 이 배선층으로부터 기판으로 불순물을 확산시켜 확산영역을 형성시키며, 다음에는 배선층을 마스크로 해서 기판에 불순물을 주입시켜 소자영역을 형성시켜, 상기 확산영역과 이 소자영역의 경계부와 배선층의 교차점아래에다 확산영역 및 소자영역이 중첩되는 중첩부분을 형성시키도록 되어 있다.

이하 도면을 참조하여 본 발명을 상세히 설명한다.

제3a도 내지 제6a도 및 제3b도 내지 제6d도는 본 발명에 따른 배선패턴을 갖는 반도체장치를 제조하는 공정단계를 나타낸 평면도와 단면도이다.

먼저 예컨대 P형 반도체기판(41)을 준비해서 여기에다 소자분리영역(42)을 형성시키는데, 이 소자분리영역(42)의 형성은, 기판(41)위에다 950℃에서 열처리산화법으로 500Å 두께의 산화층을 형성시킨 다음 그 위에다 1500Å 두께의 실리콘 나이트라이드(SiN)층을 적층시키고, 이어, 화학적기상증착방식 에칭(CED:Chemical Dry Etching)방법으로 리도그래피기술(lithography technique)로 소자형성예정영역(이하 소자영역이라 함) 위의 상기 SiN층을 제거시킨 후, 1000℃에서 열처리산화법으로 기판(41) 표면에다 8000Å 두께의 산화층을 형성시키고, 상기 CED법을 이용해서 나머지 SiN층을 제거시킨 다음, 암모늄용액(NH₄F)으로 에칭해서 소자영역(51)위의 나머지 산화층을 제거시킴으로써 형성되게 된다.

상기와 같이해서 소자분리영역(42)을 형성시킨 다음에는 제4b도에 도시된 것처럼 300Å 두께의 산화층을 900℃에서 건조산화법으로 형성시키고, 리도그래피기술과 암모늄용액을 사용해서 산화층을 선택적으로 에칭시켜 접속홀(44)을 형성시킨다. 그리고 4000Å 두께의 배선용 다결정실리콘층(46)을 화학적기상성장법(CVD:Chemical Vapor Deposition)으로 형성시키고, 900℃이고, POCl₃ 인 분위기속에서 40분간 열처리하여 다결정실리콘층(46)을 인(P)으로 도우프처리함으로써 저저항화시킨다. 이어, 열처리로 다결정실리콘층(46)으로부터 기판중에 인을 확산시켜 하부확산층(45)을 형성시킨다.

그리고 저항을 낮추기 위해, 다결정실리콘층(46)위에 스퍼터링방법으로 가령 예컨대 Mo, MoSi_x, W, WSi_x, Ti 및 Ti_x 와 같은 고용점금속 또는 고용점금속층(47)을 적층시키고(제5a, b도), 이어 에칭공정으로 다결정실리콘층(46)과 고용점금속층(47)을 패턴화시켜 예정된 배선층(48)을 형성시키게 되는 바(제6a도), 이 공정에서 MOS 트랜지스터의 게이트전극(도시되지 않음)이 동시에 형성되게 되고, 배선층(48)이 소자영역(51)위의 접속홀(44)과 교차하게 된다. 즉 4개의 교차점(P1, P2, P3, P4)이 생기게 된다. 이 실시예에 있어서, 접속홀(44)은 오각형으로 되어 있다.

다음에는, 상기 배선층(48)을 마스크로 하여 40Kev의 가속전압과 $5 \times 10^{13} \text{ cm}^{-2}$ 의 도즈량으로 이온주입법으로 인을 주입시켜 소오스 또는 드레인영역(49)을 형성시키게 되는바, 이에 대해 소오스영역(49)에 대해서만 기술한다.

층간절연층(도시되지 않음)을 형성시킨 다음 공지의 방법으로 평탄화하고 나서, 접속홀과 금속층을 형성시켜, 이 금속층을 패턴화하여 배선층(도시되지 않음)을 형성시킨다.

제6b도 내지 (d)도는 각각 제6a도의 I-I 선과 II-II 선 및 III-III 선 단면도인 바, 제6b도에 나타내어진 것처럼 배선층(48)이 절연층(43)위에 겹쳐진 부분의 하부확산층(45)과 소오스영역(49)사이에는 접속되지 않은 부분이 존재하고, 교차점(P2)에서는 하부확산층(45)과 소오스영역(49)이 겹쳐져 중첩부(40)가 형성되게 된다. 즉 하부확산층(45)의 표면에는 절연층(43) 때문에 배선층(48)이 패턴링 될 때 에칭이 되지 않아 불필요한 홈부가 형성되지 않게 되지만, 배선층(48)이 접속홀(44)내부에서 끝나는 부분에는 제6d도에 나타내어진 것처럼 불필요한 홈부(50)가 생기게 된다. 그러나 전술한 것처럼 교차점(P2)에는 하부확산영역(45)과 소오스영역(49)이 서로 접촉하게 되므로, 배선층(48)과 소오스영역(49)사이의 도전로가 형성되게 된다. 즉 상기 하부확산층(45)이 얇게 형성되더라도 교차점에는 중첩부(40)가 존재하게 되므로써, 반도체소자의 고집적화가 가능해지게 된다.

제7a도내지 제11a도 및 제7b도 내지 제11b도는 본 발명의 다른 실시예 제조단계를 나타내는 평면도 및 단면도인바, 이 실시예에서는 소자분리영역의 최소화로 인한 절연용량의 저하를 방지하기 위해 소자분리용으로 2층 구조가 채용되고 있는바, 그 제조공정은 다음과 같이 이루어진다.

먼저, P형 반도체기판(51A)를 준비해서 제1소자분리영역(52)을 제1실시예와 같은 방법으로 형성시킨 다음에 950℃에서 에피택셜성장법으로 0.2μm두께의 에피택셜층(53)을, 850℃에서 건조산화법으로 500Å 두께의 산화층(도시되지 않음)을, CVD 법으로 1500Å 두께의 SiN층(도없음)을 각각 형성시킨다. 이어 CED법에 의해 리도그래피기술로 소자형성예정영역(이하 소자영역)위의 SiN층을 선택적으로 에칭해서 제거시킨다음, 열처리산화법으로 산화공정을 실시하여 4500Å 두께의 산화층(54)을 형성시키고 나서 CED공정에서 나머지 SiN층을 제거시키고 NH₄F에칭으로 에피택셜층(53)의 소자영역위의 나머지 산화층을 제거시키는 바, 이 공정에서 제1소자분리영역(52)과 제2소자분리영역(54)이 형성되게 된다(제8a, b도).

다음 800℃에서 10%의 염소를 포함하는 건조산소분위기에서 산화층(55)을 형성시킨 다음 리도그래피기술과 NH₄F에칭으로 접속홀(56)을 형성시키고 (제9a, b도), CVD법으로 기판위에다 2000Å 두께의 다결정실리콘층(57)을 적층시키고나서 900℃와, POCl₃ 분위기중에서 30분간 열처리하여 상기 다결정실리콘층(57)을 인으로 도우프처리해서 저저항화시킨다.

다음에는 열처리로 다결정실리콘층(57)으로부터 기판으로 인을 확산시켜 하부확산층(59)을 형성시키고, 또 저항을 낮춰주기 위해 예컨대 Mo, MoSi_x, W, WSi_x, Ti 및 Ti_x 와 같은 고용점금속(58)을 다결정실리콘층(57)위에다 스퍼터링 방법으로 적층시킨다(제10a, b도). 이어 에칭공정으로 다결정실리콘층(57)을 패턴화시켜 예정된 배선층(60)을 형성시키게 되는데, (제11a도), 이 공정에서 MOS 트랜지스터의 게이트전극(도시되지 않음)이 동시에 형성되게 되고, 배선층(60)이 소자영역(61)위의 접속홀(56)과 교차되게 되는바, 즉 4개의 교차점(P1, P2, P3, P4)이 생기게 된다. 이 실시예에서도 접속홀(56)이 역시 오각형으로 된다.

다음에는 상기 배선층(60)을 마스크로해서 인을 40Kev의 가속전압과 $5 \times 10^{15} \text{ cm}^{-2}$ 의 도즈량으로 이온주입법으로 주입시킨 다음 열처리로 활성화시켜, 소오스 또는 드레인영역(53A)을 형성시킨다. 이하 부

터는 소오스영역(53A)에 대해서만 설명하기로 한다.

공지의 방법을 이용해서 층간절연층(도시되지 않음)을 형성시키고 평탄화시킨 다음 접속홀과 금속층을 형성시켜서 종래의 방법으로 금속층을 패턴화하여 배선층(도시되지 않음)을 형성시킨다.

제11b도 내지 (d)는 각각 제11a도의 I-I선과 II-II선 및 III-III선 단면도를 나타내는바, 제11b도에 도시되어진 것처럼 배선층(60)이 절연층(55)위에 겹쳐진 부분의 하부확산층(59)과 소오스영역(53A) 사이에는 접속되지 않은 부분이 생기게 되고, 하부확산층(59)과 소오스영역(53A)은 중첩되어지기 때문에 교차점(P2)에 중첩부(63)가 형성되게 된다. 즉, 중첩부(63)에는 절연층(55)의 형성으로 말미암아 배선층(60)을 패턴화할 때 에칭공정이 실시되지않게 되므로 불필요한 홈부가 형성되지 않게 되는 반면, 배선층(60)이 접속홀(56) 내부에서 끝나는 부분에 제11d도에서와 같이 불필요한 홈부(64)가 형성되게 된다. 그러나 전술한 바와 같이 교차점(P2)에서 하부확산영역(59)과 소오스영역(53A)이 서로 접속되게 되므로, 배선층(60)과 소오스영역(53A)사이의 도전로는 확실하게 얻어지게 된다. 이 실시예에서의 접속홀(56)은 오각형이지만 그 형상이 오각형으로만 제한되지는 않는 바, 즉 소자영역위에 교차점이 형성된 만큼의 배선층과 소자영역사이의 접속이 이루어지게 된다.

그리고 제12도에서 보면 배선층(70)이 분리영역(좌측)으로부터 연장되어 소자영역(우측)위로 겹쳐서 사각접속홀(80)을 교차하는 소자영역위의 교차점(P2,P4)이 형성되게 되는데, 이렇게 소자옆에 배선층(70)의 선단부가 놓여지게 됨으로써 에칭공정에서 기판표면을 노출시키기 위한 사각접속홀(80)을 형성하는 절연층과 배선층(70)의 선단부사이의 공극이 형성되지 않게 되므로써, 배선을 패턴화하기 위한 에칭공정시에 배선과 소자사이에 불필요한 홈부가 형성되지 않게 된다.

또 제13도에서 보면, 삼각형으로 된 선단부를 갖는 배선층(90)이 사각접속홀(100)과 교차해서 소자가 형성된 영역위에 교차점(P2,P4)이 형성되게 됨으로, 제12도의 실시예에서와 같은 이유로 배선층(20)과 소자영역(도시되지 않음)사이의 도전로가 확실하게 얻어지게 된다.

(57) 청구의 범위

청구항 1

적어도 부분적으로 중첩되는 확산영역(45,59)과 소자영역(49,53A)을 갖는 반도체기판(41,51A)과, 이 기판표면(41,51A)에 형성되어 상기 확산영역(45,59)을 노출시키는 접속홀(44,56)이 형성된 절연층(43,55) 및, 상기 접속홀(44,56)에 교차되어 접속홀(44,56)에 대해 적어도 4개의 교차점을 갖는 배선층(48,60)으로 구성된 것을 특징으로 하는 반도체 장치.

청구항 2

제1항에 있어서, 상기 기판(41,51A)에 MOS 트랜지스터의 소자분리영역(42,52)과 게이트절연층(43,55)이 형성되어 이 소자분리영역(42,52)과 게이트절연층(43,55)이 접속홀(44,56)을 형성하도록 된 것을 특징으로 하는 반도체장치.

청구항 3

제1항에 있어서, 상기 기판(51A)이 확산영역(59)과 소자영역(53A)이 형성된 에피텍셜층(53)을 갖는 것을 특징으로하는 반도체 장치.

청구항 4

제1항에 있어서, 상기 배선층(48,60)이, 확산영역(45,59)과 같은 도전성의 불순물로 도우프처리된 다결정실리콘층(46,57)으로 형성되면서, 이 다결정실리콘(46,57)위에 고용점금속층(47,58)이 형성된 것을 특징으로 하는 반도체장치.

청구항 5

제1항에 있어서, 상기 확산영역(45,59)과 소자영역(49,53A)이 도전형인 것을 특징으로 하는 반도체 장치.

청구항 6

제1항에 있어서, 상기 접속홀(44,56)이 오각형으로 형성된 것을 특징으로 하는 반도체 장치.

청구항 7

반도체기판(41,51A)을 준비해서 이 기판표면(41,51A)에 절연층(43,55)를 형성시킨 다음, 이 절연층(43,55)내에 접속홀(44,56)을 형성시키고 나서 불순물로 도우프처리하여 접속홀(44,56) 주변에 적어도 4개의 교차점(P1,P2,P3,P4)을 갖는 배선층(48,60)을 형성시키고, 이렇게 형성된 배선층(48,60)으로부터 기판(41,51A)으로 불순물을 확산시켜 확산영역(45,59)을 형성시키며, 이어 배선층(48,60)을 마스크로 해서 기판(41,51A)내에 불순물을 주입시켜 소자영역(49,53A)을 형성시킨 다음 상기 확산영역(45,59)과 이 소자영역(49,53A)의 경계부와 배선층(48,60)이 교차되는 교차점 아래에 확산영역(45,59)과 소자영역(49,53A)의 중첩부(40,63)를 형성시키도록 된 것을 특징으로 하는 반도체 장치 제조방법.

청구항 8

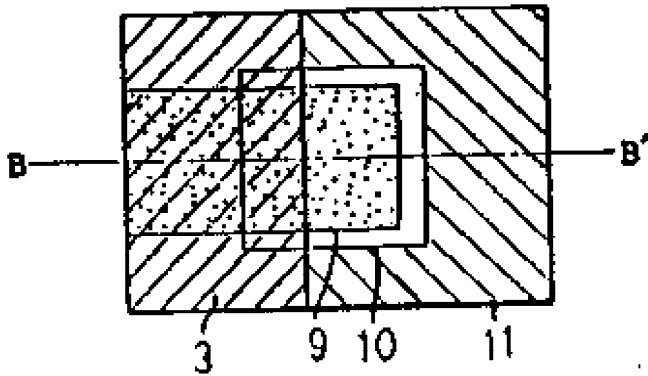
제7항에 있어서, 상기 확산영역(45,59)과 소자영역(49,53A)의 중첩부(40,63)를, 상기 소자영역(49,53A)을 형성시키는 것과 동시에 형성시켜주도록 된 것을 특징으로하는 반도체장치 제조방법.

청구항 9

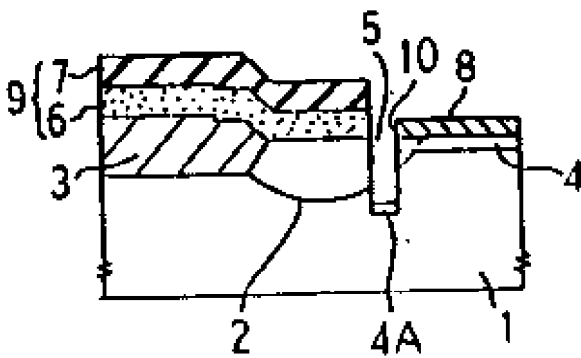
제7항에 있어서, 상기 배선층(48,60)을, 불순물로 도우프처리된 다결정실리콘층(46,57)과, 이 다결정실리콘층(46,57)위에 고용점금속 또는 고용점금속층(47,58)을 형성시킴으로서 형성되도록 하는 것을 특징으로 하는 반도체장치 제조방법.

도면

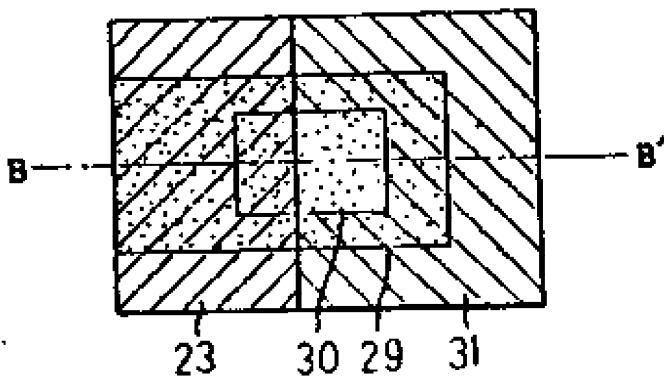
도면1-A



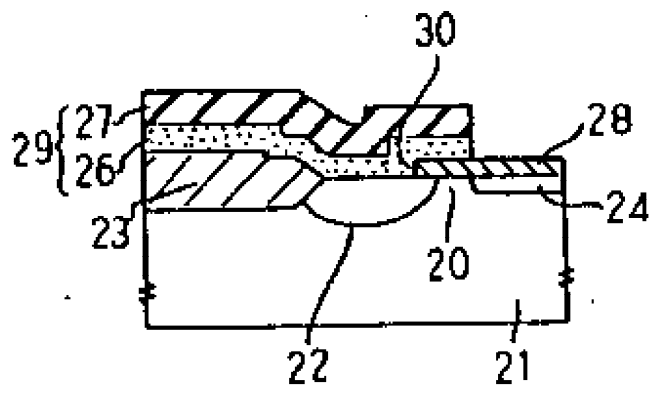
도면1-B



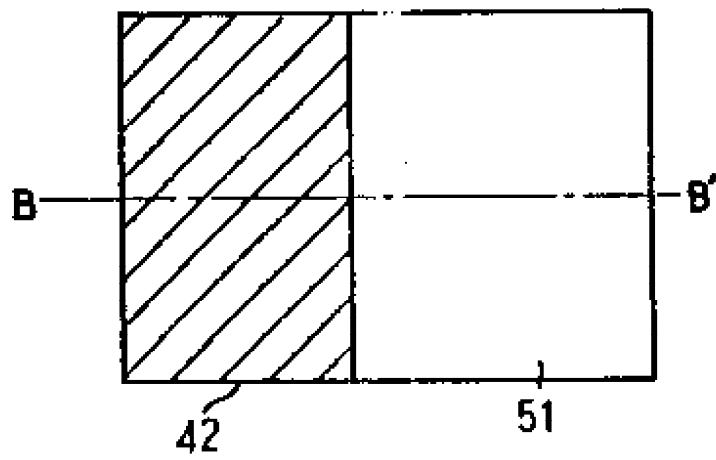
도면2-A



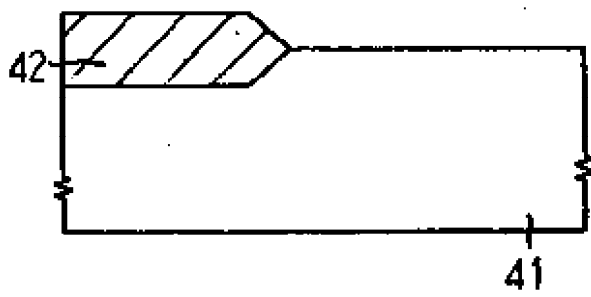
도면2-B



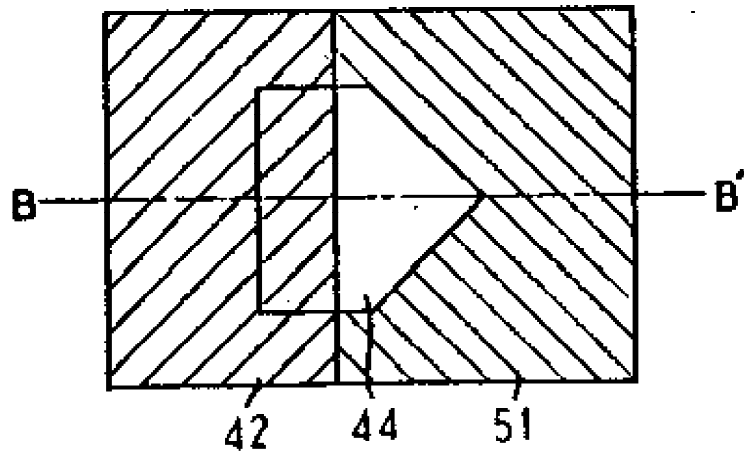
도면3-A



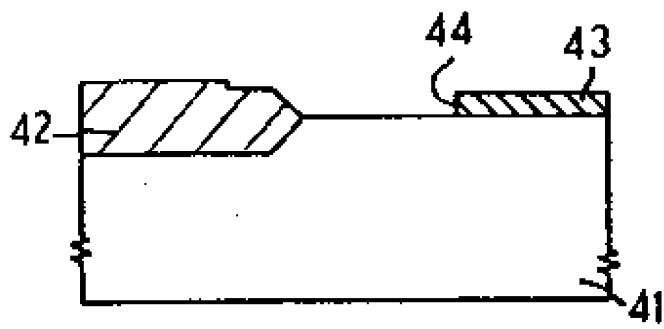
도면3-B



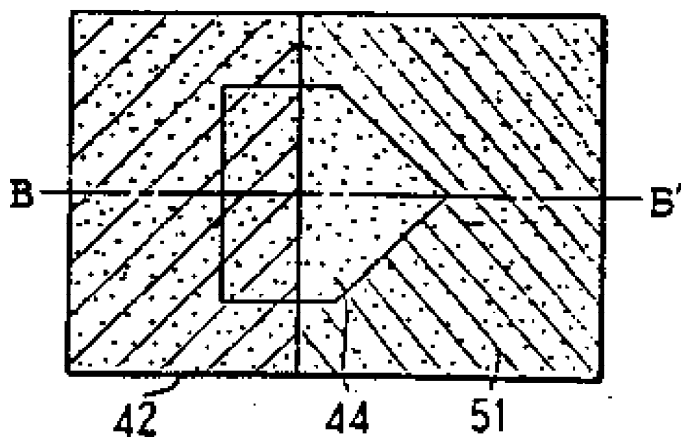
도면4-A



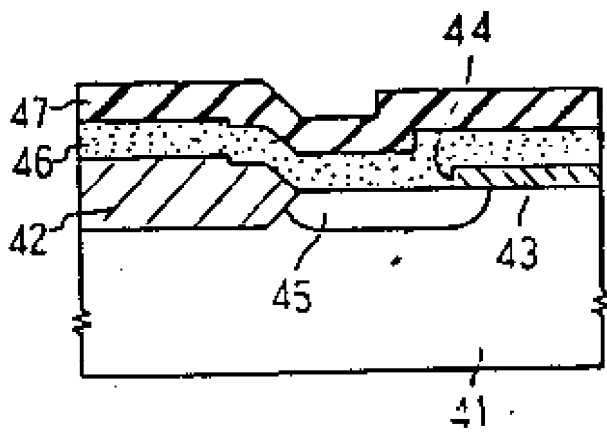
도면4-B



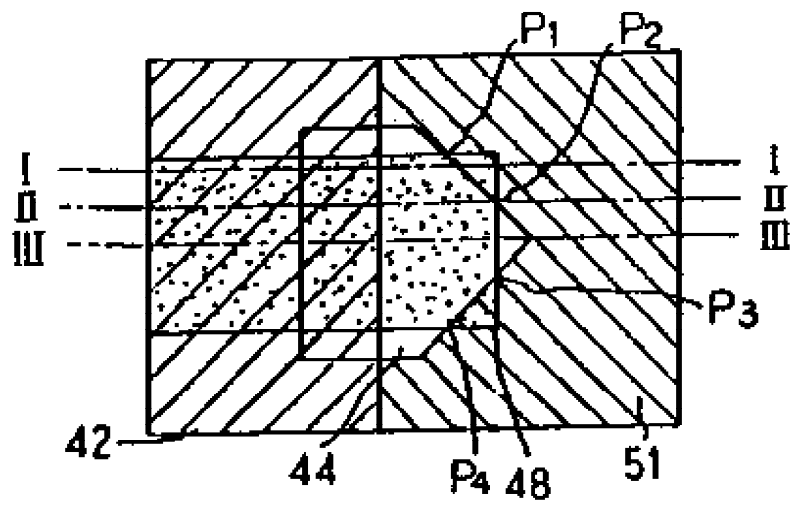
도면5-A



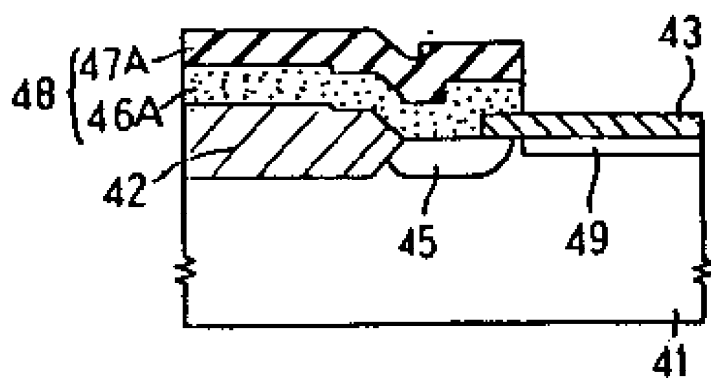
도면5-B



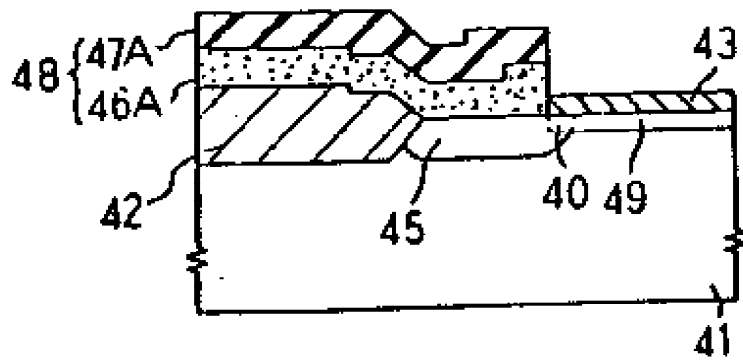
도면6-A



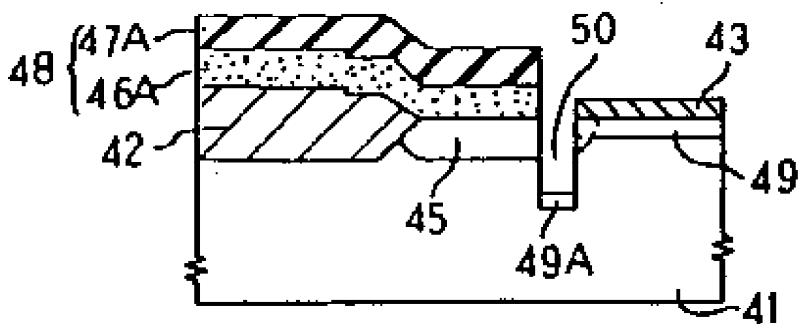
도면6-B



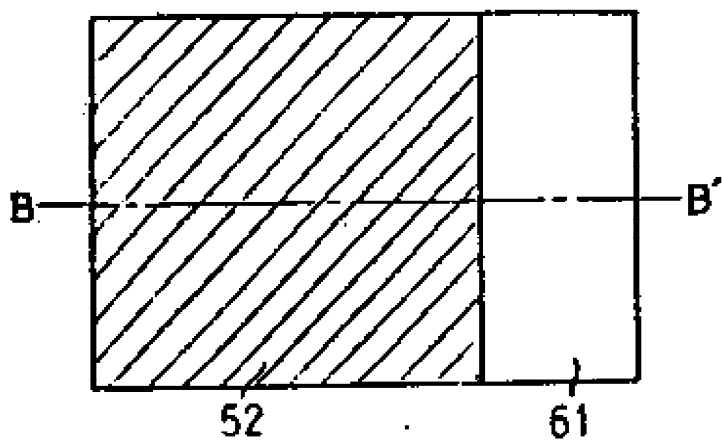
도면 6-C



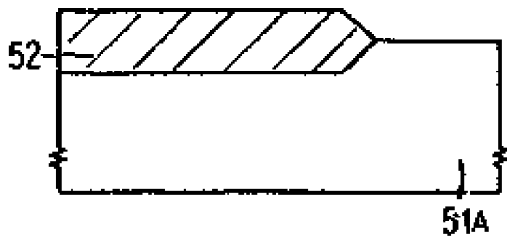
도면 6-D



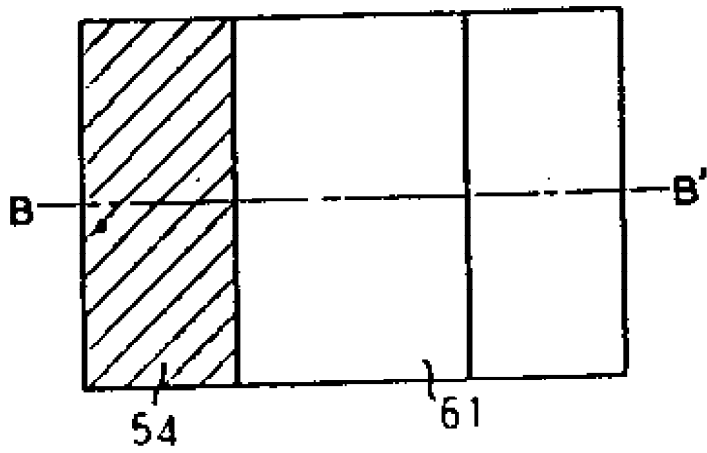
도면7-A



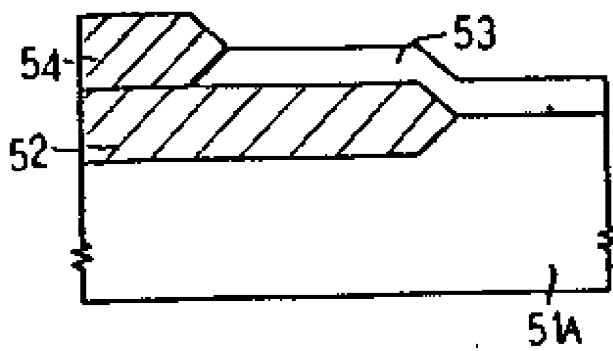
도면7-B



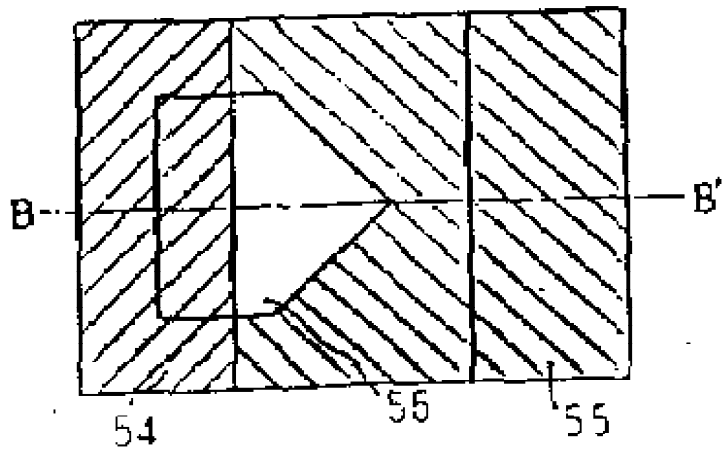
도면8-A



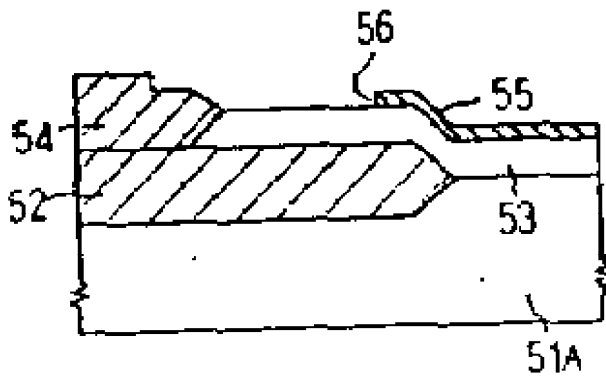
도면8-B



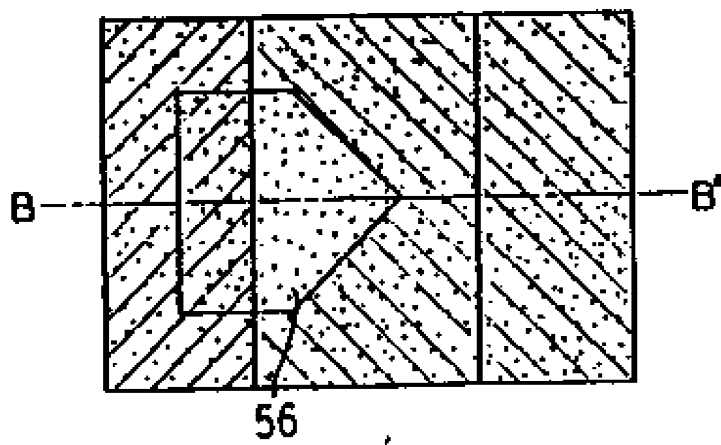
도면9-A



도면9-B



도면10-A



도면 13

