

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】令和 3 年 11 月 4 日 (2021.11.4)

【公開番号】特開 2021-40171 (P2021-40171A)

【公開日】令和 3 年 3 月 11 日 (2021.3.11)

【年通号数】公開・登録公報 2021-013

【出願番号】特願 2019-158359 (P2019-158359)

【国際特許分類】

H 0 4 L 25/02 (2006.01)

H 0 3 K 5/12 (2006.01)

H 0 3 K 19/0175 (2006.01)

【F I】

H 0 4 L 25/02 S

H 0 3 K 5/12

H 0 3 K 19/0175

【手続補正書】

【提出日】令和 3 年 9 月 22 日 (2021.9.22)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

伝送路を介してデータを送受信する複数の通信装置のうちいずれか一つの通信装置の通信に同期して他の通信装置が送信を行う通信システムにおいて用いられる前記通信装置であって、

前記伝送路上で優位な信号レベルを優位レベルとし、劣位な信号レベルを劣位レベルとしたとき、

前記伝送路の信号レベルが前記劣位レベルから前記優位レベルに変化するエッジを検出するエッジ検出回路 (5、42) と、

オンすることにより前記伝送路の信号レベルを前記優位レベルとすることができるスイッチング素子 (Q1) と、

前記スイッチング素子を駆動する駆動回路 (9、22、32、52) と、

前記駆動回路の動作を制御するものであり、前記エッジ検出回路により前記エッジが検出されると前記駆動回路に対して前記スイッチング素子のオン駆動を指令するオン指令を与える制御回路 (6、43、53) と、

を備え、

前記駆動回路または前記制御回路には、前記エッジから前記スイッチング素子がオンする時点までに要する遅延時間を短縮する遅延短縮部 (14、23、34、57) が設けられており、

前記遅延短縮部 (14、23、34) は、

前記駆動回路 (9、22、32) に設けられたものであり、

前記駆動回路が前記スイッチング素子をオン駆動するオン期間の開始時点を含む期間に、前記スイッチング素子の制御端子の電圧である制御電圧が、前記スイッチング素子がオンに転じる閾値電圧よりも所定値だけ低い第 1 電圧まで上昇するように電圧制御を行うことで前記遅延時間を短縮する通信装置。

【請求項 2】

前記遅延短縮部（１４、２３）が設けられた駆動回路（９、２２）は、

前記電圧制御を行うことにより前記制御電圧が前記第１電圧まで上昇した後、前記スイッチング素子の制御端子に一定の電流を供給する定電流制御を行う請求項１に記載の通信装置。

【請求項３】

前記遅延短縮部（３４）が設けられた駆動回路（３２）は、

前記電圧制御を行うことにより前記制御電圧が前記第１電圧まで上昇した後、前記制御端子の電圧が前記閾値電圧よりも高い第２電圧まで上昇するように電圧制御を継続する請求項１に記載の通信装置。

【請求項４】

前記遅延制御部は、

前記スイッチング素子の制御端子に対する前記第２電圧の供給経路に直列に介在するフィルタ回路（３３）を備える請求項３に記載の通信装置。

【請求項５】

伝送路を介してデータを送受信する複数の通信装置のうちいずれか一つの通信装置の通信に同期して他の通信装置が送信を行う通信システムにおいて用いられる前記通信装置であって、

前記伝送路上で優位な信号レベルを優位レベルとし、劣位な信号レベルを劣位レベルとしたとき、

前記伝送路の信号レベルが前記劣位レベルから前記優位レベルに変化するエッジを検出するエッジ検出回路（５、４２）と、

オンすることにより前記伝送路の信号レベルを前記優位レベルとすることができるスイッチング素子（Ｑ１）と、

前記スイッチング素子を駆動する駆動回路（９、２２、３２、５２）と、

前記駆動回路の動作を制御するものであり、前記エッジ検出回路により前記エッジが検出されると前記駆動回路に対して前記スイッチング素子のオン駆動を指令するオン指令を与える制御回路（６、４３、５３）と、

を備え、

前記駆動回路または前記制御回路には、前記エッジから前記スイッチング素子がオンする時点までに要する遅延時間を短縮する遅延短縮部（１４、２３、３４、５７）が設けられており、

さらに、前記伝送路の信号を所定のサンプリングタイミングにおいてサンプリングすることにより前記伝送路を介して伝送される符号を判定する判定部（４４）と、

前記伝送路の信号レベルを検出し、その検出結果に基づいて前記伝送路に重畳するノイズを検出するノイズ検出部（４５）と、

を備え、

前記判定部は、前記ノイズ検出部によりノイズが検出されると、前記サンプリングタイミングを前記ノイズが検出された期間に応じた所定時間だけ遅らせる通信装置。

【請求項６】

伝送路を介してデータを送受信する複数の通信装置のうちいずれか一つの通信装置の通信に同期して他の通信装置が送信を行う通信システムにおいて用いられる前記通信装置であって、

前記伝送路上で優位な信号レベルを優位レベルとし、劣位な信号レベルを劣位レベルとしたとき、

前記伝送路の信号レベルが前記劣位レベルから前記優位レベルに変化するエッジを検出するエッジ検出回路（５、４２）と、

オンすることにより前記伝送路の信号レベルを前記優位レベルとすることができるスイッチング素子（Ｑ１）と、

前記スイッチング素子を駆動する駆動回路（９、２２、３２、５２）と、

前記駆動回路の動作を制御するものであり、前記エッジ検出回路により前記エッジが検

出されると前記駆動回路に対して前記スイッチング素子のオン駆動を指令するオン指令を与える制御回路（６、４３、５３）と、

を備え、

前記駆動回路または前記制御回路には、前記エッジから前記スイッチング素子がオンする時点までに要する遅延時間を短縮する遅延短縮部（１４、２３、３４、５７）が設けられており、

前記遅延短縮部（５７）は、

前記制御回路（５３）に設けられたものであり、

前記エッジ検出回路による検出結果に基づいて前記エッジの周期を学習する学習制御と

、

前記学習制御により学習された前記エッジの周期に基づいて、次回の前記エッジが検出されるタイミングを予測する予測制御と、

前記予測制御により予測されたタイミングよりも前の時点において前記駆動回路に対して前記オン指令を与える先出し制御と、

を実行することにより前記遅延時間を短縮する通信装置。

【請求項 7】

前記遅延短縮部は、

前記エッジ検出回路により前記エッジが検出された時点から次に前記エッジ検出回路により前記エッジが検出される時点までカウント動作を実行するカウンタ（５４a）を備え、

前記学習制御では、前記カウンタのカウント値に基づいて前記エッジの周期を学習するようになっており、

前記カウンタのカウント値が前記エッジの周期として想定される値よりも大きい上限値に達すると、前記学習制御による学習結果を一旦リセットして前記学習制御を再度実行するようになっており、

前記学習制御による学習結果が得られるまでの期間は前記予測制御および前記先出し制御の実行を停止するようになっている請求項 6 に記載の通信装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

請求項 1 に記載の通信装置では、遅延短縮部（１４、２３、３４）は、駆動回路（９、２２、３２）に設けられたものである。この場合、遅延短縮部は、駆動回路がスイッチング素子をオン駆動するオン期間の開始時点を含む期間に、スイッチング素子の制御端子の電圧である制御電圧が、スイッチング素子がオンに転じる閾値電圧よりも所定値だけ低い第 1 電圧まで上昇するように電圧制御を行うことで遅延時間を短縮する。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

上記構成では、このような電圧制御を行うことにより制御電圧が第 1 電圧まで上昇した後は、請求項 2 に記載されるように定電流制御が行われることにより、または、請求項 3 に記載されるように電圧制御が継続されることにより、制御電圧が閾値電圧に達してスイッチング素子がオンに転じる。このような構成によれば、上記した従来の構成に比べ、少なくとも制御電圧が第 1 電圧まで一度に上昇される分だけ、スイッチング素子のターンオン時間、つまり駆動回路の動作に起因する遅延時間が短縮される。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 1

【補正方法】変更

【補正の内容】

【0 0 1 1】

請求項 2 に記載の通信装置では、遅延短縮部（14、23）が設けられた駆動回路（9、22）は、電圧制御を行うことにより制御電圧が第 1 電圧まで上昇した後、スイッチング素子の制御端子に一定の電流を供給する定電流制御を行う。このような構成によれば、スイッチング素子の制御電圧は、第 1 電圧まで上昇した後は、一定の傾きで比較的緩やかに上昇して閾値電圧に達することになる。制御電圧が急峻に上昇して閾値電圧に達してスイッチング素子がオンされると、そのオン動作に伴うエミッションの悪化が懸念される。しかし、上記構成によれば、制御電圧が比較的緩やかに上昇して閾値電圧に達してスイッチング素子がオンされるため、このようなエミッション悪化のリスクが軽減される。