



(12) 发明专利申请

(10) 申请公布号 CN 105027094 A

(43) 申请公布日 2015. 11. 04

(21) 申请号 201480011177. X

(72) 发明人 董翔宇

(22) 申请日 2014. 03. 04

(74) 专利代理机构 北京律盟知识产权代理有
限责任公司 11287

(30) 优先权数据

61/773, 951 2013. 03. 07 US

代理人 宋献涛

13/925, 874 2013. 06. 25 US

(51) Int. Cl.

(85) PCT国际申请进入国家阶段日

G06F 12/08(2006. 01)

2015. 08. 28

(86) PCT国际申请的申请数据

PCT/US2014/020229 2014. 03. 04

(87) PCT国际申请的公布数据

W02014/138029 EN 2014. 09. 12

(71) 申请人 高通股份有限公司

地址 美国加利福尼亚州

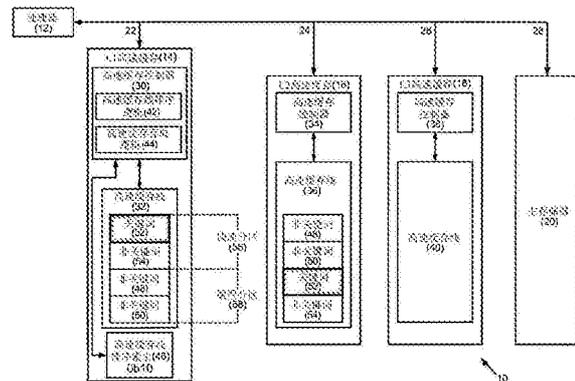
权利要求书2页 说明书10页 附图9页

(54) 发明名称

用以加速高速缓冲存储器存取的高速缓冲存储器填充的关键词优先排序以及相关基于处理器的系统及方法

(57) 摘要

本发明揭示用以加速高速缓冲存储器存取的高速缓存填充的关键词优先排序以及相关基于处理器的系统及方法。就此而言,在一个实施例中,提供高速缓冲存储器。所述高速缓冲存储器包括数据阵列,所述数据阵列包括高速缓存线,所述高速缓存线包括经配置以存储多个数据项的多个数据项块。所述高速缓冲存储器还包括高速缓存线排序逻辑,所述高速缓存线排序逻辑经配置以在高速缓存填充期间将所述多个数据项关键词优先排序到所述高速缓存线中,及存储与所述高速缓存线相关联且指示所述高速缓存线中的所述多个数据项的所述关键词优先排序的高速缓存线排序索引。所述高速缓冲存储器还包括经配置以基于用于所述高速缓存线的所述高速缓存线排序索引存取所述高速缓存线中的所述多个数据项中的每一者的高速缓存存取逻辑。



1. 一种高速缓冲存储器,其包括:

数据阵列,其包括高速缓存线,所述高速缓存线包括经配置以存储多个数据项的多个数据项块;

高速缓存线排序逻辑,其经配置以:

在高速缓存填充期间将所述多个数据项关键词优先排序到所述高速缓存线中;及

存储与所述高速缓存线相关联的高速缓存线排序索引,所述高速缓存线排序索引指示所述高速缓存线中的所述多个数据项的所述关键词优先排序;及

高速缓存存取逻辑,其经配置以基于用于所述高速缓存线的所述高速缓存线排序索引存取所述高速缓存线中的所述多个数据项中的每一者。

2. 根据权利要求 1 所述的高速缓冲存储器,其中所述高速缓存线排序逻辑经配置以通过以下操作存储所述高速缓存线排序索引:

确定所述高速缓存线中的所述多个数据项经旋转的位置数目以关键词优先排序所述多个数据项;及

将所述位置数目存储为所述高速缓存线排序索引。

3. 根据权利要求 1 所述的高速缓冲存储器,其中所述高速缓存存取逻辑经配置以通过基于用于所述高速缓存线的所述高速缓存线排序索引将所请求数据项映射到所述高速缓存线中的所述多个数据项中的一者来存取所述多个数据项中的每一者。

4. 根据权利要求 1 所述的高速缓冲存储器,其中所述高速缓存线排序逻辑经进一步配置以响应于高速缓存未命中关键词优先排序所述多个数据项。

5. 根据权利要求 1 所述的高速缓冲存储器,其中所述高速缓存线排序逻辑经进一步配置以接收源自较低级别存储器的所述多个数据项。

6. 根据权利要求 1 所述的高速缓冲存储器,其进一步包括对应于所述高速缓存线的标签;

其中所述高速缓存线排序逻辑经配置以将与所述高速缓存线相关联的所述高速缓存线排序索引存储于对应于所述高速缓存线的所述标签中。

7. 根据权利要求 1 所述的高速缓冲存储器,其进一步包括对应于所述高速缓存线的至少一个旗标位;

其中所述高速缓存线排序逻辑经配置以将与所述高速缓存线相关联的所述高速缓存线排序索引存储于对应于所述高速缓存线的所述至少一个旗标位中。

8. 根据权利要求 1 所述的高速缓冲存储器,其集成到半导体裸片中。

9. 根据权利要求 1 所述的高速缓冲存储器,其集成到从由以下组成的群组中选出的装置中:机顶盒、娱乐单元、导航装置、通信装置、固定位置数据单元、移动位置数据单元、移动电话、蜂窝式电话、计算机、便携式计算机、桌上型计算机、个人数字助理 PDA、监视器、计算机监视器、电视、调谐器、无线电、卫星无线电、音乐播放器、数字音乐播放器、便携型音乐播放器、数字视频播放器、视频播放器、数字视频光盘 DVD 播放器及便携型数字视频播放器。

10. 一种高速缓冲存储器,其包括:

用于将多个数据项存储于高速缓存线中的装置;

高速缓存线排序逻辑装置,其经配置以:

在高速缓存填充期间将所述多个数据项关键词优先排序到所述高速缓存线中;及

存储与所述高速缓存线相关联的高速缓存线排序索引,所述高速缓存线排序索引指示所述高速缓存线中的所述多个数据项的所述关键词优先排序;及

高速缓存存取逻辑装置,其经配置以基于用于所述高速缓存线的所述高速缓存线排序索引存取所述高速缓存线中的所述多个数据项中的每一者。

11. 根据权利要求 10 所述的高速缓冲存储器,其中所述高速缓存线排序逻辑装置经配置以通过以下操作存储所述高速缓存线排序索引:

确定所述高速缓存线中的所述多个数据项经旋转的位置数目以关键词优先排序所述多个数据项;及

将所述位置数目存储为所述高速缓存线排序索引。

12. 根据权利要求 10 所述的高速缓冲存储器,其中所述高速缓存存取逻辑装置经配置以通过基于用于所述高速缓存线的所述高速缓存线排序索引将所请求数据项映射到所述高速缓存线中的所述多个数据项中的一者来存取所述多个数据项中的每一者。

13. 根据权利要求 10 所述的高速缓冲存储器,其中所述高速缓存线排序逻辑装置经进一步配置以响应于高速缓存未命中关键词优先排序所述多个数据项。

14. 一种关键词优先排序高速缓冲存储器填充的方法,其包括:

在高速缓存填充期间将多个数据项关键词优先排序到高速缓存线中;

存储与所述高速缓存线相关联的高速缓存线排序索引,所述高速缓存线排序索引指示所述高速缓存线中的所述多个数据项的所述关键词优先排序;及

基于用于所述高速缓存线的所述高速缓存线排序索引存取所述高速缓存线中的所述多个数据项中的每一者。

15. 根据权利要求 14 所述的方法,其中存储所述高速缓存线排序索引包括:

确定所述高速缓存线中的所述多个数据项经旋转的位置数目以关键词优先排序所述多个数据项;及

将所述位置数目存储为所述高速缓存线排序索引。

16. 根据权利要求 14 所述的方法,其中存取所述高速缓存线中的所述多个数据项中的每一者包括基于用于所述高速缓存线的所述高速缓存线排序索引将所请求数据项映射到所述多个数据项中的一者。

17. 根据权利要求 14 所述的方法,其中关键词优先排序所述多个数据项包括响应于高速缓存未命中关键词优先排序所述多个数据项。

18. 根据权利要求 14 所述的方法,其进一步包括从较低级别存储器接收所述多个数据项。

19. 根据权利要求 14 所述的方法,其中存储所述高速缓存线排序索引包括将所述高速缓存线排序索引存储于对应于所述高速缓存线的标签中。

20. 根据权利要求 14 所述的方法,其中存储所述高速缓存线排序索引包括将所述高速缓存线排序索引存储于对应于所述高速缓存线的至少一个旗标位中。

用以加速高速缓冲存储器存取的高速缓冲存储器填充的关键词优先排序以及相关基于处理器的系统及方法

[0001] 优先权主张

[0002] 本申请案主张 2013 年 3 月 7 日申请且标题为“用以加速关键词优先高速缓存存取的高速缓冲存储器中的关键词优先排序以及相关基于处理器的系统及方法 (CRITICAL-WORD-FIRST ORDERING IN CACHE MEMORIES TO ACCELERATE CRITICAL-WORD-FIRST CACHE ACCESSES, AND RELATED PROCESSOR-BASED SYSTEMS AND METHODS)”的第 61/773, 951 号美国临时专利申请案的优先权, 所述申请案以全文引用的方式并入本文中。

[0003] 本申请案还主张 2013 年 6 月 25 日申请且标题为“用以加速高速缓冲存储器存取的高速缓冲存储器填充的关键词优先排序以及相关基于处理器的系统及方法 (CRITICAL-WORD-FIRST ORDERING OF CACHE MEMORY FILLS TO ACCELERATE CACHE MEMORY ACCESSES, AND RELATED PROCESSOR-BASED SYSTEMS AND METHODS)”的第 13/925, 874 号美国专利申请案的优先权, 所述申请案以全文引用的方式并入本文中。

技术领域

[0004] 本发明的领域涉及存取基于处理器的系统中的高速缓冲存储器。

背景技术

[0005] 高速缓冲存储器可由例如中央处理单元 (CPU) 等计算机处理器使用, 通过存储来自频繁使用的主存储器位置的数据复本来减少平均存储器存取时间。高速缓冲存储器通常具有比计算机的主存储器小得多的存储容量。然而, 高速缓冲存储器还具有比主存储器低得多的时延 (即, 高速缓冲存储器可由 CPU 快得多地存取)。因此, 只要是对先前高速缓存的存储器位置进行 CPU 的大部分存储器请求, 高速缓冲存储器的使用便将导致相比主存储器的时延更接近于高速缓冲存储器的时延的平均存储器存取时延。高速缓冲存储器可集成到与 CPU 自身相同的计算机芯片中 (即, “片上”高速缓冲存储器), 充当 CPU 与片外存储器之间的接口。高速缓冲存储器可经组织成多个高速缓存级别的分级结构 (例如, L1、L2 或 L3 高速缓存), 其中高速缓存分级结构中的较高级别包括比较低级别更小且更快的存储器。

[0006] 虽然较大的片上高速缓冲存储器可减小对片外存储器存取的需求, 但片上高速缓冲存储器大小的增加也导致片上高速缓冲存储器的互连时延的增加。互连时延是指归因于构成高速缓冲存储器的存储器阵列的物理结构在检索高速缓冲存储器的内容时的延迟。举例来说, 大的片上高速缓冲存储器可包括经划分成提供较低互连时延的“快速分区”子阵列及需要较高互连时延的“缓慢分区”子阵列的存储器阵列。由于高速缓冲存储器的物理特性, 因此缓慢分区子阵列中高速缓存的数据项的检索可能需要比快速分区子阵列中存储的数据项的检索更多的处理器时钟脉冲。因此, 如果从高速缓冲存储器请求的数据项 (即, “关键词”) 位于缓慢分区子阵列中, 那么会招致额外互连时延, 这对 CPU 的性能具有负面影响。

发明内容

[0007] 本文中所揭示的实施例包含用以加速高速缓冲存储器存取的高速缓冲存储器填充的关键词优先排序。还揭示了相关基于处理器的系统及方法。在本文中所揭示的实施例中,排序多个数据项以使得多个数据项当中的关键词在高速缓存填充期间占据高速缓存线的第一数据项块。存储与高速缓存线相关联的高速缓存线排序索引以基于高速缓存线的第一数据项块中排序的关键词指示高速缓存线中的多个数据项的排序。以此方式,在存取高速缓冲存储器中的高速缓存线时,咨询高速缓存线排序索引以基于高速缓存填充已进行关键词优先排序来确定存储于高速缓存线中的数据项的排序。作为非限制性实例,本文中提供的关键词优先排序可增加缓慢分区存储器子阵列中的数据项块命中率,从而降低有效高速缓存存取时延且改进处理器性能。

[0008] 就此而言,在一个实施例中,提供一种高速缓冲存储器。高速缓冲存储器包括数据阵列,所述数据阵列包括高速缓存线,所述高速缓存线包括经配置以存储多个数据项的多个数据项块。高速缓冲存储器还包括高速缓存线排序逻辑。高速缓存线排序逻辑经配置以在高速缓存填充期间将多个数据项关键词优先排序到高速缓存线中。高速缓存线排序逻辑还经配置以存储与高速缓存线相关联的高速缓存线排序索引,所述高速缓存线排序索引指示高速缓存线中的多个数据项的关键词优先排序。高速缓冲存储器进一步包括经配置以基于用于高速缓存线的高速缓存线排序索引存取高速缓存线中的多个数据项中的每一者的高速缓存存取逻辑。

[0009] 在另一实施例中,提供一种高速缓冲存储器。高速缓冲存储器包括用于将多个数据项存储于高速缓存线中的装置。高速缓冲存储器还包括高速缓存线排序逻辑装置。所述高速缓存线排序逻辑装置经配置以在高速缓存填充期间将多个数据项关键词优先排序到高速缓存线中。高速缓存线排序逻辑装置还经配置以存储与高速缓存线相关联的高速缓存线排序索引,所述高速缓存线排序索引指示高速缓存线中的多个数据项的关键词优先排序。高速缓冲存储器进一步包括经配置以基于用于高速缓存线的高速缓存线排序索引存取高速缓存线中的多个数据项中的每一者的高速缓存存取逻辑装置。

[0010] 在另一实施例中,提供一种关键词优先排序高速缓冲存储器填充的方法。所述方法包括在高速缓存填充期间将多个数据项关键词优先排序到高速缓存线中。所述方法还包括存储与高速缓存线相关联的高速缓存线排序索引,所述高速缓存线排序索引指示高速缓存线中的多个数据项的关键词优先排序。所述方法进一步包括基于用于高速缓存线的高速缓存线排序索引存取高速缓存线中的多个数据项中的每一者。

附图说明

[0011] 图 1 说明提供高速缓冲存储器填充的关键词优先排序以加速高速缓冲存储器存取的示范性中央处理单元 (CPU) ;

[0012] 图 2A 及 2B 为说明在高速缓冲存储器填充的关键词优先排序之前及之后的图 1 的 CPU 的 L1 及 L2 高速缓存的内容的图 ;

[0013] 图 3 说明经布置成子阵列的示范性高速缓冲存储器 ;

[0014] 图 4 说明展示对图 3 的高速缓冲存储器的“快速分区”及“缓慢分区”子阵列的高速缓存存取的示范性时钟循环图表 ;

[0015] 图 5 为展示用于用以加速高速缓冲存储器存取的高速缓存填充的关键词优先排序的示范性操作的流程图；

[0016] 图 6A 及 6B 为更详细地说明用于接收及关键词优先排序用于高速缓存线的高速缓存填充的多个数据项的示范性操作的流程图；及

[0017] 图 7 为根据本文中所描述的实施例中的任一者的示范性基于处理器的系统的框图,所述基于处理器的系统可包含用于在高速缓存填充期间关键词优先排序数据项以加速高速缓冲存储器存取的图 3 的高速缓冲存储器。

具体实施方式

[0018] 现在参看各图,描述本发明的若干示范性实施例。术语“示范性”在本文中用于指“充当实例、例子或说明”。本文中被描述为“示范性的”任何实施例不必须被理解为比其它实施例优选或有利。

[0019] 本文中所揭示的实施例包含用以加速高速缓冲存储器存取的高速缓冲存储器填充的关键词优先排序。还揭示了相关基于处理器的系统及方法。在本文中所揭示的实施例中,排序多个数据项以使得多个数据项当中的关键词在高速缓存填充期间占据高速缓存线的第一数据项块。存储与高速缓存线相关联的高速缓存线排序索引以基于高速缓存线的第一数据项块中排序的关键词指示高速缓存线中的多个数据项的排序。以此方式,在存取高速缓冲存储器中的高速缓存线时,咨询高速缓存线排序索引以基于高速缓存填充已进行关键词优先排序来确定存储于高速缓存线中的数据项的排序。作为非限制性实例,本文中提供的关键词优先排序可增加“缓慢分区”存储器子阵列中的数据项块命中率,从而降低有效高速缓存存取时延且改进处理器性能。

[0020] 就此而言,在一个实施例中,提供一种高速缓冲存储器。高速缓冲存储器包括数据阵列,所述数据阵列包括高速缓存线,所述高速缓存线包括经配置以存储多个数据项的多个数据项块。高速缓冲存储器还包括高速缓存线排序逻辑。高速缓存线排序逻辑经配置以在高速缓存填充期间将多个数据项关键词优先排序到高速缓存线中。高速缓存线排序逻辑还经配置以存储与高速缓存线相关联的高速缓存线排序索引,所述高速缓存线排序索引指示高速缓存线中的多个数据项的关键词优先排序。高速缓冲存储器进一步包括经配置以基于用于高速缓存线的高速缓存线排序索引存取高速缓存线中的多个数据项中的每一者的高速缓存存取逻辑。

[0021] 就此而言,图 1 说明包含提供高速缓冲存储器填充的关键词优先排序以加速高速缓冲存储器存取的高速缓冲存储器的示范性中央处理单元 (CPU) 10。在图 1 中,示范性 CPU 10 包含以通信方式耦合到高速缓冲存储器以及主存储器 20 的处理器 12,所述高速缓冲存储器包含 L1 高速缓存 14、L2 高速缓存 16 及 L3 高速缓存 18,如分别由双向箭头 22、24、26 及 28 所指示。L1 高速缓存 14、L2 高速缓存 16、L3 高速缓存 18 及主存储器 20 共同地表示存储器的分级结构,其中 L1 高速缓存 14 在分级结构的顶部,且主存储器 20 在分级结构的底部。分级结构的较高级别(例如,L1 高速缓存 14)提供对存储数据的较快存取,但大小较小。相反,分级结构的较低级别(例如,主存储器 20)具有较大存储容量,但存取时延相对较大。

[0022] 图 1 的 L1 高速缓存 14 包含高速缓存控制器 30,所述高速缓存控制器提供控制 L1

高速缓存 14 与处理器 12 之间的数据流的通信接口。L1 高速缓存 14 还提供用于存储从较低级别高速缓存及 / 或从主存储器 20 接收的数据的高速缓存线 32。L2 高速缓存 16 同样包含高速缓存控制器 34 及高速缓存线 36。L3 高速缓存 18 包含高速缓存控制器 38 及高速缓存线 40。应理解为清楚起见, L1 高速缓存 14、L2 高速缓存 16 及 L3 高速缓存 18 中的每一者在图 1 中经描绘成具有一个高速缓存线 32、36、40。图 1 中说明的配置是仅出于说明性目的, 且在一些实施例中 CPU 10 可包括高速缓冲存储器的额外级别或比本文中所说明的 L1 高速缓存 14、L2 高速缓存 16 及 L3 高速缓存 18 少的级别。另外, 在一些实施例中, L1 高速缓存 14、L2 高速缓存 16 及 L3 高速缓存 18 可包括比本文中所说明的高速缓存线更多的高速缓存线 32、36 及 / 或 40。

[0023] 继续参看图 1, L1 高速缓存 14 的高速缓存控制器 30 包含高速缓存线排序逻辑 42 及高速缓存存取逻辑 44。如下文更详细地论述, 高速缓存线排序逻辑 42 经配置以在高速缓存填充期间将多个数据项 (未图示) 关键词优先排序到高速缓存线 32 中。高速缓存线排序逻辑 42 还经配置以存储与高速缓存线 32 相关联且指示高速缓存线 32 中的多个数据项的关键词优先排序的高速缓存线排序索引 46。高速缓存存取逻辑 44 经配置以基于用于高速缓存线 32 的高速缓存线排序索引 46 存取高速缓存线 32 中的多个数据项。

[0024] 为说明包含将多个数据项关键词优先排序到 L1 高速缓存 14 的高速缓存线 32 中的高速缓存填充, 提供图 2A 及 2B。图 2A 展示在由处理器 12 请求来自 L1 高速缓存 14 的关键词 (因此触发高速缓存填充) 时的图 1 的 L1 高速缓存 14 及 L2 高速缓存 16 的内容。图 2B 说明在完成高速缓存填充之后关键词优先排序 L1 高速缓存 14 的高速缓存线 32 中的多个数据项的结果。

[0025] 在图 2A 中, L2 高速缓存 16 的高速缓存线 36 含有总共四个数据项: 非关键词 48、非关键词 50、关键词 52 及非关键词 54。假设在先前高速缓存填充操作 (未图示) 期间将高速缓存线 36 中的数据项存储于 L2 高速缓存 16 中。在此实例中, L1 高速缓存 14 的高速缓存线 32 可为空的, 或可含有先前高速缓存的数据项 (未图示)。此时, 处理器 12 请求来自 L1 高速缓存 14 的关键词 52 以进行处理。如本文所使用, “关键词”为存储于特定存储器位置处且由例如处理器或较高级别高速缓存等请求实体请求的特定数据项。因为关键词 52 当前不存储于 L1 高速缓存 14 中, 所以导致高速缓存未命中。响应于高速缓存未命中, 查询 L2 高速缓存 16, 且确定关键词 52 位于 L2 高速缓存 16 的高速缓存线 36 中。接着开始被称作“高速缓存填充”的操作, 在此期间检索 L2 高速缓存 16 的高速缓存线 36 的内容以用于存储于 L1 高速缓存 14 的高速缓存线 32 中。

[0026] 现参看图 2B, L1 高速缓存 14 的高速缓存线 32 可划分成快速分区 56 及缓慢分区 58。归因于下文更详细论述的 L1 高速缓存 14 的物理特性, 存储于快速分区 56 中的数据项可使用比存储于缓慢分区 58 中的数据项少的处理器时钟循环检索。作为非限制性实例, 快速分区 56 中的数据项的存储可比缓慢分区 58 中的数据项物理上更接近高速缓存控制器 30, 及 / 或快速分区 56 中的数据项可存储于具有比存储缓慢分区 58 中的数据项的存储器短的读取 / 写入存取时延的存储器中。因此, 如果 L2 高速缓存 16 的高速缓存线 36 的内容在高速缓存填充期间按相同排序存储于 L1 高速缓存 14 的高速缓存线 32 中, 那么关键词 52 将存储于缓慢分区 58 中。如果且在随后从 L1 高速缓存 14 检索关键词 52 时, 那么将招致额外的互连时延。此情形可通过强制处理器 12 在检索关键词 52 时在多个处理器时钟循环

内保持闲置而导致处理器性能的降低。

[0027] 因此,图 2B 的 L1 高速缓存 14 的高速缓存控制器 30 提供高速缓存线排序逻辑 42 以在高速缓存填充期间关键词优先重新排序将存储于高速缓存线 32 中的数据项。如图 2B 中所见,高速缓存线排序逻辑 42 已使高速缓存线 32 中的数据项的位置旋转两个位置,导致关键词 52 存储于高速缓存线 32 的快速分区 56。非关键词 54 的位置也已旋转快速分区 56 中,而非关键词 48 及 50 的位置“环绕”高速缓存线 32 到缓慢分区 58 中。高速缓存线排序逻辑 42 将二进制值 0b10(即,十进制值 2)存储为高速缓存线排序索引 46。在此实例中,高速缓存线排序索引 46 指示存储于高速缓存线 32 中的数据项已在高速缓存线 32 中旋转多少位置。高速缓存控制器 30 的高速缓存存取逻辑 44 可使用高速缓存线排序索引 46 的值随后存取存储于高速缓存线 32 中的数据项,而不必旋转或以其它方式修改高速缓存线 32 中的数据项的位置。通过将关键词 52 放入高速缓存线 32 的快速分区 56 中,可达成降低的互连时延及改进的处理器性能。

[0028] 提供图 3 以说明示范性高速缓冲存储器 60 的结构。在半导体裸片 62 中可提供高速缓冲存储器 60。在一些实施例中,高速缓冲存储器 60 可为存储器的分级结构中的图 1 的 L1 高速缓存 14、L2 高速缓存 16 或 L3 高速缓存 18 以及其它高速缓存。在此实例中,高速缓冲存储器 60 为经组织成两个组 64(0) 及 64(1) 的存储器阵列。组 64(0) 及 64(1) 中的每一者包括两个子组,其中组 64(0) 包含子组 66(0) 及 66(1),且组 64(1) 包含子组 66(2) 及 66(3)。子组 66(0) 到 66(3) 分别对应于高速缓存线 68(0) 到 68(3)。子组 66(0) 到 66(3) 中的每一者含有四个数据项块 70(0) 到 70(3)。在此实例中,数据项块 70(0) 到 70(3) 各自存储四个数据项(未图示)的 16 字节群组。因此,高速缓存线 68(0) 到 68(3) 中的每一者存储从主存储器或较低级别高速缓存(未图示)接收的 64 字节数据。高速缓存线 68(0) 到 68(3) 中的每一者还包含标签 72 及旗标位 74。标签 72 可含有提取存储于对应高速缓存线 68 中的高速缓存的数据的存储器地址(未图示)的部分或全部,而旗标位 74 可包含例如有效性旗标及 / 或已更改旗标(未图示)等旗标。

[0029] 应理解本文中所描述的实施例不限于元件的任何特定布置,且所揭示技术可容易扩展到高速缓冲存储器 60 的各种结构及布局。图 3 中说明的配置是仅出于说明性目的,且在一些实施例中,高速缓冲存储器 60 可包括比本文中所说明的情形少或多的组 64、子组 66、数据项块 70 及 / 或高速缓存线 68。高速缓冲存储器 60 的一些实施例可利用大小比本文中所描述的示范性 4 字节数据项大或小的数据项,及 / 或大小比本文中所描述的示范性 64 字节高速缓存线 68 大或小的数据项。

[0030] 继续参看图 3,高速缓存控制器 76 以连接方式耦合到每一子组 66(0) 到 66(3) 的每一数据项块 70(0) 到 70(3)。在图 3 中的实例中,数据项块 70(2) 及 70(3) 物理上位于距高速缓存控制器 76 相比数据项块 70(0) 及 70(1) 更远处。结果,可在比存储于数据项块 70(2) 或 70(3) 中的数据项少的处理器时钟循环中读取或写入存储于数据项块 70(0) 或 70(1) 中的数据项。举例来说,在下文关于图 4 论述的一些实施例中,可仅需要三个时钟循环来存取存储于数据项块 70(0) 或 70(1) 中的数据项,而可需要五个时钟循环来存取存储于数据项块 70(2) 或 70(3) 中的数据项。出于此原因,数据项块 70(0) 及 70(1) 被视为驻存在高速缓冲存储器 60 的快速分区 78 中,且数据项块 70(2) 及 70(3) 驻存在高速缓冲存储器 60 的缓慢分区 80 中。

[0031] 应理解,除数据项块 70 相对于高速缓存控制器 76 的物理位置之外的物理特性可导致被视为驻存在快速分区 78 或缓慢分区 80 中的给定数据项块 70。作为非限制性实例,快速分区 78 中的数据项块 70(0) 及 70(1) 可包括静态随机存取存储器 (SRAM)。相对比地,缓慢分区 80 中的数据项块 70(2) 及 70(3) 可包括与 SRAM 相比较具有较高读取 / 写入存取时延的磁阻随机存取存储器 (MRAM)。

[0032] 如上文所论述,请求实体 (例如,图 1 的处理器 12 或较高级别高速缓存) 可请求例如图 2A 及 2B 的关键词 52 等关键词以用于处理。如果高速缓冲存储器 60 中并未找到关键词,那么导致高速缓存未命中。作为响应,高速缓存填充导致存储器的一部分等于高速缓存线 68 的大小且含有将检索及存储于高速缓存线 68(0) 至 68(3) 中的一者中的关键词。在完成高速缓存填充操作之后,关键词可存储于快速分区 78 (即,高速缓存线 68(0) 到 68(3) 中的一者的数据项块 70(0) 或 70(1) 中的一者) 中或缓慢分区 80 中 (高速缓存线 68(0) 到 68(3) 中的一者的数据项块 70(2) 或 70(3) 中的一者)。如果关键词存储于缓慢分区 80 中,那么高速缓冲存储器 60 将招致额外的互连时延 (如果且在随后从高速缓冲存储器 60 检索关键词时)。此情形可通过强制例如图 1 到 2B 的处理器 12 等处理器在检索关键词时在多个处理器时钟循环内保持闲置而导致处理器性能的降低。

[0033] 因此,高速缓冲存储器 60 的高速缓存控制器 76 提供经配置以在高速缓存填充期间关键词优先排序多个数据项的高速缓存线排序逻辑 82。高速缓存线排序逻辑 82 经进一步配置以存储与高速缓存线 68 相关联且指示高速缓存线 68 中的多个数据项的关键词优先排序的高速缓存线排序索引 (未图示)。在一些实施例中,高速缓存线排序索引存储于与高速缓存线 68 相关联的标签 72 中及 / 或与高速缓存线 68 相关联的旗标位 74 中。以此方式,可确保将关键词放入高速缓冲存储器 60 的快速分区 78 中的高速缓存线 68 中,从而导致互连时延的降低及处理器性能的改进。

[0034] 高速缓冲存储器 60 的高速缓存控制器 76 还提供高速缓存存取逻辑 84,所述高速缓存存取逻辑经配置以基于与高速缓存线 68 相关联的高速缓存线排序索引存取高速缓存线 68 中的多个数据项。举例来说,一些实施例可提供高速缓存存取逻辑 84 经配置以基于用于高速缓存线 68 的高速缓存线排序索引将所请求数据项映射到高速缓存线 68 的多个数据项中的一者。因此,高速缓存存取逻辑 84 可存取多个数据项而不需要重新排序高速缓存线 68。

[0035] 提供图 4 以更明确地说明在高速缓存填充操作期间存储关键词的分区 (即,快速分区 78 或缓慢分区 80) 可如何影响图 3 的高速缓冲存储器 60 的互连时延及因此总高速缓存存取时延。图 4 说明时钟循环图表 86,其展示用于存取图 3 的高速缓存线 68(0) 到 68(3) 中的一者的数据项块 70(0) 到 70(3) 中的每一者的示范性操作。如上所指出,数据项块 70(0) 及 70(1) 位于高速缓冲存储器 60 的快速分区 78 中,而数据项块 70(2) 及 70(3) 位于高速缓冲存储器 60 的缓慢分区 80 中。在图 4 中,时钟循环图表 86 中的列 (标记为 1、2、……、8) 中的每一者表示单个处理器时钟循环。时钟循环图表 86 中的行 (标记为“数据项块 70(0)”、“数据项块 70(1)”、“数据项块 70(2)”及“数据项块 70(3)”) 指示在每一处理器时钟循环期间关于每一数据项块 70(0) 到 70(3) 发生的操作。以此方式,展示在若干时钟循环的过程中的高速缓冲存储器存取操作的序列。为清楚起见,在描述图 4 中所示的示范性操作时参考图 3 的元件。

[0036] 如图 4 中所说明,处理开始于处理器时钟循环 1 处,其中快速分区 78 中的数据项块 70(0) 及 70(1) 各自从高速缓存控制器 76 接收启用信号。启用信号还经调度到缓慢分区 80 中的数据项块 70(2) 及 70(3) 中的每一者。在此实例中,由于数据项块 70(2) 及 70(3) 与高速缓存控制器 76 之间的距离,因此启用信号在一个处理器时钟循环中并未到达缓慢分区 80。因此,在处理器时钟循环 1 期间需要启用重新驱动操作以将启用信号发送到数据项块 70(2) 及 70(3)。

[0037] 在处理器时钟循环 2 期间,用于存取数据项块 70 的内容的阵列存取操作针对数据项块 70(0) 及 70(1) 中的每一者开始。同时,先前调度的启用信号到达缓慢分区 80,且由数据项块 70(2) 及 70(3) 中的每一者接收。此时,缓慢分区 80 中的数据项块 70(2)、70(3) 的互连时延比快速分区 78 中的数据项块 70(0)、70(1) 的互连时延长一个处理器时钟循环。

[0038] 在图 4 的处理器时钟循环 3 中,继续用于数据项块 70(0) 及 70(1) 中的每一者的阵列存取操作,而同时开始用于数据项块 70(2) 及 70(3) 中的每一者的阵列存取操作。在处理器时钟循环 4 期间,将数据项块 70(0) 及 70(1) 两者的内容发送到高速缓存控制器 76,从而导致数据输出就绪的状态。同时,继续用于数据项块 70(2) 及 70(3) 中的每一者的阵列存取操作。

[0039] 在处理器时钟循环 5 期间,可传回来自数据项块 70(0) 或数据项块 70(1) 的数据(例如,到例如图 1 到 2B 的处理器 12 等请求处理器,或到较高级别高速缓存)。在此实例中,在处理器时钟循环 5 中传回来自数据项块 70(0) 的数据,且在处理器时钟循环 6 中传回来自数据项块 70(1) 的数据。然而,因为数据项块 70(0) 及 70(1) 两者皆在相同处理器时钟循环 4 期间达到数据输出就绪的状态,所以可颠倒存储器存取的排序。因此,在一些实施方案中,可在处理器时钟循环 5 中传回来自数据项块 70(1) 的数据,且可在处理器时钟循环 6 中传回来自数据项块 70(0) 的数据。

[0040] 同样在图 4 的处理器时钟循环 5 期间,数据项块 70(2) 及 70(3) 两者的内容被发送到高速缓存控制器 76,且达到数据输出就绪的状态。在此实例中,由于数据项块 70(2) 及 70(3) 与高速缓存控制器 76 之间的距离,数据并未在一个处理器时钟循环中从缓慢分区 80 到达高速缓存控制器 76。因此,在处理器时钟循环 6 期间需要数据输出重新驱动操作以将数据发送到高速缓存控制器 76。

[0041] 在处理器时钟循环 7 处,可传回来自数据项块 70(2) 或数据项块 70(3) 的数据(例如,到请求处理器或较高级别高速缓存)。在图 4 中,在处理器时钟循环 7 中传回来自数据项块 70(2) 的数据,且在处理器时钟循环 8 中传回来自数据项块 70(3) 的数据。然而,因为数据项块 70(2) 及 70(3) 两者皆在相同处理器时钟循环 5 期间达到数据输出就绪的状态,所以可在一些实施例中颠倒存储器存取的排序。因此,一些实施例可提供在处理器时钟循环 7 中传回来自数据项块 70(3) 的数据,且在处理器时钟循环 8 中传回来自数据项块 70(2) 的数据。

[0042] 如图 4 中所见,数据项块 70(2) 及 70(3) 所需要的额外启用重新驱动及数据输出重新驱动操作导致缓慢分区 80 中的数据项块 70 的互连时延增加。在此实例中,从接收启用信号直到达到数据输出就绪状态为止的数据项块 70(0) 及 70(1) 的互连时延由三个处理器时钟循环组成。相对比地,从启用重新驱动操作直到数据输出重新驱动操作为止的数据项块 70(2) 及 70(3) 的互连时延由五个处理器时钟循环组成。因此,数据项块 70(2) 及

70(3) 的互连时延比快速分区 78 中的数据项块 70 的互连时延长两个处理器时钟循环。通过在高速缓存填充期间关键词优先排序数据项块 70(0) 到 70(3) 中的数据项,可避免过度互连时延,从而加速后续高速缓存存取且改进处理器性能。

[0043] 就此而言,提供图 5 以说明由图 1 的高速缓存控制器 30 的高速缓存线排序逻辑 42 及高速缓存存取逻辑 44 进行以加速高速缓冲存储器存取的示范性操作。在图 5 中,操作以高速缓存线排序逻辑 42 在高速缓存填充期间将多个数据项关键词优先排序到例如图 1 的高速缓存线 32 等高速缓存线中(框 88)开始。在一些实施方案中,关键词可为由处理器及/或由例如较高级别高速缓冲存储器请求的数据项。

[0044] 高速缓存线排序逻辑 42 接着存储与高速缓存线 32 相关联的高速缓存线排序索引(例如,图 1 的高速缓存线排序索引 46)(框 90)。高速缓存线排序索引 46 指示高速缓存线 32 中的多个数据项的关键词优先排序。一些实施例可提供将高速缓存线排序索引 46 存储于与高速缓存线 68(0) 相关联的图 3 的标签 72 中,或存储于高速缓存线 68(0) 的旗标位 74 中。在一些实施方案中,高速缓存线排序索引 46 可指示在高速缓存线 32 中的多个数据项经旋转的位置数目以关键词优先排序多个数据项。高速缓存存取逻辑 44 接着基于用于高速缓存线 32 的高速缓存线排序索引 46 存取高速缓存线 32 中的多个数据项中的每一者(框 92)。在一些实施方案中,存取高速缓存线 32 中的多个数据项中的每一者包含基于用于高速缓存线 32 的高速缓存线排序索引 46 将所请求数据项(即,在高速缓存读取期间请求的数据项)映射到多个数据项中的一者。

[0045] 图 6A 及 6B 中说明由图 1 的高速缓存控制器 30 的高速缓存线排序逻辑 42 及高速缓存存取逻辑 44 进行的更详细示范性操作。图 6A 为说明用于响应于高速缓存未命中接收及关键词优先排序高速缓存填充的示范性操作的流程图。图 6B 为展示用于存取高速缓存读取上的经关键词优先排序的数据项的示范性操作的流程图。

[0046] 在图 6A 中,高速缓存线排序逻辑 42 首先确定是否已检测到高速缓存未命中(框 94)。如果未检测到,那么处理前进到图 6B 的框 96。如果在图 6A 的框 94 处检测到高速缓存未命中,那么高速缓存线排序逻辑 42 从较低级别存储器接收多个数据项(框 98)。在一些实施方案中,较低级别存储器可为较低级别高速缓存,例如图 1 的 L2 高速缓存 16 及/或 L3 高速缓存 18。一些实施例可提供较低级别存储器为主存储器,例如图 1 的主存储器 20。

[0047] 高速缓存线排序逻辑 42 接着在高速缓存填充期间将多个数据项关键词优先排序到高速缓存线中(例如图 1 的 L1 高速缓存 14 的高速缓存线 32)(框 100)。在一些实施方案中,关键词为由处理器及/或由例如较高级别高速缓冲存储器请求的数据项。高速缓存线排序逻辑 42 接着确定高速缓存线 32 中的多个数据项经旋转的位置数目以关键词优先排序多个数据项(框 102)。高速缓存线排序逻辑 42 将位置数目存储为与高速缓存线 32 相关联的高速缓存线排序索引,例如图 1 的高速缓存线排序索引 46(框 104)。一些实施例可提供将高速缓存线排序索引 46 存储于例如图 3 的标签 72 等标签中,及/或存储于例如图 3 的旗标位 74 等旗标位中。接着在图 6B 的框 96 处继续处理。

[0048] 现参看图 6B,高速缓存控制器 30 接着确定是否已检测到高速缓存读取(框 96)。如果未检测到,那么处理返回到图 6A 的框 94。如果在图 6B 的框 96 处检测到高速缓存读取,那么高速缓存控制器 30 的高速缓存存取逻辑 44 存取高速缓存线 32 中的多个数据项中的每一者(框 106)。为了存取多个数据项,高速缓存存取逻辑 44 可基于用于高速缓存线

32 的高速缓存线排序索引 46 将所请求数据项映射到多个数据项中的一者。此情形可准许存取多个数据项而不需要多个数据项的另一重新排序或重分选。接着在图 6A 的框 94 处恢复处理。

[0049] 根据本文中所揭示的实施例关键词优先排序高速缓冲存储器填充以加速高速缓冲存储器存取可提供于任何基于处理器的装置中或集成到任何基于处理器的装置中。实例包含（但不限于）机顶盒、娱乐单元、导航装置、通信装置、固定位置数据单元、移动位置数据单元、移动电话、蜂窝式电话、计算机、便携式计算机、桌上型计算机、个人数字助理（PDA）、监视器、计算机监视器、电视、调谐器、无线电、卫星无线电、音乐播放器、数字音乐播放器、便携式音乐播放器、数字视频播放器、视频播放器、数字视频光盘（DVD）播放器及便携式数字视频播放器。

[0050] 就此而言，图 7 为根据本文中所描述的实施例中的任一者的示范性基于处理器的系统 108 的框图，所述示范性基于处理器的系统可包含经配置以将高速缓存填充重新排序到关键词优先排序中以加速高速缓冲存储器存取的图 3 的高速缓冲存储器 60。在此实例中，基于处理器的系统 108 包含一或多个 CPU 10，每一 CPU 包含一或多个处理器 12。CPU 10 可具有耦合到处理器 12 的用于快速存取临时存储数据的高速缓冲存储器 60。CPU 10 耦合到系统总线 110，且可使包含于基于处理器的系统 108 中的主控及从属装置相互耦合。众所周知，CPU 10 通过经由系统总线 110 交换地址、控制及数据信息而与这些其它装置通信。举例来说，CPU 10 可将总线事务请求传达到作为从属装置的实例的存储器控制器 112。

[0051] 其它主控及从属装置可连接到系统总线 110。如图 7 中所说明，作为实例，这些装置可包含存储器系统 114、一或多个输入装置 116、一或多个输出装置 118、一或多个网络接口装置 120 及一或多个显示器控制器 122。输入装置 116 可包含任何类型的输入装置，包含（但不限于）输入键、开关、语音处理器等。输出装置 118 可包含任何类型的输出装置，包含（但不限于）音频、视频、其它视觉指示符等。网络接口装置 120 可为经配置以允许将数据交换到网络 124 及从所述网络交换数据的任何装置。网络 124 可为任何类型的网络，包含（但不限于）有线或无线网络、私用或公用网络、局域网（LAN）、广域网（WLAN）及因特网。网络接口装置 120 可经配置以支持任何类型的所要通信协议。存储器系统 114 可包含一或多个存储器单元 126（0 到 N）。

[0052] CPU 10 还可经配置以经由系统总线 110 存取显示器控制器 122 以控制发送到一或多个显示器 128 的信息。显示器控制器 122 将信息发送到显示器 128 以待经由一或多个视频处理器 130 显示，所述视频处理器将待显示的信息处理成适合于显示器 128 的格式。显示器 128 可包含任何类型的显示器，包含（但不限于）阴极射线管（CRT）、液晶显示器（LCD）、等离子显示器，等。

[0053] 所属领域的技术人员将进一步了解，结合本文所揭示的实施例描述的各种说明性逻辑块、模块、电路及算法可以实施为电子硬件、存储在存储器或另一计算机可读媒体中且通过处理器或其它处理装置执行的指令或两者的组合。作为实例，本文所述的主控装置和从属装置可用于任何电路、硬件组件、集成电路（IC）或 IC 芯片中。本文揭示的存储器可以是任何类型和大小的存储器，并且可经配置以存储所需的任何类型的信息。为清楚地说明此可互换性，上文已大体上关于其功能性而描述了各种说明性组件、块、模块、电路和步骤。如何实施此功能性取决于特定应用、设计选项和 / 或强加于整个系统的设计约束。所属领

域的技术人员可针对每一特定应用以不同方式实施所描述功能性,但所述实施决策不应被解释为导致偏离本发明的范围。

[0054] 结合本文揭示的实施例描述的各种说明性功能元件、逻辑块、模块和电路可以通用处理器、数字信号处理器 (DSP)、专用集成电路 (ASIC)、现场可编程门阵列 (FPGA) 或经设计以执行本文所述的功能的其它可编程逻辑装置、离散门或晶体管逻辑、离散硬件组件或其任何组合来实施或执行。处理器可以是微处理器,但在替代方案中,处理器可以是任何常规处理器、控制器、微控制器或状态机。处理器还可实施为计算装置的组合,例如,DSP 与微处理器的组合、多个微处理器的组合、一或多个微处理器与 DSP 核心的联合,或任何其它此配置。

[0055] 本文所揭示的实施例可体现在硬件和存储在硬件中的指令中,且可驻存在例如随机存取存储器 (RAM)、快闪存储器、只读存储器 (ROM)、电可编程 ROM (EPROM)、电可擦除可编程 ROM (EEPROM)、寄存器、硬盘、可装卸式磁盘、CD-ROM 或此项技术中已知的任何其它形式的计算机可读媒体中。示范性存储媒体耦合到处理器,使得处理器可从存储媒体读取信息并将信息写入到存储媒体。在替代方案中,存储媒体可与处理器成一体式。处理器及存储媒体可驻存于 ASIC 中。ASIC 可驻存于远程站中。在替代方案中,处理器和存储媒体可作为离散组件驻存在远程站点、基站或服务器中。

[0056] 还应注意,描述本文中的示例性实施例中的任一者中描述的操作步骤是为了提供实例及论述。所描述的操作可以不同于所说明序列的大量不同序列执行。另外,单个操作步骤中所描述的操作实际上可在许多不同步骤中执行。另外,示范性实施例中所论述的一或多个操作步骤可进行组合。应理解,所属领域的技术人员将容易明白,流程图中所说明的操作步骤可以经受大量不同修改。所属领域的技术人员还将了解,可使用多种不同技术和技法中的任一者来表示信息和信号。举例来说,可由电压、电流、电磁波、磁场或磁粒子、光场或光粒子或其任何组合来表示在以上描述中始终参考的数据、指令、命令、信息、信号、位、符号及码片。

[0057] 本发明的先前描述经提供以使所属领域的技术人员能够制造或使用本发明。所属领域的技术人员将容易了解对本发明的各种修改,且本文中界定的一般原理可应用于其它变化而不偏离本发明的精神或范围。因此,不希望本发明限于本文中描述的实例和设计,而是赋予其与本文中揭示的原理和新颖特征相一致的最广范围。

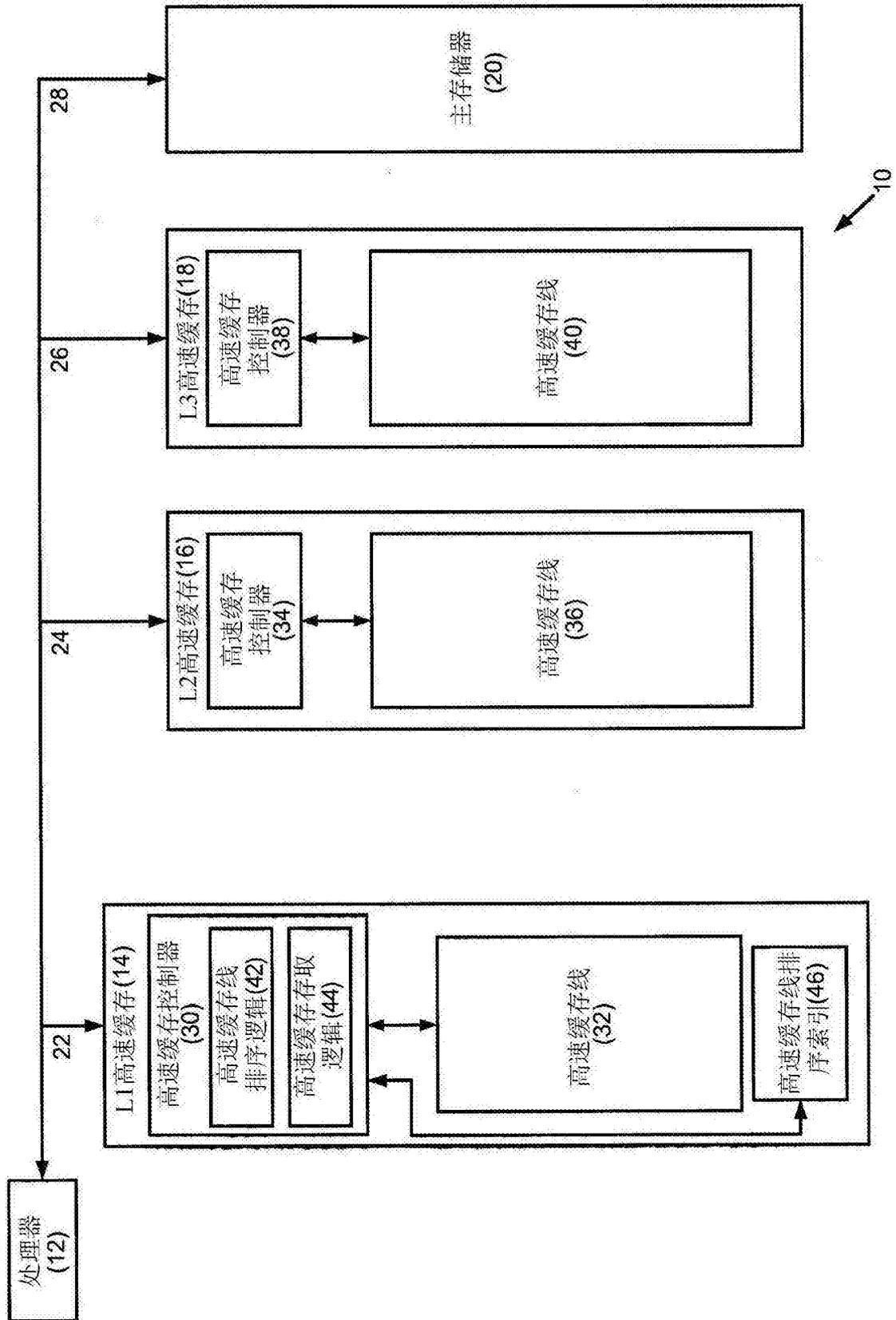


图 1

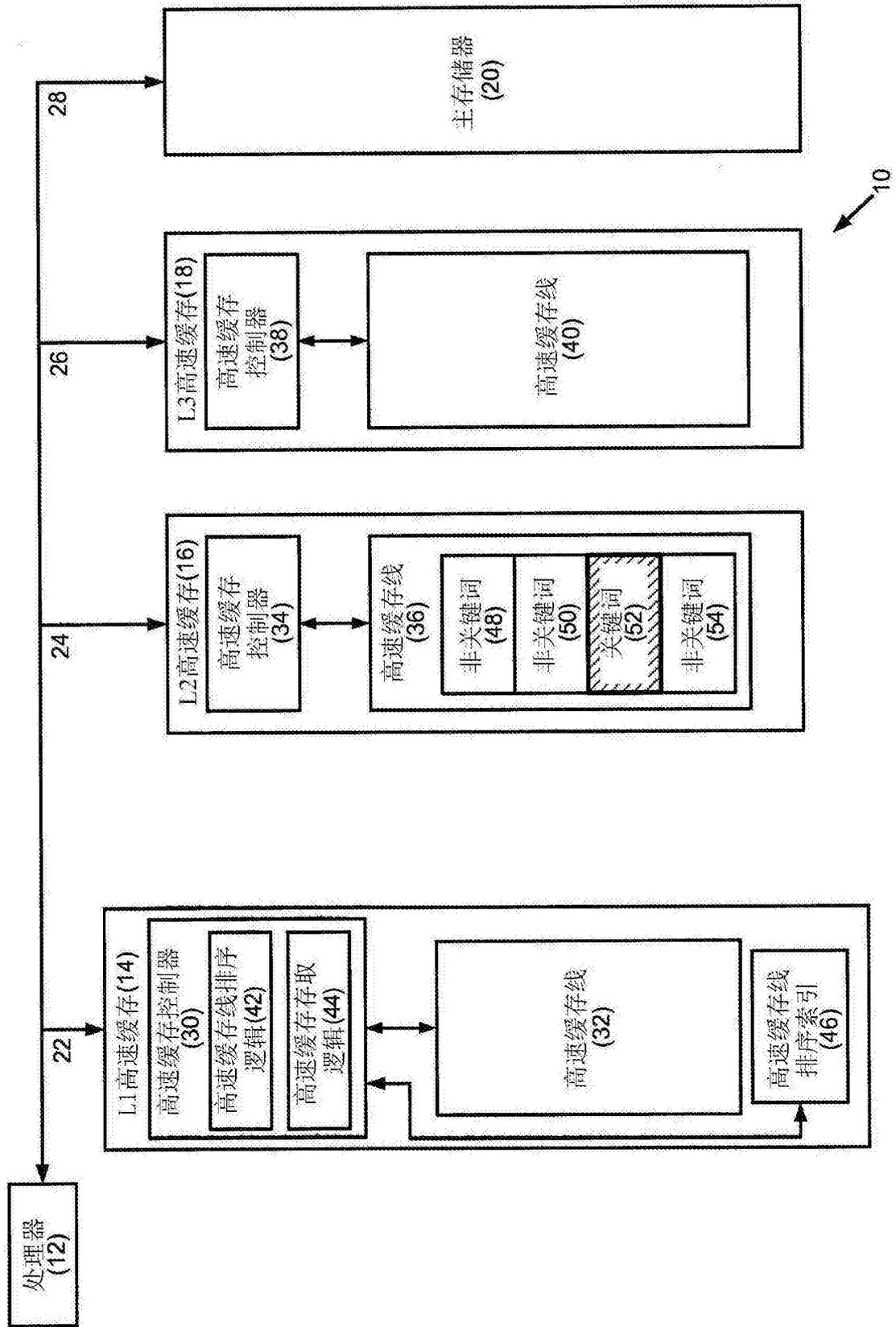


图 2A

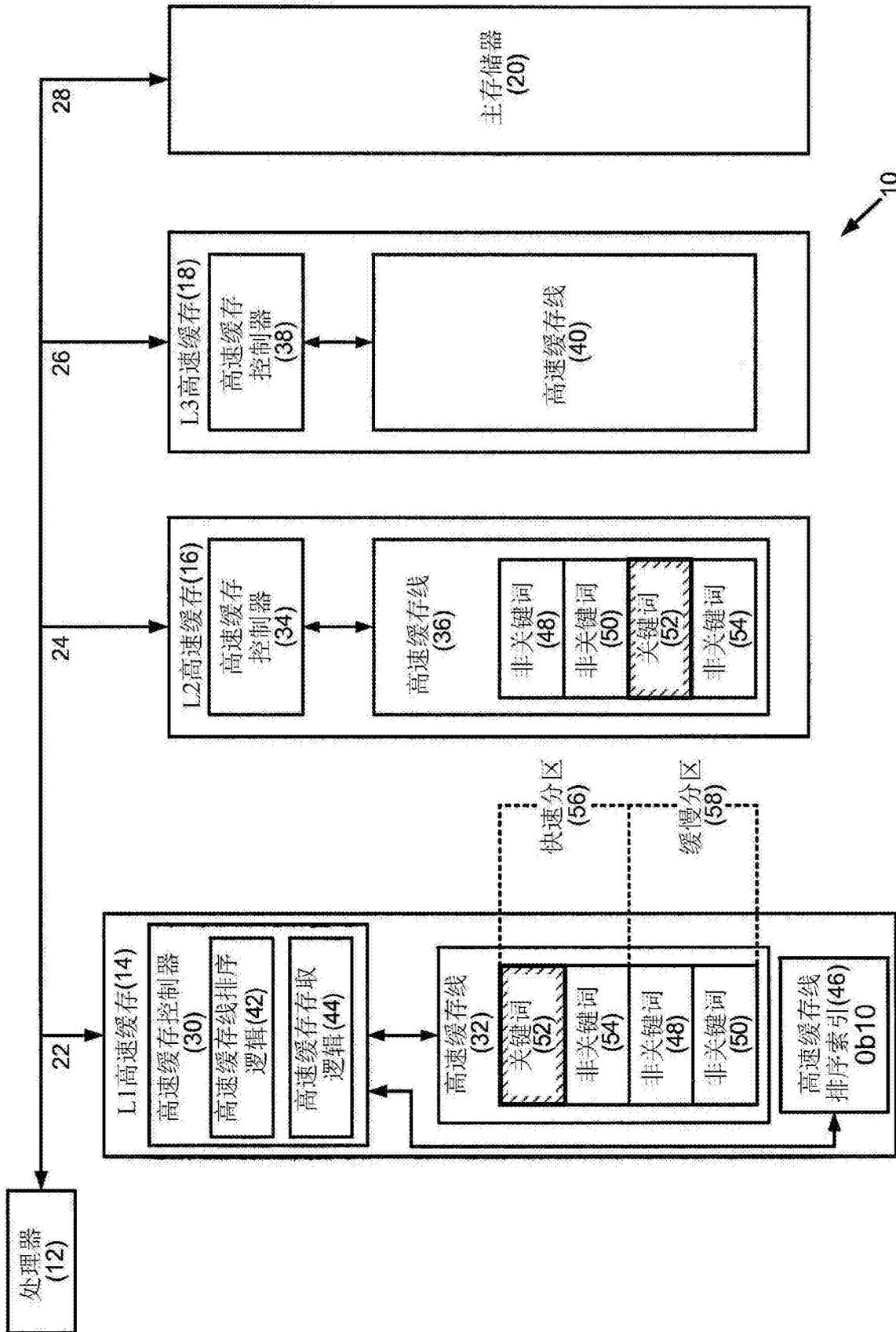


图 2B

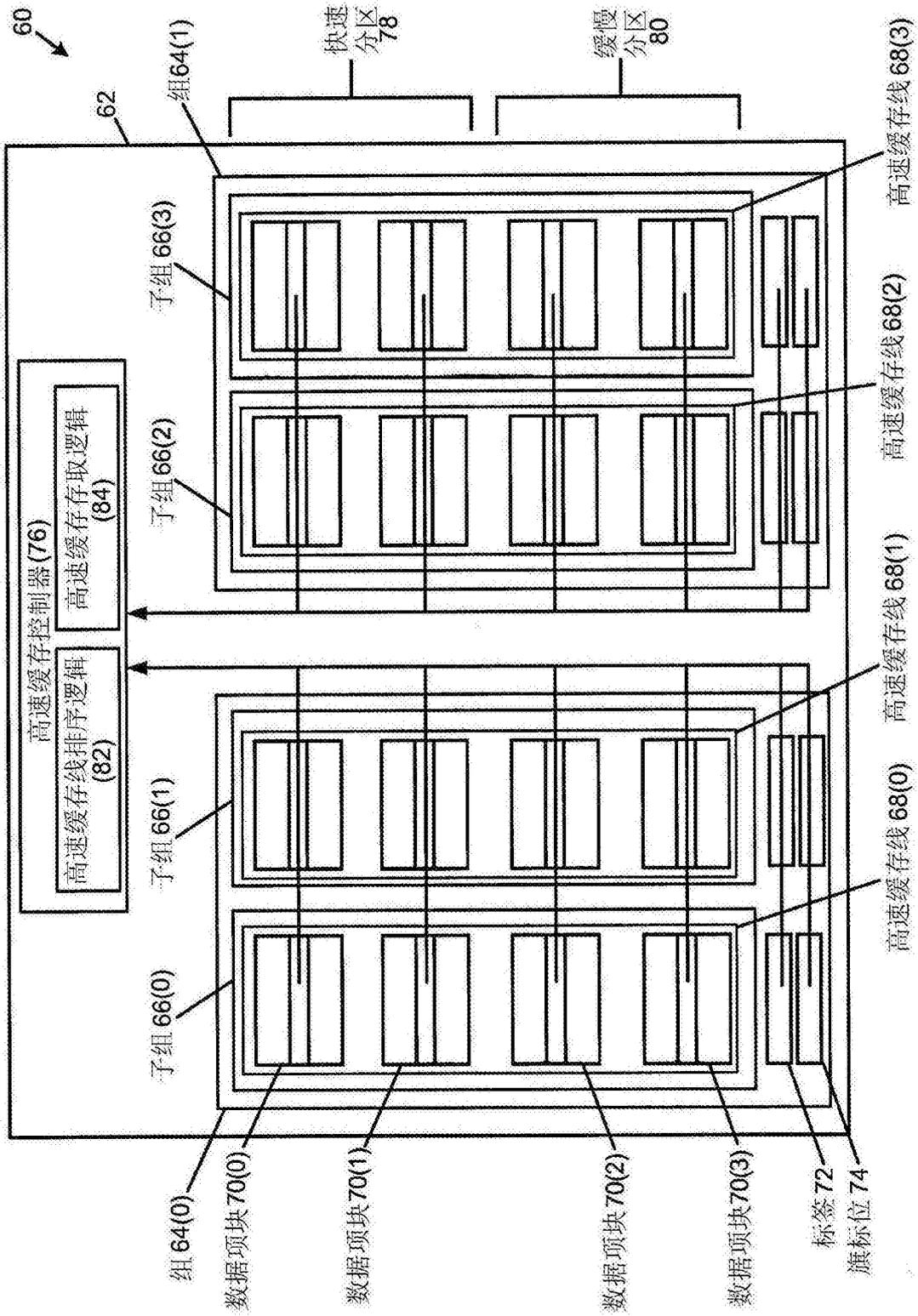


图 3

86 ↘

处理器时钟循环

	1	2	3	4	5	6	7	8
数据项块70(0)	启用	阵列存取	阵列存取	数据输出就绪	数据传回			
数据项块70(1)	启用	阵列存取	阵列存取	数据输出就绪	数据输出就绪	数据传回		
数据项块70(2)	启用重新驱动	启用	阵列存取	阵列存取	数据输出就绪	数据输出重新驱动	数据传回	
数据项块70(3)	启用重新驱动	启用	阵列存取	阵列存取	数据输出就绪	数据输出重新驱动	数据输出重新驱动	数据传回

图 4

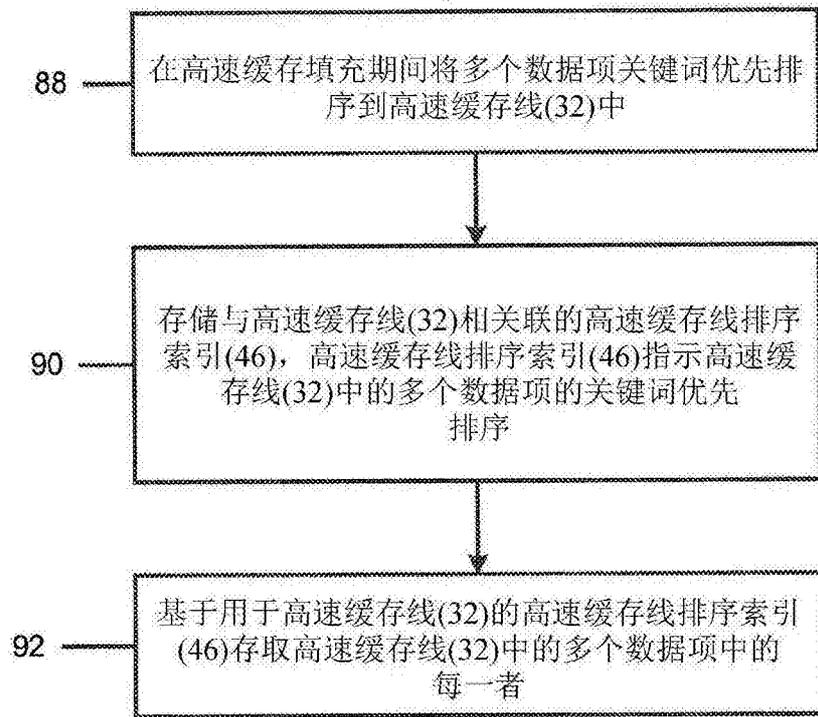


图 5

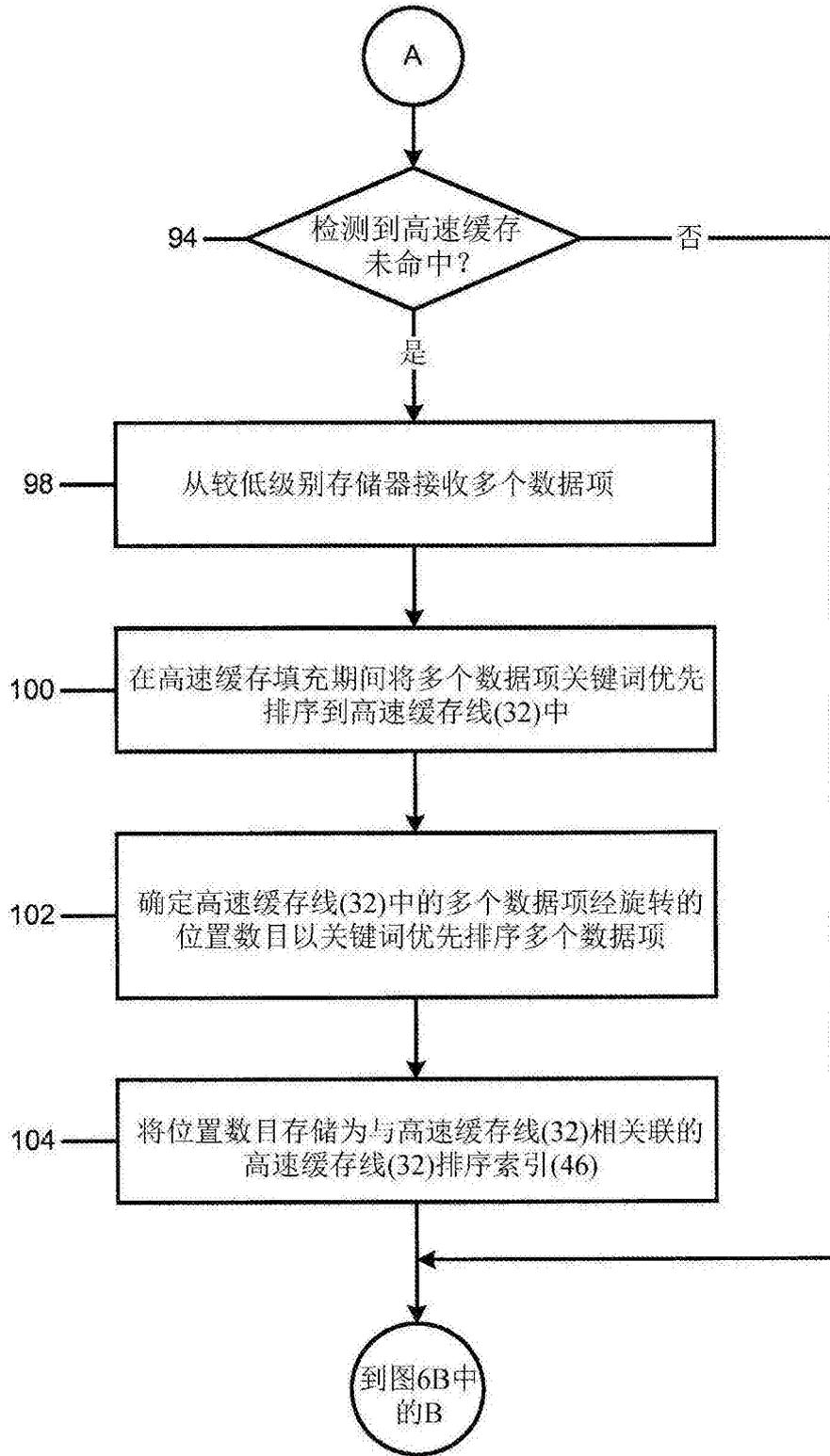


图 6A

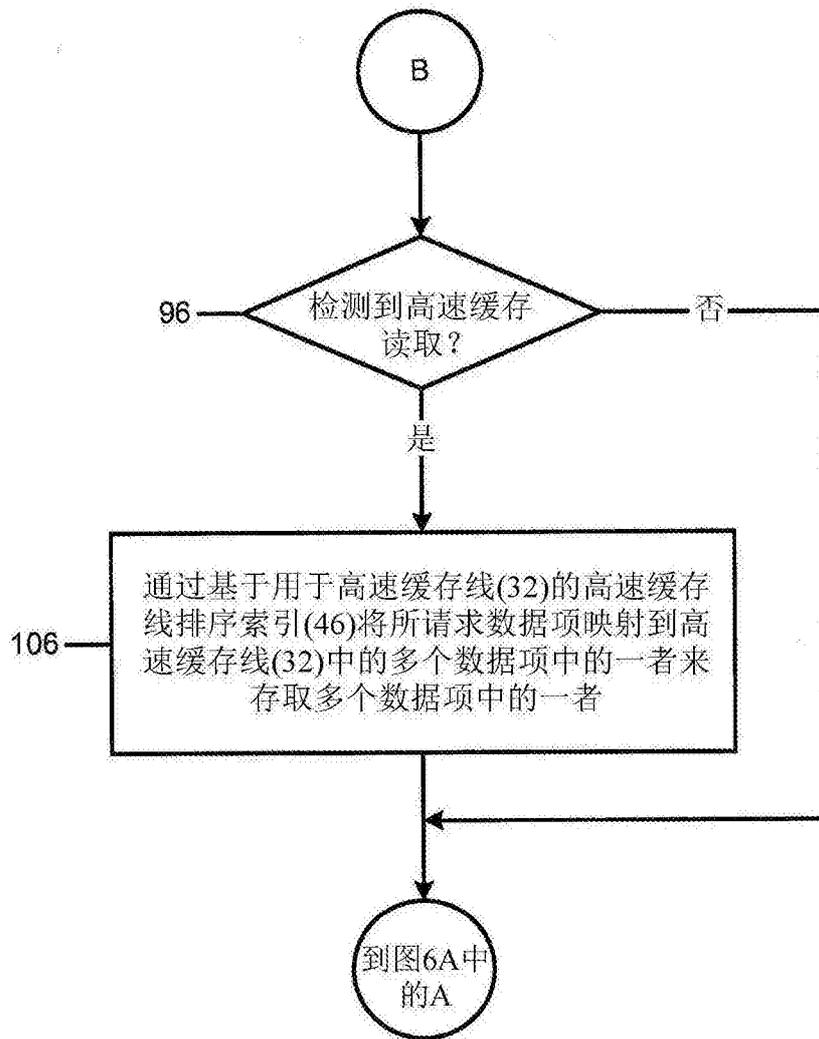


图 6B

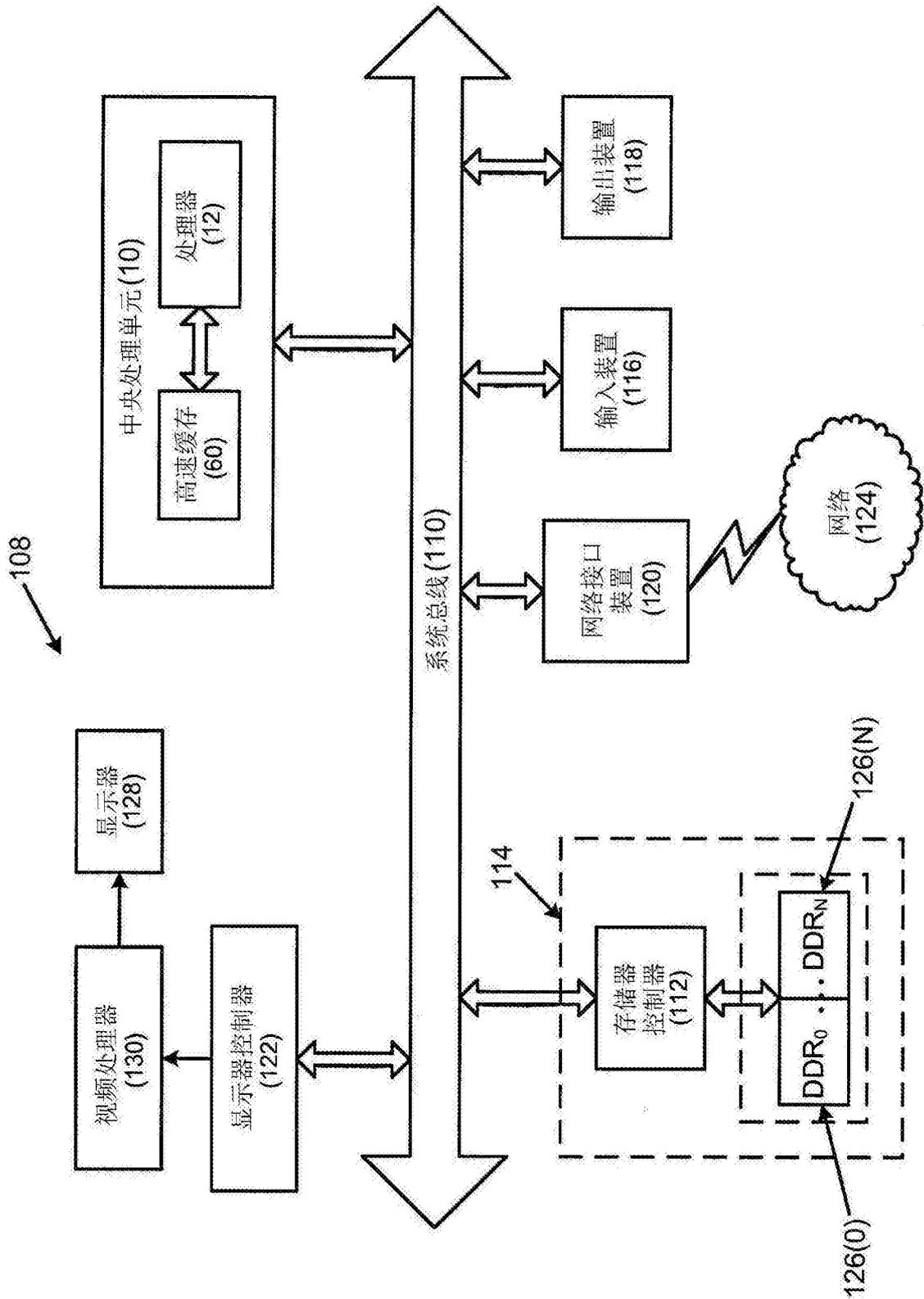


图 7