



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称 ： 不揮発メモリ及び記憶装置

参照による取り込み

[0001] 本出願は、平成22年（2010年）7月27日に出願された日本特許出願特願2010-168312の優先権を主張し、その内容を参照することにより、本出願に取り込む。

技術分野

[0002] 本発明は不揮発性半導体メモリ、不揮発性半導体メモリを搭載した記憶装置、及びその制御方法に関する。

背景技術

[0003] NAND型フラッシュメモリをはじめとする高集積・大容量の不揮発性半導体メモリは、書き換え回数が有限（例えば、10000回）で、記憶データの一部の破壊（データ誤り）も起こりうるという特徴を持つ。そのような半導体メモリを利用して記憶装置（SSD）を構成する場合には、一般に、ページ書き換え回数を平準化するウェアレベリングや、データ誤りを起こしたページを保全するデータリフレッシュなど、高信頼化手段の実装が必要である。

[0004] ウェアレベリング方法としては、特許文献1にその一つの手段が開示されている。すなわち、ライト回数が多く、今後ライトされる可能性が高いと思われる論理ブロックに、消去回数が多い物理ブロックが割り当てられていたときには、ライト回数の少ない論理ブロックに割り当てられている消去回数の少ない物理ブロックを探し、ライト回数が多い論理ブロックには消去回数が少ない物理ブロックを割り当て、ライト回数が少ない論理ブロックには消去回数が多い物理ブロックを割り当てるようにマッピングを変更する。これは、2つの物理ブロックに格納された論理ブロックデータを交換するスワップ動作を行うことに相当する。

[0005] 2つの記憶媒体に記録されたデータ同士を交換するスワップ方法としては

、古くから計算機技術として排他的論理和命令を用いた方法が知られている。例えば、特許文献2の図4のように、 $\$1 = \$1 \text{ xor } (\$1 \text{ xor } \$2) = \$2$ 、 $\$2 = \$2 \text{ xor } (\$1 \text{ xor } \$2) = \$1$ という計算機命令により、 $\$1$ と $\$2$ のデータを交換する。

[0006] 一方、データリフレッシュ方法については、記憶媒体に記録しようとするデータにあらかじめ誤り訂正コードを付加しておき、記録後にはそれを利用して当該データの誤りを検出・訂正し、記憶媒体に訂正された記録データを書きなおすという方法がよく知られている。

[0007] 通常、不揮発性半導体メモリでのデータ誤り率はデータ全体の0.1～1.0%程度であり、訂正すべきは記録データのごく一部である。不揮発性半導体メモリのデータの一部を書き換える技術としては、特許文献3に、ページデータの一部の書き換えを行って異なるページに書き込む不揮発性半導体メモリ（特に、NAND型フラッシュメモリ）が開示されている。

[0008] 不揮発性半導体メモリのデータ誤り訂正として適用される誤り訂正技術は、巡回符号を応用したものが一般的であり、リードソロモン符号や BCH 符号がよく知られている。いずれもガロア体（四則演算が定義され閉じている有限集合）での数値計算を利用する。ガロア体における加法は排他的論理和である。そのため、データ誤り訂正を行う際には、誤りを含む記録データと、誤りパターンデータとの排他的論理和を計算することにより、訂正された記録データを作成する。

先行技術文献

特許文献

[0009] 特許文献1：米国特許第5737742号公報

特許文献2：米国特許第5812845号公報

特許文献3：米国特許第6661706号公報

発明の概要

発明が解決しようとする課題

- [0010] 特許文献3に開示されるような不揮発性メモリセルアレイとバッファメモリとを備えた半導体メモリを利用して記憶装置を構成する場合、ウェアレベリングやデータリフレッシュの機能を実装する上で以下のような課題がある。
- [0011] まず、ウェアレベリングのためのページスワップでは、交換する2つのページのデータを読み出し、一時的に保持しておく都合上、少なくとも2つのメモリ内部バッファが必要である。さらに、保持したデータを損失してはならないので、ライトコマンド2回分の電源保護が必要である。
- [0012] また、データリフレッシュのための誤り訂正では、訂正データを一時的に保持しておくために、少なくとも1つのメモリ外部バッファが必要である。さらに、誤りを含むアドレス及びその訂正データを、訂正箇所の数の分メモリへ転送することが必要である。

課題を解決するための手段

- [0013] 開示される半導体メモリ装置は、ウェアレベリングにおけるページスワップやデータリフレッシュを低コスト化し、不揮発性半導体メモリ外との転送データ量を少なくするために、1ページ分のバッファメモリと小規模の回路を設ける。
- [0014] 具体的には、半導体メモリ装置は、不揮発性のメモリセルアレイ、メモリセルアレイからデータを読み出すセンスアンプ、メモリセルアレイへデータを書き込むドライバ、メモリコントローラと接続するインタフェースロジックを有する。さらに、メモリセルアレイのデータの読み出し／書き込み単位である1ページ分の容量の揮発性のバッファメモリを設け、センスアンプの出力、バッファメモリの出力、及び、センスアンプの出力とバッファメモリの出力との排他的論理和を選択的にバッファメモリへ入力するデータ選択回路、並びに、データ選択回路によるバッファメモリへ入力の選択に対応して、バッファメモリの出力は、データ選択回路を介した該バッファメモリ及びドライバの少なくとも一方の入力として、または、データ選択回路を介した該バッファメモリ及びドライバのいずれにも入力しないように制御する制御

回路を有する。

[0015] 他の態様として、上記の半導体メモリ装置は、メモリコントローラからのインタフェースロジックを介した、メモリセルアレイの第1のページ(X)を指定した第1のコマンド(T_{g1}__R)に応答して、センスアンプは第1のページ(X)の第1のデータ(B)をメモリセルアレイから読み出し、データ選択回路は、読み出された第1のデータ(B)をバッファメモリに入力し、バッファメモリは第1のデータ(B)を格納する。そして、メモリコントローラからのインタフェースロジックを介した、メモリセルアレイの第2のページ(W)を指定した第2のコマンド(T_{g1}__T₁)に応答して、センスアンプは第2のページ(W)の第2のデータ(A)をメモリセルアレイから読み出し、データ選択回路は、バッファメモリに格納された第1のデータ(B)と読み出された第2のデータ(A)との排他的論理和を計算した第3のデータ(A ^ B)をバッファメモリに入力し、バッファメモリは入力した第3のデータ(A ^ B)を格納する。さらに、メモリコントローラからのインタフェースロジックを介した、メモリセルアレイの第2のページ(W)を指定した第3のコマンド(T_{g1}__T₂)に応答して、制御回路は、バッファメモリの出力をドライバに入力し、バッファメモリに格納した第3のデータ(A ^ B)を、メモリセルアレイの第2のページ(W)に書き込むように制御する。

[0016] さらに他の態様として、上記の半導体メモリ装置は、第3のコマンド(T_{g1}__T₂)に応答して、データ選択回路は、バッファメモリの第3のデータ(A ^ B)をバッファメモリにフィードバック入力し、バッファメモリはフィードバックされた第3のデータ(A ^ B)を格納する。そして、メモリコントローラからのインタフェースロジックを介した、メモリセルアレイの第1のページ(X)を指定した2回目の第2のコマンド(T_{g1}__T₁)に
応答して、センスアンプは第1のページ(X)の第1のデータ(B)をメモリセルアレイから読み出し、データ選択回路は、バッファメモリに格納された第3のデータ(A ^ B)と読み出された第1のデータ(B)との排他的論

理和を計算した第2のデータ（A）をバッファメモリに入力し、バッファメモリは入力した第2のデータ（A）を格納する。さらに、メモリコントローラからのインタフェースロジックを介した、メモリセルアレイの第1のページ（X）を指定した2回目の第3のコマンド（T_{g1}__T₂）に応答して、制御回路は、バッファメモリの出力をドライバに入力し、バッファメモリに格納した第2のデータ（A）を、メモリセルアレイの第1のページ（X）に書き込むように制御する。

[0017] さらに他の態様として、上記の半導体メモリ装置は、2回目の第3のコマンド（T_{g1}__T₂）に応答して、データ選択回路は、バッファメモリの第2のデータ（A）をバッファメモリにフィードバック入力し、バッファメモリはフィードバックされた第2のデータ（A）を格納する。そして、メモリコントローラからのインタフェースロジックを介した、メモリセルアレイの第2のページ（W）を指定した3回目の第2のコマンド（T_{g1}__T₁）に応答して、センスアンプは第2のページ（W）の第3のデータ（A[^]B）をメモリセルアレイから読み出し、データ選択回路は、バッファメモリに格納された第2のデータ（A）と読み出された第3のデータ（A[^]B）との排他的論理和を計算した第1のデータ（B）をバッファメモリに入力し、バッファメモリは入力した第1のデータ（B）を格納する。さらに、メモリコントローラからのインタフェースロジックを介した、メモリセルアレイの第2のページ（W）を指定した3回目の第3のコマンド（T_{g1}__T₂）に応答して、制御回路は、バッファメモリの出力をドライバに入力し、バッファメモリに格納した第1のデータ（B）を、メモリセルアレイの第2のページ（W）に書き込むように制御する。

[0018] さらに他の態様として、上記の半導体メモリ装置は、メモリコントローラからのインタフェースロジックを介した、メモリセルアレイの第4のページを指定した第4のコマンドであるリードコマンドに応答して、センスアンプは第4のページの第4のデータをメモリセルアレイから読み出し、データ選択回路は、読み出された第4のデータをバッファメモリに入力し、バッファ

メモリは第4のデータを格納する。そして、インタフェースロジックは、メモリコントローラからの、第4のデータのビット値を“1”とするビットアドレスを指定した第5のコマンド（T g l __ S）に応答して、指定されたビットアドレスに対応したビット値を“1”とし、指定されないビットアドレスに対応したビット値を“0”とする第5のデータを生成するトグルパターン生成器を含む。さらに、データ選択回路は、バッファメモリに格納された第4のデータと生成された第5のデータとの排他的論理和を計算した第6のデータをバッファメモリに入力し、バッファメモリは入力した第6のデータを格納する。さらに、メモリコントローラからの第6のコマンド（T g l __ T 2）に応答して、制御回路は、バッファメモリの出力をドライバに入力し、バッファメモリに格納した第6のデータを、メモリセルアレイの第4のページに書き込むように制御する。

[0019] さらに、開示される記憶装置は、上記の半導体メモリと、メモリコマンドを実行するメモリコントローラと、バックアップ電源とを備えており、メモリコントローラは、第1のコマンド（T g l __ R）（トグル参照コマンド）、または第2のコマンド（T g l __ T 1）（トグル対象第1コマンド）の実行中に供給電源が遮断された場合には、その実行を中断し、第3のコマンド（T g l __ T 2）（トグル対象第2コマンド）の実行中に供給電源が遮断された場合には、その実行を完了するまでバックアップ電源を利用する。

[0020] さらに他の態様として、上記の記憶装置は、メモリコントローラがライトコマンドで書き込むデータのF l a g部に、非ゼロ値を設定するように構成されている。メモリコントローラは、リードコマンドで半導体メモリのページのデータを読み出し、F l a g部が非ゼロ値であれば有効ページ、ゼロ値であれば無効ページと判定する。メモリコントローラは、有効ページXを指定して、第1のコマンド（T g l __ R）（トグル参照コマンド）を実行し、無効ページWを指定して、第2のコマンド（T g l __ T 1）（トグル対象第1コマンド）と第3のコマンド（T g l __ T 2）（トグル対象第2コマンド）を実行し、無効ページWを有効ページに変更する。

[0021] さらに他の態様として、上記の記憶装置は、メモリコントローラがライトコマンドで書き込むデータのLA部に、データの論理アドレスを設定するように構成されている。メモリコントローラは、有効ページと判定されたページのLA部に書かれた論理アドレスを調べ、論理アドレスと有効ページの物理アドレスとの対応関係をテーブルに登録し、テーブルにおいて対応する物理アドレスを持たない論理アドレスを検出する。また、無効ページと判定されたページについて、LA部の内容と、検出した未対応論理アドレスとの排他的論理和を計算して、スワップパートナーの論理アドレスを算出し、テーブルから、スワップパートナーの論理アドレスに対応する物理アドレスを取得し、上記第1のコマンド(TgI__R) (トグル参照コマンド)の実行先である有効ページXをそれによって選択する。

発明の効果

[0022] 本発明によれば、不揮発性半導体メモリを低コスト化し、不揮発性半導体メモリ外との転送データ量を少なくすることができる。

図面の簡単な説明

[0023] [図1]半導体記憶装置(SSD)の構成を示す図である。

[図2A]相変化メモリセルの基本構造を示す図である。

[図2B]相変化メモリセルの書き込み電流特性を示す図である。

[図3]相変化メモリチップの構造を示すブロック図である。

[図4A]メモリコマンドTgI__Rのインタフェースタイミングを示す図である。

[図4B]メモリコマンドTgI__T1のインタフェースタイミングを示す図である。

[図4C]メモリコマンドTgI__T2のインタフェースタイミングを示す図である。

[図5A]メモリコマンドTgI__Rの処理を示す図である。

[図5B]メモリコマンドTgI__T1の処理を示す図である。

[図5C]メモリコマンドTgI__T2の処理を示す図である。

[図6] メモリチップのページ割当仕様を示す図である。

[図7] ページスワップ動作におけるページ状態遷移を示す図である。

[図8] ページスワップ動作における電源バックアップパターンを示すタイミング図である。

[図9A] 電源遮断時の割り込み処理のフローチャートである。

[図9B] ページスワップ動作制御のフローチャートである。

[図10] ページスワップ動作における論理物理アドレス変換テーブルの状態遷移を示す図である。

[図11] ページスワップ動作中の電源遮断後に実行するブートアップ処理のフローチャートである。

[図12A] 本実施形態のページスワップ動作の効果を説明する図である。

[図12B] 本実施形態のページスワップ動作の効果を説明する図である。

[図13] ページ誤り訂正処理を示すブロック図である。

[図14] ページ誤り訂正動作処理のフローチャートである。

[図15A] 本実施形態のページ誤り訂正動作の効果を説明する図である。

[図15B] 本実施形態のページ誤り訂正動作の効果を説明する図である。

[図16] メモリコマンドとバッファメモリの入出力との対応関係を示す図である。

発明を実施するための形態

[0024] 本実施形態の半導体メモリ装置は、ウェアレベリングにおけるページスワップやデータリフレッシュを低コスト化し、不揮発性半導体メモリ外との転送データ量を少なくするために、1 ページ分のバッファメモリと小規模の回路を設ける。

[0025] 具体的には、半導体メモリ装置は、不揮発性のメモリセルアレイ、メモリセルアレイからデータを読み出すセンスアンプ、メモリセルアレイへデータを書き込むドライバ、メモリコントローラと接続するインタフェースロジックを有する。さらに、メモリセルアレイのデータの読み出し／書き込み単位である1 ページ分の容量の揮発性のバッファメモリを設け、センスアンプの

出力、バッファメモリの出力、及び、センスアンプの出力とバッファメモリの出力との排他的論理和を選択的にバッファメモリへ入力するデータ選択回路を設ける。さらに、データ選択回路によるバッファメモリへ入力の選択に対応して、バッファメモリの出力は、データ選択回路を介した該バッファメモリ及びドライバの少なくとも一方の入力として、または、データ選択回路を介した該バッファメモリ及びドライバのいずれにも入力しないように制御する制御回路を有する。

[0026] 図1を参照して、半導体記憶装置（以下、SSD: Solid State Drive）1000の構成について説明する。ここでは、不揮発メモリとして、相変化メモリを例に説明する。

[0027] SSD1000は、SATAインタフェース1410、メモリコントローラ1100、電源管理部1200、バックアップ電源1210、相変化メモリチップ1301～1304で構成される。

[0028] SATAインタフェース1410は外部のホスト1400と接続するためのインタフェースであり、ホスト1400からのリード／ライトコマンドに応答して、それぞれSSD1000に格納したデータをホスト1400に送信し、または、ホスト1400からデータを受信して格納する。ホスト1400は、リード／ライトを要求するデータの格納位置を論理アドレスによって指定する。この論理アドレスは相変化メモリチップ1301～1304のアクセスに用いられる物理アドレスとは異なる論理的なアドレスである。SATAインタフェース1410およびコマンドやデータの送受信のプロトコルは、標準的なハードディスク装置と互換性のあるシリアルATA（ATA Attachment）仕様に準拠する。

[0029] メモリコントローラ1100は、SATAインタフェース1410、電源管理部1200、相変化メモリチップ1301～1304と接続され、SATAインタフェース1410と相変化メモリチップ1301～1304を制御するマイクロプロセッサである。メモリコントローラ1100は、CPU（Central Processing Unit）1110とRAM（

Random Access Memory) 1120を含み、メモリコントローラ1100の制御は、CPU1110による組み込まれたプログラムの実行によって実現される。例えば、ホスト1400からのリード／ライトコマンドの解釈を実行する。また、メモリインタフェース1130を介して、相変化メモリチップ1301～1304へのアクセス、ホスト1400と相変化メモリチップ1301～1304との間のデータ転送を実行する。

[0030] また、メモリコントローラ1100は、ホスト1400からのリード／ライトコマンドにおいて指定された論理アドレスがどのメモリチップ内のどのページ（メモリチップのアクセス単位）に対応するかを論理物理アドレス変換テーブルによって管理する。メモリコントローラ1100は、SSD1000の電源投入時にRAM1120の一部に論理物理アドレス変換テーブルを作成する。RAM1120は、CPU1110によるプログラム動作においてワークメモリとしても使われ、相変化メモリチップ1301～1304とやりとりする転送データを一時的に保持するためにも使われる。なお、メモリコントローラ1100は、各相変化メモリチップ1301～1304に格納されたデータを保全するための誤り訂正コードの生成や検査を実行するための専用ハードウェアを含む。

[0031] 電源管理部1200は、メモリコントローラ1100や相変化メモリチップ1301～1304に電源Vdd1220を供給する電気回路である。通常では電源管理部1200は、ホスト1400からSATAインタフェース1410を通じて供給されるホスト電源1420からVdd1220を生成するが、何らかの事故によりホスト電源1420が遮断されたときには、電源管理部1200はホスト電源1420の遮断を検出し、データ損失などの障害が起きないようにVdd1220の生成源をバックアップ電源1210へとシームレスに切り替える。

[0032] バックアップ電源1210は、例えば大容量キャパシタである。その電気容量は、データ損失などの障害が起きないように、しばらくVdd1220の供給を維持すべき時間をカバーするように決定される。よって、Vdd1

220の供給を維持すべき時間が短いほど、キャパシタ容量を小さくできるためSSD1000の価格を低減できる。

[0033] IRQ信号1230は、電源管理部1200がホスト電源1420の遮断を検出したときに、CPU1110に割り込みを発生させるための信号線である。CPU1110はその割り込みを受けると、バックアップ電源1210の電氣量が尽きるまでの残された時間内に、できるだけ早く必要な処理を終わらせ、いつVdd1220が切断しても問題のないスタンバイ状態に入る。

[0034] 図2A及び図2Bを参照して、相変化メモリチップ1301～1304を構成する相変化メモリの基本構造と書き込み電流特性について説明する。

[0035] 高集積で大容量を実現することができる不揮発性半導体メモリとしては、現在はNANDフラッシュメモリが代表的であるが、近年、カルコゲン混合物を利用した相変化メモリ（Phase Change Memory）も注目されている。相変化メモリは、製造過程が比較的簡単で安価に大容量化できると期待されているためである。相変化メモリは、異なる電氣特性を示す構造状態の間を電氣的に遷移可能な物質を利用する。例えば、ゲルマニウム・アンチモン・テルル混合物GSTであるカルコゲン物質（GST物質）である。GST物質は、比較的の高い抵抗率を示すアモルファス状態としての構造状態と、比較的の低い抵抗率を示す結晶状態としての構造状態を有する。GST物質の結晶状態またはアモルファス状態の割合は、電流によるジュール熱で加熱することによって変化する。GST物質は、形成されるアモルファス状態量によって可変な電氣抵抗を持つ（アモルファス状態量の割合が大きいほど、高抵抗状態になる。）。すなわち、相変化メモリは電氣的可変抵抗によるメモリ素子である。

[0036] 図2Aに、1ビットのデータを記憶する相変化メモリセルの抵抗素子の基本構造を簡略に示す。抵抗素子は、上部電極2010、相変化物質2030、ヒータプラグ2040、下部電極2020を積層することで構成される。ヒータプラグ2040は、TiNなどの導電性物質で形成される。相変化物

質 2 0 3 0 の構造状態は、上部電極 2 0 1 0 から下部電極 2 0 2 0 へ供給される電流パルスの大きさや時間幅によって変化する。アモルファス状態量 2 0 3 1 を多くした高抵抗状態を相変化メモリにデータ “0” を書き込むことに対応させると、アモルファス状態量 2 0 3 1 を少なくした低抵抗状態を相変化メモリにデータ “1” を書き込むことに対応させることができる。

[0037] 図 2 B に、相変化メモリセルへの書き込み電流特性を示す。図 2 B の書き込み電流特性は、相変化メモリセルにデータを書き込むときに上部電極 2 0 1 0 から下部電極 2 0 2 0 へ供給する電流パルスの大きさや時間幅を示す。アモルファス状態量 2 0 3 1 を多くするときは、リセット電流範囲 2 1 1 0 の大きさの電流をリセット電流期間 2 1 3 0 だけ供給する。アモルファス状態量 2 0 3 1 を少なくするときは、セット電流範囲 2 1 2 0 の大きさの電流をセット電流期間 2 1 4 0 だけ供給する。リセット電流範囲 2 1 1 0 の電流はセット電流範囲 2 1 2 0 の電流より大きい。また、リセット電流期間 2 1 3 0 はセット電流期間 2 1 4 0 より短い。例えば、リセット電流期間 2 1 3 0 は 5 0 n s (ナノ秒)、セット電流期間 2 1 4 0 は 4 0 0 n s である。なお、相変化メモリセルからデータを読むときは、相変化物質 2 0 3 0 の状態を変化させないように、セット電流範囲 2 1 2 0 より小さい電流を供給し、抵抗素子による電圧降下を計測して、高抵抗状態または低抵抗状態の構造状態を判別し、判別した状態に対応して格納データが “0” または “1” であるかを判別する。

[0038] 図 3 を参照して、図 2 の相変化メモリをアレイ (セルアレイ) とする相変化メモリチップ 1 3 0 1 ~ 1 3 0 4 の構造について説明する。

[0039] 相変化メモリチップ 1 3 0 1 ~ 1 3 0 4 はいずれも、セルアレイ 3 1 3 0 、アドレスデコーダ 3 1 1 0 、ビットライン選択回路 3 1 2 0 、ドライバ 3 3 1 0 、センスアンプ 3 3 2 0 、バッファメモリ 3 3 3 0 、データ選択回路 3 3 4 0 、インタフェースロジック 3 4 0 0 を含み、電源 V d d 1 2 2 0 の電力と、メモリインタフェース 1 1 3 0 の電気信号によって動作する。

[0040] セルアレイ 3 1 3 0 は複数のメモリセルで構成される。複数のメモリセル

は、複数のワードライン及び複数のビットラインに接続されている。各メモリセルはスイッチングダイオードと、図2Aのように構成された可変抵抗素子で構成される。そして、一定数（例えば4184個）のメモリセルを集めたものによって、メモリチップのリード／ライトのアクセス単位（ページ）を構成する。つまり、1ページは4184ビットのデータを格納する。メモリチップには、複数ページのメモリセルが構成される。

[0041] アドレスデコーダ3110は、メモリコントローラ1100から入力された物理ページアドレスをデコードする。デコードされたアドレスは、行アドレスを含む。アドレスデコーダ3110は、行アドレスによって複数のワードラインの1つを選択する。アドレスデコーダ3110は順次列アドレスを生成し、生成した列アドレスによって複数のビットラインの1つを選択する。アドレスデコーダ3110は、ビットライン選択回路3120に、生成した列アドレスを選択するカラム選択信号3220を提供する。

[0042] セルアレイ3130は、たとえば、アクセス単位であるページを1ワードとして、1ページに含まれるたとえば4184個のメモリセルに対応するようにビットラインを設ける。一般には、1ページ当りのビット数をBとして、 $B = m \times n$ （ m ：ワードライン数、 n ：ビットライン数）とすればよい。

[0043] ビットライン選択回路3120は、複数のビットラインを通じてセルアレイ3130と接続され、データライン3230を通じてドライバ3310やセンスアンプ3320と接続される。ビットライン選択回路3120は、カラム選択信号3220に応答してデータライン3230と選択されたビットラインを電氣的に接続する。

[0044] ドライバ3310は、メモリセルへのデータの書き込み回路であり、図2Bのような電流パルスによって、“0”または“1”のデータを選択されたメモリセルに書き込むための電流供給回路である。ドライバ3310は、シフトレジスタ構造のバッファメモリ3330に保持された1ページ分の書き込みデータに応じて、1ビットずつ書き込み電流を出力する。出力された書き込み電流は、データライン3230及びビットライン選択回路3120を

通じて順々に選択されるビットラインに伝わり、１ページ分のメモリセルの抵抗素子の構造状態を変化させる。

[0045] センスアンプ 3320 は、メモリセルからのデータの読み出し回路であり、ビットライン選択回路 3120 によって選択されたビットラインを通じてメモリセルの抵抗素子に、前述したように、相変化物質 2030 の構造状態を変化させないような小さな電流を伝え、その電圧降下を計測することによってメモリセルに記録されたデータを感知する、データリード用回路である。センシングされたメモリセルのデータはシフトレジスタ構造のバッファメモリ 3330 に１ビットずつ保持される。

[0046] バッファメモリ 3330 は、メモリコントローラ 1100 からインタフェースロジック 3400 経由で提供されたライトデータを１ビットずつドライバ 3310 に提供する。インタフェースロジック 3400 は、メモリコントローラ 1100 からたとえば８ビット並列入力されるライトデータを直列データとしてバッファメモリ 3330 に出力するための並列／直列変換回路を含んでいる。

[0047] また、データリード用のセンスアンプ 3320 によって１ビットずつ読み出されたデータをインタフェースロジック 3400 経由でメモリコントローラ 1100 に並列データとして提供する。インタフェースロジック 3400 は、リードデータの変換のための直列／並列変換回路を含んでいる。

[0048] １ページのサイズが 4184 ビットであるとき、図 3 に示す N は 4183 である。バッファメモリ 3330 は、ビットレジスタを 4184 個直列に接続したシフトレジスタで構成され、ページデータの先頭ビットから順に入力される。

[0049] インタフェースロジック 3400 は、メモリインタフェース 1130 を通じてメモリコントローラ 1100 からのメモリコマンドを検出して、ドライバ 3310 またはセンスアンプ 3320 を選択する。例えば、ライトコマンドが検出されるとドライバ 3310 を活性化させ、リードコマンドが検出されるとセンスアンプ 3320 を活性化させる。また、インタフェースロジック

ク 3 4 0 0 は、メモリコントローラ 1 1 0 0 からのライトデータをバッファメモリ 3 3 3 0 に入力したり、リードデータをバッファメモリ 3 3 3 0 からメモリコントローラ 1 1 0 0 へ出力したりする。

[0050] データ選択回路 3 3 4 0 は、バッファメモリ 3 3 3 0 に供給するデータを選択する論理回路である。センスアンプ 3 3 2 0 からのページデータ、バッファメモリ 3 3 3 0 からのフィードバックデータ、両者の排他的論理和データを供給できる。さらに、バッファメモリ 3 3 3 0 からのフィードバックデータとインタフェースロジック 3 4 0 0 からのデータの排他的論理和データを作り、バッファメモリ 3 3 3 0 に供給することもできる。したがって、バッファメモリ 3 3 3 0 とデータ選択回路 3 3 4 0 を合わせた回路は、線形フィードバックシフトレジスタ (LFSR: Linear Feedback Shift Register) の一種である。

[0051] 以下、SSD 1 0 0 0 のページスワップ動作について述べる。

[0052] 相変化メモリチップ 1 3 0 1 ~ 1 3 0 4 は、従来のメモリチップがサポートするリード／ライトコマンドをサポートするが、それらに加えて新しい 3 つのメモリコマンド：トグル参照コマンド、トグル対象第 1 コマンド、及びトグル対象第 2 コマンドをサポートする。以下、これらのコマンドを順に T g l _ R、T g l _ T 1、T g l _ T 2 と略す。

[0053] これらのコマンドは、主に、相変化メモリチップ 1 3 0 1 ~ 1 3 0 4 に含まれるメモリセルの書換回数を平準化するためのページスワップを実現するために用いられる。例えば、書き換え回数が 1 0 0 0 回のページ W (物理ページアドレス W) と 2 0 0 0 回のページ X (物理ページアドレス X) があるとする。ページ X の格納データ B の論理アドレス (ページ X に対応している論理アドレス) は、ページ W の格納データ A の論理アドレス (ページ W に対応している論理アドレス) よりも、ホスト 1 4 0 0 が書き換える頻度が 2 倍である。そこで、ページスワップにより、メモリセルの書換回数を平準化する。具体的には、ページ X の格納データ B をページ W へ、ページ W の格納データ A をページ X へと交換する。それ以後、単調増加変数 α (> 0) として、

時間経過に従って、ページWとページXの書き換え回数はそれぞれ $(1000 + 2\alpha)$ 回、 $(2000 + \alpha)$ 回のように変化すると予測される。すなわち、両者の書き換え回数差 $(1000 - \alpha)$ は単調減少する。この手法をメモリセル全体にわたって適用すれば、各物理ページの書換回数を平準化できる。

[0054] これらのコマンドを順に実行すると、メモリチップ内の任意の2つの物理ページ（以下、対象ページ、参照ページと呼ぶ）のデータ同士を排他的論理和（Exclusive-OR）したものを、その1つのページ（対象ページ）へ上書きする機能を実行することができる。例えば、対象ページのデータをA、参照ページのデータをBとすると、この機能を実行した結果、対象ページのデータは $A \oplus B$ に変化する。なお、「 $\oplus$ 」は排他的論理和を示す。

[0055] 図4A～図4Cは、それぞれ3つのメモリコマンドTgl__R、Tgl__T1、Tgl__T2のインタフェースタイミング（メモリインタフェース1130における各信号のタイミングチャート）を示したものである。

[0056] メモリインタフェース1130は、駆動クロック（clk）信号、コマンドラッチイネーブル（CLE）信号、アドレスラッチイネーブル（ALE）信号の各入力信号と、レディ／ビジー（R／B）出力信号と、8ビットのI／O入出力信号で構成される。

[0057] 各コマンドのコードは、CLEがアサート（H）のときにI／O信号としてclk信号同期で入力される。コマンドコード入力後、Tgl__R（図4A）、Tgl__T1（図4B）コマンドについては、それぞれ参照ページ、対象ページを指示するための32ビットアドレス（A3、A2、A1、A0）が、ALEがアサート（H）のときにI／O信号からclk信号同期で4回に分けて入力される。その後、メモリチップは内部処理に入り、それが終わるまでの間、R／B信号をネゲート（L）し、次のメモリコマンドが受けられないことを通知する。R／B信号のネゲート時間（ビジー時間）の長さについては後述する。

[0058] 図5A～図5Cは、それぞれ3つのメモリコマンドTgl__R、Tgl__

T_{g1}、T_{g1}__T₂によって実行されるメモリチップ内部処理の内容を示したものである。

[0059] T_{g1}__Rコマンドでは、センスアンプ3320を通じて参照ページに対応するメモリセルから読み出された4184ビット分のデータが、経路5010を通してシフトレジスタ構造のバッファメモリ3330に1ビットずつ入力される。この間R/B信号がネゲートされるが、この時間はメモリリードコマンドの場合と同じで、例えば1ビット当たり80nsとすれば、 $80\text{ ns} \times 4184 = \text{約} 335\text{ }\mu\text{s}$ である。

[0060] T_{g1}__T₁コマンドでは、センスアンプ3320を通じて対象ページに対応するメモリセルから読み出された4184ビット分のデータが、経路5110を通して2入力排他的論理和ゲート5130に入力され、一方、それまでにバッファメモリ3330に格納されていた4184ビット分のデータが、経路5120を通してフィードバックして同じく2入力排他的論理和ゲート5130に入力され、その演算出力がシフトレジスタ構造のバッファメモリ3330に1ビットずつ入力される。この間R/B信号がネゲートされるが、この時間もメモリリードコマンドと同じで、例えば $80\text{ ns} \times 4184 = \text{約} 335\text{ }\mu\text{s}$ である。参照ページを指定したT_{g1}__Rコマンドと対象ページを指定したT_{g1}__T₁コマンドを、メモリコントローラ1100が続けて発行した場合、バッファメモリ3330の内容は結果的に参照ページと対象ページの両データの排他的論理和となる。

[0061] T_{g1}__T₂コマンドでは、バッファメモリ3330に格納されていた4184ビット分のデータが経路5210を通してドライバに1ビットずつ提供され、対象ページに対応するメモリセルにデータが書き込まれる。このとき、データは経路5220を通してフィードバックして再びシフトレジスタ構造のバッファメモリ3330に入力され、元の状態(T_{g1}__T₂コマンド実行直前の状態)に戻る。この間R/B信号がネゲートされるが、この時間はメモリライトコマンドの場合と同じで、例えば、最大で $400\text{ ns} \times 4184 = \text{約} 1.67\text{ ms}$ (全ビットに“1”を書く場合に相当)である。メ

メモリコントローラ 1100 が、参照ページを指定した T g l __ R コマンドと対象ページを指定した T g l __ T 1 コマンドと対象ページを指定した T g l __ T 2 コマンドを続けて発行した場合、参照ページと対象ページの両データの排他的論理和が対象ページに書き込まれ、バッファメモリ 3330 の内容も、参照ページと対象ページのデータの排他的論理和となる。

[0062] 図 6 は、SSD 1000 のメモリコントローラ 1100 が、相変化メモリチップ 1301 ~ 1304 の各ページの 4184 の構成ビットに割り当てる役割の仕様（ページフォーマット）を示した図である。

[0063] ページ 6000 は、ホスト 1400 が SSD 1000 に対して読み書きする 1 セクタ（= 512 バイト = 4096 ビット）のデータを格納するための Data 部 6010 を含む。

[0064] また、ページ 6000 は、そのセクタの論理アドレス 32 ビットを格納するための LA 部 6020 を含む。ホストデータがどのページ（論理アドレスで指定されるページ）に格納されていても、この論理アドレスを利用すれば、CPU 1110 は上述の論理物理アドレス変換テーブルを構築することにより、ホストデータの格納場所（指定された論理アドレスに対応する物理アドレスのページ）を特定することができる。メモリコントローラ 1100 は、メモリチップへのライトコマンドを実行するときに、ホスト 1400 がライト先に指定した論理アドレスを LA 部 6020 に設定する。

[0065] また、ページ 6000 は、Data 部 6010 のデータが有効なホストデータであることを示すための Flag 部 6030 を含む。Flag 部 6030 の値が“1”のときは有効データ（ホストが書いたデータ内容そのもの）であり、“0”のときは無効データ（ホストが書いたデータ内容ではない）である。メモリコントローラ 1100 は、ホストデータを書き込むためにメモリチップへライトコマンドを実行するときに、Flag 部 6030 に“1”（有効）を設定する。

[0066] また、ページ 6000 は、そのページ全体を最大 4 ビットの誤りから保全するための 52 ビットの誤り訂正コード（ECC: Error Corre

cting Code) を格納するための ECC 部 6040 を含む。ECC のアルゴリズムは BCH (Bose-Chaudhuri-Hocquenghem) 符号である。メモリコントローラ 1100 は、ホストデータを書き込むためにメモリチップヘライトコマンドを実行するときに、算出した誤り訂正コードを ECC 部 6040 に設定する。

[0067] 3つのメモリコマンド TgI__R、TgI__T1、TgI__T2によって、2つのページ（参照ページと対象ページ）の両データの排他的論理和が対象ページに書き込まれると、対象ページの Flag 部の値も、元の両ページの Flag 部同士の排他的論理和となる。例えば、元の両ページの Flag 部の値が“1”（有効）であれば、対象ページの Flag 部の値は“0”（無効）となる。一方、対象ページの ECC 部の値も元の両ページの ECC 部同士の排他的論理和となる。一般に BCH 符号では、2つのビット列 A と B のそれぞれに付した ECC コードの排他的論理和： $ECC(A) \oplus ECC(B)$ は、A と B の排他的論理和に付した ECC コード： $ECC(A \oplus B)$ に等しい。すなわち、ECC 部の格納内容は、3つのメモリコマンド TgI__R、TgI__T1、TgI__T2によって2つのページデータが重ねあわされた状態（排他的論理和をとった状態）でも ECC としての訂正能力を失わず、誤りを訂正可能である。

[0068] 図7に示した状態遷移表 7000 を参照して、3つのメモリコマンド TgI__R、TgI__T1、TgI__T2 を組み合わせて2つのページ W と X のデータをスワップ（交換）する手順を示す。以下、コマンド名に続く括弧内の文字はそのコマンドを適用するページを表す。

[0069] スワップ前は、ページ W と X にはそれぞれホスト 1400 が書いたデータ A とデータ B が格納されており、両者とも Flag は“1”（有効）である。

[0070] はじめに行う処理 P1 では、参照ページを X、対象ページを W としてページの重ね合わせを行う（排他的論理和をとる）ため、3つのメモリコマンド TgI__R (X)、TgI__T1 (W)、TgI__T2 (W) を実行する。

$Tg1_R(X)$ によりバッファメモリ3330にデータBが読み出され、 $Tg1_T1(W)$ によりバッファメモリ3330にデータ $A \wedge B$ が作られる。そして、 $Tg1_T2(W)$ によりページWのデータは $A \wedge B$ に更新される。このとき、ページWのFlagは“1”（有効）同士の重ねあわせで“0”（無効）となる。

[0071] 次に行う処理P2では、参照ページをW、対象ページをXとしてページの重ね合わせを行うため、2つのメモリコマンド $Tg1_T1(X)$ 、 $Tg1_T2(X)$ を実行する。処理P1での $Tg1_T2(W)$ の結果、バッファメモリにはページWのデータ $A \wedge B$ が残っているため、 $Tg1_R(W)$ は省略できる。 $Tg1_T1(X)$ によりバッファメモリ3330にデータ $A(=(A \wedge B) \wedge B)$ が作られる。そして、 $Tg1_T2(X)$ によりページXのデータはAに更新される。このとき、ページXのFlagは“0”（無効）と“1”（有効）の重ねあわせで“1”（有効）となる。

[0072] 最後に行う処理P3では、参照ページをX、対象ページをWとしてページの重ね合わせを行うため、2つのメモリコマンド $Tg1_T1(W)$ 、 $Tg1_T2(W)$ を実行する。処理P2での $Tg1_T2(X)$ の結果、バッファメモリにはページXの更新されたデータAが残っているため、 $Tg1_R(X)$ は省略できる。 $Tg1_T1(W)$ によりバッファメモリ3330にデータ $B(=A \wedge (A \wedge B))$ が作られる。そして、 $Tg1_T2(W)$ によりページWのデータはBに更新される。このとき、ページWのFlagは“1”（有効）と“0”（無効）の重ねあわせで“1”（有効）となる。

[0073] 以上、処理P3まで終えた結果、ページWとXにはそれぞれホストが書いたデータBとAが格納された状態（スワップされた状態）となり、両者ともFlagは“1”（有効）となる。

[0074] 以上説明したように、1ページ分のバッファメモリと小規模の回路（データ選択回路）を設けることで、ウェアレベリングにおけるページスワップやデータリフレッシュを低コスト化し、不揮発性半導体メモリ外との転送データ量を少なくすることができる。また、メモリコントローラ1100は、あ

るメモリチップにメモリコマンドを発行後、メモリコマンドがそのメモリチップの内部処理により実行されるので、他のメモリチップに対するリードコマンド、ライトコマンド、その他のメモリコマンドを発行することができ、半導体記憶装置（SSD）としての性能を確保できる。

[0075] 図8は、図7に示した2つのページWとXのデータのスワップ手順の実行中に、SSD1000へのホスト電源1420が遮断された場合に、メモリコントローラ1100のCPU1110が、バックアップ電源1210を用いて処理P1～P3をどの段階まで実行するかのパターンを示したものである。

[0076] TgI__R、TgI__T1コマンド実行中の電源遮断については、いずれもデータをバッファメモリに読み出す処理であるため、途中で中断してもデータ損失の問題がないため（コマンドを適用した物理ページのデータはコマンド実行前の状態に保持される）、電源遮断に伴うIRQ信号1230で割り込みを受けたらバックアップ電源1210に頼ることなく、すぐにCPU1110はスリープ命令などを実行してスタンバイ状態に入ればよい。

[0077] そこで、図8では、バックアップ電源1210に頼る必要があるTgI__T2コマンド実行中の電源遮断の処置方法について、3つのケース（i）（ii）（iii）に分けて示す。

[0078] ケース（i）は、処理P1でのTgI__T2（W）コマンド8110を処理中の電源遮断8120であり、TgI__T2（W）コマンド8110が完了してページWの内容がデータA[^]Bに更新されるまでバックアップ電源1210を利用する。そのあとすぐに、CPU1110はスタンバイ状態に入る。

[0079] ケース（ii）は、処理P2でのTgI__T2（X）コマンド8210を処理中の電源遮断8220であり、TgI__T2（X）コマンド8210が完了してページXの内容がデータAに更新されるまでバックアップ電源1210を利用する。そのあとすぐに、CPU1110はスタンバイ状態に入る。

[0080] ケース（iii）は、処理P3でのTgI__T2（W）コマンド8310を処

理している最中の電源遮断 8 3 2 0 であり、T g l __ T 2 (W) コマンド 8 3 1 0 が完了してページ W の内容がデータ B に更新されるまでバックアップ電源 1 2 1 0 を利用する。そのあとすぐに、C P U 1 1 1 0 はスタンバイ状態に入る。

[0081] ケース (iii) では、結果的に 2 つのページ W と X のデータスワップ手順を完結させることができるため、ホスト電源が復旧したときにページ W にも X にも特に処置を行わない。しかし、ケース (i) (ii) では、ホスト電源が復旧したときにページ W にはデータ A と B の排他的論理和 ($A \oplus B$) が書かれたままになっており、ページ W に対して次のような処置を行う。

[0082] まず、ケース (i) ではデータ A がどのページにも存在しない状態で電源が切断されており、ホスト電源が復旧したときに C P U 1 1 1 0 はページ W にデータ A を回復させるように処置する。これは、ページ W とページ X をデータスワップ実行前の状態に戻すことになる。

[0083] 一方、ケース (ii) ではデータ B がどのページにも存在しない状態で電源が切断されており、ホスト電源が復旧したときに C P U 1 1 1 0 はページ W にデータ B を回復させるように処置する。これは、ページ W と X のデータスワップを続行させて完結させることになる。

[0084] 図 9 A は、電源遮断し、C P U 1 1 1 0 が I R Q 信号 1 2 3 0 で割り込みを受けたときの割り込み処理プログラムのフローチャートである。図 9 B は、C P U 1 1 1 0 がページスワップ動作を制御するプログラムのフローチャートである。図 9 A の処理は、図 9 B の処理より優先度が高く、C P U 1 1 1 0 は I R Q 信号 1 2 3 0 で割り込みを受ければ、図 9 B の処理を中断して図 9 A の処理を実行し、それが終われば、図 9 B の処理を中断点から続けるように動作する。

[0085] 図 9 A を参照して、割り込み処理を説明する。割り込みを受けたとき、T g l __ T 2 コマンドが実行中であることを調べる (9 0 1 0)。実行中ならば、R A M 1 1 2 0 に用意した電源遮断フラグ (ソフトウェアフラグ) を O N に設定し (9 0 2 0)、処理を終える。一方、実行中でないならば、T g l

__RやT g l __T 1 コマンドの実行中も含めて電源を切断しても問題ない状態であるため、スタンバイ状態に入り（9030）、処理を終える。

[0086] 図9Bを参照して、ページスワップ動作制御を説明する。まず、スワップを適用する2つのページを選択する（9110）。1つは書き換え回数が所定の回数M1よりも少ないページWで、もう1つは書き換え回数が所定の回数M2よりも多いページXである。例えば、所定の回数M1、M2とは、メモリセル全体の平均書き換え回数をAVGとして、 $M1 = AVG \times 0.7$ 、 $M2 = AVG \times 1.3$ などである。なお、本実施形態では、ページ書き換え回数の取得方式については限定しない。一例を示すと、メモリコントローラ1100内に小容量の不揮発性メモリを備えて、物理ページごとの書き換え回数の管理テーブルを記録し、書き換えが起きる度にそのテーブル内容を更新（カウントアップ）するようにする。

[0087] 次に、処理P1のためにT g l __R (X)、T g l __T 1 (W) コマンドを発行する（9120）。続けて、T g l __T 2 (W) コマンドを発行する（9130）。なお、ステップ9120と9130の間にIRQ信号1230で割り込みを受ければ、図9Aのようにスタンバイ状態に入るため、ページスワップ動作は未着手扱いのまま電源が切れる。

[0088] ステップ9130のあと、電源遮断フラグがONかどうかを調べる（9140）。ONならば、スタンバイ状態に入り（9200）、ページスワップ動作はケース(i)のパターンで中断終了する。この場合、T g l __T 2 (W) コマンド実行中に電源遮断が起きており、バックアップ電源を利用してT g l __T 2 (W) コマンドを完了したことを意味する。

[0089] ステップ9140でOFFならば、処理P2のためにT g l __T 1 (X) コマンドを発行する（9150）。続けて、T g l __T 2 (X) コマンドを発行する（9160）。なお、ステップ9150と9160の間にIRQ信号1230で割り込みを受ければ、図9Aのようにスタンバイ状態に入るため、ページスワップ動作は処理P1まで終えた状態で中断終了する。

[0090] ステップ9160のあと、電源遮断フラグがONかどうかを調べる（91

70)。ONならば、スタンバイ状態に入り(9200)、ページスワップ動作はケース(ii)のパタンで中断終了する。この場合、Tg1__T2(X)コマンド実行中に電源遮断が起きており、バックアップ電源を利用してTg1__T2(X)コマンドを完了したことを意味する。

[0091] ステップ9170でOFFならば、処理P3のためにTg1__T1(W)コマンドを発行する(9180)。続けて、Tg1__T2(W)コマンドを発行する(9190)。なお、ステップ9180と9190の間にIRQ信号1230で割り込みを受ければ、図9Aのようにスタンバイ状態に入るため、ページスワップ動作は処理P2まで終えた状態で中断終了する。

[0092] ステップ9190が終われば、ページスワップ動作は完結したことを意味する。最後のTg1__T2(W)コマンド実行中に電源遮断が起きていたとしても、バックアップ電源を利用してコマンドが完了するからである。

[0093] 本実施形態によるページスワップ動作では、2つのページに対し、合わせて3回の書き換えが必要である。上記フローでは、ページWは2回、ページXは1回の書き換えが行われたが、図7で示した手順において両ページの役割を入れ替えてもページスワップは実現可能であるから、ページWを1回、ページXを2回書き換えるように制御してもよい。しかし、ページスワップ前のページWの書き換え回数がページXのそれより少ないという条件では、ページWのほうを1回多く書き換え、書き換え回数差を減らすようにした上記フローのほうが平準化の考え方からも好ましい。

[0094] 以上のように、ページスワップ動作中に電源遮断が起きた場合は、

- (1) 動作未着手
- (2) 処理P1まで終えた状態での中断
- (3) 処理P2まで終えた状態での中断
- (4) 動作完結

の4通りのいずれかの状態で電源が切れることになる。このうち、(2)と(3)の処理P1またはP2まで終えた状態での中断については、図8の説明中で述べたようにページWのデータ回復を行う必要がある。

- [0095] 図10および図11を参照して、処理P1またはP2まで終えた状態でのページスワップ中断からデータ回復を行う方法について説明する。
- [0096] 図10は、ページデータの格納状態、およびCPU1110がRAM1120上に構築する論理物理アドレス変換テーブルのパターンを示したものである。ここでは、説明を簡単にするため、物理ページの全体数が4個（W、X、Y、Z）であり、格納するホストデータも4セクタ分（A、B、C、D）であると仮定する。
- [0097] いま、10000のように全データが有効であるページデータ格納状態からSSD1000が起動すると、CPU1110は全ページの各LA部6020を読むことによって、10010のような論理物理アドレス変換テーブルを構築する。ここで、CPU1110がページWとページXのページスワップが必要と判断して、ページスワップ動作を実施した場合、最終的に10020のようなデータAとデータBの格納ページが交換された論理物理アドレス変換テーブルになる。ホスト1400から見ると、たとえばデータAは、図6に示したように、データAを格納する論理アドレスによって認識できる、論理アドレスと対応するデータであるので、図10に示す論理物理アドレス変換テーブルでは論理アドレスAと表す。
- [0098] しかし、そのページスワップ動作中に電源遮断が発生して、処理P1またはP2まで終えた状態で中断したとすると、次にSSD1000が起動したときには、10100または10200のようにページWのデータが無効であるページデータ格納状態になっている。具体的には、処理P1まで終えた状態で中断したとすると10100の状態、処理P2まで終えた状態で中断したとすると10200の状態である。
- [0099] 処理P1まで終えた状態で中断していた場合、CPU1110は全ページの各LA部6020を読むことによって、論理物理アドレス変換テーブルの構築を試みるが、ページWのData部6010やLA部6020は無効であるから、10110のように格納ページが存在しない1つのデータA（論理アドレスA）が現れる。しかし、消去法によりその格納ページはWである

ことが分かるので、結果的に10120のように論理物理アドレス変換テーブルを完成させることができる。ページWのLA部6020にはデータAのアドレスとスワップ相手（パートナ）のアドレスとの排他的論理和が書かれているので、逆算によりスワップパートナがデータBであることも求めることができる。論理物理アドレス変換テーブルからデータBの格納ページはXであるから、見えなくなった格納データAは、 $Tg \mid _ R(X)$ 、 $Tg \mid _ T1(W)$ 、 $Tg \mid _ T2(W)$ コマンドで回復できる。

[0100] 処理P2まで終えた状態で中断していた場合、CPU1110は全ページの各LA部6020を読むことによって、論理物理アドレス変換テーブルの構築を試みるが、ページWのData部6010やLA部6020は無効であるから、10210のように格納ページが存在しない1つのデータBが現れる。しかし、消去法によりその格納ページはWであることが分かるので、結果的に10220のように論理物理アドレス変換テーブルを完成させることができる。ページWのLA部6020にはデータBのアドレスとスワップパートナのアドレスとの排他的論理和が書かれているので、逆算によりスワップパートナがデータAであることも求めることができる。論理物理アドレス変換テーブルからデータAの格納ページはXであるから、見えなくなった格納データBは、 $Tg \mid _ R(X)$ 、 $Tg \mid _ T1(W)$ 、 $Tg \mid _ T2(W)$ コマンドで回復できる。

[0101] 図11を参照して、ページスワップを処理P1またはP2まで終えた状態での中断後に、SSD1000を再起動した際に、CPU1110がデータ回復を行うブートアップ処理を説明する。

[0102] まず、相変化メモリチップ1301～1304の全ページをスキャンリードする（ただし、その際にECC部6040を用いてページ内容の誤りの有無を検査し、誤りがあれば訂正後のページ内容を用いて以降の処理を行うものとする）。そして、Flag部6030の値が“1”（有効）であるようなページについて、LA部6020の論理アドレスを調べ、論理物理アドレス変換テーブルを作成する（11010）。そのテーブルの中に対応する格

納ページを持たない論理アドレスがあれば、それを検出する（１１０２０）。Flag部6030の値が“０”（無効）であったページWにおいて、そのLA部6020の内容と、上記の対応する格納ページを持たない論理アドレスとの排他的論理和を計算することで、ページWの格納データと交換しようとした相手データの論理アドレスを導出する（１１０３０）。そして、論理物理アドレス変換テーブルを参照して、その相手データの論理アドレスに対応するページXを取得する（１１０４０）。そして、格納データを回復するために、ページXとWに対して、Tgl__R(X)、Tgl__T1(W)、Tgl__T2(W) コマンドを発行する（１１０５０）。これにより、ページWの格納データは有効なものになる。最後に、論理物理アドレス変換テーブルで、対応する格納ページがなかった論理アドレスの対応ページとしてページWを対応づけ、論理物理アドレス変換テーブルを完成する（１１０６０）。なお、ステップ１１０５０によりTgl__T2(W) コマンドを実行するが、この途中で再び電源遮断が起きる可能性もある。しかし、バックアップ電源はそのコマンドが完了するまでメモリチップへの電源供給を維持するので問題はない。

[0103] なお、図１１のフローでは、ブートアップ処理プログラムの中で、論理物理アドレス変換テーブルを作成するために全ページをスキャンリードしているが、その負担を減らすために、例えば、メモリコントローラ１１００内に小容量の不揮発性メモリを備えて、論理物理アドレス変換テーブルを常に記録しておいてもよい。その場合、アドレスの対応関係は失われないので、ステップ１１０５０による格納データ回復だけを実施すれば十分である。

[0104] また、３つのコマンドだけでデータ回復できることを利用して、ブートアップ処理プログラムの中ではデータ回復を省略するという方式も可能である。すなわち、ホストからのリードコマンドに応答して、指定された論理アドレスのデータが含まれるページWが無効（Flag＝“０”）であれば、そのページWとそのスワップパートナーのページXに対して、ステップ１１０５０の３つのコマンドを実行し、所望のデータを回復するという方法である。

- [0105] 上記のページスワップ動作説明では、有効データを示す F l a g 部 6 0 3 0 の値として “1” を用いたが、非ゼロ値であれば何でもよい。例えば、F l a g 部 6 0 3 0 の全 4 ビットを “1” とした “F (16 進数表記)” で有効データを示した場合でも、ページスワップ動作は実施可能であることは言うまでもない。その場合でも、無効データを示す F l a g 部 6 0 3 0 の値は同じく “0” である。
- [0106] 図 1 2 A および図 1 2 B を参照して、本実施形態のページスワップ動作の効果を説明する。
- [0107] 図 1 2 A は、従来のデータ選択回路 3 3 4 0 を持たず、バッファメモリを 2 つ持つ半導体メモリチップの内部でページスワップ動作を実行する場合の、データの流れを示している。まず、ページ W から第 1 のバッファメモリにデータを読み出し (1 2 0 1 0)、ページ X から第 2 のバッファメモリにデータを読み出し (1 2 0 2 0)、第 2 のバッファメモリからページ W にデータを書き込み (1 2 0 3 0)、最後に、第 1 のバッファメモリからページ X にデータを書き込む (1 2 0 4 0)。このように、ページスワップ動作には少なくとも 2 つのバッファメモリを必要とする。しかし、本実施形態によれば、1 ビットの排他的論理和回路を含むデータ選択回路 3 3 4 0 を必要とするものの、1 つの 4 1 8 4 ビットのバッファメモリで、半導体メモリチップの内部でのページスワップ動作を実現できるため、回路規模を削減することができる。よって、半導体メモリチップの低コスト化が可能である。
- [0108] 図 1 2 B は、従来の半導体メモリチップの内部でページスワップ動作を実行中に、電源遮断が発生した場合の対応方法の例を示している。図 1 2 A のステップ 1 2 0 3 0 と 1 2 0 4 0 では、それぞれバッファメモリからページへのライトコマンド 1 2 1 1 0、1 2 1 2 0 を実行するが、例えば、第 1 のライトコマンド 1 2 1 1 0 の途中で電源遮断 1 2 1 3 0 が発生したとすると、次の第 2 のライトコマンド 1 2 1 2 0 が終わるまでは、バックアップ電源を利用してページスワップ動作を続けなければならない。もし、第 1 のライトコマンド 1 2 1 1 0 直後に動作中断すると、データ A は揮発性のバッファ

メモリにしか残されていないため、電源切断によって損失してしまうからである。したがって、従来の半導体メモリチップを適用したSSDでは、2回分のライトコマンド処理時間（約3.34ms）分の電力を蓄積できるバックアップ電源を必要とする。しかし、本実施形態によれば、その半分の1回分のライトコマンド処理時間（約1.67ms）分の電力を蓄積できるバックアップ電源をSSDに備えれば、安全にページスワップ動作を実現できる。よって、バックアップ電源の電気容量を半減でき、SSDの低コスト化が可能である。なお、従来のライトコマンドも、本実施形態によるT_{g1}—T₂コマンドも、バッファメモリからページへの書き込みを行う処理を行うため、その消費電力に違いはない。

[0109] 以下、SSD1000のデータリフレッシュ（ページ誤り訂正）動作について述べる。

[0110] データリフレッシュ動作とは、相変化メモリチップのページの格納データがデータ誤りを起こしているかをメモリコントローラがECCアルゴリズムを利用して検査し、データに誤りがあれば、それを訂正したデータをそのページに上書きし、ページデータを保全するという動作である。

[0111] 以下、図13を参照しながら、ページ誤り訂正動作を実施するSSDの構成を説明する。

[0112] 図13において、メモリコントローラ1100には誤り訂正を行う専用ハードウェアが含まれる。そのECC方式としては、2の13乗個の元をもつガロア拡大体における、4重誤り訂正のBCH符号を用いる。この符号は、最大8191ビット中のランダム誤りを最大4ビットまで訂正可能である。そのハードウェアは3つの部分で構成される。シンドローム生成部13010、誤り位置多項式計算部13020、訂正ビットアドレス計算部13030である。BCH符号では、一般に、ページデータ全体を蓄積することなく、線形フィードバックシフトレジスタに分割データ（例えば32ビット単位）を順番に入力することでシンドロームを生成することができる。ゆえに、シンドローム生成部13010はバッファメモリを含まない。なお、誤り訂

正はソフトウェアによりCPU 1110が処理してもよい。その場合でもシンドローム生成のためにバッファメモリを用意する必要はない。

[0113] また、相変化メモリチップ1301～1304は、新しいコマンド：トグル設定コマンド（以下、Tgl__Sと表す）をサポートする。Tgl__Sコマンドはページを構成する4184ビットのデータの中で値を反転したいビット位置（複数個の位置でもよい）を指定することができる。相変化メモリチップ1301～1304は、インタフェースロジック3400内にトグルパターン生成器13130を持ち、Tgl__Sコマンドで入力されたビット位置（アドレス）の値を“1”として、その他のビットアドレスの値を“0”とする、4184ビットのストリームデータを生成する。

[0114] 以下、図13と図14を参照しながら、ページ誤り訂正動作の手順を説明する。

[0115] まず、メモリコントローラ1100はリードコマンドによって、ページ13110から誤りを含むデータを読み出す。このデータはセンスアンプ3320とデータ選択回路3340を通じてバッファメモリ3330に入力される。そして、インタフェースロジック3400を経由してメモリコントローラ1100に送信される。このとき、誤りを含むデータはバッファメモリ3330に残る。メモリコントローラ1100に送信されたデータは、シンドローム生成部13010で処理されて、52ビットのシンドロームが生成される（14010）。

[0116] 次に、誤り位置多項式計算部13020は、シンドロームを解析することによって、誤りビット位置を解にもつ4次の誤り位置多項式を算出する（14020）。

[0117] 次に、訂正ビットアドレス計算部13030は、誤り位置多項式の解を探索し、その解（誤りビットアドレス）とその個数（最大4個）を計算する（14030）。

[0118] 次に、メモリコントローラ1100はTgl__Sコマンドによって、その誤りビットアドレスをメモリチップに入力する。トグルパターン生成器131

30は、誤りを訂正したいビットが“1”であるような、4184ビットのストリームデータを生成する。データ選択回路3340は、そのストリームデータと、バッファメモリ3330に残った上記の誤りデータをフィードバックしたものとの排他的論理和を1ビットずつ作って、バッファメモリ3330に再度入力する。これにより、バッファメモリ3330は、誤りが訂正された（ストリームデータのビットが“1”であるビットアドレスに対応する、フィードバックしたデータのビットの値が反転した）ページデータで更新される（14040）。

[0119] 最後に、メモリコントローラ1100はページ13110に対するTg1__T2コマンドを発行する。これによって、バッファメモリ3330上の訂正済みデータはドライバ3310を通じてページ13110に上書きされる（14050）。以上で、ページ誤り訂正動作が完了する。

[0120] 以下、本実施形態によるページ誤り訂正動作の効果を説明する。

[0121] まず、従来の半導体メモリチップを用いてページ誤り訂正を実装する場合のSSDの構成例（図示せず）を説明する。

[0122] 従来の半導体メモリチップを用いたSSDにおいても、本実施形態（図13）と同様にメモリコントローラは誤り訂正を行う専用ハードウェアを含む。同様にシンドローム生成自体にはバッファメモリを必要としないが、従来はメモリコントローラ内で誤り訂正済みデータを用意する必要があるため、メモリチップから読みだした誤りデータを蓄積するための外部バッファメモリ（メモリコントローラがアクセスできる、メモリチップ外のバッファメモリ）を備える必要がある。

[0123] このように、従来のページ誤り訂正動作では、メモリコントローラがアクセスできるバッファメモリを必要とするが、本実施形態によれば、メモリコントローラのバッファメモリを用いることなく、半導体メモリチップの内部のバッファメモリだけでページ誤り訂正動作を実現できるため、メモリコントローラのバッファメモリを削減することができる。よって、SSDの低コスト化が可能である。

[0124] 次に、従来技術として、特許文献3が示している半導体メモリチップを用いたSSDでのページ誤り訂正動作フロー例（図示せず）を説明する。

[0125] まず、メモリコントローラは、メモリチップにリードコマンドを発行し、ページデータを読み出す。そして、誤り訂正ハードウェアによりそのデータに含まれる誤りビットのビットアドレスと個数を計算する。そして、その情報を用いて外部バッファメモリ上で誤りデータを訂正する。最後に、メモリチップに書き換えコマンド（特許文献3のRewrite Command）を発行し、誤りを含む箇所のカラムアドレス及び訂正データ部分を転送し、ページを上書きする。（厳密には、特許文献3は上書きでなく異なるページに書く方式を示す。）

図15A及び図15Bは、本実施形態によるページ誤り訂正動作の効果を示したものである。

[0126] 例えば、I/O信号幅が8ビットで、ページサイズが523バイト、誤りビット個数の最大が4個のメモリチップを考える。

[0127] 従来技術として、特許文献3のようにページの一部を書き換えるためにアドレスとデータをコマンドで転送する方式の半導体メモリチップを比較対象とする。そのようなメモリチップを用いた場合のページ誤り訂正動作では、図15Aのように、訂正データをライトするための書き換えコマンド（Rewrite）で、訂正するカラムアドレスCA1、CA0（0～522のいずれかのカラムアドレスを示す10ビット、2クロック分）及び訂正データD（カラム当りのデータ長8ビット、1クロック分）のペアを最大4組メモリチップに送る必要がある。すなわち12クロック分の入力転送が必要である。（図では2回分の波形：15010、15020を示す。）

一方、本実施形態のページ誤り訂正動作では、図15Bのように、トグルパターンを生成するためのToggle Commandで、誤りビットアドレスbA1、bA0（0～4183（8×523）のいずれかのビットアドレスを示す13ビット、2クロック分）を最大4組メモリチップに送る必要がある。すなわち8クロック分の入力転送を行うだけでよい。（図では3回分の波形：

1 5 1 1 0、1 5 1 2 0、1 5 1 3 0を示す。)

以上の比較では、カラム当りのデータ長を8ビット(1バイト)としたが、カラム当りのデータ長が長くなれば、従来の入力転送時間と本実施例による入力転送時間の差は大きくなる。たとえば、カラム当りのデータ長を4 1 8 4ビットとすると、従来技術では、カラムアドレスの指定及び繰返しは不要となるが、5 2 3バイト(5 2 3クロック分)の入力転送時間になり、本実施形態では、8クロック分の入力転送時間でよい。

[0128] このように、本実施形態によれば、ページ誤り訂正動作を従来より少ない転送クロック数で処理できる。SSDに含まれる全てのページ(例えば、1 0 0 G BのSSDならば2 0 0万ページ)に対して、定期的にデータリフレッシュを行うことを想定すればこの削減効果は大きく作用し、SSDの動作電力消費量を減らし、低コスト化できる。

[0129] 以上、本実施形態の一例を述べたが、相変化メモリを記憶素子とするメモリチップに限らず、多種多様な不揮発性メモリチップ、及びそれを利用した半導体記憶装置においても本実施形態の技術を適用可能である。

[0130] 本実施形態のデータリフレッシュ(ページ誤り訂正)技術を、NAND型フラッシュメモリを記憶素子とするメモリチップ、及びそれを利用した半導体記憶装置に適用する場合には、誤り訂正後のデータをセルアレイ内のページに書き戻すとき、元のページではなく異なるページに書き戻すように実施する。なぜならば、NAND型フラッシュメモリの書き込み済みページは再書き込みができないからである。(同一ページに再度書くためには、事前にそのページを含む複数ページからなるブロックを消去する必要がある。)

本実施形態のデータリフレッシュ技術は、誤りデータが存在したページ(図13のページ1 3 1 1 0)とは異なるページに訂正済みデータを書き戻すように実施した場合でも、書き込み先のページアドレスを異にするだけであるので、上記の低コスト化の効果を享受することは明らかである。

[0131] 特に、NAND型フラッシュメモリはページサイズが8 K B(キロバイト)で、その他の不揮発性メモリチップに比べて大きく、誤りビット個数の最

大は1KB当たり40個（つまり、1ページ当たり320個）という特徴がある。したがって、従来技術によるデータリフレッシュ動作では、誤りアドレス及び訂正済みデータをメモリチップに転送するための転送クロック数はさらに多くなる。ゆえに、NAND型フラッシュメモリに本実施形態のデータリフレッシュ技術を適用することで、より多くの転送クロック数が削減される。このように、NAND型フラッシュメモリの場合は、本実施形態の効果をより多く享受する。

[0132] 以上説明した本実施形態によれば、メモリコントローラ1100からのコマンドに応じてバッファメモリ3330の入力がデータ選択回路3340によって制御されると共に、バッファメモリ3330の出力が選択される。図16に、説明したメモリコマンドとバッファメモリ3330の入出力との対応関係を示す。

[0133] 図16に示すように、コマンドTg1__Rによりセンスアンプ3320からの出力がバッファメモリ3330に入力されるように、データ選択回路3340が制御される。このとき、バッファメモリ3330の出力は他の回路に入力されないように制御される。コマンドTg1__T1によりセンスアンプ3320からの出力とバッファメモリ3330の出力との排他的論理和がバッファメモリ3330に入力されるように、データ選択回路3340が制御される。コマンドTg1__T2によりバッファメモリ3330の出力がフィードバックされてバッファメモリ3330に入力されるように、データ選択回路3340が制御される。このときバッファメモリ3330の出力はフィードバックされると共に、ドライバ3310に入力される。コマンドTg1__Sによりバッファメモリ3330の出力とインタフェースロジック3400内のトグルパタン生成器13130の出力との排他的論理和がバッファメモリ3330に入力されるように、データ選択回路3340が制御される。

[0134] データ選択回路3340の制御及びバッファメモリ3330の出力先（出力しないことを含む）の選択は、インタフェースロジック3400内または

別途設ける制御回路（論理回路又はCPU）により、メモリコントローラ1100からインタフェースロジック3400に入力されるコマンドを解析し、コマンド解析結果に応じて実現される。

- [0135] なお、データをページ単位でメモリセルアレイから読み出すリードコマンド、メモリセルアレイへ書き込むライトコマンドについては詳細を略するが、通常の不揮発性メモリセルアレイに対するものと同じである。

符号の説明

- [0136] 1000…SSD、1100…メモリコントローラ、1110…CPU、1210…バックアップ電源、1301～1304…相変化メモリチップ、3130…セルアレイ、3120…ビットライン選択回路、3330…バッファメモリ、3340…データ選択回路、6010…Data部、6020…LA部、6030…Flag部、6040…ECC部。

請求の範囲

- [請求項1] 不揮発性のメモリセルアレイ、
前記メモリセルアレイのデータの読み出し／書き込み単位である1ページ分の容量の揮発性のバッファメモリ、
前記メモリセルアレイからデータを読み出すセンスアンプ、
前記メモリセルアレイへデータを書き込むドライバ、
メモリコントローラと接続するインタフェースロジック、
前記センスアンプの出力、前記バッファメモリの出力、及び、前記センスアンプの出力と前記バッファメモリの出力との排他的論理和を選択的に前記バッファメモリへ入力するデータ選択回路、並びに、
前記データ選択回路による前記バッファメモリへ入力の選択に対応して、前記バッファメモリの出力は、前記データ選択回路を介した該バッファメモリ及び前記ドライバの少なくとも一方の入力として、または、前記データ選択回路を介した該バッファメモリ及び前記ドライバのいずれにも入力しないように制御する制御回路を有することを特徴とする半導体メモリ装置。
- [請求項2] 前記メモリコントローラからの前記インタフェースロジックを介した、前記メモリセルアレイの第1のページ(X)を指定した第1のコマンド(T_{g1}__R)に応答して、前記センスアンプは前記第1のページ(X)の第1のデータ(B)を前記メモリセルアレイから読み出し、前記データ選択回路は、読み出された前記第1のデータ(B)を前記バッファメモリに入力し、前記バッファメモリは前記第1のデータ(B)を格納し、
前記メモリコントローラからの前記インタフェースロジックを介した、前記メモリセルアレイの第2のページ(W)を指定した第2のコマンド(T_{g1}__T₁)に応答して、前記センスアンプは前記第2のページ(W)の第2のデータ(A)を前記メモリセルアレイから読み出し、前記データ選択回路は、前記バッファメモリに格納された前記第

1 のデータ (B) と読み出された前記第 2 のデータ (A) との排他的論理和を計算した第 3 のデータ ($A \oplus B$) を前記バッファメモリに入力し、前記バッファメモリは入力した前記第 3 のデータ ($A \oplus B$) を格納し、

前記メモリコントローラからの前記インタフェースロジックを介した、前記メモリセルアレイの前記第 2 のページ (W) を指定した第 3 のコマンド ($Tg1_T2$) に応答して、前記制御回路は、前記バッファメモリの実出力を前記ドライバに入力し、前記バッファメモリに格納した前記第 3 のデータ ($A \oplus B$) を、前記メモリセルアレイの前記第 2 のページ (W) に書き込むように制御することを特徴とする請求項 1 記載の半導体メモリ装置。

[請求項 3]

前記第 3 のコマンド ($Tg1_T2$) に応答して、前記データ選択回路は、前記バッファメモリの前記第 3 のデータ ($A \oplus B$) を前記バッファメモリにフィードバック入力し、前記バッファメモリはフィードバックされた前記第 3 のデータ ($A \oplus B$) を格納し、

前記メモリコントローラからの前記インタフェースロジックを介した、前記メモリセルアレイの前記第 1 のページ (X) を指定した 2 回目の前記第 2 のコマンド ($Tg1_T1$) に応答して、前記センスアンプは前記第 1 のページ (X) の前記第 1 のデータ (B) を前記メモリセルアレイから読み出し、前記データ選択回路は、前記バッファメモリに格納された前記第 3 のデータ ($A \oplus B$) と読み出された前記第 1 のデータ (B) との排他的論理和を計算した前記第 2 のデータ (A) を前記バッファメモリに入力し、前記バッファメモリは入力した前記第 2 のデータ (A) を格納し、

前記メモリコントローラからの前記インタフェースロジックを介した、前記メモリセルアレイの前記第 1 のページ (X) を指定した 2 回目の前記第 3 のコマンド ($Tg1_T2$) に応答して、前記制御回路は、前記バッファメモリの実出力を前記ドライバに入力し、前記バッファ

メモリに格納した前記第2のデータ(A)を、前記メモリセルアレイの前記第1のページ(X)に書き込むように制御することを特徴とする請求項2記載の半導体メモリ装置。

[請求項4]

2回目の前記第3のコマンド(T_{g1}__T₂)に応答して、前記データ選択回路は、前記バッファメモリの前記第2のデータ(A)を前記バッファメモリにフィードバック入力し、前記バッファメモリはフィードバックされた前記第2のデータ(A)を格納し、前記メモリコントローラからの前記インタフェースロジックを介した、前記メモリセルアレイの前記第2のページ(W)を指定した3回目の前記第2のコマンド(T_{g1}__T₁)に応答して、前記センスアンプは前記第2のページ(W)の前記第3のデータ(A[^]B)を前記メモリセルアレイから読み出し、前記データ選択回路は、前記バッファメモリに格納された前記第2のデータ(A)と読み出された前記第3のデータ(A[^]B)との排他的論理和を計算した前記第1のデータ(B)を前記バッファメモリに入力し、前記バッファメモリは入力した前記第1のデータ(B)を格納し、

前記メモリコントローラからの前記インタフェースロジックを介した、前記メモリセルアレイの前記第2のページ(W)を指定した3回目の前記第3のコマンド(T_{g1}__T₂)に応答して、前記制御回路は、前記バッファメモリの出力を前記ドライバに入力し、前記バッファメモリに格納した前記第1のデータ(B)を、前記メモリセルアレイの前記第2のページ(W)に書き込むように制御することを特徴とする請求項3記載の半導体メモリ装置。

[請求項5]

前記メモリコントローラからの前記インタフェースロジックを介した、前記メモリセルアレイの第4のページを指定した第4のコマンドであるリードコマンドに応答して、前記センスアンプは前記第4のページの第4のデータを前記メモリセルアレイから読み出し、前記データ選択回路は、読み出された前記第4のデータを前記バッファメモリ

に入力し、前記バッファメモリは前記第4のデータを格納し、
前記インタフェースロジックは、前記メモリコントローラからの、前記第4のデータのビット値を“1”とするビットアドレスを指定した第5のコマンド（T g l __ S）に応答して、指定されたビットアドレスに対応したビット値を“1”とし、指定されないビットアドレスに対応したビット値を“0”とする第5のデータを生成するトグルパターン生成器を含み、
前記データ選択回路は、前記バッファメモリに格納された前記第4のデータと生成された前記第5のデータとの排他的論理和を計算した第6のデータを前記バッファメモリに入力し、前記バッファメモリは入力した第6のデータを格納し、
前記メモリコントローラからの第6のコマンド（T g l __ T 2）に応答して、前記制御回路は、前記バッファメモリの出力を前記ドライバに入力し、前記バッファメモリに格納した前記第6のデータを、前記メモリセルアレイの前記第4のページに書き込むように制御することを特徴とする請求項1記載の半導体メモリ装置。

[請求項6]

不揮発性のメモリセルアレイ、
前記メモリセルアレイのデータの読み出し／書き込み単位である1ページ分の容量の揮発性のバッファメモリ、
前記メモリセルアレイからデータを読み出すセンスアンプ、
前記メモリセルアレイへデータを書き込むドライバ、
前記センスアンプの出力、前記バッファメモリの出力、及び、前記センスアンプの出力と前記バッファメモリの出力との排他的論理和を選択的に前記バッファメモリへ入力するデータ選択回路、並びに、
前記データ選択回路による前記バッファメモリへ入力の選択に対応して、前記バッファメモリの出力は、前記データ選択回路を介した該バッファメモリ及び前記ドライバの少なくとも一方の入力として、または、前記データ選択回路を介した該バッファメモリ及び前記ドライバ

のいずれにも入力しないように制御する制御回路を有する半導体メモリ装置と、

前記半導体メモリ装置のインタフェースロジックに接続し、前記半導体メモリ装置を制御するメモリコントローラと、

前記半導体メモリ装置に供給される電源をバックアップするバックアップ電源とを含むことを特徴とする記憶装置。

[請求項7]

前記メモリコントローラからの前記インタフェースロジックを介した、前記メモリセルアレイの第1のページ(X)を指定した第1のコマンド(T_{g1}__R)に応答して、前記センスアンプは前記第1のページ(X)の第1のデータ(B)を前記メモリセルアレイから読み出し、前記データ選択回路は、読み出された前記第1のデータ(B)を前記バッファメモリに入力し、前記バッファメモリは前記第1のデータ(B)を格納し、

前記メモリコントローラからの前記インタフェースロジックを介した、前記メモリセルアレイの第2のページ(W)を指定した第2のコマンド(T_{g1}__T₁)に応答して、前記センスアンプは前記第2のページ(W)の第2のデータ(A)を前記メモリセルアレイから読み出し、前記データ選択回路は、前記バッファメモリに格納された前記第1のデータ(B)と読み出された前記第2のデータ(A)との排他的論理和を計算した第3のデータ(A ^ B)を前記バッファメモリに入力し、前記バッファメモリは入力した前記第3のデータ(A ^ B)を格納し、

前記メモリコントローラからの前記インタフェースロジックを介した、前記メモリセルアレイの前記第2のページ(W)を指定した第3のコマンド(T_{g1}__T₂)に応答して、前記制御回路は、前記バッファメモリの出力を前記ドライバに入力し、前記バッファメモリに格納した前記第3のデータ(A ^ B)を、前記メモリセルアレイの前記第2のページ(W)に書き込むように制御し、

前記メモリコントローラは、

前記第1のコマンド（T_g I __ R）および前記第2のコマンド（T_g I __ T₁）の実行中に前記電源の供給が遮断された場合には、その実行を中断し、

前記第3のコマンド（T_g I __ T₂）の実行中に前記電源の供給が遮断された場合には、その実行を完了するまで前記バックアップ電源を利用することを特徴とする請求項6記載の記憶装置。

[請求項8]

前記半導体メモリ装置の前記メモリセルアレイの前記第1のページ（X）および前記第2のページ（W）に格納されているデータは、該データの有効／無効を示す第1の所定部分を有し、

前記メモリコントローラは、

リードコマンドにより前記半導体メモリ装置の前記メモリセルアレイから前記第1のページ（X）および前記第2のページ（W）のデータを読み出し、

読み出した前記第1のページ（X）のデータの前記第1の所定部分が有効を示し、読み出した前記第2のページ（W）のデータの前記第1の所定部分が無効を示しているならば、前記第1のページ（X）を指定して、前記第1のコマンド（T_g I __ R）を実行し、

前記第2のページ（W）を指定して、前記第2のコマンド（T_g I __ T₁）と前記第3のコマンド（T_g I __ T₂）を実行することを特徴とする請求項7記載の記憶装置。

[請求項9]

前記半導体メモリ装置の前記メモリセルアレイの前記第1のページ（X）および前記第2のページ（W）に格納されているデータは、該データの論理アドレスを示す第2の所定部分を有し、

前記メモリコントローラは、

前記第1の所定部分が有効を示す前記第1のページ（X）のデータの前記第2の所定部分の第1の論理アドレスと物理アドレスである前記第1のページ（X）との対応関係をテーブルに登録し、

前記テーブルにおいて、対応する物理アドレスを持たない第2の論理アドレスを検出し、

前記第2のページ(W)に格納されているデータの前記第2の所定部分の内容と前記第2の論理アドレスとの排他的論理和を計算して、第3の論理アドレス(スワップパートナ)を算出し、

前記テーブルから、前記第3の論理アドレス(スワップパートナ)に対応する前記第1のページ(X)を取得し、

前記第1のページ(X)を指定した前記第1のコマンド(T_{g1}__R)を実行することを特徴とする請求項8記載の記憶装置。

[請求項10]

前記メモリコントローラからの前記インタフェースロジックを介した、前記メモリセルアレイの第4のページを指定した第4のコマンドであるリードコマンドに応答して、前記センスアンプは前記第4のページの第4のデータを前記メモリセルアレイから読み出し、前記データ選択回路は、読み出された前記第4のデータを前記バッファメモリに入力し、前記バッファメモリは前記第4のデータを格納し、

前記インタフェースロジックは、前記メモリコントローラからの、前記第4のデータのビット値を“1”とするビットアドレスを指定した第5のコマンド(T_{g1}__S)に応答して、指定されたビットアドレスに対応したビット値を“1”とし、指定されないビットアドレスに対応したビット値を“0”とする第5のデータを生成するトグルパターン生成器を含み、

前記データ選択回路は、前記バッファメモリに格納された前記第4のデータと生成された前記第5のデータとの排他的論理和を計算した第6のデータを前記バッファメモリに入力し、前記バッファメモリは入力した第6のデータを格納し、

前記メモリコントローラからの、第6のコマンド(T_{g1}__T₂)に応答して、前記制御回路は、前記バッファメモリの出力を前記ドライバに入力し、前記バッファメモリに格納した前記第6のデータを、前

記メモリセルアレイの前記第4のページに書き込むように制御し、
前記メモリコントローラは、
前記第4のコマンドを実行して、前記第4のページの前記第4のデータを読み出し、
前記第4のデータに含まれる誤りビットのビットアドレスを指定した
前記第5のコマンド（T g l __ S）を実行することを特徴とする請求
項6記載の記憶装置。

[請求項11] 不揮発性のメモリセルアレイ、前記メモリセルアレイのデータの読み出し／書き込み単位である1ページ分の容量の揮発性のバッファメモリ、前記メモリセルアレイからデータを読み出すセンスアンプ、前記メモリセルアレイへデータを書き込むドライバ、前記センスアンプの出力、前記バッファメモリの出力、及び、前記センスアンプの出力と前記バッファメモリの出力との排他的論理和を選択的に前記バッファメモリへ入力するデータ選択回路、並びに、前記データ選択回路による前記バッファメモリへ入力の選択に対応して、前記バッファメモリの出力は、前記データ選択回路を介した該バッファメモリ及び前記ドライバの少なくとも一方の入力として、または、前記データ選択回路を介した該バッファメモリ及び前記ドライバのいずれにも入力しないように制御する制御回路を有する半導体メモリ装置と、前記半導体メモリ装置のインタフェースロジックに接続し、前記半導体メモリ装置を制御するメモリコントローラと、前記半導体メモリ装置に供給される電源をバックアップするバックアップ電源とを含む記憶装置における、前記メモリコントローラによる制御方法であって、
前記メモリコントローラは、前記インタフェースロジックを介して、前記メモリセルアレイの第1のページ（X）を指定した第1のコマンド（T g l __ R）を発行し、前記第1のコマンド（T g l __ R）に回答して、前記センスアンプは前記第1のページ（X）の第1のデータ（B）を前記メモリセルアレイから読み出し、前記データ選択回路は

、読み出された前記第1のデータ(B)を前記バッファメモリに入力し、前記バッファメモリは前記第1のデータ(B)を格納し、前記メモリコントローラは、前記インタフェースロジックを介して、前記メモリセルアレイの第2のページ(W)を指定した第2のコマンド(T_{g1}__T₁)を発行し、前記第2のコマンド(T_{g1}__T₁)に応答して、前記センスアンプは前記第2のページ(W)の第2のデータ(A)を前記メモリセルアレイから読み出し、前記データ選択回路は、前記バッファメモリに格納された前記第1のデータ(B)と読み出された前記第2のデータ(A)との排他的論理和を計算した第3のデータ(A ^ B)を前記バッファメモリに入力し、前記バッファメモリは入力した前記第3のデータ(A ^ B)を格納し、前記メモリコントローラは、前記インタフェースロジックを介して、前記メモリセルアレイの前記第2のページ(W)を指定した第3のコマンド(T_{g1}__T₂)を発行し、前記第3のコマンド(T_{g1}__T₂)に応答して、前記制御回路は、前記バッファメモリの出力を前記ドライバに入力し、前記バッファメモリに格納した前記第3のデータ(A ^ B)を、前記メモリセルアレイの前記第2のページ(W)に書き込むように制御し、前記メモリコントローラは、前記第1のコマンド(T_{g1}__R)および前記第2のコマンド(T_{g1}__T₁)の実行中に前記電源の供給が遮断された場合には、その実行を中断し、前記第3のコマンド(T_{g1}__T₂)の実行中に前記電源の供給が遮断された場合には、その実行を完了するまで前記バックアップ電源を利用することを特徴とする制御方法。

[請求項12]

前記半導体メモリ装置の前記メモリセルアレイの前記第1のページ(X)および前記第2のページ(W)に格納されているデータは、該データの有効／無効を示す第1の所定部分を有し、

前記メモリコントローラは、

リードコマンドにより前記半導体メモリ装置の前記メモリセルアレイから前記第1のページ(X)および前記第2のページ(W)のデータを読み出し、

読み出した前記第1のページ(X)のデータの前記第1の所定部分が有効を示し、読み出した前記第2のページ(W)のデータの前記第1の所定部分が無効を示しているならば、前記第1のページ(X)を指定して、前記第1のコマンド(T_{g1}__R)を実行し、

前記第2のページ(W)を指定して、前記第2のコマンド(T_{g1}__T₁)と前記第3のコマンド(T_{g1}__T₂)を実行することを特徴とする請求項11記載の制御方法。

[請求項13]

前記半導体メモリ装置の前記メモリセルアレイの前記第1のページ(X)および前記第2のページ(W)に格納されているデータは、該データの論理アドレスを示す第2の所定部分を有し、

前記メモリコントローラは、

前記第1の所定部分が有効を示す前記第1のページ(X)のデータの前記第2の所定部分の第1の論理アドレスと物理アドレスである前記第1のページ(X)との対応関係をテーブルに登録し、

前記テーブルにおいて、対応する物理アドレスを持たない第2の論理アドレスを検出し、前記第2のページ(W)に格納されているデータの前記第2の所定部分の内容と前記第2の論理アドレスとの排他的論理和を計算して、第3の論理アドレス(スワップパートナー)を算出し、

前記テーブルから、前記第3の論理アドレス(スワップパートナー)に対応する前記第1のページ(X)を取得し、

前記第1のページ(X)を指定した前記第1のコマンド(T_{g1}__R)を実行することを特徴とする請求項12記載の制御方法。

[請求項14]

前記メモリコントローラは、前記インタフェースロジックを介して、

前記メモリセルアレイの第4のページを指定した第4のコマンドであるリードコマンドを発行し、前記第4のページの前記第4のデータを読み出し、前記第4のコマンドに応答して、前記センスアンプは前記第4のページの第4のデータを前記メモリセルアレイから読み出し、前記データ選択回路は、読み出された前記第4のデータを前記バッファメモリに入力し、前記バッファメモリは前記第4のデータを格納し、

前記メモリコントローラは、前記第4のデータに含まれる誤りビットのビットアドレスを指定した第5のコマンド（T_{g1}__S）を発行し、前記第5のコマンド（T_{g1}__S）に応答して、前記インタフェースロジックは、指定されたビットアドレスに対応したビット値を“1”とし、指定されないビットアドレスに対応したビット値を“0”とする第5のデータを生成し、前記データ選択回路は、前記バッファメモリに格納された前記第4のデータと生成された前記第5のデータとの排他的論理和を計算した第6のデータを前記バッファメモリに入力し、前記バッファメモリは入力した第6のデータを格納し、

前記メモリコントローラは、第6のコマンド（T_{g1}__T₂）を発行し、前記第6のコマンド（T_{g1}__T₂）に応答して、前記制御回路は、前記バッファメモリの出力を前記ドライバに入力し、前記バッファメモリに格納した前記第6のデータを、前記メモリセルアレイの前記第4のページに書き込むように制御することを特徴とする請求項1記載の制御方法。

図1

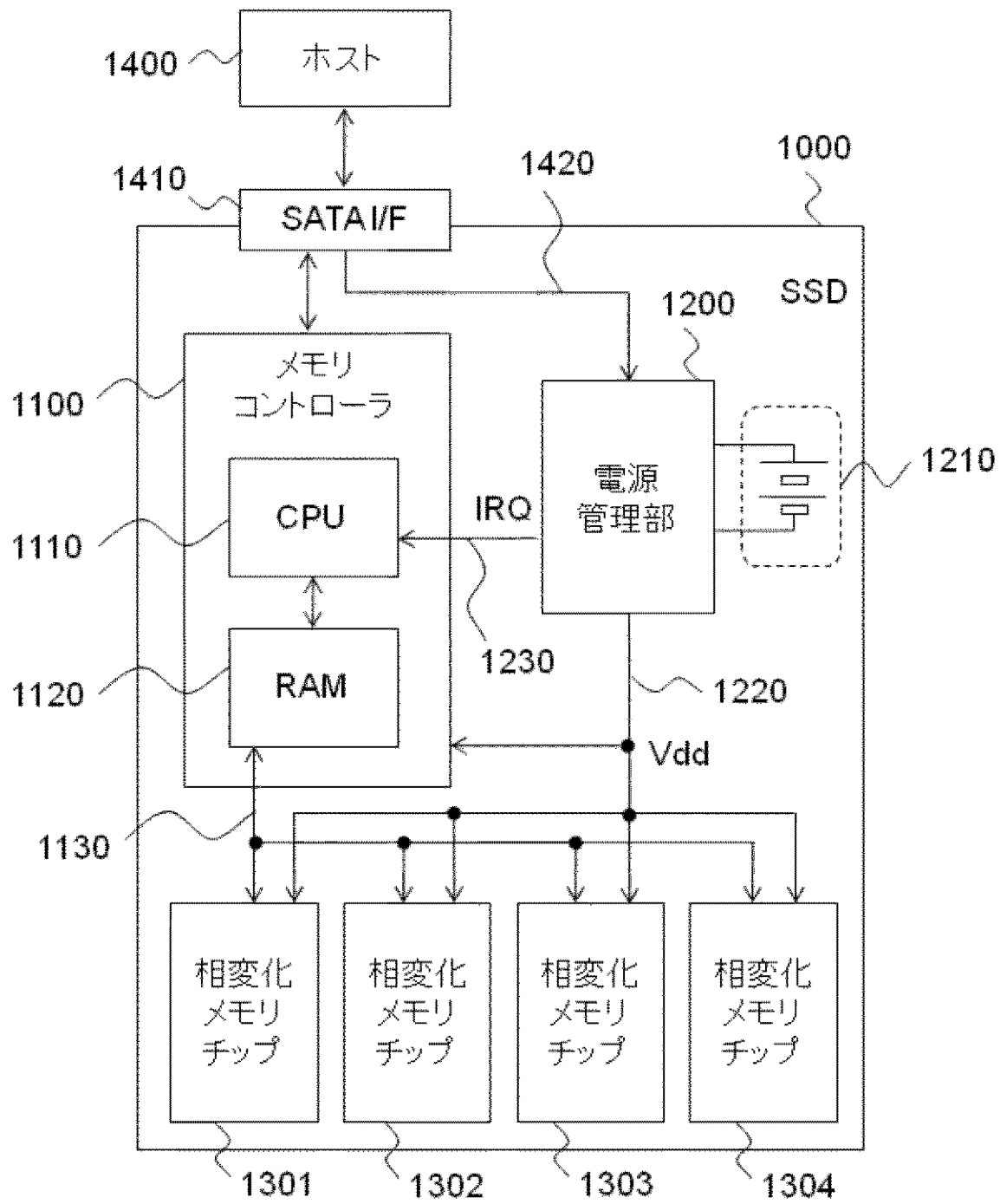


図2A

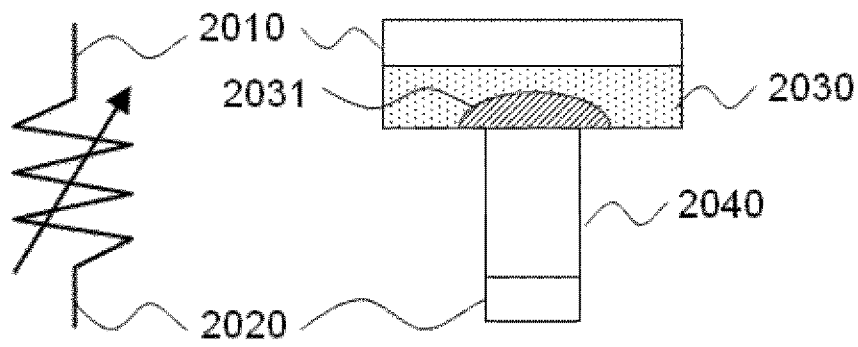


図2B

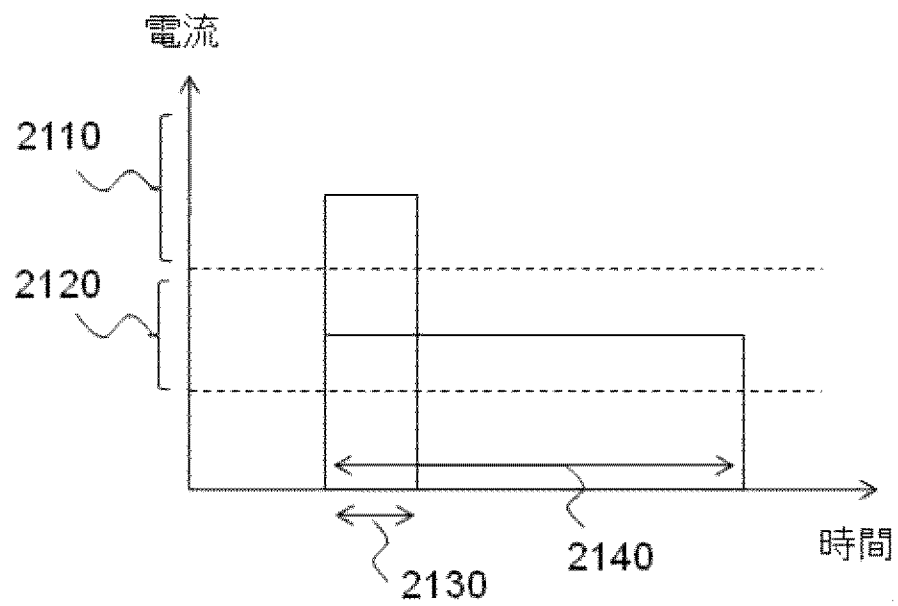


図3

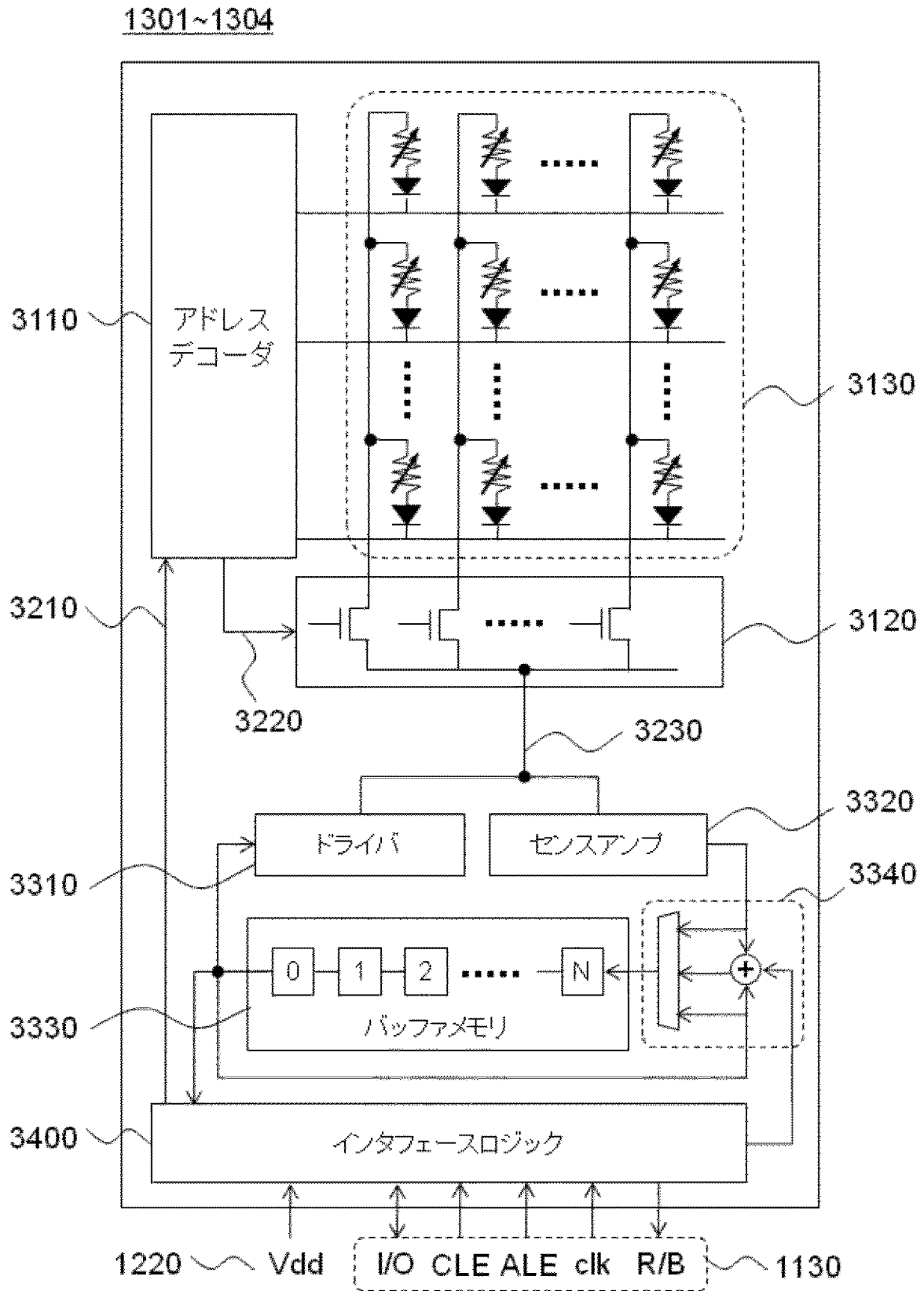


図4A

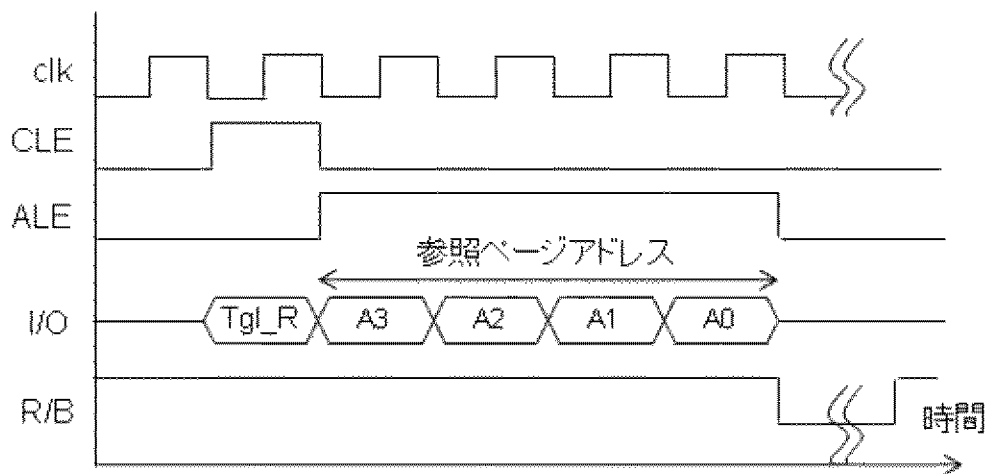


図4B

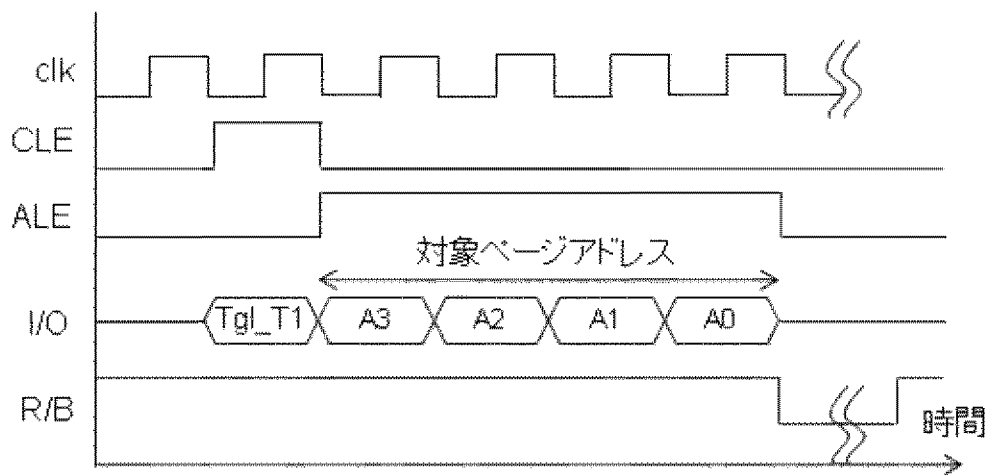


図4C

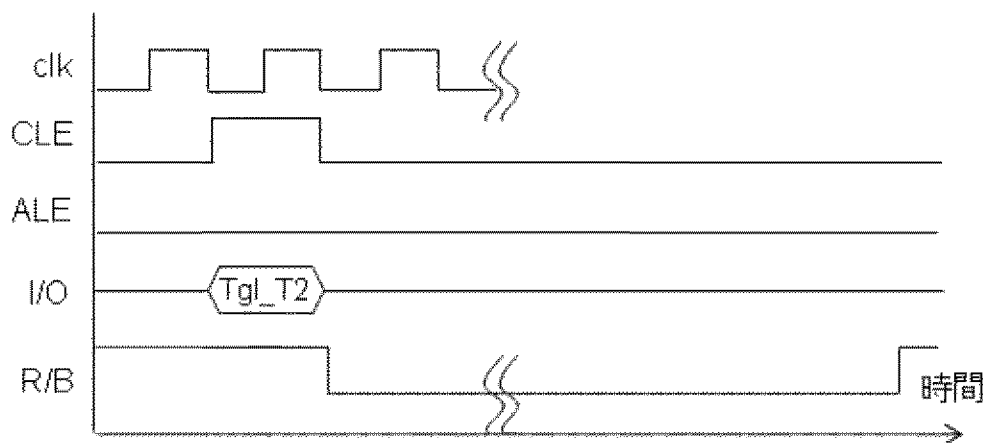


図5A

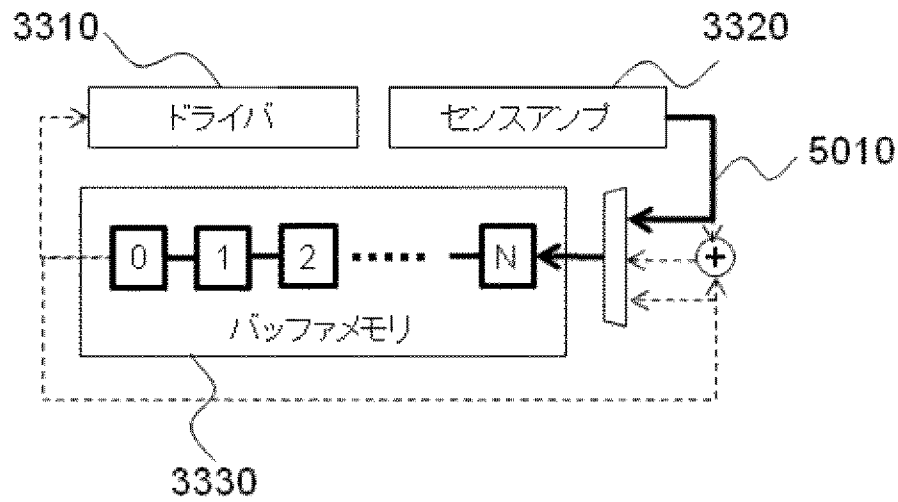


図5B

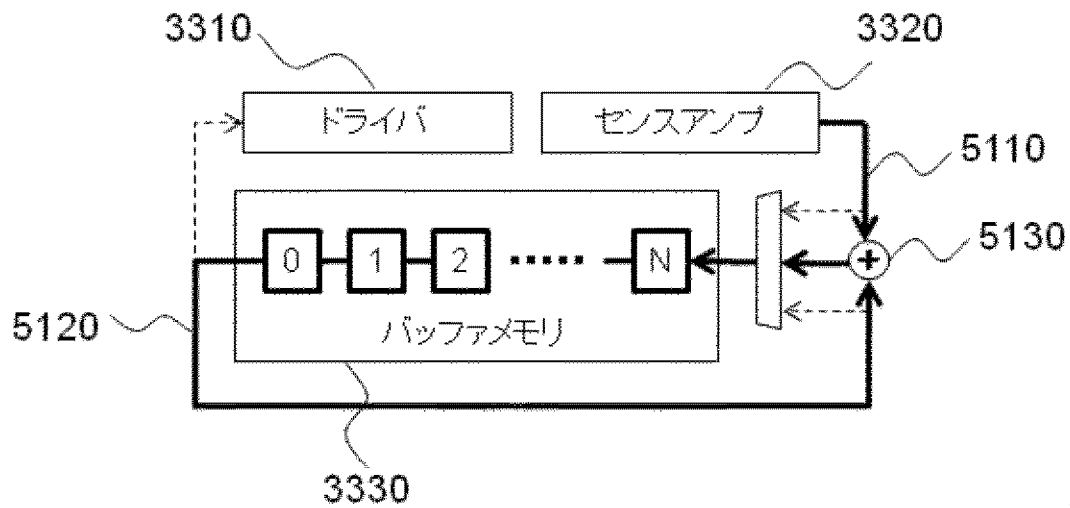


図5C

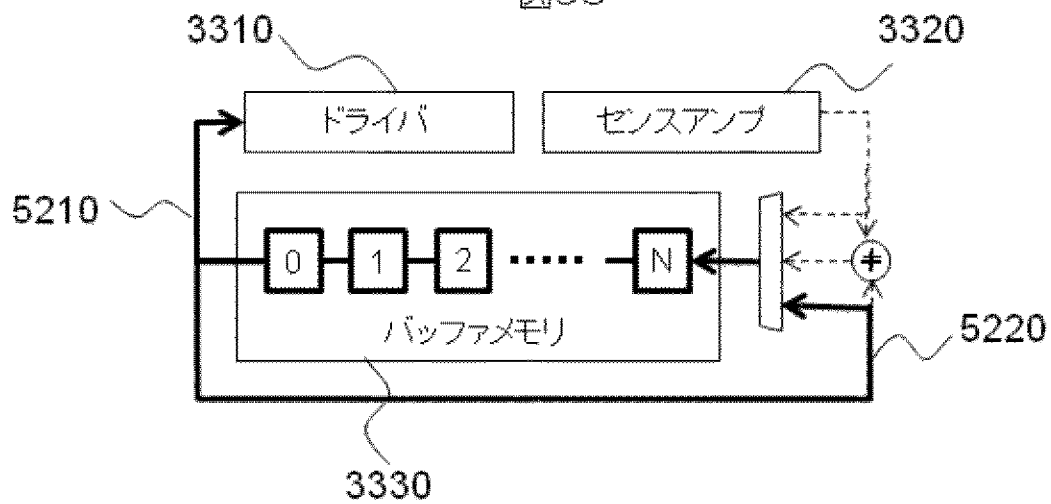


図6

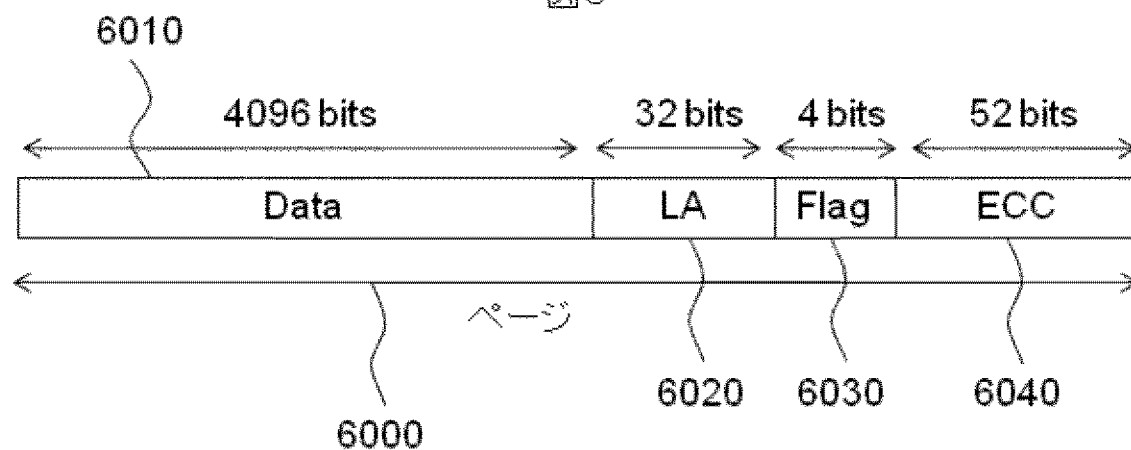


図7

7000

	メモリ コマンド	バッファ メモリ	Page W		Page X	
			Data	Flag	Data	Flag
	(初期状態)	---	A	1	B	1
P1	Tgl_R(X)	B	A	1	B	1
	Tgl_T1(W)	$A \wedge B$	A	1	B	1
	Tgl_T2(W)	$A \wedge B$	$A \wedge B$	0	B	1
P2	Tgl_T1(X)	A	$A \wedge B$	0	B	1
	Tgl_T2(X)	A	$A \wedge B$	0	A	1
P3	Tgl_T1(W)	B	$A \wedge B$	0	B	1
	Tgl_T2(W)	B	B	1	A	1

図8

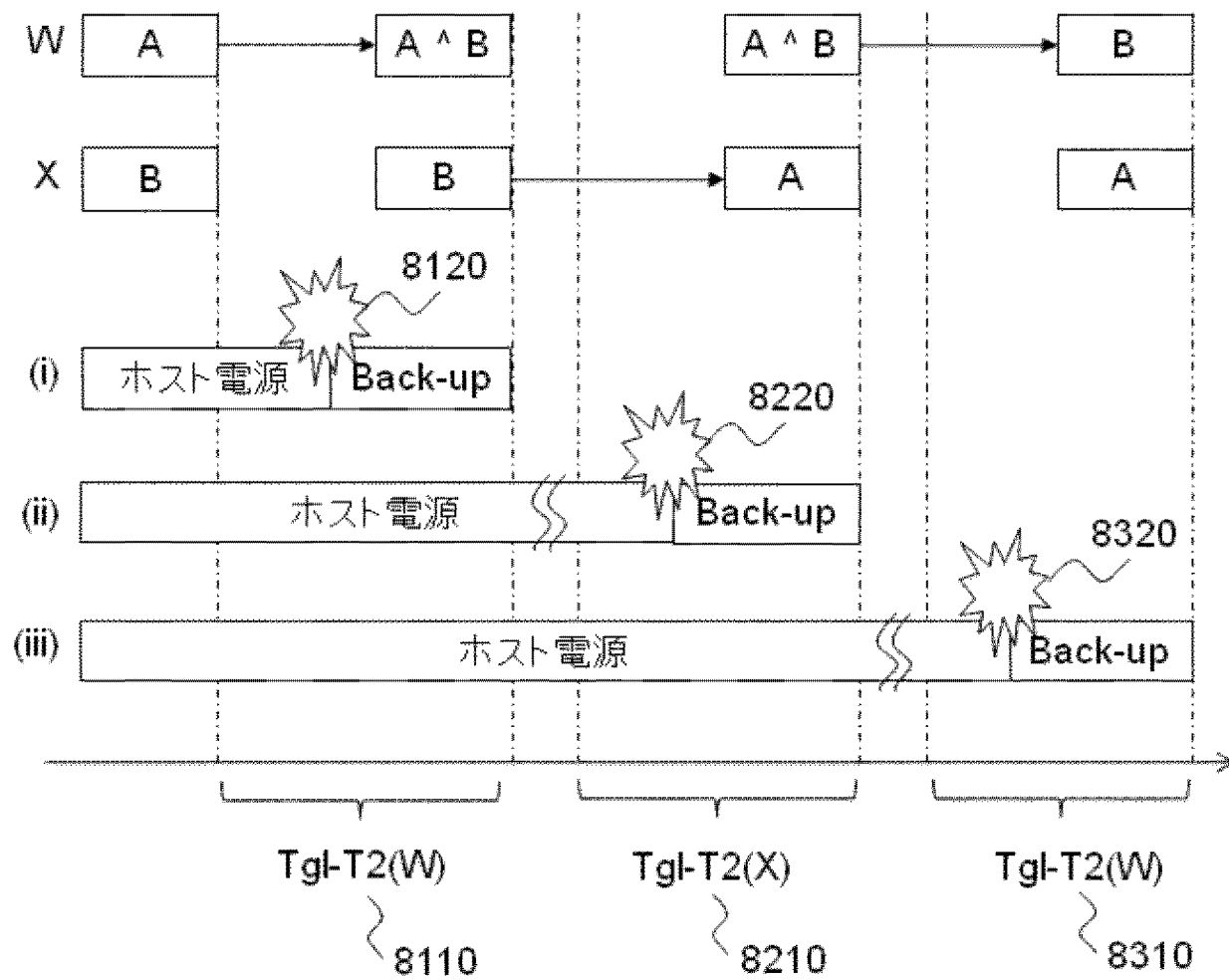


図9A

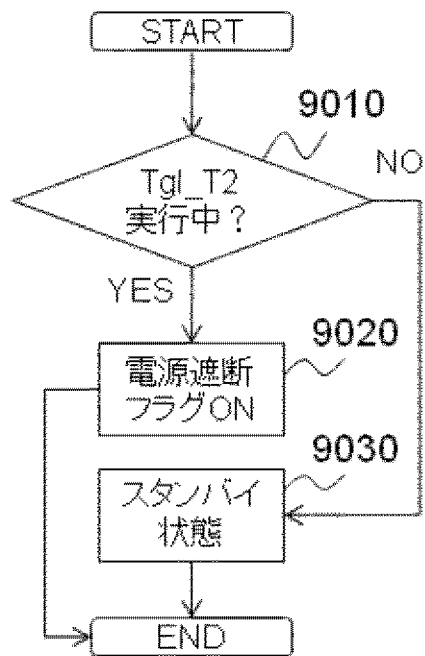
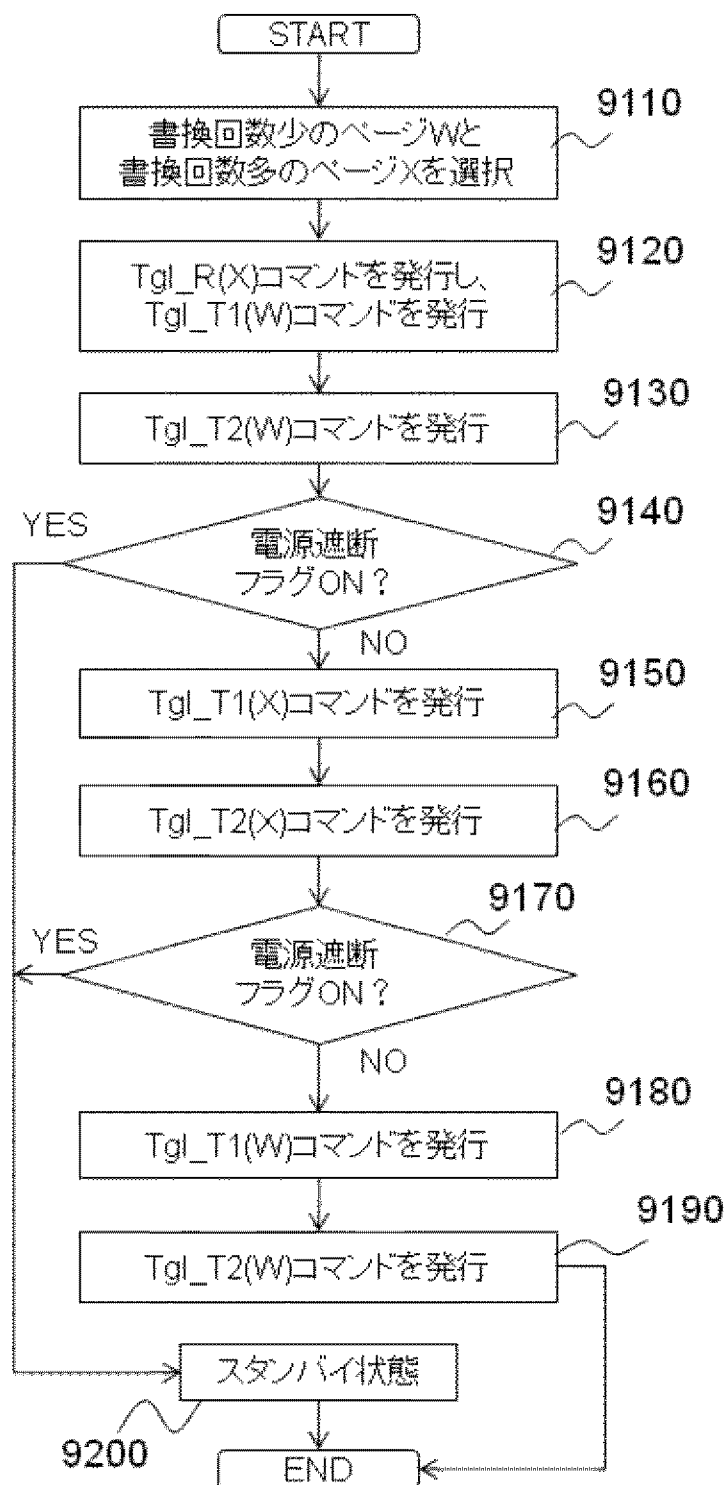
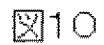


図9B

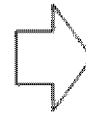



10000

Pg	Data	Flag
W	A	1
X	B	1
Y	C	1
Z	D	1

10010

LA	Page
A	W
B	X
C	Y
D	Z

10020

LA	Page
A	X
B	W
C	Y
D	Z

10100

Pg	Data	Flag
W	$A \wedge B$	0
X	B	1
Y	C	1
Z	D	1

10110

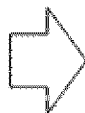
LA	Page
A	----
B	X
C	Y
D	Z

10120

LA	Page
A	W
B	X
C	Y
D	Z

10200

Pg	Data	Flag
W	$A \wedge B$	0
X	A	1
Y	C	1
Z	D	1

10210

LA	Page
A	X
B	----
C	Y
D	Z

10220

LA	Page
A	X
B	W
C	Y
D	Z

図11

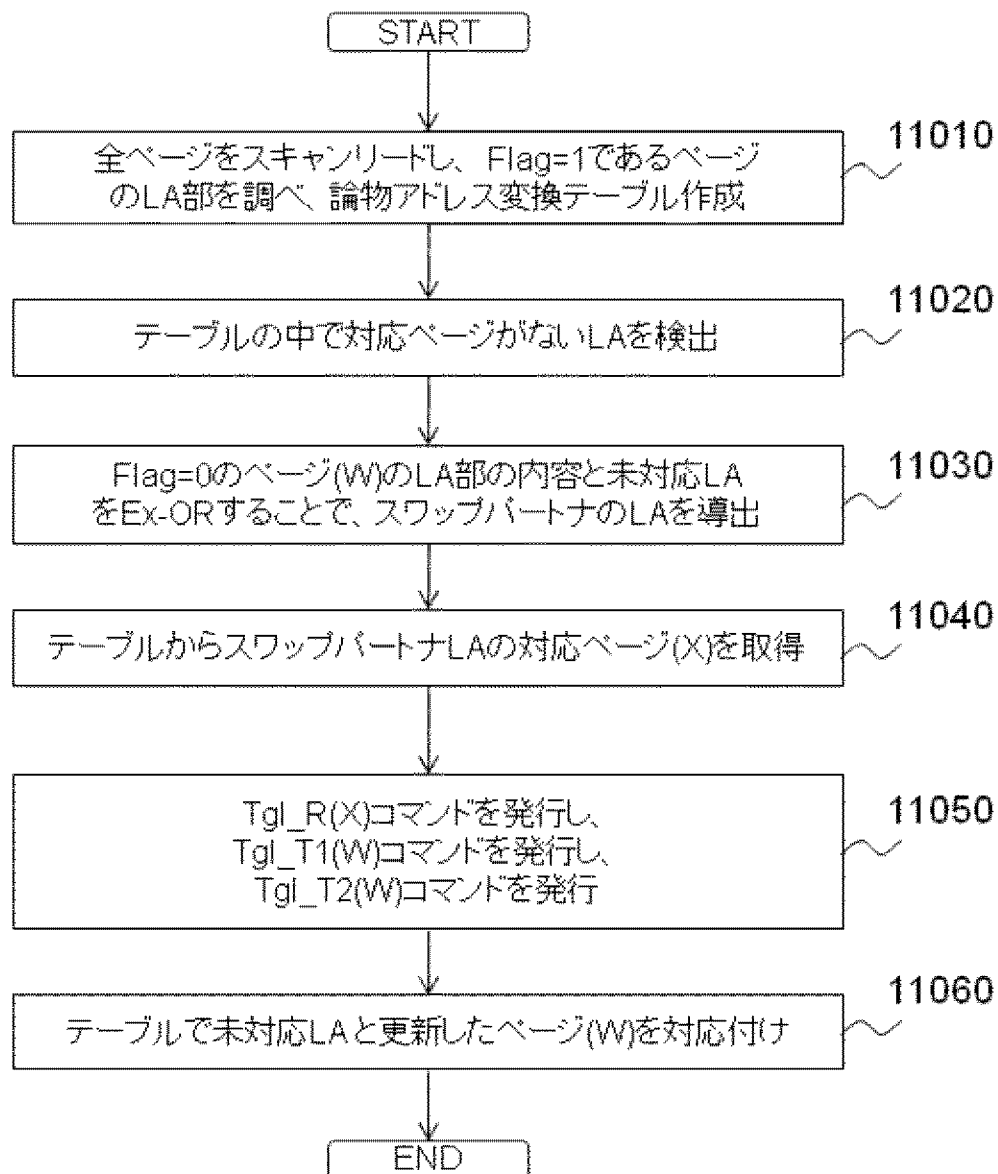


図12A

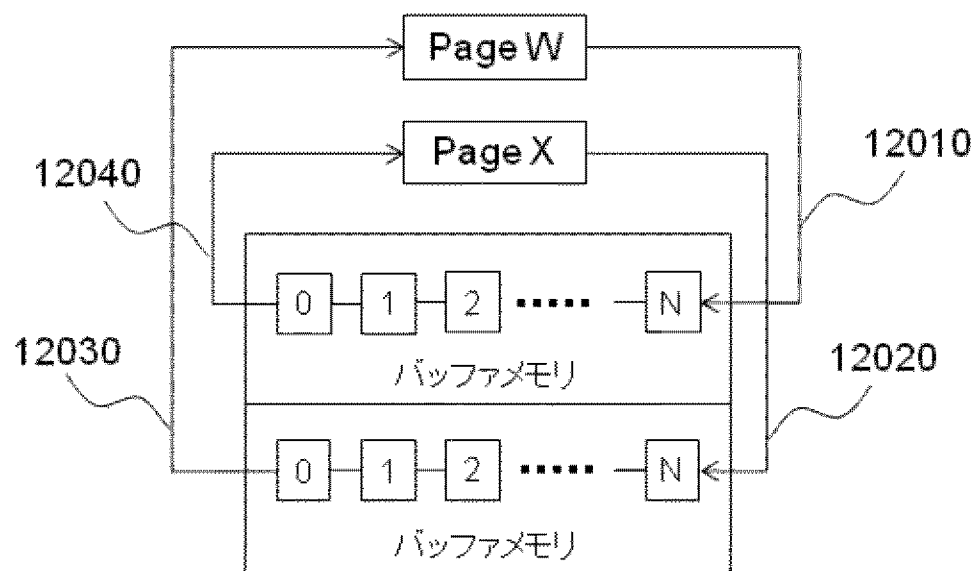


図12B

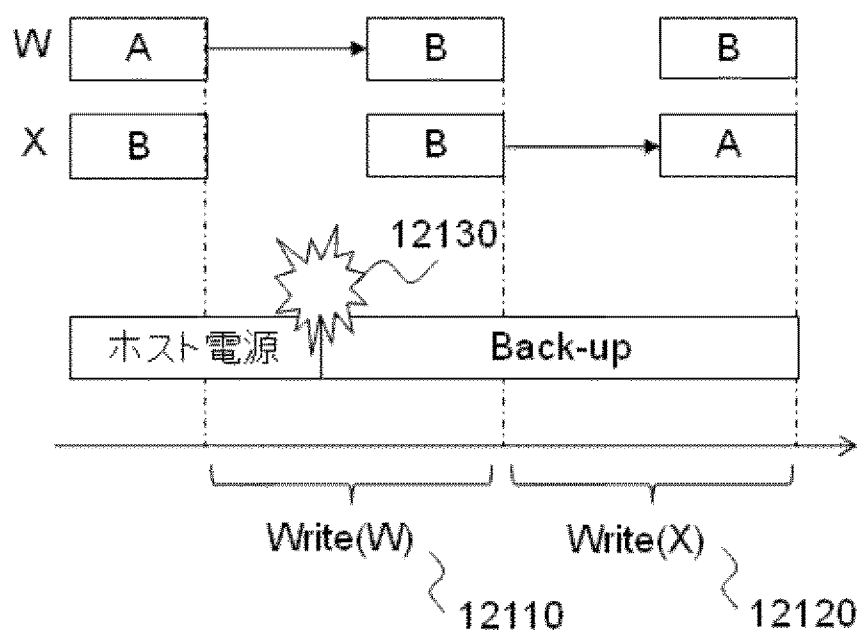


図13

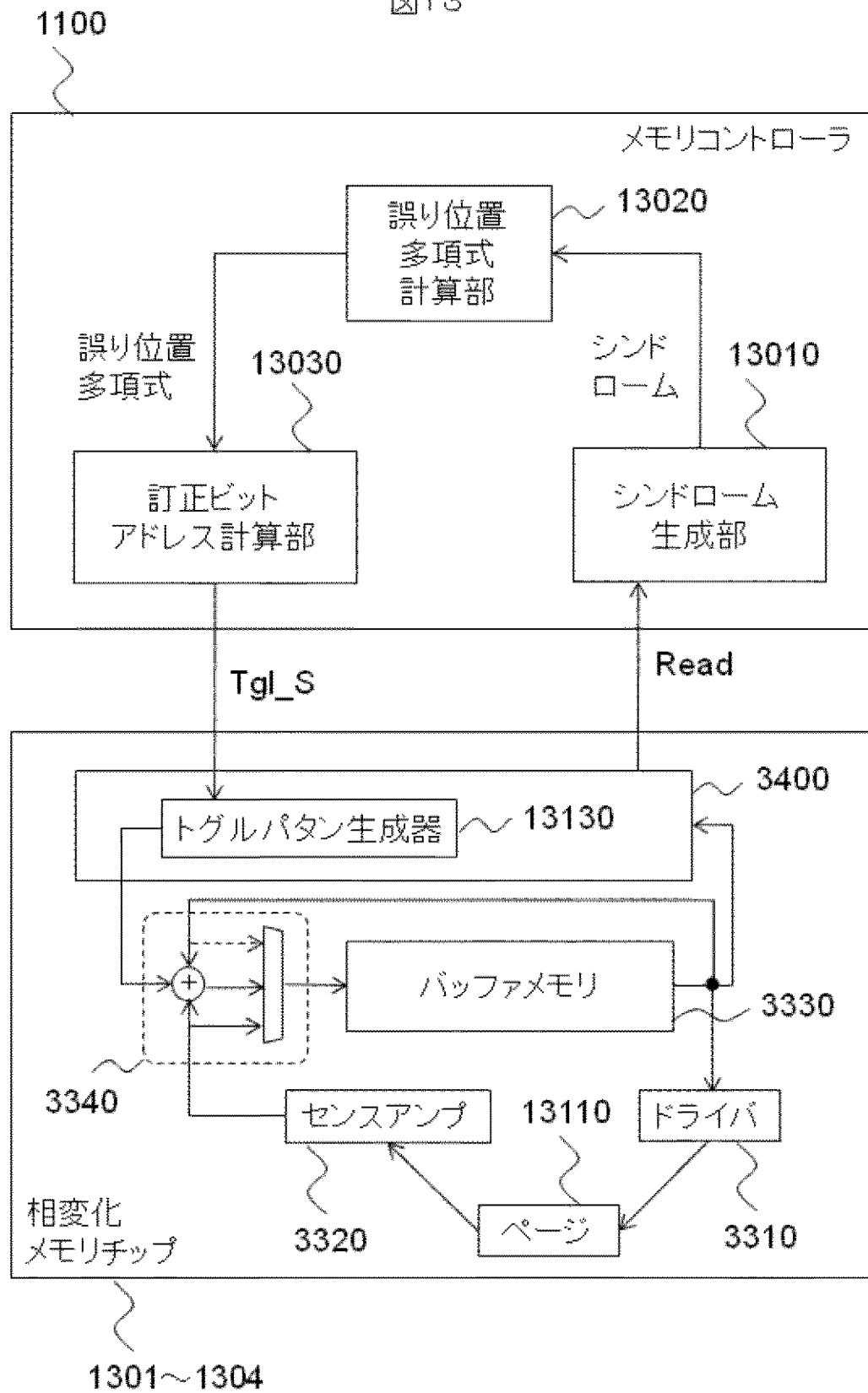


図14

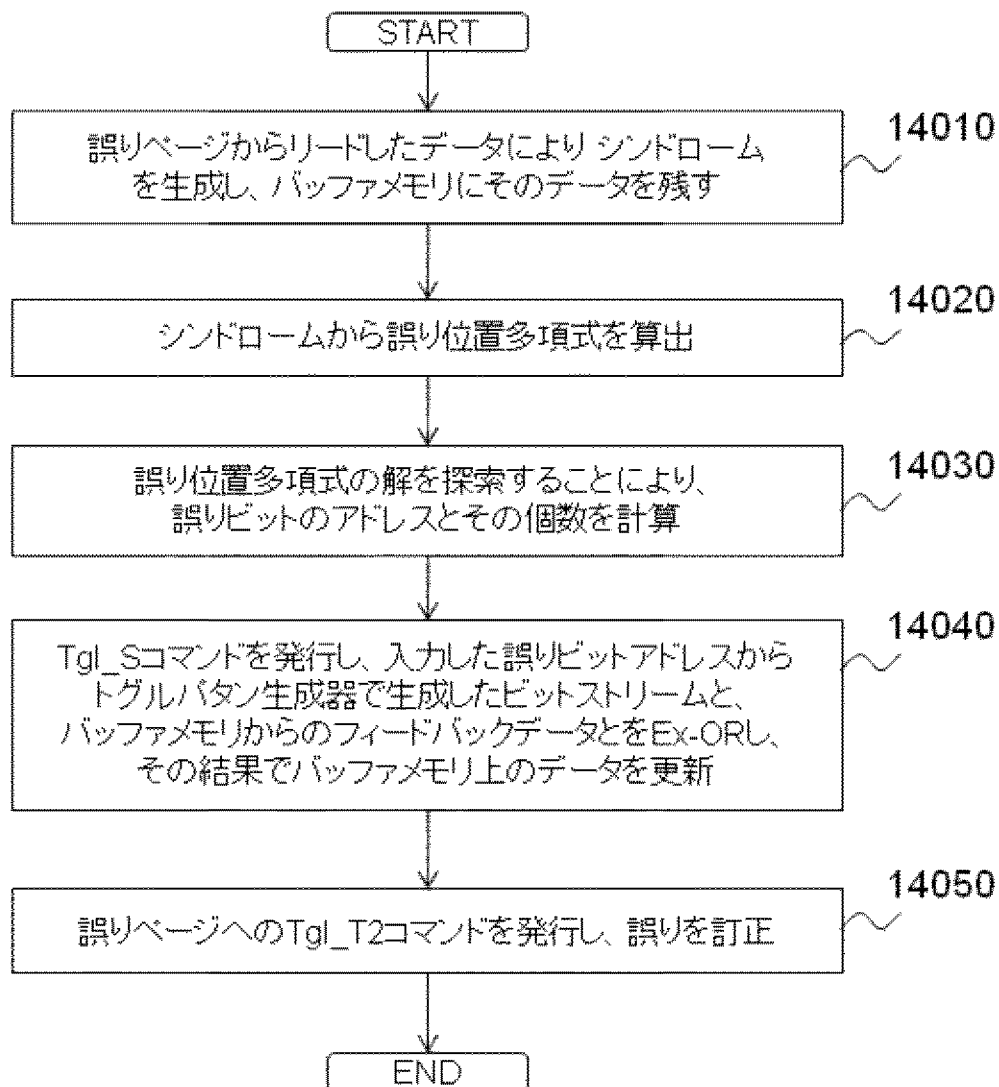
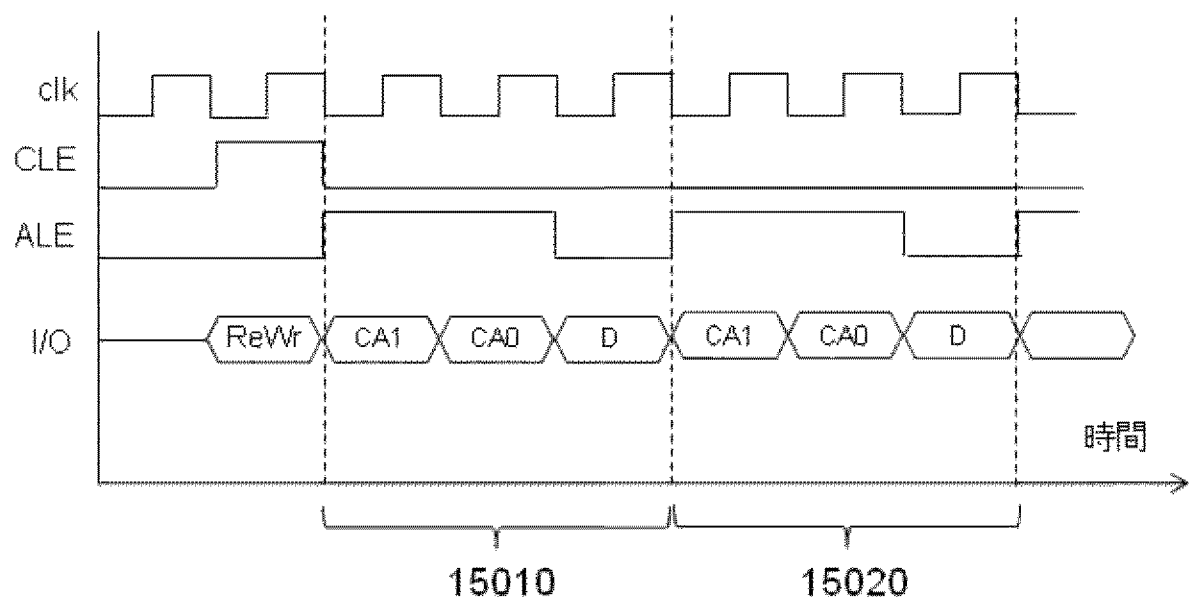


図15A



[図15B]

図15B

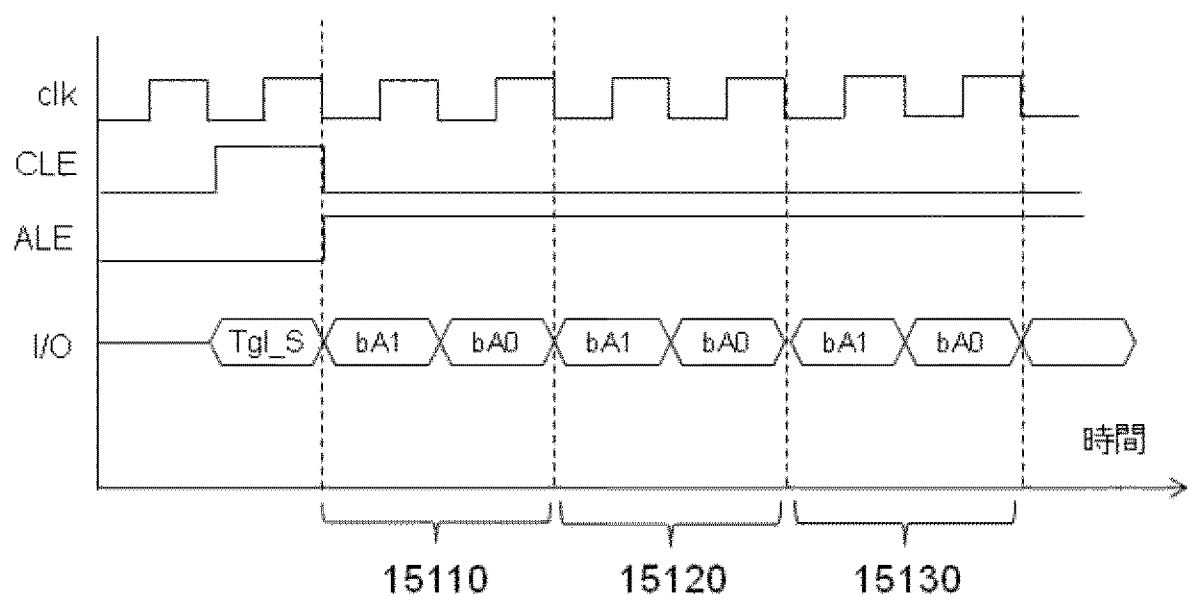


図16

コマンド	バッファメモリ	
	入力	出力先
Tgl_R	(センスアンプ出力)	—
Tgl_T1	(センスアンプ出力)^(バッファメモリ出力)	バッファメモリへフィードバック
Tgl_T2	(バッファメモリ出力)	1) バッファメモリへフィードバック 2) ドライバ
Tgl_S	(バッファメモリ出力)^(トグルボタン生成器出力)	バッファメモリへフィードバック

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/052441

A. CLASSIFICATION OF SUBJECT MATTER

G11C13/00(2006.01)i, G06F12/16(2006.01)i, G11C16/02(2006.01)i, G11C16/06(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C13/00, G06F12/16, G11C16/02, G11C16/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-216506 A (Hitachi, Ltd.), 31 July 2003 (31.07.2003), entire text; all drawings (Family: none)	1-14
A	JP 2004-355689 A (Hitachi, Ltd.), 16 December 2004 (16.12.2004), entire text; all drawings & US 2004/0240292 A1	1-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
22 February, 2011 (22.02.11)Date of mailing of the international search report
08 March, 2011 (08.03.11)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G11C13/00(2006.01)i, G06F12/16(2006.01)i, G11C16/02(2006.01)i, G11C16/06(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G11C13/00, G06F12/16, G11C16/02, G11C16/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2003-216506 A (株式会社日立製作所) 2003.07.31, 全文, 全図 (ファミリーなし)	1-14
A	JP 2004-355689 A (株式会社日立製作所) 2004.12.16, 全文, 全図 & US 2004/0240292 A1	1-14

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 2 . 0 2 . 2 0 1 1

国際調査報告の発送日

0 8 . 0 3 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

加藤 俊哉

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 8 6

5 N

9 5 5 4