

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁷
H01L 21/328

(45) 공고일자 2000년03월15일
(11) 등록번호 10-0248504
(24) 등록일자 1999년12월17일

(21) 출원번호 10-1997-0012038
(22) 출원일자 1997년04월01일

(65) 공개번호 특 1998-0075751
(43) 공개일자 1998년 11월 16일

심사관 : 정회환

(54) 바이폴라 트랜지스터 및 그의 제조 방법

요약

본 발명은 에미터 영역과 베이스 영역을 축소시키고, 베이스-콜렉터간의 접합 케페시턴스를 감소시키는 바이풀라 트랜지스터 및 그의 제조 방법에 관한 것으로, 반도체 기판내에 매몰층이 형성된 상기 반도체 기판상에 형성된 제 1 도전형 에피택셜층과, 반도체 기판의 활성영역과 비활성영역을 정의하여, 상기 반도체 기판상에 형성된 소자분리영역과, 상기 제 1 도전형 에피택셜층내에 형성된 진성 베이스 영역과, 상기 소자분리영역상에 형성되어 있어, 상기 제 1 도전형 에피택셜층의 양측과 소정부분이 오버랩 되도록 형성된 절연막과, 상기 제 1 도전형 에피택셜층의 일측과 오버랩 되어 있는 절연막상에 형성된 고농도 제 1 도전형 폴리실리콘막과, 상기 제 1 도전형 에피택셜층의 타측과 오버랩 되어 있는 절연막상에 형성된 고농도 제 2 도전형 폴리실리콘막과, 상기 절연막과 상기 고농도 제 1 및 제 2 도전형 폴리실리콘막의 측벽에 형성된 스페이서들과, 상기 일 스페이서 하부의 상기 진성 베이스 영역내에 형성된 에미터 영역과, 상기 다른 스페이서 하부의 상기 진성 베이스 영역내에 형성되어 있어, 상기 에미터 영역과 소정의 거리를 갖도록 형성된 외인성 베이스 영역을 포함한다. 이와 같은 장치에 의해서, 에미터 영역과 베이스 영역을 줄임으로써 바이풀라 트랜지스터의 크기를 감소시킬 수 있고, 베이스 영역의 축소에 따라 베이스-콜렉터간의 접합 케페시턴스를 감소시킬 수 있다.

대표도

도1

명세서

도면의 간단한 설명

도 1은 본 발명의 1 실시예에 따른 바이플라 트랜지스터의 구조를 상세히 보여주는 수직 단면도;

도 2A 내지 도 2K는 본 발명의 1 실시예에 따른 바이폴라 트랜지스터의 제조 방법을 순차적으로 보여주는 공정도;

도 3은 본 발명의 2 실시예에 따른 바이폴라 트랜지스터의 구조를 상세히 보여주는 수직 단면도;

도 4A 내지 도 4K는 본 발명의 2 실시예에 따른 바이폴라 트랜지스터의 제조 방법을 순차적으로 보여주는 공정도.

* 도면의 주요 부분에 대한 부호의 설명

100, 200 : 반도체 기판 102, 202 : 매몰층

104, 204 : 에피택셜층 106, 206 : 소자분리영역

108, 208 : 절연막 109, 223 : p형 불순물 이온

110. 224 : 진성 베이스 영역 112. 124. 210. 226 : 폴리실리콘막

115. 213 : 고농도 n형 풀순율 이온 116. 214 : n형 폴리실리콘막

119. 217 : 고농도 p형 불순물 이온 120. 218 : p+형 폴리실리콘막

122, 220 : 윈도우 126, 228 : 스페이서

128a, 230a : 예마터 영역 128b, 230b : 외인성 베이스 영역

142a, 242a : 에미터 전극 142b, 242b : 베이스 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 바이폴라 트랜지스터 및 그의 제조 방법에 관한 것으로, 좀 더 구체적으로는 에미터 영역과 베이스 영역을 줄임으로써 소자의 크기를 감소시키고, 베이스-콜렉터간의 접합 케페시턴스를 감소시키는 바이폴라 트랜지스터 및 그의 제조 방법에 관한 것이다.

바이폴라 트랜지스터의 전력 소모를 감소시키는 가장 일반적인 방법은, 소자의 크기를 감소시키는 것이다.

이를 위해, 통상적으로 더욱 진보된 리소그라피 툴(lithography tools)에 의존하게 되는데 이는 가격이나 유용성 측면에서 매우 불리하다.

잘 알려진 예로 더블-폴리(double-poly) 개념이 있다. 그러나, 이러한 더블-폴리 구조에서는 에미터 영역에서의 부분적인 도펀트 디플리션(dopant depletion) 현상으로 인해 소자의 축소가 어려운 문제점이 발생된다.

또한, 필드 산화막 애지(edge)와 교차되는 에미터 구조로는 콜렉터-베이스간의 적절한 절연내압을 얻기 어렵기 때문에 베이스 면적을 증가시켜야 하는 문제점이 발생된다.

상술한 바와 같은 문제점을 해결하기 위해 폴리 리지(ridge) 또는 스페이서(spacer)로부터의 외확산(outdiffusion)에 의해 에미터 영역을 형성하는 PRET(Poly-Ridge Emitter Transistor) 구조가 Wim van der Wel et al., "Poly-Ridge Emitter Transistor(PRET): Simple Low-Power Option to a Bipolar Process", IEEE Dig. IEDM pp. 453-456, 1993에 게시된 바 있다.

이 구조에 따르면, 진보된 리소그라피 기술을 사용하지 않고 일반적인 공정 스텝을 사용하여 $0.1\mu m$ 이하의 폭을 갖는 에미터를 형성시킬 수 있고 따라서, 고성능 및 저 전력 소모의 특성을 갖는 바이폴라 트랜지스터를 얻을 수 있다.

그러나, 상기 구조는 베이스 영역이 비교적 넓게 형성됨으로써 베이스-콜렉터간의 접합 케페시턴스를 증가시키는 문제점이 발생된다.

발명이 이루고자 하는 기술적 과제

본 발명은 상술한 제반 문제점을 해결하기 위해 제안된 것으로서, 스페이서의 폭에 의해 에미터 및 베이스의 폭이 결정되도록 함으로써 소자의 크기를 감소시킬 수 있는 바이폴라 트랜지스터를 제공함에 그 목적이 있다.

본 발명의 다른 목적은 베이스 영역의 축소에 따라 베이스-콜렉터간의 접합 케페시턴스를 감소시킴으로써 전력 소모를 줄일 수 있고, 그 성능을 향상시킬 수 있는 바이폴라 트랜지스터를 제공하는데 있다.

발명의 구성 및 작용

상술한 바와 같은 목적을 달성하기 위한 본 발명에 의하면, 바이폴라 트랜지스터는, 반도체 기판내에 매몰층이 형성된 상기 반도체 기판상에 형성된 제 1 도전형 에피택셜층과; 반도체 기판의 활성영역과 비활성영역을 정의하여, 상기 반도체 기판상에 형성된 소자분리영역과; 상기 제 1 도전형 에피택셜층내에 형성된 진성 베이스 영역과; 상기 소자분리영역상에 형성되어 있되, 상기 제 1 도전형 에피택셜층의 양측과 소정부분이 오버랩 되도록 형성된 절연막과; 상기 제 1 도전형 에피택셜층의 일측과 오버랩 되어 있는 절연막상에 형성된 고농도 제 1 도전형 폴리실리콘막과; 상기 제 1 도전형 에피택셜층의 타측과 오버랩 되어 있는 절연막상에 형성된 고농도 제 2 도전형 폴리실리콘막과; 상기 절연막과 상기 고농도 제 1 및 제 2 도전형 폴리실리콘막의 측벽에 형성된 스페이서들과; 상기 일 스페이서 하부의 상기 진성 베이스 영역내에 형성된 에미터 영역과; 상기 다른 스페이서 하부의 상기 진성 베이스 영역내에 형성되어 있되, 상기 에미터 영역과 소정의 거리를 갖도록 형성된 외인성 베이스 영역을 포함한다.

이 장치의 바람직한 실시예에 있어서, 상기 매몰층은 콜렉터 영역으로 사용된다.

이 장치의 바람직한 실시예에 있어서, 상기 제 1 도전형은 n형이고, 상기 제 2 도전형은 p형이다.

이 장치의 바람직한 실시예에 있어서, 상기 제 1 도전형은 p형이고, 상기 제 2 도전형은 n형이다.

이 장치의 바람직한 실시예에 있어서, 상기 스페이서들은, 각각 상기 고농도 제 1 및 제 2 도전형 폴리실리콘막으로부터 고농도 제 1 및 제 2 도전형 불순물 이온의 외확산에 의해 도핑된 폴리실리콘막으로 구성된다.

이 장치의 바람직한 실시예에 있어서, 상기 바이폴라 트랜지스터는, 상기 스페이서들상에 형성된 절연막과; 상기 고농도 제 1 및 제 2 도전형 폴리실리콘막과, 상기 스페이서들 사이의 상기 제 1 도전형 에피택셜층상에 형성된 실리사이드막을 더 포함한다.

상술한 목적을 달성하기 위한 본 발명에 의하면, 바이폴라 트랜지스터의 제조 방법은, 반도체 기판내에 매몰층이 형성된 상기 반도체 기판상에 제 1 도전형 에피택셜층과 소자분리영역을 형성하여 활성영역과 비활성영역을 정의하는 공정과; 상기 제 1 도전형 에피택셜층과 소자분리영역을 포함하여 반도체 기판상에 절연막을 형성하는 공정과; 상기 활성영역에 제 2 도전형 불순물 이온을 주입하여 상기 제 1 도전형 에피택셜층내에 진성 베이스 영역을 형성하는 공정과; 상기 절연막상에 폴리실리콘막을 형성하는 공정과;

상기 폴리실리콘막상에 에미터 영역을 정의하고, 그 영역에 고농도 제 1 도전형 불순물 이온을 주입하여 고농도 제 1 도전형 폴리실리콘막을 형성하는 공정과; 상기 폴리실리콘막상에 베이스 영역을 정의하고, 그 영역에 고농도 제 2 도전형 불순물 이온을 주입하여 고농도 제 2 도전형 폴리실리콘막을 형성하는 공정과; 상기 진성 베이스 영역의 일부가 노출되도록 상기 폴리실리콘막과 그 하부의 상기 절연막을 순차적으로 식각하여 원도우를 형성하는 공정과; 상기 원도우의 양측벽에 스페이서들을 형성하는 공정과; 열처리하여 상기 진성 베이스 영역내에 각각 에미터 영역과 외인성 베이스 영역을 형성하는 공정을 포함한다.

이 방법의 바람직한 실시예에 있어서, 상기 매몰층은 콜렉터 영역으로 사용된다.

이 방법의 바람직한 실시예에 있어서, 상기 제 1 도전형은 n형이고, 상기 제 2 도전형은 p형이다.

이 방법의 바람직한 실시예에 있어서, 상기 제 1 도전형은 p형이고, 상기 제 2 도전형은 n형이다.

이 방법의 바람직한 실시예에 있어서, 상기 스페이서들은, 도핑 되지 않은 폴리실리콘막으로 형성된다.

이 방법의 바람직한 실시예에 있어서, 상기 에미터 영역과 외인성 베이스 영역은, 상기 고농도 제 1 도전형 폴리실리콘막과 상기 고농도 제 2 도전형 폴리실리콘막으로부터 상기 스페이서들을 통해 각각 고농도 제 1 도전형 불순물 이온과 고농도 제 2 도전형 불순물 이온이 상기 진성 베이스 영역내로 외확산됨에 따라 형성된다.

이 방법의 바람직한 실시예에 있어서, 상기 바이폴라 트랜지스터의 제조 방법은, 상기 스페이서들상에 절연막을 형성하는 공정과; 상기 고농도 제 1 및 제 2 도전형 폴리실리콘막과 상기 스페이서들 사이의 상기 제 1 도전형 에피택셜층상에 실리사이드막을 형성하는 공정을 더 포함한다.

상술한 목적을 달성하기 위한 본 발명에 의하면, 반도체 기판내에 매몰층이 형성된 상기 반도체 기판상에 형성된 제 1 도전형 에피택셜층과; 반도체 기판의 활성영역과 비활성영역을 정의하여, 상기 반도체 기판상에 형성된 소자분리영역과; 상기 제 1 도전형 에피택셜층내에 형성되어 있되, 상기 소자분리영역과 소정의 거리를 갖도록 형성된 진성 베이스 영역과; 상기 소자분리영역상에 형성되어 있되, 상기 제 1 도전형 에피택셜층의 양측과 소정부분이 오버랩 되도록 형성된 절연막과; 상기 제 1 도전형 에피택셜층의 일측과 오버랩 되어 있는 절연막상에 형성된 고농도 제 1 도전형 폴리실리콘막과; 상기 제 1 도전형 에피택셜층의 타측과 오버랩 되어 있는 절연막에 형성된 고농도 제 2 도전형 폴리실리콘막과; 상기 절연막과 상기 고농도 제 1 및 제 2 도전형 폴리실리콘막의 측벽에 형성된 스페이서들과; 상기 일 스페이서 하부의 상기 진성 베이스 영역내에 형성된 에미터 영역과; 상기 다른 스페이서 하부의 상기 진성 베이스 영역내에 형성되어 있되, 상기 에미터 영역과 소정의 거리를 갖도록 형성된 외인성 베이스 영역을 포함한다.

이 장치의 바람직한 실시예에 있어서, 상기 매몰층은 콜렉터 영역으로 사용된다.

이 장치의 바람직한 실시예에 있어서, 상기 제 1 도전형은 n형이고, 상기 제 2 도전형은 p형이다.

이 장치의 바람직한 실시예에 있어서, 상기 제 1 도전형은 p형이고, 상기 제 2 도전형은 n형이다.

이 장치의 바람직한 실시예에 있어서, 상기 스페이서들은, 각각 상기 고농도 제 1 및 제 2 도전형 폴리실리콘막으로부터 고농도 제 1 및 제 2 도전형 불순물 이온의 외확산에 의해 도핑된 폴리실리콘막으로 구성된다.

이 장치의 바람직한 실시예에 있어서, 상기 바이폴라 트랜지스터는, 상기 스페이서들상에 형성된 절연막과; 상기 고농도 제 1 및 제 2 도전형 폴리실리콘막과, 상기 스페이서들 사이의 상기 제 1 도전형 에피택셜층상에 형성된 실리사이드막을 더 포함한다.

상술한 목적을 달성하기 위한 본 발명에 의하면, 바이폴라 트랜지스터의 제조 방법은, 반도체 기판내에 매몰층이 형성된 상기 반도체 기판상에 제 1 도전형 에피택셜층과 소자분리영역을 형성하여 활성영역과 비활성영역을 정의하는 공정과; 상기 제 1 도전형 에피택셜층과 소자분리영역을 포함하여 반도체 기판상에 절연막을 형성하는 공정과; 상기 절연막상에 폴리실리콘막을 형성하는 공정과; 상기 폴리실리콘막상에 에미터 영역을 정의하고, 그 영역에 고농도 제 1 도전형 불순물 이온을 주입하여 고농도 제 1 도전형 폴리실리콘막을 형성하는 공정과; 상기 폴리실리콘막상에 베이스 영역을 정의하고, 그 영역에 고농도 제 2 도전형 불순물 이온을 주입하여 고농도 제 2 도전형 폴리실리콘막을 형성하는 공정과; 상기 제 1 도전형 에피택셜층의 일부가 노출되도록 상기 고농도 제 1 도전형 폴리실리콘막과 상기 고농도 제 2 도전형 폴리실리콘막의 각각의 소정 부분 및 그 하부의 상기 절연막을 순차적으로 식각하여 원도우를 형성하는 공정과; 상기 원도우를 통해 제 2 도전형 불순물 이온을 주입하여 상기 제 1 도전형 에피택셜층내에 진성 베이스 영역을 형성하는 공정과; 상기 원도우의 양측벽에 스페이서들을 형성하는 공정과; 열처리하여 상기 진성 베이스 영역내에 각각 에미터 영역과 외인성 베이스 영역을 형성하는 공정을 포함한다.

이 방법의 바람직한 실시예에 있어서, 상기 매몰층은 콜렉터 영역으로 사용된다.

이 방법의 바람직한 실시예에 있어서, 상기 제 1 도전형은 n형이고, 상기 제 2 도전형은 p형이다.

이 방법의 바람직한 실시예에 있어서, 상기 제 1 도전형은 p형이고, 상기 제 2 도전형은 n형이다.

이 방법의 바람직한 실시예에 있어서, 상기 스페이서들은, 도핑 되지 않은 폴리 실리콘막으로 형성된다.

이 방법의 바람직한 실시예에 있어서, 상기 에미터 영역과 외인성 베이스 영역은, 상기 고농도 제 1 도전형 폴리실리콘막과 상기 고농도 제 2 도전형 폴리실리콘막으로부터 상기 스페이서들을 통해 각각 고농도 제 1 도전형 불순물 이온과 고농도 제 2 도전형 불순물 이온이 상기 진성 베이스 영역내로 외확산 됨에 따라 형성된다.

이 방법의 바람직한 실시예에 있어서, 상기 바이폴라 트랜지스터의 제조 방법은, 상기 스페이서들상에 절연막을 형성하는 공정과; 상기 고농도 제 1 및 제 2 도전형 폴리실리콘막과, 상기 스페이서들 사이의 상기 제 1 도전형 에피택셜층상에 실리사이드막을 형성하는 공정을 더 포함한다.

이와 같은 장치 및 제조 방법에 의해서, 에미터 영역과 베이스 영역을 줄임으로써 소자의 크기를 감소시

킬 수 있고, 베이스-콜렉터간의 접합 케페시턴스를 감소시킬 수 있다.

이하, 도 1 내지 도 4를 참조하여 본 발명의 실시예를 상세히 설명한다.

(실시예 1)

도 1은 본 발명의 1 실시예에 따른 바이폴라 트랜지스터의 구조를 상세히 보여주는 수직 단면도이다.

도 1을 참조하면, 본 발명의 1 실시예에 따른 NPN형 바이폴라 트랜지스터는, n형 에피택셜층(104)이 반도체 기판(100)내에 n++형 매몰층(102)이 형성된 상기 반도체 기판(100)상에 형성되어 있고, 소자분리영역(106)이 활성영역(a)과 비활성영역(b)을 정의된 상기 반도체 기판(100)상에 형성되어 있다.

이 때, 상기 n++형 매몰층(102)은 콜렉터 영역으로 사용되며, 이 분야에서 통상으로 사용되고 있는 방법을 통해 형성된다.

다음, 진성(intrinsic) 베이스 영역(110)이 상기 n형 에피택셜층(104)내에 형성되어 있고, CVD 등의 절연막(108)이 상기 소자분리영역(106)상에 상기 n형 에피택셜층(104)의 양측과 소정부분이 오버랩 되도록 형성되어 있다.

n+형 폴리실리콘막(116)이 상기 n형 에피택셜층(104)의 일측과 오버랩 되어 있는 상기 절연막(108)상에 형성되어 있고, p+형 폴리실리콘막(120)이 상기 n형 에피택셜층(104)의 타측과 오버랩 되어 있는 절연막(108)상에 형성되어 있다.

그리고, 스페이서들(126a, 126b)이 상기 절연막(108)과 상기 n+형 및 p+형 폴리실리콘막(116, 120)의 측벽에 형성되어 있다.

이 때, 상기 스페이서들(126a, 126b)은, 각각 상기 n+형 및 p+형 폴리실리콘막(116, 120)으로부터 n+형 불순물 이온(115)과 p+형 불순물 이온(119)의 외확산에 의해 도핑된 폴리실리콘막으로 구성된다.

다음, 에미터 영역(128a)이 상기 절연막(108)과 상기 n+형 폴리실리콘막(116)의 측벽에 형성된 스페이서(126a) 하부의 상기 진성 베이스 영역(110)내에 형성되어 있다. 이 때, 상기 에미터 영역(128a)은, 상기 n+형 폴리실리콘막(116)으로부터 상기 일 스페이서(126a)를 통해 상기 n+형 불순물 이온(115)이 외확산되어 형성된다.

그리고, 외인성(extrinsic) 베이스 영역(128b)이 상기 절연막(108)과 상기 p+형 폴리실리콘막(120)의 측벽에 형성된 스페이서(126b) 하부의 상기 진성 베이스 영역(110)내에 형성되어 되어, 상기 에미터 영역(128a)과 소정의 거리를 갖도록 형성되어 있다. 이 때, 상기 외인성 베이스 영역(128b)은, 상기 p+형 폴리실리콘막(120)으로부터 상기 다른 스페이서(126b)를 통해 상기 p+형 불순물 이온(119)이 외확산되어 형성된다.

따라서, 상기 에미터 영역(128a)과 상기 외인성 베이스 영역(128b)은 상기 스페이서들(126a, 126b)의 폭에 의해 각각의 폭이 결정된다.

또한, 상기 NPN 트랜지스터는, 산화막 스페이서(132)가 상기 스페이서들(126a, 126b)상에 추가로 형성되어 있고, 콘택 전극의 접촉저항을 줄이기 위한 실리사이드막(134)이 상기 n+형 및 p+형 폴리실리콘막(116, 120)과 상기 스페이서들(126a, 126b) 사이의 상기 n형 에피택셜층(104)상에 추가로 더 형성되어 있다. 그리고, 상기 실리사이드막(134)을 포함하여 반도체 기판(100)을 덮도록 두꺼운 절연막(140)이 형성되어 있고, 에미터 전극(142a)과 베이스 전극(142b)이 상기 두꺼운 절연막(140)을 뚫고, 각각 상기 n+형 폴리실리콘막(116)과 상기 p+형 폴리실리콘막(120)과 전기적으로 접속되도록 더 형성되어 있다.

이 때, 상기 바이폴라 트랜지스터가 PNP 트랜지스터인 경우, 상기 n형은 p형으로 대체되고 상기 p형은 n형으로 대체된다.

도 2A 내지 도 2K는 본 발명의 1 실시예에 따른 바이폴라 트랜지스터의 제조 방법을 순차적으로 보여주는 공정도이다.

도 2A를 참조하면, NPN형 바이폴라 트랜지스터의 제조 방법은 먼저, 반도체 기판(100)상에 n형 에피택셜층(104)과 소자분리영역(106)을 형성하여 활성영역(a)과 비활성영역(b)을 정의한다.

이 때, 상기 반도체 기판(100)내에는 n++형 매몰층(102)이 형성되어 있고, 이것은 콜렉터 영역으로 사용된다.

도 2B에 있어서, 상기 n형 에피택셜층(104)과 소자분리영역(106)을 포함하여 반도체 기판(100)상에 10–100nm 정도의 얇은 절연막(108)을 형성한다.

이어서, 상기 활성영역(a)에 p형 불순물 이온(109)을 주입하면 도 2C에 도시된 바와 같이, 상기 n형 에피택셜층(104)내에 진성 베이스 영역(110)이 형성된다.

도 2D를 참조하면, 상기 절연막(108)상에 폴리실리콘막(112)을 형성한다.

이 때, 상기 폴리실리콘막(112) 형성 전에 상기 절연막(108)상에 100–200nm 정도의 CVD 산화막을 형성할 수도 있다.

다음, 도 2E를 참조하면, 상기 폴리실리콘막(112)상에 소정의 포토레지스트 패턴(114)을 사용하여 에미터 영역(c)을 정의하고, 그 영역(c)에 고농도 n형 불순물 이온(115)을 주입하여 n+형 폴리실리콘막(116)을 형성한다.

마찬가지로, 상기 소정의 포토레지스트 패턴(114)을 제거한 후 도 2F에 도시된 바와 같이, 상기 폴리실리콘막(112)상에 다른 소정의 포토레지스트 패턴(118)을 사용하여 베이스 영역(d)을 정의하고, 그 영역(d)에 고농도 p형 불순물 이온(119)을 주입하여 p+형 폴리실리콘막(120)을 형성한다.

다음, 도 2G를 참조하면, 상기 다른 소정의 포토레지스트 패턴(118)을 제거한 후, 상기 진성 베이스 영역(110)의 일부가 노출되도록 상기 폴리실리콘막(112)과 그 하부의 상기 절연막(108)을 식각하여 원도우(122)를 형성한다.

이 때, 상기 원도우(122)는 소정의 마스크를 사용하여 상기 n+형 폴리실리콘막(116)과 상기 p+형 폴리실리콘막(120)이 만나는 영역의 상기 n+형 폴리실리콘막(116)의 일부 및 상기 p+형 폴리실리콘막(120)의 일부, 그리고 그 하부의 절연막(108)을 식각함으로써 형성된다.

도 2H에 있어서, 상기 원도우(122)를 포함하여 반도체 기판(100)상에 폴리실리콘막(124)을 형성한다.

그리고, 상기 폴리실리콘막(124)을 식각하여 상기 원도우(122)의 양측벽에 스페이서들(126a, 126b)을 형성한 후 열처리하면 도 2I에 도시된 바와 같이, 상기 진성 베이스 영역(110)내에 각각 에미터 영역(128a)과 외인성 베이스 영역(128b)이 형성된다.

이 때, 상기 에미터 영역(128a)과 외인성 베이스 영역(128b)은, 상기 n+형 폴리실리콘막(116)과 상기 p+형 폴리실리콘막(120)으로부터 상기 스페이서들(126a, 126b)을 통해 각각 n+형 불순물 이온(115)과 p+형 불순물 이온(119)이 상기 진성 베이스 영역(110)내로 외확산됨에 따라 형성된다. 다시 말해, 상기 에미터 영역(128a)과 상기 외인성 베이스 영역(128b)은 상기 스페이서들(126a, 126b)의 폭에 의해 각각의 폭이 결정된다.

도 2J를 참조하면, 반도체 기판(100)상에 얇은 산화막(130)을 형성한 후, 상기 스페이서들(126a, 126b) 사이의 상기 에피택셜층(104)상에 상기 진성 베이스 영역(110)과 상기 외인성 베이스 영역(128b)을 연결시켜 주기 위한 베이스 링크-업(link-up) 이온(131)을 주입한다.

이 때, 상기 얇은 산화막(130)은 상기 베이스 링크-업 이온주입에 대한 버퍼 산화막으로 사용됨과 동시에 그 막이 형성되는 동안 상기 불순물 이온들(115, 119)을 어닐링시키는 역할을하게 된다.

마지막으로, 상기 얇은 산화막(130)을 제거한 후, 반도체 기판(100)상에 100~200nm 정도의 CVD 산화막(도면에 미도시)을 형성하고, 이를 식각하여 상기 스페이서들(126a, 126b)상에 산화막 스페이서(132)를 형성한다. 그리고, 상기 n+형 및 p+형 폴리실리콘막(116, 120)과 상기 스페이서들(126a, 126b) 사이의 에피택셜층(104)상에 콘택 전극의 접촉저항을 줄이기 위한 실리사이드막(134)을 형성한다. 다음, 반도체 기판(100)상에 소정 두께의 절연막(140)을 형성한 후, 상기 절연막(140)을 뚫고 상기 n+형 폴리실리콘막(116)과 상기 p+형 폴리실리콘막(120)과 전기적으로 접속되도록 에미터 전극(142a) 및 베이스 전극(142b)을 형성하면 도 2K에 도시된 바와 같이, NPN형 바이폴라 트랜지스터가 형성된다.

이 때, 상기 바이폴라 트랜지스터가 PNP 트랜지스터인 경우, 상기 n형은 p형으로 대체되고 상기 p형은 n형으로 대체된다.

(실시예 2)

도 3은 본 발명의 2 실시예에 따른 바이폴라 트랜지스터의 구조를 상세히 보여주는 수직 단면도이다.

도 3을 참조하면, 본 발명의 2 실시예에 따른 NPN 트랜지스터는, n형 에피택셜층(204)이 반도체 기판(200)내에 n++형 매몰층(202)이 형성된 상기 반도체 기판(200)상에 형성되어 있고, 소자분리영역(206)이 활성영역(a)과 비활성영역(b)을 정의된 상기 반도체 기판(200)상에 형성되어 있다.

이 때, 상기 n++형 매몰층(202)은 콜렉터 영역으로 사용되며, 이 분야에서 통상으로 사용되고 있는 방법을 통해 형성된다.

다음, 진성 베이스 영역(224)이 상기 n형 에피택셜층(204)내에 형성되어 있되, 상기 소자분리영역(206)과 소정의 거리를 갖도록 형성되어 있다.

그리고, CVD 등의 절연막(208)이 상기 소자분리영역(206)상에 상기 n형 에피택셜층(204)의 양측과 소정부분이 오버랩 되도록 형성되어 있다.

n+형 폴리실리콘막(214)이 상기 n형 에피택셜층(204)의 일측과 오버랩 되어 있는 상기 절연막(208)상에 형성되어 있고, p+형 폴리실리콘막(218)이 상기 n형 에피택셜층(204)의 타측과 오버랩 되어 있는 절연막(208)상에 형성되어 있다.

그리고, 스페이서들(228a, 228b)이 상기 절연막(208)과 상기 n+형 및 p+형 폴리실리콘막(214, 218)의 측벽에 형성되어 있다.

이 때, 상기 스페이서들(228a, 228b)은, 각각 상기 n+형 및 p+형 폴리실리콘막(214, 218)으로부터 n+형 불순물 이온(213)과 p+형 불순물 이온(217)의 외확산에 의해 도핑된 폴리실리콘막으로 구성된다.

다음, 에미터 영역(230a)이 상기 절연막(208)과 상기 n+형 폴리실리콘막(214)의 측벽에 형성된 스페이서(228a) 하부의 상기 진성 베이스 영역(224)내에 형성되어 있다. 이 때, 상기 에미터 영역(230a)은, 상기 n+형 폴리실리콘막(214)으로부터 상기 일 스페이서(228a)를 통해 상기 n+형 불순물 이온(213)이 외확산되어 형성된다.

그리고, 외인성 베이스 영역(230b)이 상기 절연막(208)과 상기 p+형 폴리실리콘막(218)의 측벽에 형성된 스페이서(228b) 하부의 상기 진성 베이스 영역(224)내에 형성되어 있되, 상기 에미터 영역(230a)과 소정의 거리를 갖도록 형성되어 있다. 이 때, 상기 외인성 베이스 영역(230b)은, 상기 p+형 폴리실리콘막(218)으로부터 상기 다른 스페이서(229b)를 통해 상기 p+형 불순물 이온(217)이 외확산되어 형성된다.

따라서, 상기 에미터 영역(230a)과 상기 외인성 베이스 영역(230b)은 상기 스페이서들(228a, 228b)의 폭에 의해 각각의 폭이 결정된다.

또한, 상기 NPN 트랜지스터는, 산화막 스페이서(234)가 상기 스페이서들(228a, 228b)상에 추가로 형성되어 있고, 콘택 전극의 접촉 저항을 줄이기 위한 실리사이드막(236)이 상기 n+형 및 p+형 폴리실리콘막

(214, 218)과 상기 스페이서들(228a, 228b) 사이의 상기 n형 에피택셜층(204)상에 추가로 더 형성되어 있다. 그리고, 상기 실리사이드막(236)을 포함하여 반도체 기판(200)을 덮도록 두꺼운 절연막(240)이 형성되어 있고, 에미터 전극(242a)과 베이스 전극(242b)이 상기 두꺼운 절연막(240)을 뚫고, 각각 상기 n+형 폴리실리콘막(214)과 상기 p+형 폴리실리콘막(218)과 전기적으로 접속되도록 더 형성되어 있다.

이 때, 상기 바이폴라 트랜지스터가 PNP 트랜지스터인 경우, 상기 n형은 p형으로 대체되고, 상기 p형은 n형으로 대체된다.

도 4A 내지 도 4J는 본 발명의 2 실시예에 따른 바이폴라 트랜지스터의 제조 방법을 순차적으로 보여주는 공정도이다.

도 4A를 참조하면, NPN 바이폴라 트랜지스터의 제조 방법은 먼저, 반도체 기판(200)상에 n형 에피택셜층(204)과 소자분리영역(206)을 형성하여 활성영역(a)과 비활성영역(b)을 정의한다.

이 때, 상기 반도체 기판(200)은 n+형 매몰층(202)이 형성되어 있고, 이것은 콜렉터 영역으로 사용된다.

도 4B에 있어서, 상기 n형 에피택셜층(204)과 소자분리영역(206)을 포함하여 반도체 기판(200)상에 10-100nm 정도의 얇은 절연막(208)을 형성한다.

도 4C를 참조하면, 절연막(208)상에 폴리실리콘막(210)을 형성한다.

이 때, 상기 폴리실리콘막(210) 형성 전에 상기 절연막(208)상에 50-200nm 정도의 CVD 산화막을 형성할 수도 있다.

다음, 도 4D를 참조하면, 상기 폴리실리콘막(210)상에 소정의 포토레지스트 패턴(212)을 사용하여 에미터 영역(c)을 정의하고, 그 영역(c)에 고농도 n형 불순물 이온(213)을 주입하여 n+형 폴리실리콘막(214)을 형성한다.

마찬가지로, 상기 소정의 포토레지스트 패턴(212)을 제거한 후 도 4E에 도시된 바와 같이, 상기 폴리실리콘막(210)상에 다른 소정의 포토레지스트 패턴(216)을 사용하여 베이스 영역(d)을 정의하고, 그 영역(d)에 고농도 p형 불순물 이온(217)을 주입하여 p+형 폴리실리콘막(218)을 형성한다.

다음, 도 4F를 참조하면, 상기 다른 소정의 포토레지스트 패턴(216)을 제거한 후, 상기 에피택셜층(204)의 일부가 노출되도록 상기 폴리실리콘막(210)과 그 하부의 상기 절연막(208)을 식각하여 윈도우(220)를 형성한다.

이 때, 상기 윈도우(220)는 소정의 마스크를 사용하여 상기 n+형 폴리실리콘막(214)과 상기 p+형 폴리실리콘막(218)이 만나는 영역의 상기 n+형 폴리실리콘막(214)의 일부 및 상기 p+형 폴리실리콘막(218)의 일부, 그리고 각 폴리실리콘막(214, 218) 하부의 절연막(208)을 식각함으로써 형성된다.

도 4G에 있어서, 상기 윈도우(220)를 포함하여 반도체 기판(200)상에 10-50nm 정도의 절연막(222)을 형성하고, 상기 윈도우(220)를 통해 p형 불순물 이온(223)을 주입하여 상기 에피택셜층(204)내에 진성 베이스 영역(224)을 형성한다.

이 때, 상기 진성 베이스 영역(224)은 상기 소자분리영역(206)과 소정의 거리를 갖도록 형성된다. 이로써, 베이스 영역을 줄일 수 있고, 베이스-콜렉터간의 접합 케파시턴스를 더욱 감소시킬 수 있다.

그리고, 도 4H를 참조하면, 상기 절연막(222)을 제거한 후, 상기 윈도우(220)를 포함하여 반도체 기판(200)상에 100-300nm 정도의 폴리실리콘막(226)을 형성한다. 다음, 상기 폴리실리콘막(226)을 식각하여 상기 윈도우(220)의 양측벽에 스페이서들(228a, 228b)을 형성한 후 열처리하면 도 4I에 도시된 바와 같이, 상기 진성 베이스 영역(224)내에 각각 에미터 영역(230a)과 외인성 베이스 영역(230b)이 형성된다.

이 때, 상기 에미터 영역(230a)과 외인성 베이스 영역(230b)은, 상기 n+형 폴리실리콘막(214)과 상기 p+형 폴리실리콘막(218)으로부터 상기 스페이서들(228a, 228b)을 통해 각각 n+형 불순물 이온(213)과 p+형 불순물 이온(217)이 상기 진성 베이스 영역(224)내로 외확산됨에 따라 형성된다. 다시 말해, 상기 에미터 영역(230a)과 상기 외인성 베이스 영역(230b)은 상기 스페이서들(228a, 228b)의 폭에 의해 그 폭이 결정된다.

도 4J를 참조하면, 반도체 기판(200)상에 얇은 산화막(232)을 형성한 후, 상기 스페이서들(228a, 228b) 사이의 상기 에피택셜층(204)상에 상기 진성 베이스 영역(224)과 상기 외인성 베이스 영역(230b)을 연결시켜 주기 위한 베이스 링크-업(link-up) 이온(233)을 주입한다.

이 때, 상기 얇은 산화막(232)은 상기 베이스 링크-업 이온주입에 대한 버퍼 산화막으로 사용됨과 동시에 그 막이 형성되는 동안 상기 불순물 이온들(213, 217)을 어닐링시키는 역할을하게 된다.

마지막으로, 상기 얇은 산화막(232)을 제거한 후, 상기 스페이서들(228a, 228b)상에 100-200nm 정도의 CVD 산화막(도면에 미도시)을 형성하고, 이를 식각하여 산화막 스페이서(234)를 형성한다. 그리고, 상기 n+형 및 p+형 폴리실리콘막(214, 218)과 상기 스페이서들(228a, 228b) 사이의 에피택셜층(204)상에 콘택 전극의 접촉저항을 줄이기 위한 실리사이드막(236)을 형성한다. 다음, 반도체 기판(200)상에 소정 두께의 절연막(240)을 형성한 후, 상기 절연막(240)을 뚫고 상기 n+형 폴리실리콘막(214)과 상기 p+형 폴리실리콘막(218)과 전기적으로 접속되도록 에미터 전극(242a) 및 베이스 전극(242b)을 형성하면 도 4K에 도시된 바와 같이, NPN형 바이폴라 트랜지스터가 형성된다.

이 때, 상기 바이폴라 트랜지스터가 PNP 트랜지스터인 경우, 상기 n형은 p형으로 대체되고, 상기 p형은 n형으로 대체된다.

발명의 효과

상술한 바와 같은 바이폴라 트랜지스터 및 그의 제조 방법에 의해서, 에미터 영역과 베이스 영역을 출입

으로써 소자의 크기를 감소시킬 수 있고, 베이스 영역의 축소에 따라 베이스-콜렉터간의 접합 케페시턴스를 감소시킬 수 있다.

(57) 청구의 범위

청구항 1

반도체 기판(100)내에 매몰층(102)이 형성된 상기 반도체 기판(100)상의 일부분에 형성된 제 1 도전형 에피택셜층(104)과;

상기 반도체 기판(100)의 활성영역(a)과 비활성영역(b)을 정의하여, 상기 제 1 도전형 에피택셜층(104) 양측의 상기 반도체 기판(100)상에 형성된 소자분리영역(106)과;

상기 제 1 도전형 에피택셜층(104)상부에 형성된 진성 베이스 영역(110)과;

상기 소자분리영역(106)상에 형성되어 있되, 상기 제 1 도전형 에피택셜층(104)의 양측과 소정부분이 오버랩 되도록 형성된 절연막(108)과;

상기 제 1 도전형 에피택셜층(104)의 일측과 오버랩 되어 있는 상기 절연막(108)상에 형성된 고농도 제 1 도전형 폴리실리콘막(116)과;

상기 제 1 도전형 에피택셜층(104)의 타측과 오버랩 되어 있는 상기 절연막(108)상에 형성된 고농도 제 2 도전형 폴리실리콘막(120)과;

상기 절연막(108)과 상기 고농도 제 1 및 제 2 도전형 폴리실리콘막(116, 120)의 측벽에 도전막으로 형성된 스페이서들(126a, 126b)과;

상기 일 스페이서(126a) 하부의 상기 진성 베이스 영역(110)내에 형성된 에미터 영역(128a)과;

상기 다른 스페이서(126b) 하부의 상기 진성 베이스 영역(110)내에 형성되어 있되, 상기 에미터 영역(128a)과 소정의 거리를 갖도록 형성된 외인성 베이스 영역(128b)을 포함하는 바이폴라 트랜지스터.

청구항 2

제 1 항에 있어서,

상기 매몰층(102)은 콜렉터 영역으로 사용되는 바이폴라 트랜지스터.

청구항 3

제 1 항에 있어서,

상기 제 1 도전형은 n형이고, 상기 제 2 도전형은 p형인 바이폴라 트랜지스터.

청구항 4

제 1 항에 있어서,

상기 제 1 도전형은 p형이고, 상기 제 2 도전형은 n형인 바이폴라 트랜지스터.

청구항 5

제 1 항에 있어서,

상기 스페이서들(126a, 126b)은, 각각 상기 고농도 제 1 및 제 2 도전형 폴리실리콘막(116, 120)으로부터 고농도 제 1 및 제 2 도전형 불순물 이온의 외확산에 의해 도핑된 폴리실리콘막으로 구성된 바이폴라 트랜지스터.

청구항 6

제 1 항에 있어서,

상기 바이폴라 트랜지스터는,

상기 스페이서들(126a, 126b)상에 형성된 절연막(132)과;

상기 고농도 제 1 및 제 2 도전형 폴리실리콘막(116, 120)과, 상기 스페이서들(126a, 126b) 사이의 상기 제 1 도전형 에피택셜층(104)상에 형성된 실리사이드막(134)을 더 포함하는 바이폴라 트랜지스터.

청구항 7

반도체 기판(100)내에 매몰층(102)이 형성된 상기 반도체 기판(100)상에 제 1 도전형 에피택셜층(104)과 소자분리영역(106)을 형성하여 활성영역(a)과 비활성영역(b)을 정의하는 공정과;

상기 제 1 도전형 에피택셜층(104)과 소자분리영역(106)을 포함하여 반도체 기판(100)상에 절연막(108)을 형성하는 공정과;

상기 활성영역(a)에 제 2 도전형 불순물 이온(109)을 주입하여 상기 제 1 도전형 에피택셜층(104)내에 진성 베이스 영역(110)을 형성하는 공정과;

상기 절연막(108)상에 폴리실리콘막(112)을 형성하는 공정과;

상기 폴리실리콘막(112)상에 에미터 영역(c)을 정의하고, 그 영역(c)에 고농도 제 1 도전형 불순물 이온

(115)을 주입하여 고농도 제 1 도전형 폴리실리콘막(116)을 형성하는 공정과;

상기 폴리실리콘막(112)상에 베이스 영역(d)을 정의하고, 그 영역(d)에 고농도 제 2 도전형 불순물 이온(119)을 주입하여 고농도 제 2 도전형 폴리실리콘막(120)을 형성하는 공정과;

상기 진성 베이스 영역(110)의 일부가 노출되도록 상기 폴리실리콘막(112)과 그 하부의 상기 절연막(108)을 순차적으로 식각하여 윈도우(122)를 형성하는 공정과;

상기 윈도우(122)의 양측벽에 스페이서들(126a, 126b)을 형성하는 공정과;

열처리하여 상기 진성 베이스 영역(110)내에 각각 애미터 영역(128a)과 외인성 베이스 영역(128b)을 형성하는 공정을 포함하는 바이플라 트랜지스터의 제조 방법.

청구항 8

제 7 항에 있어서,

상기 매몰층(102)은 콜렉터 영역으로 사용되는 바이플라 트랜지스터의 제조 방법.

청구항 9

제 7 항에 있어서,

상기 제 1 도전형은 n형이고, 상기 제 2 도전형은 p형인 바이플라 트랜지스터의 제조 방법.

청구항 10

제 7 항에 있어서,

상기 제 1 도전형은 p형이고, 상기 제 2 도전형은 n형인 바이플라 트랜지스터의 제조 방법.

청구항 11

제 7 항에 있어서,

상기 스페이서들(126a, 126b)은, 도핑되지 않은 폴리실리콘막으로 형성되는 바이플라 트랜지스터의 제조 방법.

청구항 12

제 7 항에 있어서,

상기 애미터 영역(128a)과 외인성 베이스 영역(128b)은,

상기 고농도 제 1 도전형 폴리실리콘막(116)과 상기 고농도 제 2 도전형 폴리실리콘막(120)으로부터 상기 스페이서들(126a, 126b)을 통해 각각 고농도 제 1 도전형 불순물 이온(115)과 고농도 제 2 도전형 불순물 이온(119)이 상기 진성 베이스 영역(110)내로 외확산 됨에따라 형성되는 바이플라 트랜지스터의 제조 방법.

청구항 13

제 7 항에 있어서,

상기 바이플라 트랜지스터의 제조 방법은,

상기 스페이서들(126a, 126b)상에 절연막(132)을 형성하는 공정과;

상기 고농도 제 1 및 제 2 도전형 폴리실리콘막(116, 120)과 상기 스페이서들(126a, 126b) 사이의 상기 제 1 도전형 에피택셜층(104)상에 실리사이드막(134)을 형성하는 공정을 더 포함하는 바이플라 트랜지스터의 제조 방법.

청구항 14

반도체 기판(200)내에 매몰층(202)이 형성된 상기 반도체 기판(200)상의 일부분에 형성된 제 1 도전형 에피택셜층(204)과;

상기 반도체 기판(200)의 활성영역(a)과 비활성영역(b)을 정의하여, 상기 제 1 도전형 헤피택셜층(204) 양측의 상기 반도체 기판(200)상에 형성된 소자분리영역(206)과;

상기 제 1 도전형 에피택셜층(204)상부에 형성되어 있되, 상기 소자분리영역(206)과 소정의 거리를 갖도록 형성된 진성 베이스 영역(224)과;

상기 소자분리영역(206)상에 형성되어 있되, 상기 제 1 도전형 에피택셜층(204)의 양측과 소정부분이 오버랩 되도록 형성된 절연막(208)과;

상기 제 1 도전형 에피택셜층(204)의 일측과 오버랩 되어 있는 상기 절연막(208)상에 형성된 고농도 제 1 도전형 폴리실리콘막(214)과;

상기 제 1 도전형 에피택셜층(204)의 타측과 오버랩 되어 있는 상기 절연막(208)상에 형성된 고농도 제 2 도전형 폴리실리콘막(218)과;

상기 절연막(208)과 상기 고농도 제 1 및 제 2 도전형 폴리실리콘막(214, 218)의 측벽에 도전막으로 형성된 스페이서들(228a, 228b)과;

상기 일 스페이서(228a) 하부의 상기 진성 베이스 영역(224)내에 형성된 에미터 영역(230a)과;

상기 다른 스페이서(228b) 하부의 상기 진성 베이스 영역(224)내에 형성되어 되어, 상기 에미터 영역(230a)과 소정의 거리를 갖도록 형성된 외인성 베이스 영역(230b)을 포함하는 바이폴라 트랜지스터.

청구항 15

제 14 항에 있어서,

상기 매몰층(202)은 콜렉터 영역으로 사용되는 바이폴라 트랜지스터.

청구항 16

제 14 항에 있어서,

상기 제 1 도전형은 n형이고, 상기 제 2 도전형은 p형인 바이폴라 트랜지스터.

청구항 17

제 14 항에 있어서,

상기 제 1 도전형은 p형이고, 상기 제 2 도전형은 n형인 바이폴라 트랜지스터.

청구항 18

제 14 항에 있어서,

상기 스페이서들(228a, 228b)은, 각각 상기 고농도 제 1 및 제 2 도전형 폴리실리콘막(214, 218)으로부터 고농도 제 1 및 제 2 도전형 불순물 이온의 외확산에 의해 도핑된 폴리실리콘막으로 구성된 바이폴라 트랜지스터.

청구항 19

제 14 항에 있어서,

상기 바이폴라 트랜지스터는,

상기 스페이서들(228a, 228b)상에 형성된 절연막(234)과;

상기 고농도 제 1 및 제 2 도전형 폴리실리콘막(214, 218)과, 상기 스페이서들(228a, 228b) 사이의 상기 제 1 도전형 에피택셜층(204)상에 형성된 실리사이드막(236)을 더 포함하는 바이폴라 트랜지스터.

청구항 20

반도체 기판(200)내에 매몰층(202)이 형성된 상기 반도체 기판(200)상에 제 1 도전형 에피택셜층(204)과 소자분리영역(206)을 형성하여 활성영역(a)과 비활성영역(b)을 정의하는 공정과;

상기 제 1 도전형 에피택셜층(204)과 소자분리영역(206)을 포함하여 반도체 기판(200)상에 절연막(208)을 형성하는 공정과;

상기 절연막(208)상에 폴리실리콘막(210)을 형성하는 공정과;

상기 폴리실리콘막(210)상에 에미터 영역(c)을 정의하고, 그 영역(c)에 고농도 제 1 도전형 불순물 이온(213)을 주입하여 고농도 제 1 도전형 폴리실리콘막(214)을 형성하는 공정과;

상기 폴리실리콘막(210)상에 베이스 영역(d)을 정의하고, 그 영역(d)에 고농도 제 2 도전형 불순물 이온(217)을 주입하여 고농도 제 2 도전형 폴리실리콘막(218)을 형성하는 공정과;

상기 제 1 도전형 에피택셜층(204)의 일부가 노출되도록 상기 고농도 제 1 도전형 폴리실리콘막(214)과 상기 고농도 제 2 도전형 폴리실리콘막(218)의 각각의 소정 부분 및 그 하부의 상기 절연막(209)을 순차적으로 식각하여 원도우(220)를 형성하는 공정과;

상기 원도우(220)를 통해 제 2 도전형 불순물 이온(223)을 주입하여 상기 제 1 도전형 에피택셜층(204)내에 진성 베이스 영역(224)을 형성하는 공정과;

상기 원도우(220)의 양측벽에 스페이서들(228a, 228b)을 형성하는 공정과;

열처리하여 상기 진성 베이스 영역(224)내에 각각 에미터 영역(230a)과 외인성 베이스 영역(230b)을 형성하는 공정을 포함하는 바이폴라 트랜지스터의 제조 방법.

청구항 21

제 20 항에 있어서,

상기 매몰층(202)은 콜렉터 영역으로 사용되는 바이폴라 트랜지스터의 제조 방법.

청구항 22

제 20 항에 있어서,

상기 제 1 도전형은 n형이고, 상기 제 2 도전형은 p형인 바이폴라 트랜지스터의 제조 방법.

청구항 23

제 20 항에 있어서,

상기 제 1 도전형은 p형이고, 상기 제 2 도전형은 n형인 바이폴라 트랜지스터의 제조 방법.

청구항 24

제 20 항에 있어서,

상기 스페이서들(228a, 228b)은, 도핑되지 않은 폴리실리콘막으로 형성되는 바이폴라 트랜지스터의 제조 방법.

청구항 25

제 20 항에 있어서,

상기 에미터 영역(230a)과 외인성 베이스 영역(230b)은, 상기 고농도 제 1 도전형 폴리실리콘막(214)과 상기 고농도 제 2 도전형 폴리실리콘막(218)으로부터 상기 스페이서들(223a, 228b)을 통해 각각 고농도 제 1 도전형 불순물 이온(213)과 고농도 제 2 도전형 불순물 이온(217)이 상기 진성 베이스 영역(224)내로 외확산 됨에따라 형성된 바이폴라 트랜지스터의 제조 방법.

청구항 26

제 20 항에 있어서,

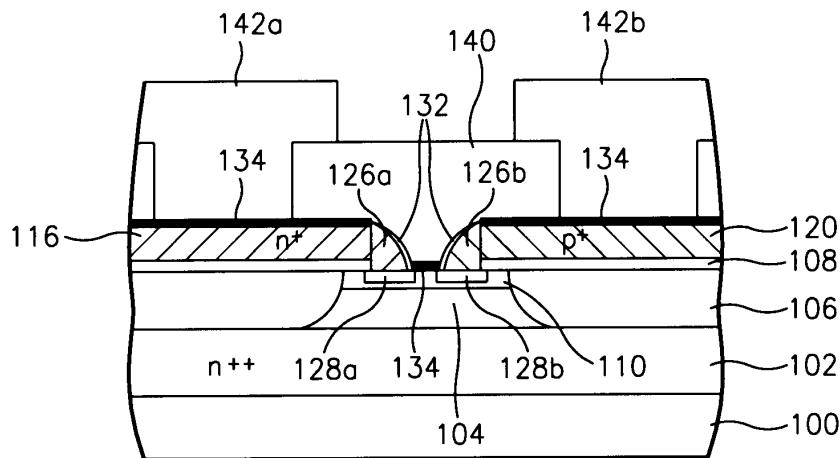
상기 바이폴라 트랜지스터의 제조 방법은,

상기 스페이서들(228a, 228b)상에 절연막(234)을 형성하는 공정과;

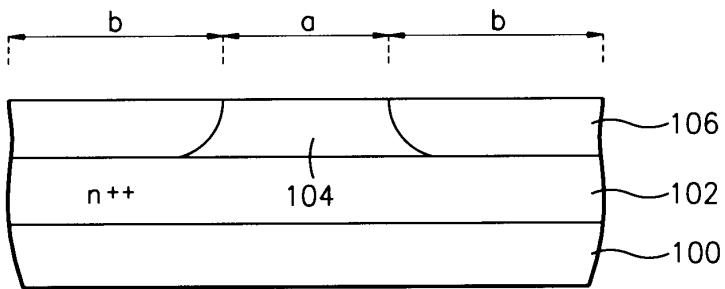
상기 고농도 제 1 및 제 2 도전형 폴리실리콘막(214, 218)과, 상기 스페이서들(228a, 228b) 사이의 상기 제 1 도전형 에피택셜층(204)상에 실리사이드막(236)을 형성하는 공정을 더 포함하는 바이폴라 트랜지스터의 제조 방법.

도면

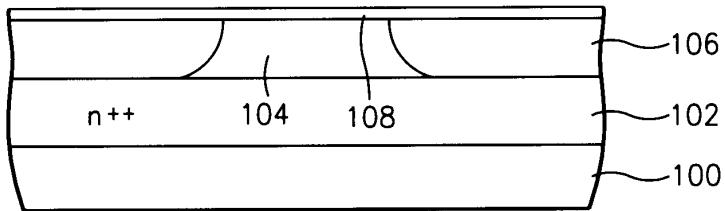
도면1



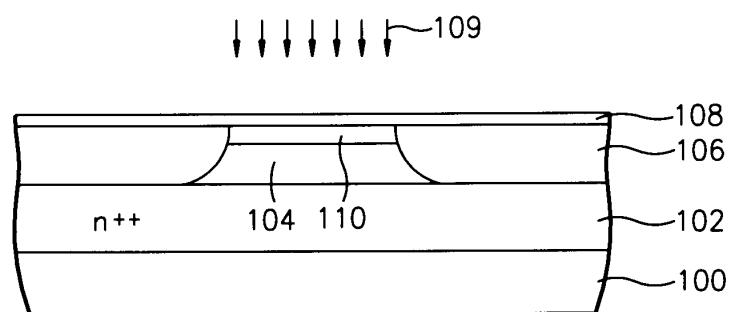
도면2a



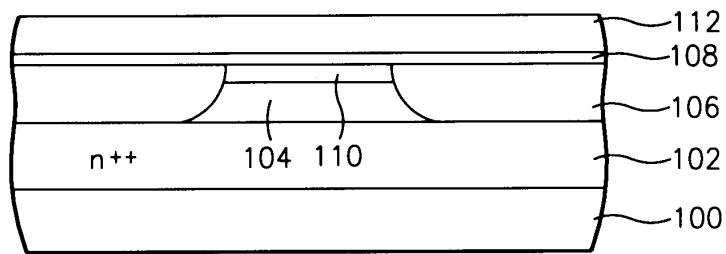
도면2b



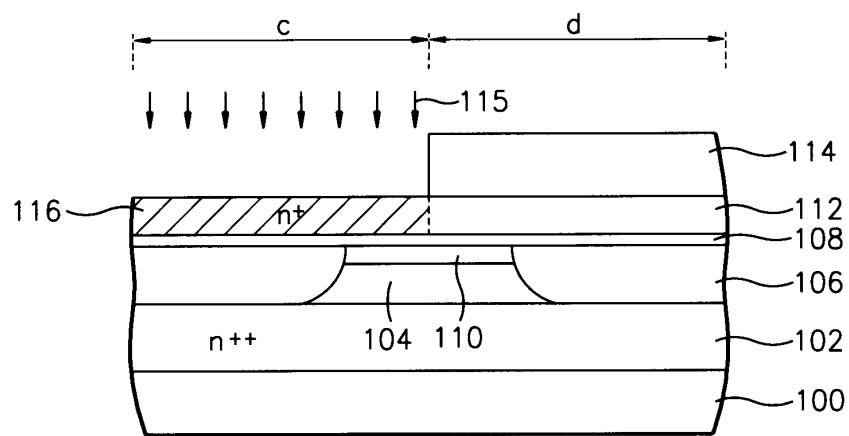
도면2c



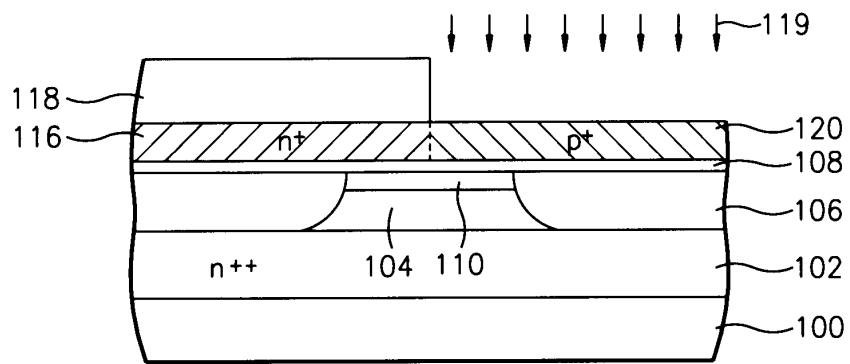
도면2d



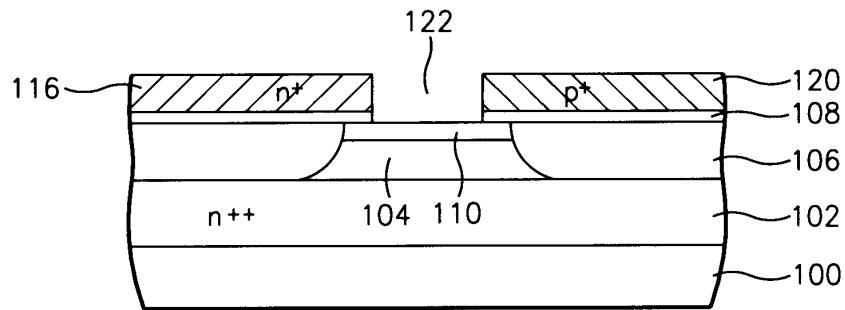
도면2e



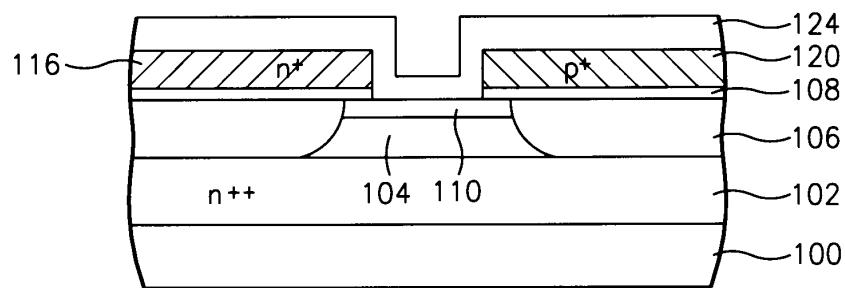
도면2f



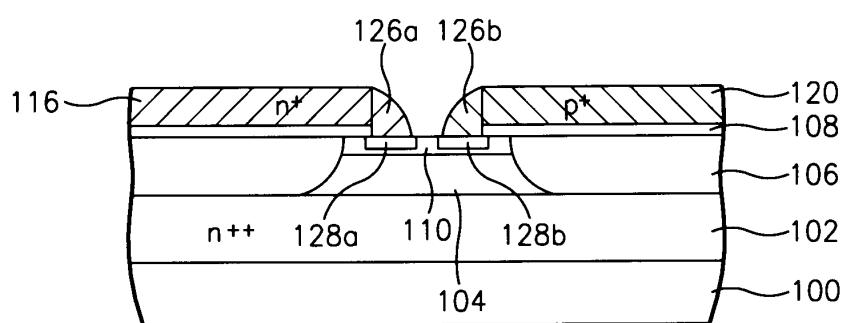
도면2g



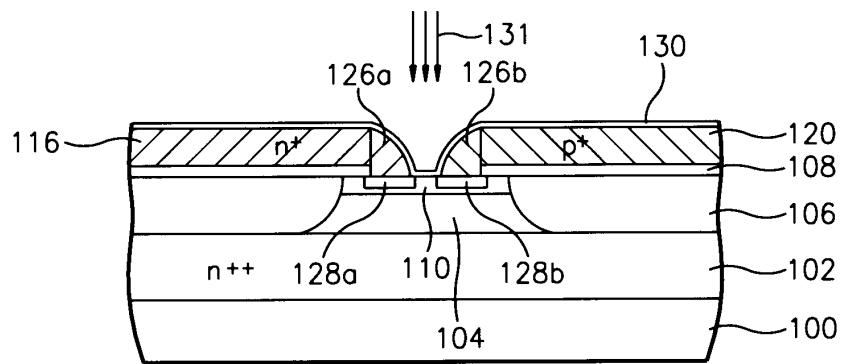
도면2h



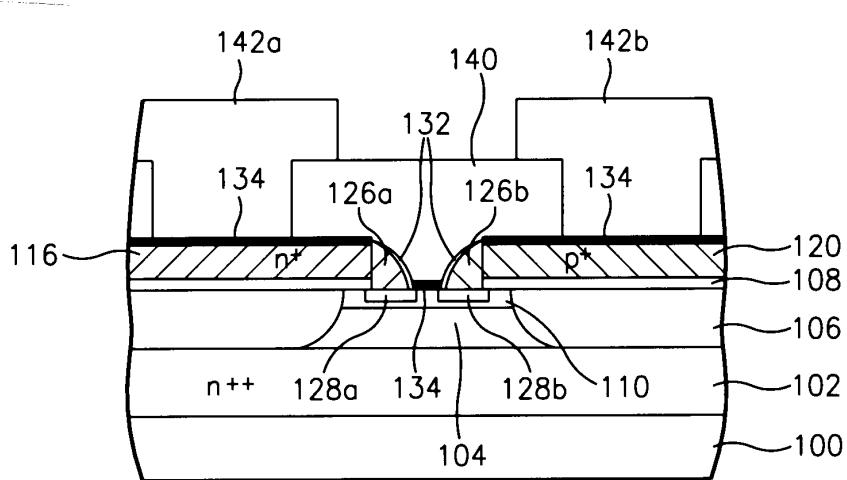
도면2i



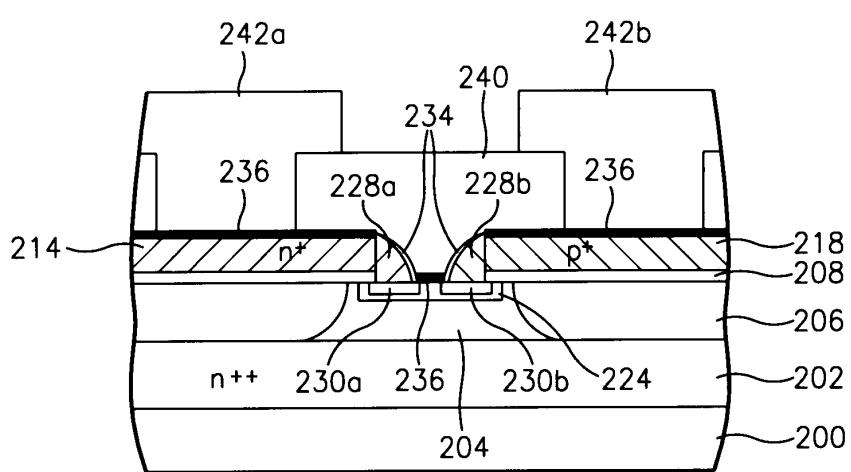
도면2j



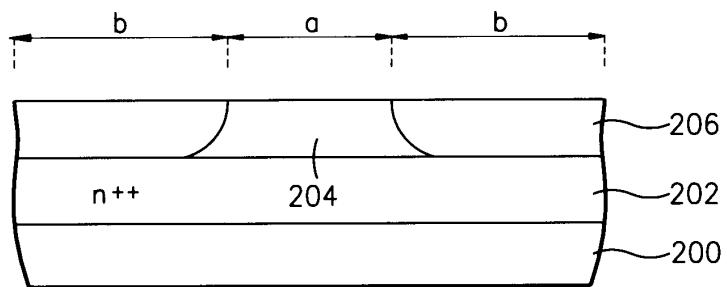
도면2k



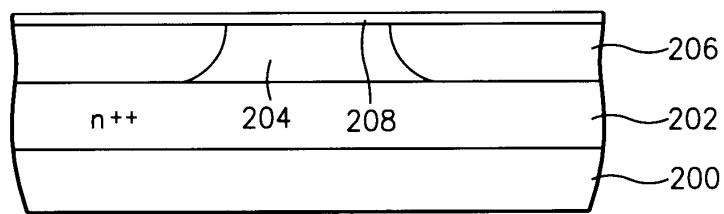
도면3



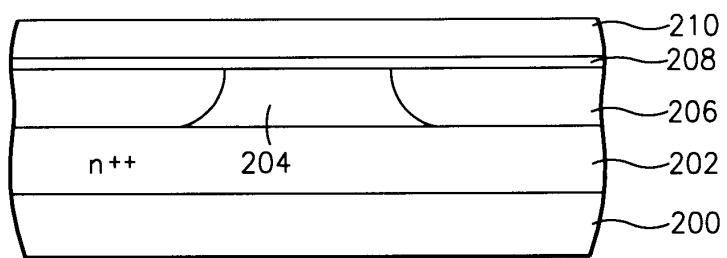
도면4a



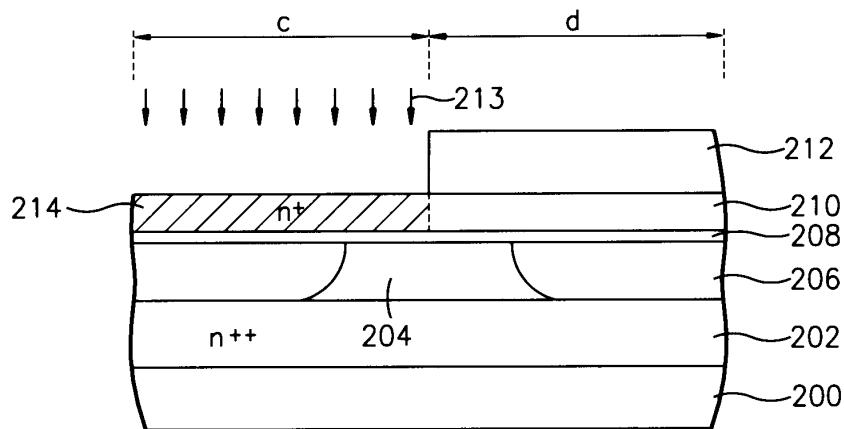
도면4b



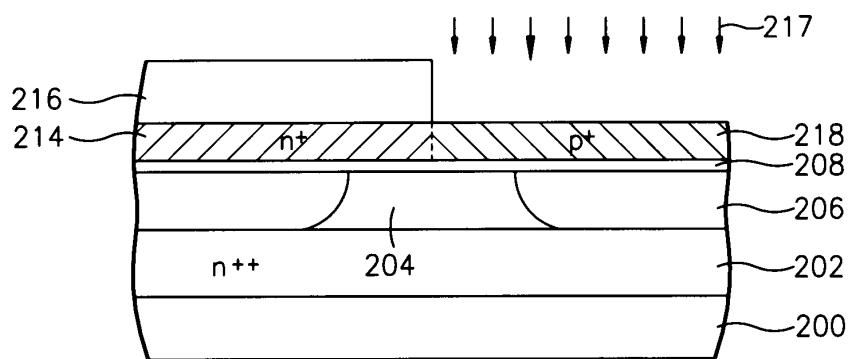
도면4c



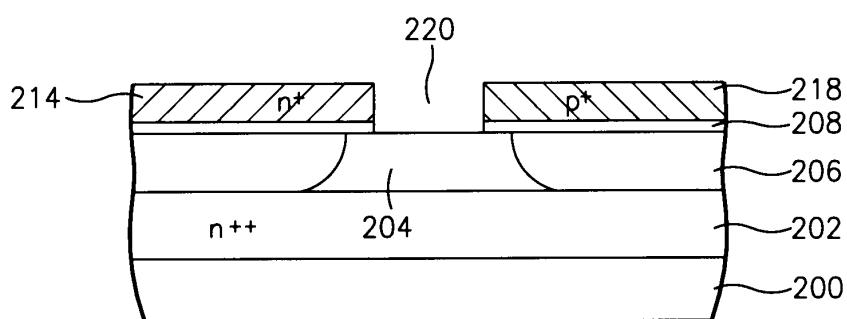
도면4d



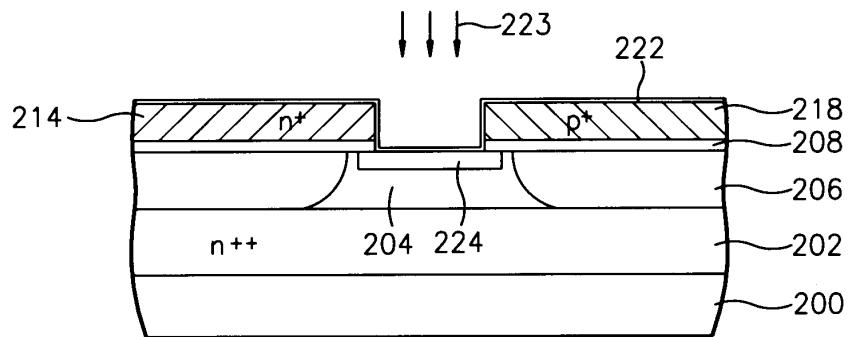
도면4e



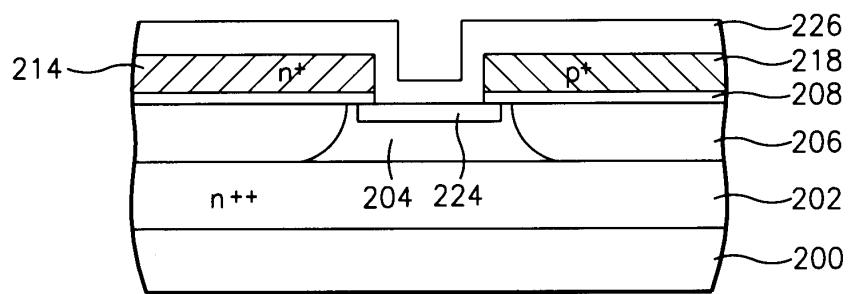
도면4f



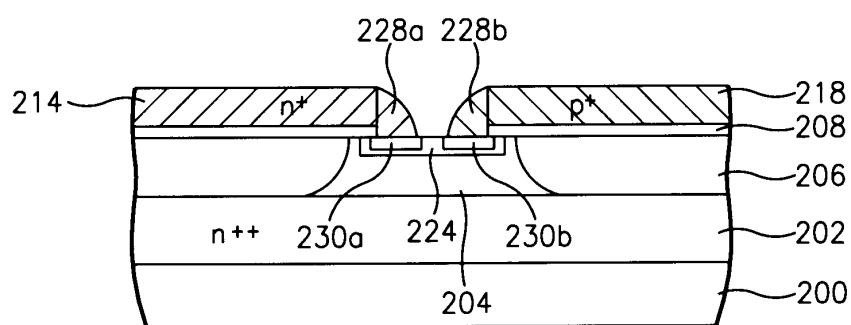
도면4g



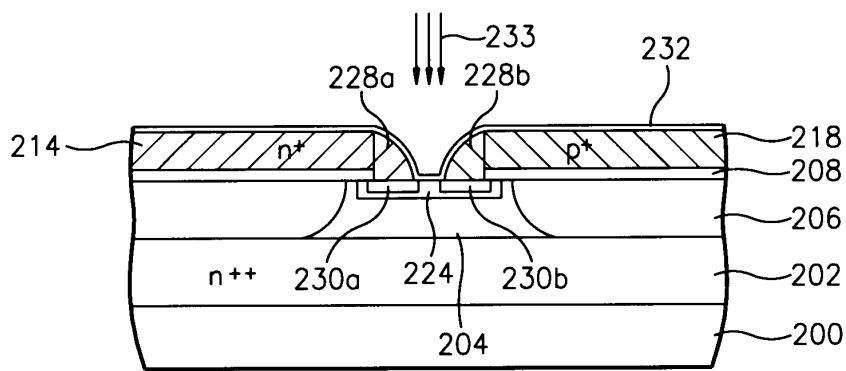
도면4h



도면4i



도면4j



도면4k

